



POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

205 335

(11)

(B1)

(51) Int. Cl.³

H 04 B 7/17

(22) Přihlášeno 14 12 77

(21) (PV 8375—77)

(40) Zveřejněno 29 08 80

(45) Vydáno 31 07 84

(75)

Autor vynálezu

NOVOTNÝ VLADISLAV ing.,
PRŮŠA OLDŘICH ing. a SEJREK PETR, Praha

(54) Zapojení logických obvodů vysílače a přijímače koncového zařízení systému s pulsně kódovou modulací

1

Vynález se týká logických obvodů vysílače a přijímače koncového zařízení systému s pulsně kódovou modulací (PCM) uspořádaných v síti pro dosažení logaritmické kompresní charakteristiky.

Ke zlepšení jakosti přenosu se u zařízení s PCM používá mžikových kompondorů, které upravují přenášený hovorový signál pro optimální útlum kvantizačního zkreslení. Používaná logaritmická kompresní charakteristika je aproximována třinácti úseky s poměrem strmostí sousedních úseků 1:2. Charakteristika je v jedné polaritě rozdělena na sedm úseků s rozdílnou strmostí. Velikost zakódovaného signálu je vyjádřena osmibitovou kódovou skupinou, ve které první bit určuje polaritu signálu. Následující skupina tří bitů určuje segment kompresní charakteristiky. Zbývající čtyři bity představují výsledek lineárního čtyřbitového kódování. Na volbě segmentu závisí velikost normálových vah, použitých pro lineární kódování.

Jsou známy analogové kompondory, jejichž nevýhodou je obvodová složitost, nutnost výběru součástek, složitá teplotní kompenzace a choulostivost při nastavování. Obvody bývají často uloženy v termostatu. Dále jsou známy digitální kompondory s redukcí, tvořené spojením lineárního převodníku analog-kód s velkým počtem kvantizačních stup-

2

ňů a logické digitální sítě. Redukcí nadbytečných kódových míst, vznikajících při kódování lineárním kóděrem, je dosaženo požadované kompresní charakteristiky. Nevýhodou těchto kompondorů jsou vysoké nároky na přesnost a především na rychlost použitého lineárního kóděru. Jiné známé kompondory s logikou zaručují, že se kódování účastní pouze ta část kvantizačních stupňů lineárního převodníku, která odpovídá požadované kompresní charakteristice. Nevýhodou známého dosavadního obvodového řešení je, že v cestě logického povelu leží při různých kódových skupinách nestejný počet logických obvodů. Logické povelky pak přicházejí na váhovací spínače převodníku s různou dobou zpoždění a jednotlivé váhovací spínače nespínají současně. V analogovém kvantovaném signálu se to projeví jako parazitní přechodový jev. Další nevýhodou je nepřehlednost logické sítě, ztěžující kontrolu při výrobě a opravách jednotky.

Účelem vynálezu je odstranit uvedené nevýhody. Podle podstaty vynálezu se toho dosahuje tím, že paměťové obvody pro záznam kódové kombinace určující úsek kompresní charakteristiky jsou připojeny na vstupy převodníku z kódu BCD na kód 1 z n, kde n je počet úseků kompresní charakteristiky v

jedné polaritě, jednotlivé výstupy převodníku z kódu BCD na kód 1 z n odpovídající prvému až n-tému úseku kompresní charakteristiky jsou připojeny jednak přes součtové logické obvody k odpovídajícím váhovacím spínačům lineárního převodníku, jednak k matici sestavené z dvouvstupých logických obvodů uspořádaných do m řádků a k sloupců, kde m je počet úseků kompresní charakteristiky v jedné polaritě s rozdílnou strmostí a k je stupeň lineárního kódování v jednotlivém kompresním úseku, přičemž v této matici jsou vodorovně propojeny právě vstupy logických obvodů stejného řádku, svisle jsou propojeny druhé vstupy logických obvodů stejného sloupce a tyto druhé vstupy jsou zároveň připojeny k paměťovým obvodům pro záznam lineárně kódujících bitů, a dále je spojen vstup logického obvodu m-tého řádku a k-tého sloupce s výstupem logického obvodu m-1 řádku a k+1 sloupce, tyto výstupy jsou připojeny jednak přes odpory na napájecí napětí, jednak přes druhé vstupy součtových logických obvodů k váhovacím spínačům lineárního převodníku.

Výhodou zapojení podle vynálezu je, že jsou obvody lineárního kódování uspořádány do přehledné pravidelné maticové sítě, ve které povelové impulsy procházejí vždy stejným počtem logických obvodů, takže doba jejich průchodu, tj. doba zpoždění, je konstantní.

Příklad vynálezu je dále popsán pomocí výkresu, kde na obr. 1 jsou logické obvody v kodéru vysílače, na obr. 2 jsou logické obvody v dekodéru přijímače a na obr. 3 je tabulka ukazující jednoznačné určení segmentu kompresní charakteristiky a následující lineární kódování. Použitý jedenáctibitový kodér na obr. 1 obsahuje jedenáct normálových vah, V1 až V11, tj. normálových proudů či napětí. V prvním kroku jsou všechny normálové váhy V1 až V11 odpojeny a komparátor určí polaritu kódovaného signálu. Ve druhém kroku se vždy připojí váha V4. Je-li kódovaný signál větší než váha V4, tj. leží-li v některém ze segmentů A, B, C, D charakteristiky v tabulce na obr. 3, je výrok komparátoru log 1 a ve třetím kroku se připojí váha V2. Komparátor určí, zda je signál větší než V2, pak ve čtvrtém kroku se

připojí váha V1, nebo zda je signál menší než váha V2, pak ve čtvrtém kroku se připojí váha V3. Jestliže naopak ve druhém kroku byl signál menší než váha V4, tj. jeho velikost odpovídá některému ze segmentů E, F, G, H, je výrok komparátoru log 0 a ve třetím kroku se připojí váha V6. V dalším kroku se připojí váha V5, je-li signál větší než V6, a připojí se váha V7, je-li signál menší než váha V6.

Pomocí sedmi normálových vah V1 až V7 a tří pracovních cyklů byl jednoznačně určen segment charakteristiky, ve kterém se kódovaný signál nachází a tedy i měřítko, ve kterém bude v následujících čtyřech krocích signál lineárně kódován. Všechny varianty jsou popsány v tabulce na obr. 3.

V zapojení logické sítě na obr. 1 jsou výstupy převodníku P z kódu BCD na kód jedna z osmi připojeny na váhovací spínače VS1 až VS7. Vstupy převodníku P z kódu BCD na kód jedna z osmi jsou ovládány výstupy paměťových obvodů PO1 pro záznam druhého a čtvrtého bitu. Tím je zajištěno určení segmentu charakteristiky podle tabulky na obr. 3. Kromě toho výstupy převodníku P z kódu BCD na kód jedna z osmi aktivují vždy jednu ze sedmi vodorovných řad matice sestavené z dvouvstupých logických obvodů B11 až B74. Matice má v obecném zapojení m řádků a k sloupců, v uvedeném příkladu je m=7 a k=4. Na svislé sběrnice matice přicházejí postupně impulsy z paměťových obvodů PO2 pro záznam pátého až osmého bitu. Diagonálně propojené výstupy matice umožňují průchod logických povelů na váhovací spínače VS1 až VS11 a tedy lineární kódování s použitím vhodných vah podle tabulky na obr. 3.

Logické obvody digitálního expandoru přijímače pro dvanáct normálových vah V1 až V12 jsou na obr. 2. Vzhledem k tomu, že u přijímače je vždy po stanovení segmentu charakteristiky připojena trvale poloviční váha než nejmenší váha použitá pro kódování v tomto segmentu, jedná se o pětibitové lineární kódování. V matici přibývá pátý sloupec logických obvodů B15 až B75.

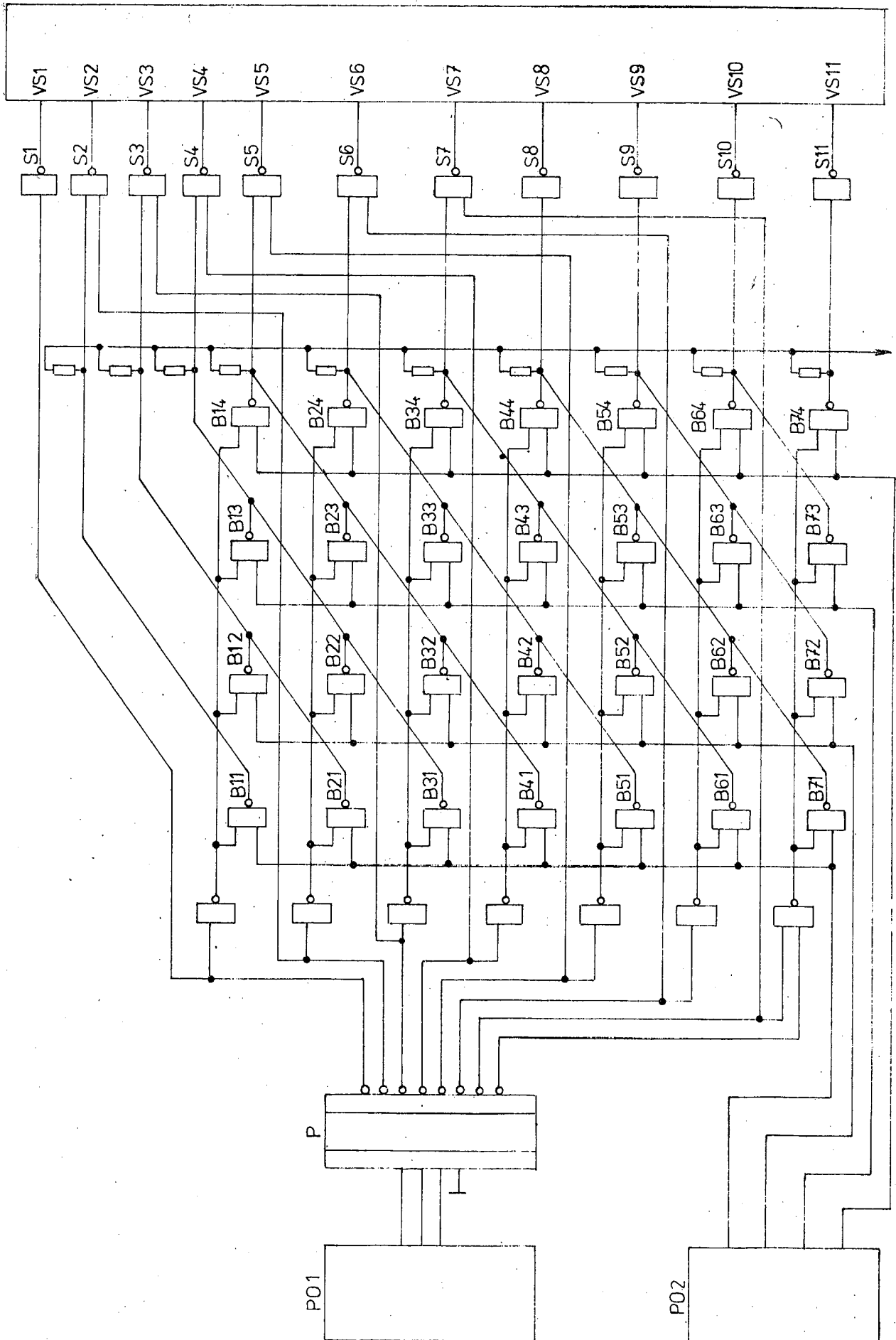
Obdobným způsobem je možno navrhnout logickou síť i pro jiné typy kompresních charakteristik.

Předmět vynálezu

Zapojení logických obvodů vysílače a přijímače koncového zařízení systému s pulsně kódovou modulací vyznačené tím, že paměťové obvody (PO1) pro záznam kódové kombinace určující úsek kompresní charakteristiky jsou připojeny na vstupy převodníku (P) z kódu BCD na kód l z n , kde n je počet úseků kompresní charakteristiky v jedné polaritě, jednotlivé výstupy převodníku (P) z kódu BCD na kód l z n odpovídající prvému až n -tému úseku kompresní charakteristiky jsou připojeny jednak přes součtové logické obvody ($S1$ až S_{n+k-1}) k odpovídajícím váhovacím spínačům ($V1$ až V_{n+k-1}) lineárního převodníku, jednak k matici sestavené z dvouvstupých logických obvodů ($B11$ až B_{mk}) uspořádaných do m řádků a k sloupců, kde m je počet úseků kompresní charakteristiky v jedné polaritě s rozdílnou str-

mostí a k je stupeň lineárního kódování v jednotlivém kompresním úseku, přičemž v této matici jsou vodorovně propojeny první vstupy logických obvodů ($B11$ až B_{mk}) stejného řádku, svisle jsou propojeny druhé vstupy logických obvodů ($B11$ až B_{mk}) stejného sloupce a tyto druhé vstupy jsou zároveň připojeny k paměťovým obvodům (PO2) pro záznam lineárně kódujících bitů, a dále je spojen výstup logického obvodu ($B11$ až B_{mk}) m -tého řádku a k -tého sloupce s výstupem logického obvodu ($B11$ až B_{mk}) $m-1$ řádku a $k+1$ sloupce, tyto výstupy jsou připojeny jednak přes odpory ($R1$ až R_{10}) na napájecí napětí, jednak přes vstupy součtových logických obvodů ($S1$ až S_{n+k-1}) k váhovacím spínačům ($V1$ až V_{n+k-1}) lineárního převodníku.

3 výkresy



205335



název segmentu	k určení segmentu použity váhy				kód segmentu	trvale připojená váha	lineární kódování s použitím vah:			
	2.bit	3.bit	4.bit				5.bit	6.bit	7.bit	8.bit
—					—	—				
A			V ₁		111	V ₁	V ₂	V ₃	V ₄	V ₅
B		V ₂			110	V ₂	V ₃	V ₄	V ₅	V ₆
C				V ₃	101	V ₃	V ₄	V ₅	V ₆	V ₇
D					100	V ₄	V ₅	V ₆	V ₇	V ₈
E	V ₄				011	V ₅	V ₆	V ₇	V ₈	V ₉
F			V ₅		010	V ₆	V ₇	V ₈	V ₉	V ₁₀
G		V ₆			001	V ₇	V ₈	V ₉	V ₁₀	V ₁₁
H				V ₇	000	—	V ₈	V ₉	V ₁₀	V ₁₁

Obr. 3