



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I863323 B

(45) 公告日：中華民國 113 (2024) 年 11 月 21 日

(21) 申請案號：112120437

(22) 申請日：中華民國 112 (2023) 年 06 月 01 日

(51) Int. Cl. : G06F13/16 (2006.01)

G06F12/0866(2016.01)

G06F11/07 (2006.01)

H03M13/03 (2006.01)

G11C16/06 (2006.01)

(71) 申請人：慧榮科技股份有限公司 (中華民國) SILICON MOTION, INC. (TW)

新竹縣竹北市台元街三十六號八樓之一

(72) 發明人：楊宗杰 YANG, TSUNG-CHIEH (TW)

(74) 代理人：吳豐任；戴俊彥；高銘良

(56) 參考文獻：

TW 201823971A

US 9728262B2

US 2018/0046527A1

US 2018/0046527A1

審查人員：易昶霈

申請專利範圍項數：14 項 圖式數：8 共 33 頁

(54) 名稱

存取快閃記憶體模組的方法及相關的快閃記憶體控制器與電子裝置

(57) 摘要

本發明揭露一種存取一快閃記憶體模組的方法，其包含有：將多個讀取重試表分類為至少一第一群組及一第二群組，以建立一分類排序表，其中該多個讀取重試表分別記錄了至少一讀取電壓、且任兩個讀取重試表不具有完全相同的讀取電壓；自該第一群組中選擇一第一讀取重試表來讀取該快閃記憶體模組之一區塊的一資料頁以產生一第一讀取資料；以及當該解碼器無法對該第一讀取資料成功解碼時，優先自該第一群組中選擇一第二讀取重試表來讀取該快閃記憶體模組之該區塊的該資料頁以產生一第二讀取資料，以供該解碼器進行解碼。

The invention provides a method for accessing a flash memory module, comprising: classifying a plurality of read retry tables into at least a first group and a second group to establish a sorting table, wherein the plurality of read retry tables respectively record at least one read voltage, and any two read retry tables do not have exactly the same read voltage; selecting a first read retry table from the first group to read a page of a block of the flash memory module to generate first read data; and when a decoder cannot successfully decode the first read data, selecting a second read retry table from the first group to read the page of the block of the flash memory module to generate second read data for the decoder to decode.

指定代表圖：

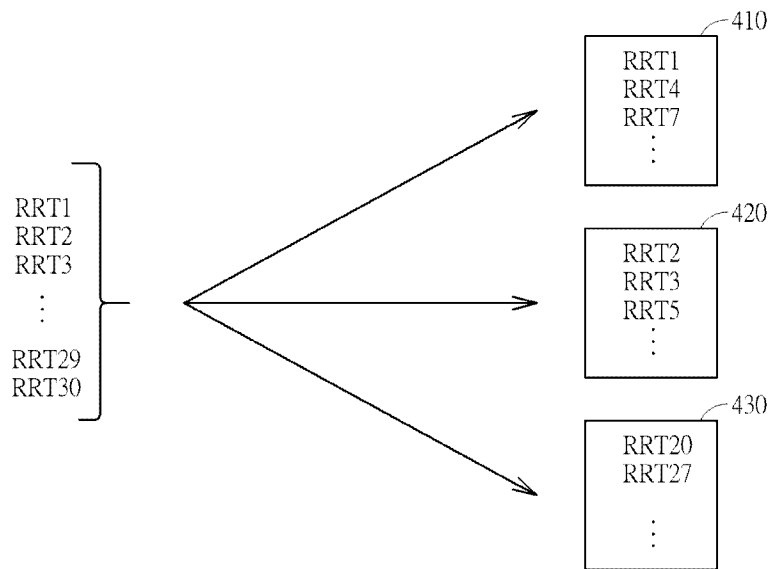
符號簡單說明：

410: 第一群組

420: 第二群組

430: 第三群組

RRT1~RRT30: 讀取重
試表



第4圖



I863323

【發明摘要】

【中文發明名稱】存取快閃記憶體模組的方法及相關的快閃記憶體控制器與電子裝置

【英文發明名稱】METHOD FOR ACCESSING FLASH MEMORY MODULE AND ASSOCIATED FLASH MEMORY CONTROLLER AND ELECTRONIC DEVICE

【中文】

本發明揭露一種存取一快閃記憶體模組的方法，其包含有：將多個讀取重試表分類為至少一第一群組及一第二群組，以建立一分類排序表，其中該多個讀取重試表分別記錄了至少一讀取電壓、且任兩個讀取重試表不具有完全相同的讀取電壓；自該第一群組中選擇一第一讀取重試表來讀取該快閃記憶體模組之一區塊的一資料頁以產生一第一讀取資料；以及當該解碼器無法對該第一讀取資料成功解碼時，優先自該第一群組中選擇一第二讀取重試表來讀取該快閃記憶體模組之該區塊的該資料頁以產生一第二讀取資料，以供該解碼器進行解碼。

【英文】

The invention provides a method for accessing a flash memory module, comprising: classifying a plurality of read retry tables into at least a first group and a second group to establish a sorting table, wherein the plurality of read retry tables respectively record at least one read voltage, and any two read retry tables do not have exactly the same read voltage; selecting a first read retry table from the first group to read a page of a block of the flash memory module to generate first read data; and when a decoder cannot successfully decode the first read data, selecting a

第 1 頁，共 2 頁(發明摘要)

second read retry table from the first group to read the page of the block of the flash memory module to generate second read data for the decoder to decode.

【指定代表圖】第（ 4 ）圖。

【代表圖之符號簡單說明】

410: 第一群組

420: 第二群組

430: 第三群組

RRT1 ~ RRT30: 讀取重試表

【特徵化學式】

無

【發明說明書】

【中文發明名稱】存取快閃記憶體模組的方法及相關的快閃記憶體控制器與電子裝置

【英文發明名稱】METHOD FOR ACCESSING FLASH MEMORY MODULE AND ASSOCIATED FLASH MEMORY CONTROLLER AND ELECTRONIC DEVICE

【技術領域】

【0001】 本發明係有關於快閃記憶體，尤指一種存取快閃記憶體模組的方法及相關的快閃記憶體控制器與電子裝置。

【先前技術】

【0002】 隨著低密度奇偶檢查碼(Low-density parity-check code, LDPC)的發展，快閃記憶體控制器中的錯誤更正碼(Error Correction Code, ECC)電路可以對具有更高位元錯誤量/位元錯誤率的資料進行錯誤更正，以成功地對資料進行解碼操作。然而，雖然錯誤更正碼電路的解碼能力提升了，但是當位元錯誤量/位元錯誤率高於一臨界值時，錯誤更正碼電路的處理速度會大幅下降，例如降低到約每秒20百萬位元組(20MB/s)，因而嚴重影響到系統效能。

【0003】 為了解決上述位元錯誤量/位元錯誤率過高而導致系統效能下降或是甚至無法成功解碼的問題，快閃記憶體控制器會根據多個讀取重試表(read retry table)以使用不同的讀取電壓來讀取快閃記憶體模組，以得到適合的資料(亦即，可以成功解碼的資料或是具有較低位元錯誤量/位元錯誤率的資料)。在先前技術

第 1 頁，共 17 頁(發明說明書)

的操作中，當快閃記憶體控制器使用一預設讀取重試表來讀取快閃記憶體模組時，若是發生所讀取的資料無法成功進行解碼時，則快閃記憶體控制器會依序選擇其他的讀取重試表來讀取快閃記憶體模組，直到所讀取的資料可以成功進行解碼為止。

【0004】 然而，由於快閃記憶體模組的狀態會隨著資料的保存時間、當下的溫度、資料寫入時的溫度、區塊的抹除次數、區塊的讀取次數...等等而改變，故適合讀取快閃記憶體模組的讀取重試表也會隨之改變，進而造成快閃記憶體控制器可能會需要常常調整該預設讀取重試表以供使用。此外，由於上述多個讀取重試表中可能有一部分的讀取重試表只有在很特殊的情況才會適合用於讀取快閃記憶體模組，故若是快閃記憶體控制器依序選擇這些讀取重試表來讀取快閃記憶體模組通常也只會造成後續的解碼失敗，因而影響到整體的效能。

【發明內容】

【0005】 因此，本發明的目的之一在於提出一種存取快閃記憶體模組的方法及相關的快閃記憶體控制器與電子裝置，其可以對多個讀取重試表來進行分類與排序，以使得快閃記憶體控制器在解碼失敗時可以優先嘗試解碼成功率較高的讀取重試表，以解決先前技術中所述的問題。

【0006】 在本發明的一實施例，揭露了一種快閃記憶體控制器，其中該快閃記憶體控制器係用來存取一快閃記憶體模組，且該快閃記憶體控制器包含有一唯讀記憶體、一微處理器、一解碼器及一緩衝記憶體。該唯讀記憶體用來儲存一程式碼，且該微處理器用來執行該程式碼以控制對該快閃記憶體模組之存取。該緩衝記憶體用以儲存了多個讀取重試表，其中該多個讀取重試表分別記

錄了至少一讀取電壓、且任兩個讀取重試表不具有完全相同的讀取電壓。該微處理器將該多個讀取重試表分類為至少一第一群組及一第二群組，以建立一分類排序表，其中該第一群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料可以被該解碼器成功解碼的讀取重試表；以及該第二群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料無法被該解碼器成功解碼的讀取重試表，且在該解碼器的解碼過程中所產生的一徵狀或是一徵狀權重符合一第一條件；以及該微處理器自該第一群組中選擇一第一讀取重試表來讀取該快閃記憶體模組之一區塊的一資料頁以產生一第一讀取資料，以及當該解碼器無法對該第一讀取資料成功解碼時，該微處理器優先自該第一群組中選擇一第二讀取重試表來讀取該快閃記憶體模組之該區塊的該資料頁以產生一第二讀取資料，以供該解碼器進行解碼。

【0007】 在本發明的一實施例，揭露了一種電子裝置，其包含有快閃記憶體模組及快閃記憶體控制器，其中該快閃記憶體控制器用來存取該快閃記憶體模組且包含一解碼器，其中該快閃記憶體控制器儲存了多個讀取重試表，其中該多個讀取重試表分別記錄了至少一讀取電壓、且任兩個讀取重試表不具有完全相同的讀取電壓。該快閃記憶體控制器將該多個讀取重試表分類為至少一第一群組及一第二群組，以建立一分類排序表，其中該第一群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料可以被該解碼器成功解碼的讀取重試表；以及該第二群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料無法被該解碼器成功解碼的讀取重試表，且在該解碼器的解碼過程中所產生的一徵狀或是一徵狀權重符合一第一條件；以及該快閃記憶體控制器自該第一群組中選擇一第一讀取重試表來讀取該快閃記憶體模組之一區塊的一資料頁以產生一第一讀取資料，以及當該解碼器無法對該第一讀取資料成功解

碼時，該快閃記憶體控制器優先自該第一群組中選擇一第二讀取重試表來讀取該快閃記憶體模組之該區塊的該資料頁以產生一第二讀取資料，以供該解碼器進行解碼。

【0008】 在本發明的一實施例，揭露了一種存取一快閃記憶體模組的方法，其包含有以下步驟：將多個讀取重試表分類為至少一第一群組及一第二群組，以建立一分類排序表，其中該多個讀取重試表分別記錄了至少一讀取電壓、且任兩個讀取重試表不具有完全相同的讀取電壓；該第一群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料可以被一解碼器成功解碼的讀取重試表；以及該第二群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料無法被該解碼器成功解碼的讀取重試表，且在該解碼器的解碼過程中所產生的一徵狀或是一徵狀權重符合一第一條件；自該第一群組中選擇一第一讀取重試表來讀取該快閃記憶體模組之一區塊的一資料頁以產生一第一讀取資料；以及當該解碼器無法對該第一讀取資料成功解碼時，優先自該第一群組中選擇一第二讀取重試表來讀取該快閃記憶體模組之該區塊的該資料頁以產生一第二讀取資料，以供該解碼器進行解碼。

【圖式簡單說明】

【0009】

第1圖為依據本發明一實施例之一種記憶裝置的示意圖。

第2圖為依據本發明一實施例之快閃記憶體中一區塊的示意圖。

第3圖為資料頁中多個寫入電壓位準以及多個臨界電壓的示意圖。

第4圖為根據本發明一實施例之分類排序表的示意圖。

第5圖至第8圖為根據本發明一實施例之存取快閃記憶體模組的方法的流程

第 4 頁，共 17 頁(發明說明書)

圖。

【實施方式】

【0010】 第1圖為依據本發明一實施例之一種記憶裝置100的示意圖。記憶裝置100包含有一快閃記憶體模組120以及一快閃記憶體控制器110，且快閃記憶體控制器110用來存取快閃記憶體模組120。依據本實施例，快閃記憶體控制器110包含一微處理器112、一唯讀記憶體(Read Only Memory, ROM)112M、一控制邏輯114、一緩衝記憶體116、與一介面邏輯118。唯讀記憶體112M係用來儲存一程式碼112C，而微處理器112則用來執行程式碼112C以控制對快閃記憶體模組120之存取(Access)。控制邏輯114包含了一編碼器132以及一解碼器134，其中編碼器132用來對寫入到快閃記憶體模組120中的資料進行編碼以產生對應的校驗碼(或稱，錯誤更正碼(Error Correction Code)，ECC)，而解碼器134用來將從快閃記憶體模組120所讀出的資料進行解碼。

【0011】 於典型狀況下，快閃記憶體模組120包含了多個快閃記憶體晶片，而每一個快閃記憶體晶片包含複數個區塊(block)，而快閃記憶體控制器110對快閃記憶體模組120進行抹除資料運作係以區塊為單位來進行。另外，一區塊可記錄特定數量的資料頁(page)，其中快閃記憶體控制器110對快閃記憶體模組120進行寫入資料之運作係以資料頁為單位來進行寫入。在本實施例中，快閃記憶體模組120為一立體NAND型快閃記憶體(3D NAND-type flash)模組。

【0012】 實作上，透過微處理器112執行程式碼112C之快閃記憶體控制器110可利用其本身內部之元件來進行諸多控制運作，例如：利用控制邏輯114來控制快閃記憶體模組120之存取運作、利用緩衝記憶體116進行所需之緩衝處理、以

及利用介面邏輯118來與一主裝置(Host Device)130溝通。緩衝記憶體116係以隨機存取記憶體(Random Access Memory, RAM)來實施。例如,緩衝記憶體116可以是靜態隨機存取記憶體(Static RAM, SRAM),但本發明不限於此。

【0013】 在一實施例中,記憶裝置100可以是可攜式記憶裝置(例如:符合SD/MMC、CF、MS、XD標準之記憶卡),且主裝置130為一可與記憶裝置連接的電子裝置,例如手機、筆記型電腦、桌上型電腦...等等。而在另一實施例中,記憶裝置100可以是固態硬碟(Solid-State Drive, SSD)或符合通用快閃記憶體儲存(Universal Flash Storage, UFS)或嵌入式多媒體記憶卡(Embedded Multi Media Card, EMMC)規格之嵌入式儲存裝置,以設置在一電子裝置中,例如設置在手機、筆記型電腦、桌上型電腦之中,而此時主裝置130可以是該電子裝置的一處理器。

【0014】 第2圖為依據本發明一實施例之快閃記憶體模組120中一區塊200的示意圖,其中快閃記憶體模組120為立體NAND型快閃記憶體。如第2圖所示,區塊200包含了多個記憶單元(例如圖示的浮閘電晶體202或是其他的電荷捕捉(charge trap)元件),其透過多條位元線(圖示僅繪示了BL1~BL3)及多條字元線(例如圖示WL0~WL2、WL4~WL6)來構成立體NAND型快閃記憶體架構。在第2圖中,以最上面的一個平面為例,字元線WL0上的所有浮閘電晶體構成了至少一資料頁,字元線WL1上的所有浮閘電晶體構成了另至少一資料頁,而字元線WL2的所有浮閘電晶體構成了再另至少一資料頁...以此類堆。此外,根據快閃記憶體寫入方式的不同,字元線WL0與資料頁(邏輯資料頁)之間的定義也會有所不同,詳細來說,當使用單層式儲存(Single-Level Cell, SLC)的方式寫入時,字元線WL0上的所有浮閘電晶體僅對應到單一邏輯資料頁;當使用雙層式儲存

(Multi-Level Cell, MLC)的方式寫入時，字元線WL0上的所有浮閘電晶體對應到兩個邏輯資料頁；當使用三層式儲存(Triple-Level Cell, TLC)的方式寫入時，字元線WL0上的所有浮閘電晶體對應到三個邏輯資料頁；以及當使用四層式儲存(Quad-Level Cell, QLC)的方式寫入時，字元線WL0上的所有浮閘電晶體對應到四個邏輯資料頁。由於本技術領域中具有通常知識者應能了解立體NAND型快閃記憶體的结构以及字元線及資料頁之間的關係，故相關的細節在此不予贅述。

【0015】 第3圖為使用三層式儲存區塊來作為區塊200時多個寫入電壓位準L1~L8以及多個讀取電壓Vt1~Vt7的示意圖，其中讀取電壓Vt1~Vt7在本領域中亦可被稱為臨界電壓。如第3圖所示，每個浮閘電晶體202可以被程式化(programmed)為具有電壓位準L1(亦即(MSB, CSB, LSB)=(1, 1, 1))、電壓位準L2(亦即(MSB, CSB, LSB)=(1, 1, 0))、電壓位準L3(亦即(MSB, CSB, LSB)=(1, 0, 0))、電壓位準L4(亦即(MSB, CSB, LSB)=(0, 0, 0))、電壓位準L5(亦即(MSB, CSB, LSB)=(0, 1, 0))、電壓位準L6(亦即(MSB, CSB, LSB)=(0, 1, 1))、電壓位準L7(亦即(MSB, CSB, LSB)=(0, 0, 1))或是電壓位準L8(亦即(MSB, CSB, LSB)=(1, 0, 1))。當快閃記憶體控制器110需要讀取浮閘電晶體202中的最低有效位元(LSB)時，快閃記憶體控制器110會使用讀取電壓Vt1、Vt5去讀取浮閘電晶體202，並根據浮閘電晶體202的導通狀態(是否有電流產生)來產生“1”或是“0”，類似地，當快閃記憶體控制器110需要讀取浮閘電晶體202中的中間有效位元(CSB)時，快閃記憶體控制器110會使用讀取電壓Vt2、Vt4與Vt6去讀取浮閘電晶體202，並根據浮閘電晶體202的導通狀態(是否有電流產生)來產生“1”或是“0”，以供解碼器134進行解碼。類似地，當快閃記憶體控制器110需要讀取浮閘電晶體202中的最高有效位元(MSB)時，快閃記憶體控制器110會使用讀取電壓Vt3與Vt7去讀取浮閘電晶體202，並根據浮閘電晶體202的導通狀態(是否有電流產生)來判斷最高有效位元是

“1”或是“0”，以供解碼器134進行解碼。在本實施例中，當浮閘電晶體202具有電壓位準L1時可以被稱為具有抹除狀態(erase state)，而當浮閘電晶體202具有電壓位準L2~L8的任一時可以被稱為具有寫入狀態(program state)。

【0016】 需注意的是，第3圖所示的範例僅是用來說明快閃記憶體控制器110讀取浮閘電晶體202的過程，而其實施方式並非是本發明的限制，具體來說，上述最低有效位元、中間有效位元以及最高有效位元可以具有不同的編碼方式，且快閃記憶體控制器110可以另外使用額外的輔助電壓來讀取浮閘電晶體202以提供更多的資訊給解碼器134進行解碼。此外，由於本領域具有通常知識者應可在閱讀過上述第3圖的相關內容之後了解到如何將上述實施例應用在單層式儲存區塊、雙層式儲存區塊以及四層式儲存區塊，相關細節在此不再贅述。

【0017】 由於快閃記憶體模組120可能會因為資料保存(data retention)、寫入狀態、環境因素...等等而造成寫入電壓位準L1~L8飄移，而使得原本的讀取電壓 $V_{t1} \sim V_{t7}$ 無法正確地讀取快閃記憶體模組120，因此，快閃記憶體模組120的製造廠商通常會提供多個讀取重試表142，其中每一個讀取重試表142記錄了至少一讀取電壓、且任兩個讀取檔位不具有完全相同的讀取電壓，而快閃記憶體控制器110可以在開機時將讀取重試表142載入到緩衝記憶體116中，以控制快閃記憶體模組120使用不同的讀取電壓 $V_{t1} \sim V_{t7}$ 來讀取快閃記憶體模組120，以得到品質較佳且可以成功解碼的資料。

【0018】 如先前技術中所述，由於快閃記憶體控制器110包含了多個讀取重試表142，因此，在快閃記憶體模組處於不同的環境或狀態而造成寫入電壓位準L1~L8飄移的情形下，若是採用先前技術中依序使用多個讀取重試表142來讀取

快閃記憶體模組120，則往往需要嘗試多個無效的讀取檔位才能夠讀取到適合的資料。因此，本發明特別提出了在緩衝記憶體116內建立一個分類排序表144，其用來將多個讀取重試表142進行分類與排序，以使得快閃記憶體控制器110在需要改變讀取重試表來讀取快閃記憶體模組120時可以優先嘗試解碼成功率較高的讀取重試表，以使得快閃記憶體控制器110可以快速地找到適合的讀取檔位，以增進系統效能。

【0019】 第4圖為根據本發明一實施例之分類排序表144的示意圖。如第4圖所示，假設多個讀取重試表142包含了30個讀取重試表，分別以讀取重試表RRT1 ~ RRT30來表示，而快閃記憶體控制器110會根據使用讀取重試表RRT1 ~ RRT30來讀取快閃記憶體模組120後所得到之資料的解碼結果，以將讀取重試表RRT1 ~ RRT30分類至一第一群組410、一第二群組420或是一第三群組430中。在本實施例中，第一群組410包含了之前被使用來讀取快閃記憶體模組120後所得到之資料可以被硬解碼(hard decode)成功的讀取重試表。舉例來說，假設讀取重試表RRT1、RRT4、RRT7在之前經被用來讀取快閃記憶體模組120，且所讀取的資料可以被解碼器134使用一硬解碼方式來解碼成功，則讀取重試表RRT1、RRT4、RRT7可以被分類至第一群組410。第二群組420包含了之前被使用來讀取快閃記憶體模組120後所得到之資料無法被硬解碼成功的讀取重試表，但是在硬解碼過程中所產生的一徵狀(syndrome)或是一徵狀權重(syndrome weight)符合一第一條件。舉例來說，假設讀取重試表RRT2、RRT3、RRT5在之前經被用來讀取快閃記憶體模組120，所讀取的資料無法被解碼器134使用硬解碼方式來解碼成功，但是在硬解碼過程中所產生的徵狀權重低於一臨界值，則讀取重試表RRT2、RRT3、RRT5可以被分類至第二群組420。第三群組430包含了之前被使用來讀取快閃記憶體模組120後所得到之資料無法被硬解碼成功的讀取重試表，但是在硬

解碼過程中所產生的一徵狀或是一徵狀權重符合一第二條件。舉例來說，假設讀取重試表RRT20、RRT27在之前經被用來讀取快閃記憶體模組120，所讀取的資料無法被解碼器134使用硬解碼方式來解碼成功，且在硬解碼過程中所產生的徵狀權重高於該臨界值，則讀取重試表RRT20、RRT27可以被分類至第三群組430。需注意的是，以上所述的徵狀權重可以用來反映出資料的品質，其中徵狀權重的數值越小代表著資料的品質越好。此外，由於上述的徵狀與徵狀權重的內容與計算方法已為本領域具有通常知識者所熟知，例如美國專利申請公開號US20190158115及台灣專利公告號TWI718060，故相關的計算細節在此不贅述。

【0020】 在一實施例中，第一群組410所包含的讀取重試表可以進一步進行排序，例如根據每一個讀取重試表被使用來讀取快閃記憶體模組120之一讀取資料的一錯誤位元數來進行排序，且對應到越少錯誤位元數的讀取重試表具有越優先的序號。詳細來說，當快閃記憶體控制器110使用一讀取重試表來讀取快閃記憶體模組120的一資料頁時，其讀取資料在透過解碼器134成功解碼的過程中會得到該讀取資料的一錯誤位元數，而該錯誤位元數係做為該讀取重試表的對應錯誤位元數。需注意的是，該讀取重試表的對應錯誤位元數是不斷在更新的，亦即該讀取重試表的對應錯誤位元數係為該讀取重試表最近一次被用來讀取快閃記憶體模組120所產生的。

【0021】 在一實施例中，第二群組420所包含的讀取重試表可以進一步進行排序，例如根據每一個讀取重試表被使用來讀取快閃記憶體模組120之一讀取資料的一徵狀權重來進行排序，且對應到越低徵狀權重的讀取重試表具有越優先的序號。詳細來說，當快閃記憶體控制器110使用一讀取重試表來讀取快閃記憶體模組120的一資料頁時，其讀取資料在透過解碼器134解碼失敗的過程中會得到

一徵狀權重，而該徵狀權重係做為該讀取重試表的對應徵狀權重。需注意的是，該讀取重試表的對應徵狀權重是不斷在更新的，亦即該讀取重試表的對應徵狀權重係為該讀取重試表最近一次被用來讀取快閃記憶體模組120所產生的。

【0022】 在一實施例中，第一群組410、第二群組420以及第三群組430中的讀取重試表的數量會隨著記憶裝置100的操作而改變，且每一個讀取重試表也有可能隨著記憶裝置100的操作而被分類至不同的群組。舉例來說，當第一群組410中的任一讀取重試表被用來讀取快閃記憶體模組120，但是其讀取資料無法被解碼器120成功進行硬解碼的次數到達A次時，該讀取重試表便會根據所對應的徵狀權重來分類至第二群組420或是第三群組430，其中A可以是任意適合的正整數，例如1、2、3...等等。在一實施例中，當第二群組420或是第三群組430中的任一讀取重試表被用來讀取快閃記憶體模組120，且其讀取資料可以被解碼器120成功進行硬解碼時，該讀取重試表便會被分類至第一群組410。在一實施例中，當第二群組420中的任一讀取重試表被用來讀取快閃記憶體模組120，但是其讀取資料無法被解碼器120成功進行硬解碼，且所對應的徵狀權重不低於該臨界值時，該讀取重試表便會被分類至第三群組410。在一實施例中，當第三群組430中的任一讀取重試表被用來讀取快閃記憶體模組120，但是其讀取資料無法被解碼器120成功進行硬解碼，且所對應的徵狀權重低於該臨界值時，該讀取重試表便會被分類至第二群組420。

【0023】 透過將讀取重試表分類為多個群組，並使用分類排序表144來記錄第一群組410、第二群組420以及第三群組430中的讀取重試表，可以讓快閃記憶體控制器110在解碼器134解碼失敗時選擇較佳的讀取重試表來進行後續的讀取操作，以避免使用到過多無效的讀取重試表而降低整體的效能。具體來說，假設

快閃記憶體控制器110使用讀取重試表RRT1來對快閃記憶體模組120進行讀取，而若是在某個時刻解碼器134無法對讀取資料成功進行硬解碼，則快閃記憶體控制器110會優先從第一群組410中的讀取重試表進行嘗試，亦即先使用讀取重試表RRT4來對快閃記憶體模組120再次進行讀取。若是使用讀取重試表RRT4來對快閃記憶體模組120再次進行讀取所產生的讀取資料可以被解碼器134成功解碼，則快閃記憶體控制器110便使用讀取重試表RRT4進行後續的讀取；若是使用讀取重試表RRT4來對快閃記憶體模組120再次進行讀取所產生的讀取資料無法被解碼器134成功解碼，則快閃記憶體控制器110會繼續從第一群組410中的讀取重試表進行嘗試。此外，若是第一群組410中的所有讀取重試表所產生的讀取資料都無法被解碼器134成功解碼，則快閃記憶體控制器110會繼續自第二群組420內依序選擇讀取重試表、或繼續自第二群組430內依序選擇讀取重試表，直到所得到的讀取資料可以被解碼器134成功解碼為止。

【0024】 第5圖至第8圖為根據本發明一實施例之存取快閃記憶體模組120的方法的流程圖。於步驟500，流程開始，且微處理器112已經對多個讀取重試表142進行分類，且分類排序表144已經包含了分別第一群組410、第二群組420及第三群組430的讀取重試表，其中此時的分類排序表144可以是一預設的分類排序表，或是透過先前操作所產生的分類排序表。於步驟502，微處理器112自第一群組410選擇一讀取重試表，例如第4圖所示的讀取重試表RRT1，其中讀取重試表RRT1為微處理器112前一次所使用來讀取快閃記憶體模組120，且讀取資料可以被解碼器134成功解碼的讀取重試表。於步驟504，微處理器112使用所選擇的讀取重試表RRT1來讀取快閃記憶體模組120中一區塊的一資料頁以得到一讀取資料。於步驟506，解碼器134對讀取資料進行硬解碼，若是解碼成功，流程回到步驟504以繼續使用讀取重試表RRT1來讀取該區塊的下一個資料頁；若是解

碼失敗，流程進入步驟508。於步驟508，微處理器112判斷讀取重試表RRT1連續解碼失敗的次數是否大於一臨界值TH1，若否，流程進入步驟510；若是，流程進入步驟512。於本實施例中，“連續解碼失敗”指的是讀取重試表RRT1在前一次被用來讀取快閃記憶體模組的另一個資料頁時也發生讀取資料無法被成功解碼，但在讀取時間上不一定要連續；此外，臨界值TH1可以是任意適合的正整數，例如1、2或3。於步驟510，微處理器112將所選擇的讀取重試表RRT1保留在第一群組410。於步驟512，微處理器112判斷解碼器134在對讀取資料進行解碼過程的徵狀權重是否小於一臨界值TH2，若是，流程進入步驟514；若否，流程進入步驟516。於步驟514，微處理器112將讀取重試表RRT1由第一群組410搬移至第二群組420。於步驟516，微處理器112將讀取重試表RRT1由第一群組410搬移至第三群組430。於步驟518，微處理器112判斷第一群組410內的所有讀取重試表是否都已經被使用過來讀取快閃記憶體模組120中的該區塊的該資料頁，若否，流程進入步驟520；若是，流程進入步驟538。

【0025】 於步驟520，微處理器112自第一群組410選擇下一個讀取重試表，例如第4圖所示的讀取重試表RRT4。於步驟522，微處理器112使用所選擇的讀取重試表RRT4來讀取快閃記憶體模組120中該區塊的該資料頁以得到一讀取資料，其中步驟522與步驟504所讀取的是相同的資料頁。於步驟524，解碼器134對讀取資料進行硬解碼，若是解碼成功，流程進入步驟526；若是解碼失敗，流程進入步驟528。於步驟526，微處理器112鎖定所選擇的讀取重試表RRT4，且流程回到步驟504來繼續使用讀取重試表RRT4來讀取快閃記憶體模組120中的後續資料頁。於步驟528，微處理器112判斷讀取重試表RRT4連續解碼失敗的次數是否大於臨界值TH1，若否，流程進入步驟530；若是，流程進入步驟532。於本實施例中，“連續解碼失敗”指的是讀取重試表RRT4在前一次被用來讀取快閃記憶體模

組的另一個資料頁時也發生讀取資料無法被成功解碼，但在讀取時間上不一定要連續。於步驟530，微處理器112將所選擇的讀取重試表RRT4保留在第一群組410。於步驟532，微處理器112判斷解碼器134在對讀取資料進行解碼過程的徵狀權重是否小於臨界值TH2，若是，流程進入步驟534；若否，流程進入步驟536。於步驟534，微處理器112將讀取重試表RRT4由第一群組410搬移至第二群組420。於步驟536，微處理器112將讀取重試表RRT4由第一群組410搬移至第三群組430。接著，流程回到步驟518。

【0026】 於步驟538，微處理器112自第二群組420選擇一讀取重試表，例如第4圖所示的讀取重試表RRT2。於步驟540，微處理器112使用所選擇的讀取重試表RRT2來讀取快閃記憶體模組120中該區塊的該資料頁以得到一讀取資料，其中步驟540與步驟504所讀取的是相同的資料頁。於步驟542，解碼器134對讀取資料進行硬解碼，若是解碼成功，流程進入步驟544；若是解碼失敗，流程進入步驟546。於步驟544，微處理器112鎖定所選擇的讀取重試表RRT2，且流程回到步驟504來繼續使用讀取重試表RRT2來讀取快閃記憶體模組120中的後續資料頁，並將所選擇的讀取重試表RRT2由第二群組420搬移至第一群組410。於步驟546，微處理器112判斷解碼器134在對讀取資料進行解碼過程的徵狀權重是否小於臨界值TH2，若是，流程進入步驟548；若否，流程進入步驟550。於步驟548，微處理器112將讀取重試表RRT2保留在第二群組420。於步驟550，微處理器112將讀取重試表RRT2由第二群組420搬移至第三群組430。於步驟522，微處理器112判斷第二群組420內的所有讀取重試表是否都已經被使用過來讀取快閃記憶體模組120中的該區塊的該資料頁，若否，流程進入步驟554；若是，流程回到步驟538。

【0027】 於步驟554，微處理器112自第三群組430選擇一讀取重試表，例如第4圖所示的讀取重試表RRT20。於步驟556，微處理器112使用所選擇的讀取重試表RRT20來讀取快閃記憶體模組120中該區塊的該資料頁以得到一讀取資料，其中步驟556與步驟504所讀取的是相同的資料頁。於步驟558，解碼器134對讀取資料進行硬解碼，若是解碼成功，流程進入步驟560；若是解碼失敗，流程進入步驟562。於步驟560，微處理器112鎖定所選擇的讀取重試表RRT20，且流程回到步驟504來繼續使用讀取重試表RRT20來讀取快閃記憶體模組120中的後續資料頁，並將所選擇的讀取重試表RRT20由第三群組430搬移至第一群組410。於步驟562，微處理器112判斷解碼器134在對讀取資料進行解碼過程的徵狀權重是否小於臨界值TH2，若是，流程進入步驟564；若否，流程進入步驟566。於步驟564，微處理器112將讀取重試表RRT20由第三群組430搬移至第二群組420。於步驟566，微處理器112將讀取重試表RRT20保留在第三群組430。於步驟568，微處理器112判斷第三群組430內的所有讀取重試表是否都已經被使用過來讀取快閃記憶體模組120中的該區塊的該資料頁，若否，流程進入步驟570；若是，流程回到步驟554。於步驟570，由於所有的讀取重試表的讀取資料都無法透過硬解碼來解碼成功，故解碼器134開始進行軟解碼操作，亦即使用其他的輔助讀取電壓來讀取該區塊的該資料頁以得到通道資訊，以供進行LDPC軟解碼操作。

【0028】 如以上實施例所述，透過將多個讀取重試表分類為第一群組410、第二群組420與第三群組430，可以讓快閃記憶體控制器110在解碼器134解碼失敗時依序自第一群組410、第二群組420與第三群組430中選擇讀取重試表來進行後續的讀取操作。由於快閃記憶體控制器110會優先選擇較佳的讀取重試表，故可以避免使用到過多無效的讀取重試表而降低整體的效能。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0029】

100:記憶裝置

110:快閃記憶體控制器

112:微處理器

112C:程式碼

112M:唯讀記憶體

114:控制邏輯

116:緩衝記憶體

118:介面邏輯

120:快閃記憶體模組

130:主裝置

132:編碼器

134:解碼器

142:讀取重試表

144:讀取成功紀錄表

200:區塊

202:浮閘電晶體

410: 第一群組

420: 第二群組

430: 第三群組

500~570: 步驟

RRT1 ~ RRT30: 讀取重試表

BL1, BL2, BL3:位元線

WL0~WL2, WL4~WL6:字元線

L1~L8:寫入電壓位準

Vt1~Vt7:讀取電壓

【發明申請專利範圍】

【請求項1】 一種快閃記憶體控制器，其中該快閃記憶體控制器係用來存取一快閃記憶體模組，且該快閃記憶體控制器包含有：

一唯讀記憶體，用來儲存一程式碼；

一微處理器，耦接於該唯讀記憶體，用來執行儲存於該唯讀記憶體中的該程式碼以控制對該快閃記憶體模組之存取；

一解碼器，耦接於該微處理器；以及

一緩衝記憶體，耦接於該微處理器，用以儲存了多個讀取重試表(read retry table)，其中該多個讀取重試表分別記錄了至少一讀取電壓、且任兩個讀取重試表不具有完全相同的讀取電壓；

其中該微處理器將該多個讀取重試表分類為至少一第一群組及一第二群組，以建立一分類排序表，其中該第一群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料可以被該解碼器成功解碼的讀取重試表；以及該第二群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料無法被該解碼器成功解碼的讀取重試表，且在該解碼器的解碼過程中所產生的一徵狀(syndrome)或是一徵狀權重(syndrome weight)符合一第一條件；

其中該微處理器自該第一群組中選擇一第一讀取重試表來讀取該快閃記憶體模組之一區塊的一資料頁以產生一第一讀取資料，以及當該解碼器無法對該第一讀取資料成功解碼時，該微處理器優先自該第一群組中選擇一第二讀取重試表來讀取該快閃記憶體模組之該區塊的該資料頁以產生一第二讀取資料，以供該解碼器進行解碼。

【請求項2】 如申請專利範圍第1項所述之快閃記憶體控制器，其中該微處理
第 1 頁，共 6 頁(發明申請專利範圍)

器將該多個讀取重試表分類為該第一群組、該第二群組及一第三群組，以建立該分類排序表，其中該第三群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料無法被該解碼器成功解碼的讀取重試表，且在該解碼器的解碼過程中所產生的該徵狀或是該徵狀權重符合一第二條件。

【請求項3】 如申請專利範圍第2項所述之快閃記憶體控制器，其中該第二群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料無法被該解碼器成功解碼的讀取重試表，且在該解碼器的解碼過程中所產生的該徵狀權重低於一臨界值；以及該第三群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料無法被該解碼器成功解碼的讀取重試表，且在該解碼器的解碼過程中所產生的該徵狀權重不低於該臨界值。

【請求項4】 如申請專利範圍第2項所述之快閃記憶體控制器，其中當該解碼器無法對該第二讀取資料成功解碼，且該第一群組內的所有讀取重試表都已經被使用過來讀取該快閃記憶體模組之該區塊的該資料頁，則該微處理器優先自該第二群組中選擇一第三讀取重試表來讀取該快閃記憶體模組之該區塊的該資料頁以產生一第三讀取資料，以供該解碼器進行解碼。

【請求項5】 如申請專利範圍第4項所述之快閃記憶體控制器，其中當該解碼器對該第三讀取資料成功解碼，則該微處理器將該第三讀取重試表由該第二群組搬移至該第一群組，且該微處理器繼續使用該第三讀取重試表來讀取該快閃記憶體模組之該區塊的下一個資料頁。

【請求項6】 如申請專利範圍第4項所述之快閃記憶體控制器，其中當該解碼

第 2 頁，共 6 頁(發明申請專利範圍)

器無法對該第三讀取資料成功解碼，且該第二群組內的所有讀取重試表都已經被使用過來讀取該快閃記憶體模組之該區塊的該資料頁，則該微處理器才會自該第三群組中選擇一第四讀取重試表來讀取該快閃記憶體模組之該區塊的該資料頁以產生一第四讀取資料，以供該解碼器進行解碼。

【請求項7】 如申請專利範圍第6項所述之快閃記憶體控制器，其中當該解碼器對該第四讀取資料成功解碼，則該微處理器將該第四讀取重試表由該第三群組搬移至該第一群組，且該微處理器繼續使用該第四讀取重試表來讀取該快閃記憶體模組之該區塊的下一個資料頁。

【請求項8】 如申請專利範圍第1項所述之快閃記憶體控制器，其中該微處理器根據該第一群組內的每一個讀取重試表所對應的一錯誤位元數來進行排序，其中對應到越少錯誤位元數的讀取重試表具有越優先的序號；以及該微處理器根據該第一群組內的每一個讀取重試表所對應的該徵狀權重來進行排序，其中對應到越低徵狀權重的讀取重試表具有越優先的序號。

【請求項9】 一種電子裝置，包含有：

一快閃記憶體模組；以及

一快閃記憶體控制器，耦接於該快閃記憶體模組，用來存取該快閃記憶體模組且包含一解碼器，其中該快閃記憶體控制器儲存了多個讀取重試表(read retry table)，其中該多個讀取重試表分別記錄了至少一讀取電壓、且任兩個讀取重試表不具有完全相同的讀取電壓；

其中該快閃記憶體控制器將該多個讀取重試表分類為至少一第一群組及一第二群組，以建立一分類排序表，其中該第一群組包含了之前被使用

第 3 頁，共 6 頁(發明申請專利範圍)

來讀取該快閃記憶體模組後所得到之讀取資料可以被該解碼器成功解碼的讀取重試表；以及該第二群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料無法被該解碼器成功解碼的讀取重試表，且在該解碼器的解碼過程中所產生的一徵狀(syndrome)或是一徵狀權重(syndrome weight)符合一第一條件；

其中該快閃記憶體控制器自該第一群組中選擇一第一讀取重試表來讀取該快閃記憶體模組之一區塊的一資料頁以產生一第一讀取資料，以及當該解碼器無法對該第一讀取資料成功解碼時，該快閃記憶體控制器優先自該第一群組中選擇一第二讀取重試表來讀取該快閃記憶體模組之該區塊的該資料頁以產生一第二讀取資料，以供該解碼器進行解碼。

【請求項10】 如申請專利範圍第9項所述之電子裝置，其中該快閃記憶體控制器將該多個讀取重試表分類為該第一群組、該第二群組及一第三群組，以建立該分類排序表，其中該第三群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料無法被該解碼器成功解碼的讀取重試表，且在該解碼器的解碼過程中所產生的該徵狀或是該徵狀權重符合一第二條件。

【請求項11】 如申請專利範圍第10項所述之電子裝置，其中該第二群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料無法被該解碼器成功解碼的讀取重試表，且在該解碼器的解碼過程中所產生的該徵狀權重低於一臨界值；以及該第三群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料無法被該解碼器成功解碼的讀取重試表，且在該解碼器的解碼過程中所產生的該徵狀權重不低於該臨界值。

【請求項12】 一種存取一快閃記憶體模組的方法，包含有：

將多個讀取重試表(read retry table)分類為至少一第一群組及一第二群組，以建立一分類排序表，其中該多個讀取重試表分別記錄了至少一讀取電壓、且任兩個讀取重試表不具有完全相同的讀取電壓；該第一群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料可以被一解碼器成功解碼的讀取重試表；以及該第二群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料無法被該解碼器成功解碼的讀取重試表，且在該解碼器的解碼過程中所產生的一徵狀(syndrome)或是一徵狀權重(syndrome weight)符合一第一條件；

自該第一群組中選擇一第一讀取重試表來讀取該快閃記憶體模組之一區塊的一資料頁以產生一第一讀取資料；以及

當該解碼器無法對該第一讀取資料成功解碼時，優先自該第一群組中選擇一第二讀取重試表來讀取該快閃記憶體模組之該區塊的該資料頁以產生一第二讀取資料，以供該解碼器進行解碼。

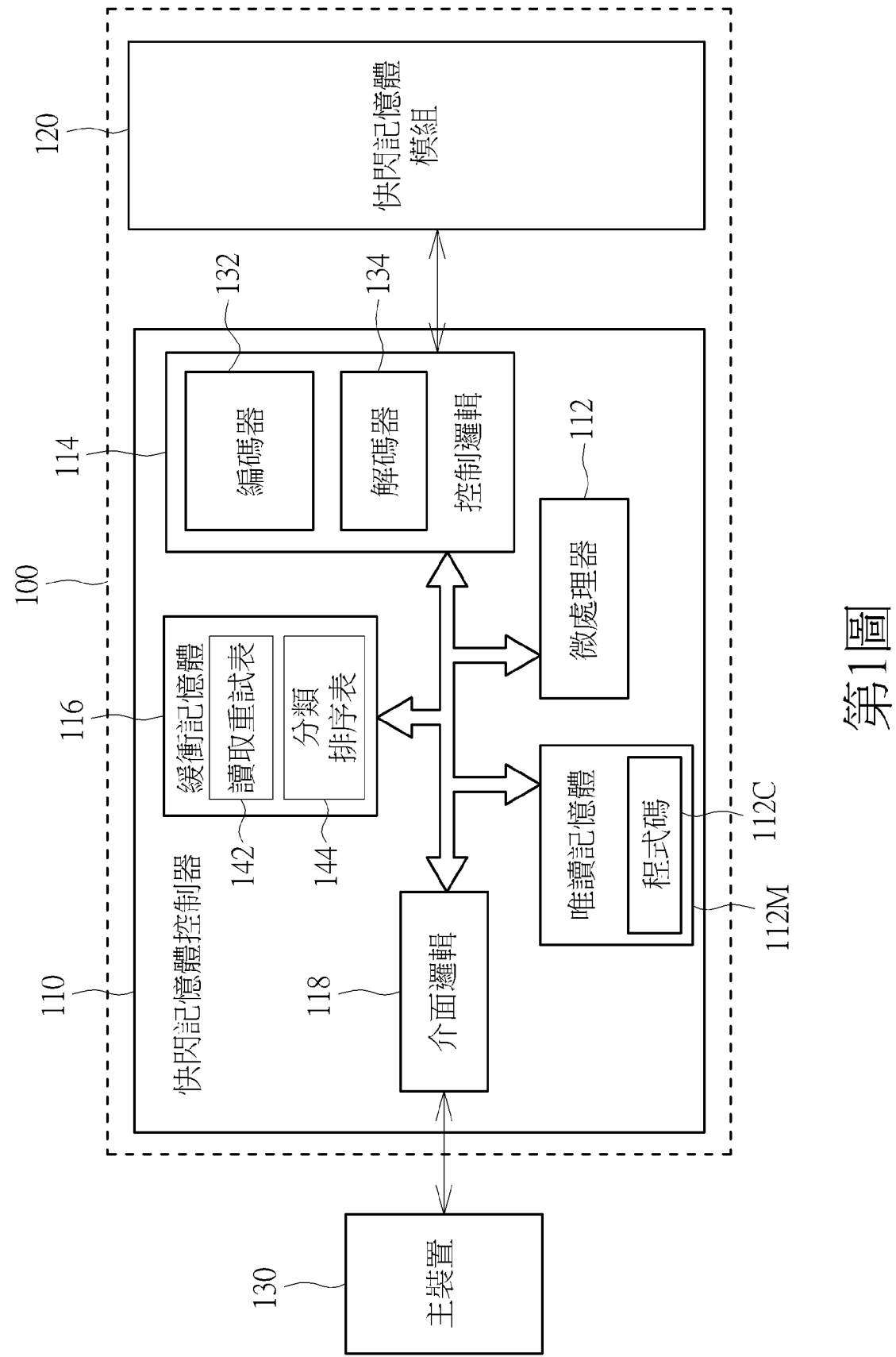
【請求項13】 如申請專利範圍第12項所述之方法，其中將該多個讀取重試表分類為該第一群組、該第二群組及一第三群組，以建立該分類排序表，其中該第三群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料無法被該解碼器成功解碼的讀取重試表，且在該解碼器的解碼過程中所產生的該徵狀或是該徵狀權重符合一第二條件。

【請求項14】 如申請專利範圍第12項所述之方法，其中該第二群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料無法被該解碼器成功解碼的讀取重試表，且在該解碼器的解碼過程中所產生的該徵狀權重低於

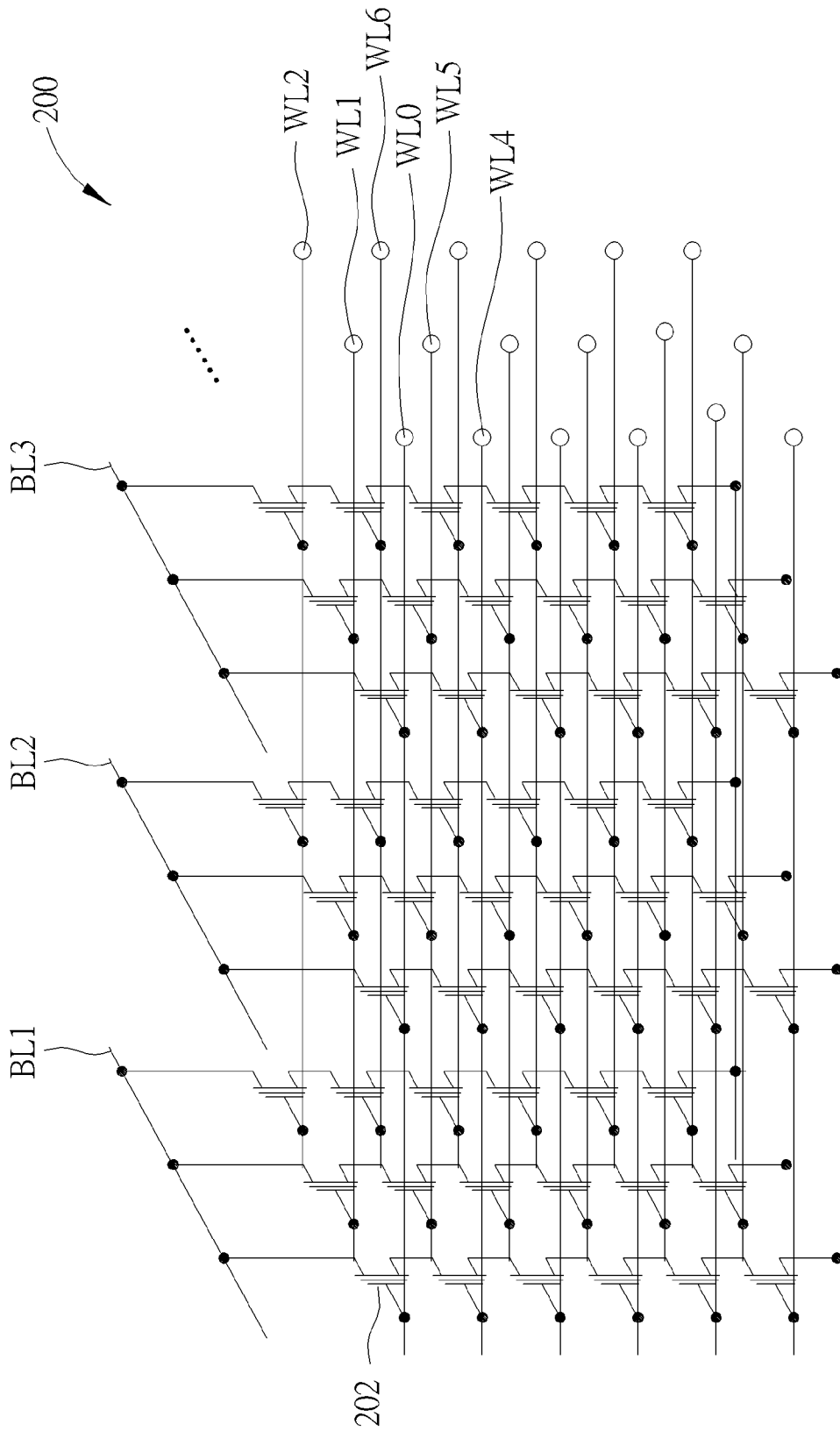
第 5 頁，共 6 頁(發明申請專利範圍)

一臨界值；以及該第三群組包含了之前被使用來讀取該快閃記憶體模組後所得到之讀取資料無法被該解碼器成功解碼的讀取重試表，且在該解碼器的解碼過程中所產生的該徵狀權重不低於該臨界值。

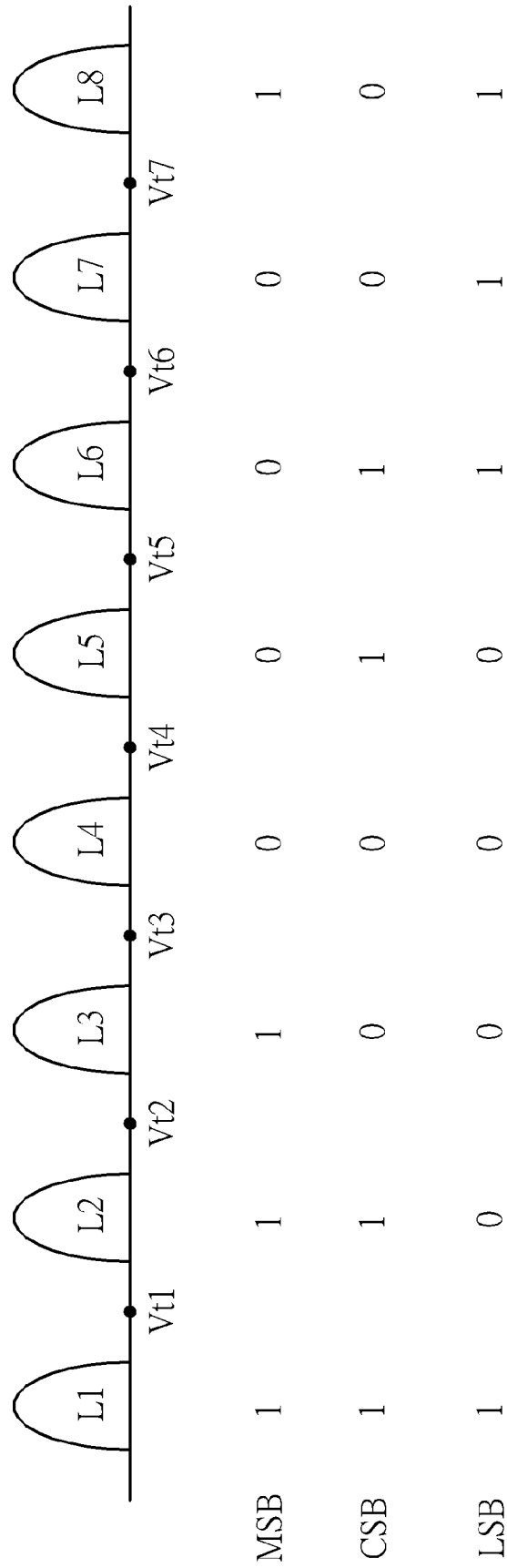
【發明圖式】



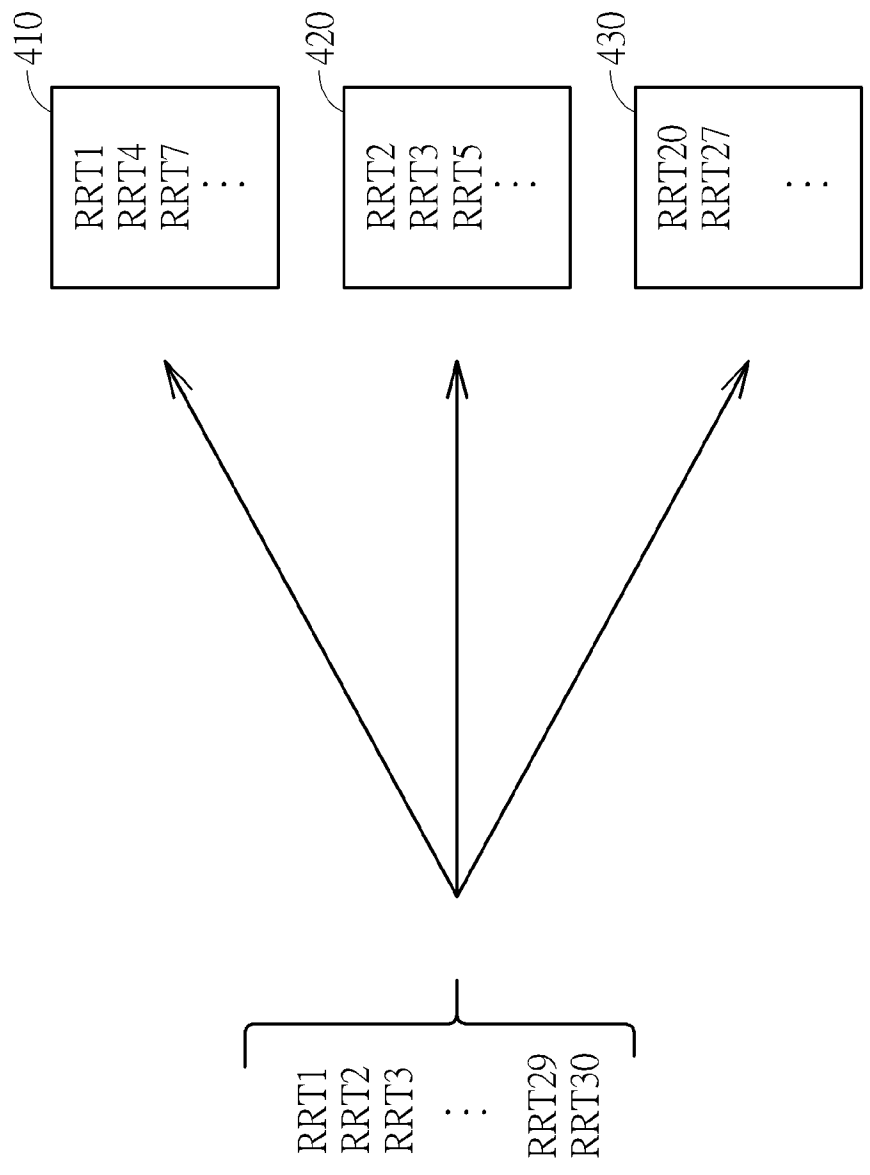
第1圖



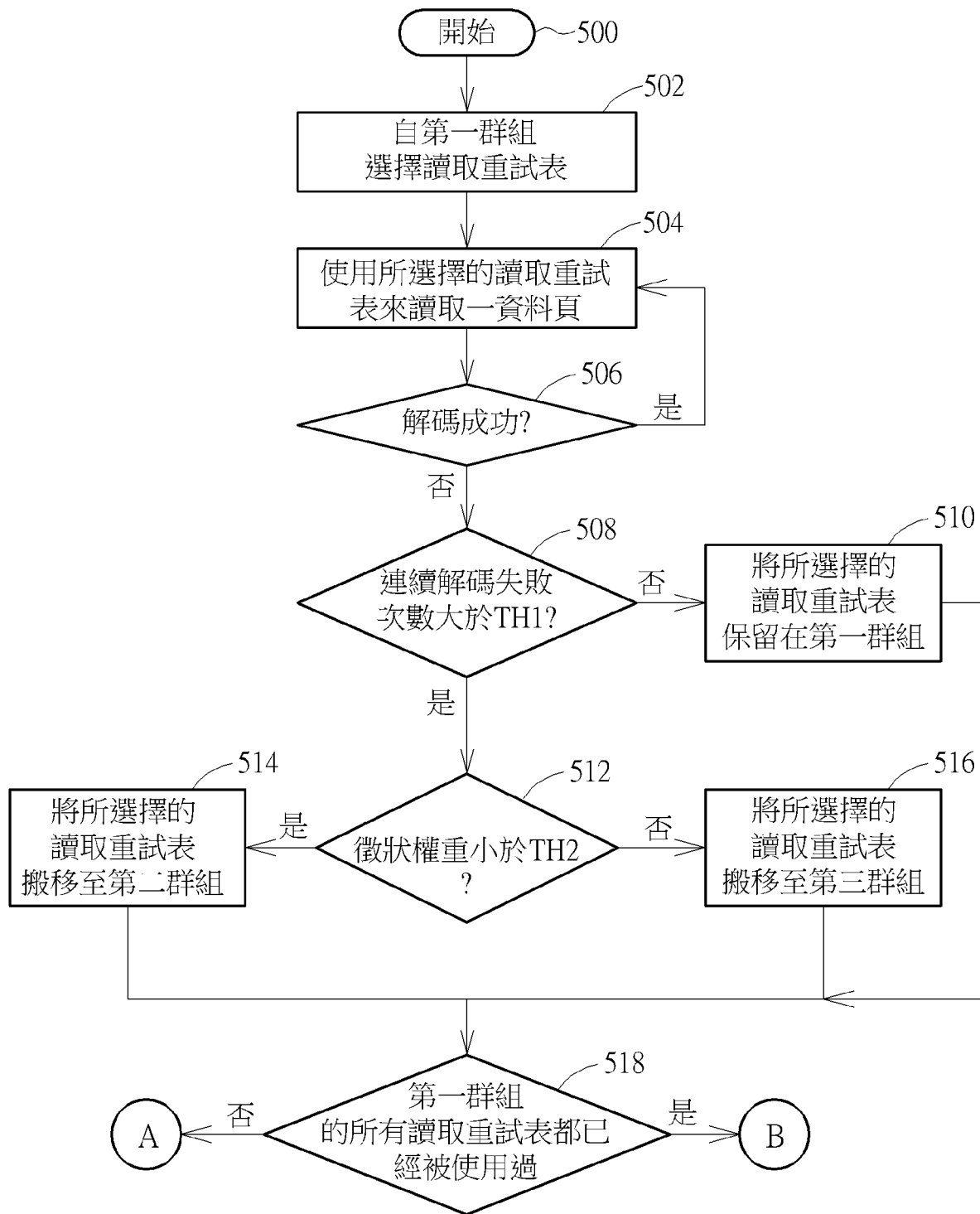
第2圖



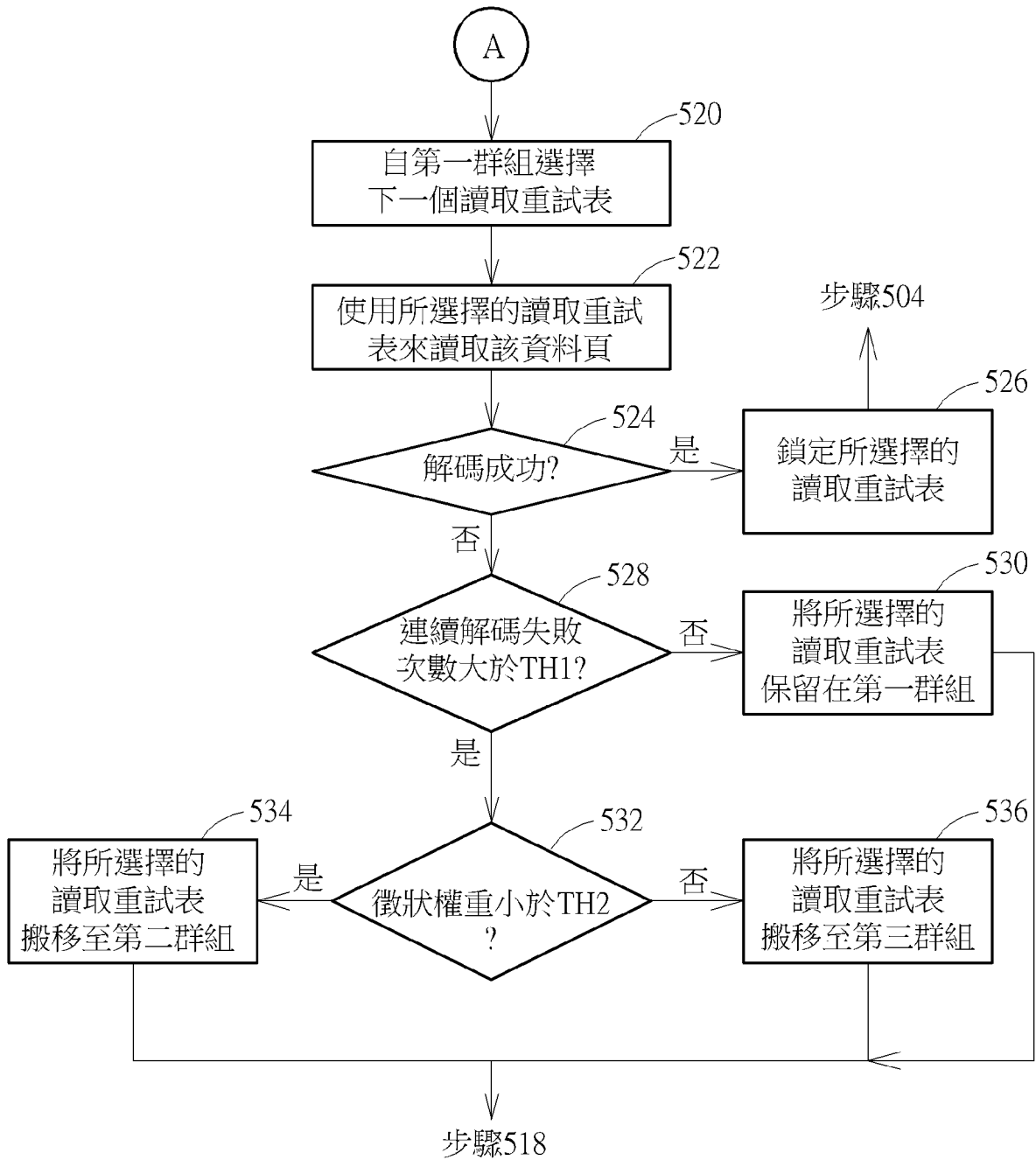
第3圖



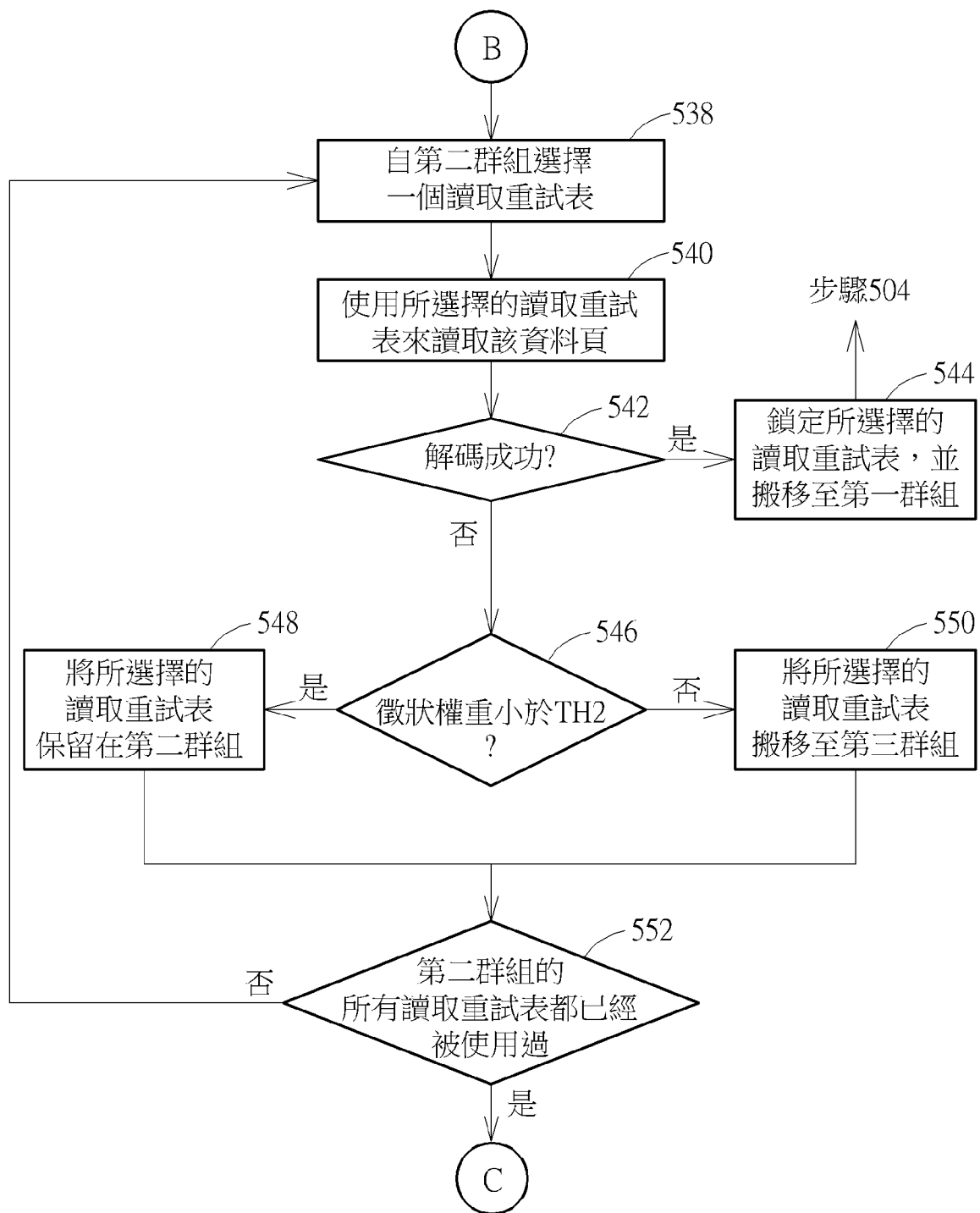
第4圖



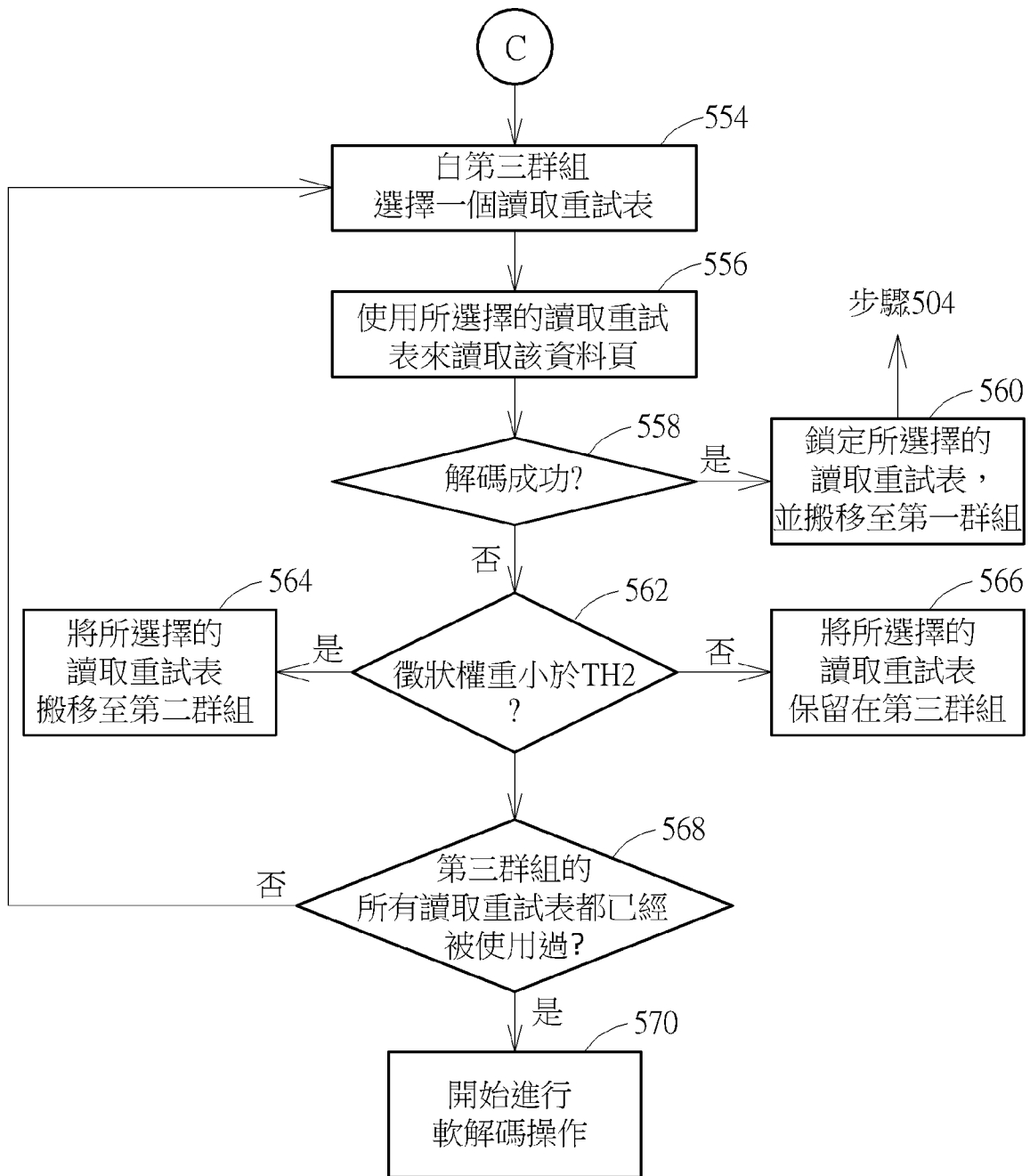
第5圖



第6圖



第7圖



第8圖