



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201320310 A1

(43) 公開日：中華民國 102 (2013) 年 05 月 16 日

(21) 申請案號：100139868

(22) 申請日：中華民國 100 (2011) 年 11 月 01 日

(51) Int. Cl. :

H01L27/112 (2006.01)

H01L23/48 (2006.01)

(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.

(TW)

新竹市新竹科學工業園區力行路 16 號

(72) 發明人：陳士弘 CHEN, SHIH HUNG (TW) ; 施彥豪 SHIH, YEN HAO (TW) ; 呂函庭 LUE, HANG TING (TW)

(74) 代理人：祁明輝；林素華

申請實體審查：有 申請專利範圍項數：26 項 圖式數：11 共 38 頁

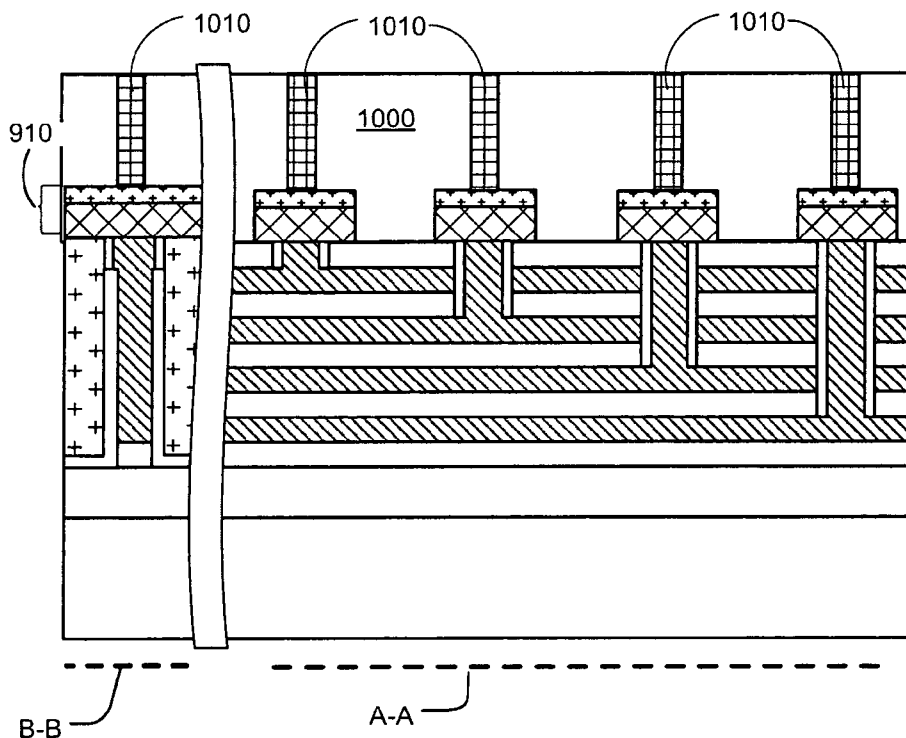
(54) 名稱

記憶體裝置及其製造方法

MEMORY DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57) 摘要

本發明說明一種供適合低成本、高良率製造之三維(3D)記憶體裝置用之垂直互連結構。供 3D 記憶體陣列用之傳導線(例如字線)，以及供用來將陣列耦接至解碼電路等等之垂直連接器用之接觸焊墊，係被形成以作為相同圖案化的材料階層之部分。藉由使用單一光罩之蝕刻製程，可使用相同的材料層以形成接觸焊墊與導電接達線。藉由與傳導線同時地形成接觸焊墊，接觸焊墊之圖案化材料可保護下層的電路元件，否則其在傳導線之圖案化期間可能損壞。



910：第一共同電源線

1000：介電填充材料/
介電填充

1010：導電接觸部

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100139868

※申請日： 100.11.01

※IPC 分類： H01L 27/112 (2006.01)

H01L 23/48 (2006.01)

一、發明名稱：(中文/英文)

記憶體裝置及其製造方法 / MEMORY DEVICE AND
METHOD FOR MANUFACTURING THE SAME

二、中文發明摘要：

本發明說明一種供適合低成本、高良率製造之三維(3D)記憶體裝置用之垂直互連結構。供 3D 記憶體陣列用之傳導線(例如字線)，以及供用來將陣列耦接至解碼電路等等之垂直連接器用之接觸焊墊，係被形成以作為相同圖案化的材料階層之部分。藉由使用單一光罩之蝕刻製程，可使用相同的材料層以形成接觸焊墊與導電接達線。藉由與傳導線同時地形成接觸焊墊，接觸焊墊之圖案化材料可保護下層的電路元件，否則其在傳導線之圖案化期間可能損壞。

三、英文發明摘要：

A vertical interconnect architecture for a three-dimensional (3D) memory device suitable for low cost, high yield manufacturing is described. Conductive lines (e.g. word lines) for the 3D memory array, and contact pads for vertical connectors used for couple the array to decoding circuitry and the like, are formed as parts of the same patterned level of material. The same material layer can be used to form the contact pads and the conductive access lines by an etch process using a single mask. By forming the contact pads

concurrently with the conductive lines, the patterned material of the contact pads can protect underlying circuit elements which could otherwise be damaged during patterning of the conductive lines.

四、指定代表圖：

(一)本案指定代表圖為：第 10A 圖。

(二)本代表圖之元件符號簡單說明：

910：第一共同電源線

1000：介電填充材料/介電填充

1010：導電接觸部

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

concurrently with the conductive lines, the patterned material of the contact pads can protect underlying circuit elements which could otherwise be damaged during patterning of the conductive lines.

四、指定代表圖：

(一)本案指定代表圖為：第 10A 圖。

(二)本代表圖之元件符號簡單說明：

910：第一共同電源線

1000：介電填充材料/介電填充

1010：導電接觸部

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種高密度積體電路裝置，且特別是有關於一種供多階層三維堆疊裝置用之內連線構造。

【先前技術】

當積體電路中的裝置之臨界尺寸縮小至共同記憶體單元技術之極限時，設計者已經尋找用以堆疊多階層之記憶體單元之技術，用以達成更大的儲存容量，並用以達成每位元較低的成本。舉例而言，薄膜電晶體技術係被應用至 Lai 等人之電荷補捉記憶體技術，「一種多層可堆疊之薄膜電晶體 (TFT) NAND 型快閃記憶體 (A Multi-Layer Stackable Thin-Film Transistor (TFT) NAND-Type Flash Memory)」，IEEE 國際電子元件會議，2006 年 12 月 11-13 日；並被應用至 Jung 等人，「使用 ILD 及 TANOS 構造上之堆疊單晶矽層之關於超過 30nm 節點之三維堆疊 NAND 快閃記憶體技術 (Three Dimensionally Stacked NAND Flash Memory Technology Using Stacking Single Crystal Si Layers on ILD and TANOS Structure for Beyond 30nm Node)」，IEEE 國際電子元件會議，2006 年 12 月 11-13 日。

又，交點陣列技術已被應用至 Johnson 等人之反熔絲 (anti-fuse) 記憶體，提供了多層之字線及位元線，其中多個記憶體元件位於交點處。這些記憶體元件包含一個連接至一字線之 p+ 多晶矽陽極，以及一個連接至一位元線之 n- 多晶矽陰極，其中陽極與陰極被反熔絲材料隔開。

另一種利用電荷補捉記憶體技術來提供垂直 NAND 單元之構造，係說明於「供具有 VRAT 及 PIPE 之超高密度快閃記憶體用之嶄新的 3D 構造」，由 Kim 等人所著之 2008 年技術文件之 VLSI 技術文摘上的論文集；2008 年 6 月 17-19 日；第 122-123 頁。

在三維堆疊記憶體構造中，垂直內連線將此陣列之各種電路構造耦接至覆蓋接達線，例如用來讀取及寫入記憶體單元之全域位元線及電源線。

習知之三維堆疊記憶體裝置之一項缺點係為：至陣列中之不同部分的垂直互連構造係各別形成在覆蓋於陣列上之不同階層中。這需要創造供每個階層用之一平版印刷光罩，以及供每個階層用之一蝕刻步驟。實施垂直互連之成本隨著所需要之平版印刷步驟之數目增加。此外，例如在製造期間之光罩對準及蝕刻選擇性之關鍵所在會減少良率。

理想上是可提供一種供具有低製造成本及高良率之三維積體電路記憶體用的構造。

【發明內容】

本發明說明一種供適合低成本、高良率製造之三維 (3D) 記憶體裝置用之垂直互連結構。供 3D 記憶體陣列用之傳導線(例如字線)，以及供用來將陣列耦接至解碼電路等等之垂直連接器用之接觸焊墊，係被形成以作為相同圖案化的材料階層之部分。藉由使用單一光罩之一蝕刻製程可使用相同的材料層以形成接觸焊墊與導電接達線。藉由

與傳導線同時形成接觸焊墊，接觸焊墊之圖案化材料可保護下層的電路元件，否則其在傳導線之圖案化期間可能會損壞。

接觸焊墊提供一種供 3D 記憶體陣列用之垂直互連介面。導電接觸部接著可形成有一介電填充以接觸對應的接觸焊墊。然後，可執行額外的後段製程(BEOL)處理以完成 3D 記憶體裝置。

本發明之其他實施樣態與優點可在圖式、詳細說明，以及以下之申請專利範圍之概述上看到。

為了對本發明之上述及其他方面有更佳的瞭解，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

本發明之實施例之詳細說明係參考第 1-11 圖而提供。

第 1A 及 1B 圖顯示在用以製造三維堆疊記憶體裝置之製程中的第一階段以後的構造之剖面及俯視圖。於此例中，顯示四個標示為 102.1、102.2、102.3、102.4 之階層 102，其係代表可包含多數階層之構造。

四個階層 102 係與一下層半導體基板 140 隔開了一個或多個介電層 125。一頂端介電層 126 伏在四個階層 102 上面。

此些階層 102 包含各自的導電材料層 134。於此實施例中，層 134 係為例如摻入雜質的多晶矽之半導體材料。此些階層 102 亦包含分離不同階層 102 之半導體材料層 134 之各自的絕緣材料層 136。

此構造亦包含一第一階梯狀連接器構造 110。第一階梯狀連接器構造 110 包含標示為 112.1-112.4 之導電垂直連接器 112，每個導電垂直連接器電連接至其中一個階層 102 之其中一個導電層 134。此些垂直連接器 112 係由標示為 114.1-114.4 之對應的介電側壁隔板 114 所包圍。介電側壁隔板 114 使相對應的垂直連接器 112 與其他階層 102 之導電層 134 電性隔離，藉此使垂直連接器 112 並未完成電性接觸。

第 1A 圖包含沿著線 A-A 之經由第一階梯狀導體構造 110 之剖面圖。如第 1A 圖所示，垂直連接器 112.1 延伸通過介電層 126 以接觸第一階層 102.1 之導電層 134.1。同樣地，垂直連接器 114.2 係電連接至第二階層 102.2 之導電層 134.2，垂直連接器 114.3 係電連接至第三階層 102.3 之導電層 134.3，而垂直連接器 114.4 係電連接至第四階層 102.4 之導電層 134.4。

如第 1B 圖之俯視圖所示，此構造亦包含一第二階梯狀導體構造 120。第二階梯狀導體構造 120 包含標示為 122.1-122.4 之垂直連接器 122，其電連接至其中一個階層 102 之其中一個導電層 134。此些垂直連接器 122 係由標示為 124.1-124.4 之對應的介電側壁隔板 124 所包圍。介電側壁隔板 124 使垂直連接器 122 與其他階層 102 之導電層 134 電性隔離，藉此使垂直連接器 122 並未完成電性接觸。

此構造亦包含電連接至每一個階層 102 之每個導電層 134 之垂直連接器 150、152、154、156。第 1A 圖包含

沿著線 C-C 之經由垂直連接器 150 之剖面圖。如第 1A 圖所示，垂直連接器 150 係電連接至每一個階層 102.1、102.2、102.3、102.4 之導電階層 134.1、134.2、134.3、134.4。

第 1A 及 1B 圖所顯示之構造可利用說明於美國專利申請案第 13/114,931 號(申請日 2011 年 5 月 24 日，其係於此併入作參考，猶如完全提出於此)之技術而製造出。

第 2A 及 2B 圖顯示在執行一平版印刷圖案化步驟之後用以定義半導體條之複數個脊形堆疊 200、202、204、206 之第 1A 及 1B 圖之構造之頂端及剖面圖。半導體條係藉由使用導電層 134 之材料而被實施，並與相同堆疊中之其他條隔開了絕緣材料層 136。如以下更詳細說明的，堆疊 200、202、204、206 之導電條作為在此裝置之各種階層 102 中的局部位元線。

平版印刷圖案化步驟係藉由在第 1A 及 1B 圖所顯示之構造 100 之選擇的區域上形成一圖案化光阻光罩而被實現。然後，蝕刻係藉由使用光阻光罩作為一蝕刻光罩而被執行下至介電層 125。光阻光罩接著被移除，藉以產生第 2A 及 2B 圖所顯示之構造。

如第 2A 及 2B 圖所示，實施平版印刷圖案化步驟以將垂直連接器 150、152、154、156 配置於半導體條之堆疊 200、202、204、206 之第一端。這個圖案化製程亦暴露垂直連接器 150、152、154、156 之側壁表面。

位於一特定堆疊之第一端之垂直連接器，將那個特定堆疊之導電條予以互連。舉例而言，第 2A 圖包含沿著線 C-C 之經由配置於堆疊 200 之第一端之垂直連接器 150 之

剖面圖。如第 2A 圖所示，垂直連接器 150 係連接至在堆疊 200 之各種階層 102 中的半導體條。

堆疊 200、202 於此被共同稱為第一組堆疊。堆疊 204、206 於此被共同稱為第二組堆疊。如可在第 2B 圖中看到的，第一與第二組堆疊具有相反方位。亦即，位於第一組之堆疊 200、202 之第一端之垂直連接器 150、152 係在位於第二組之堆疊 204、206 之第一端之垂直連接器的相反位置。此外，第一與第二組之堆疊係以一種交替方式配置，俾能使第一組中之鄰近堆疊被第二組中之單一堆疊隔開，而第二組中之鄰近堆疊被第一組中之單一堆疊隔開。

在階層 102 之內的導電延伸(未顯示)係於定義堆疊 200、202、204、206 之同時被圖案化。在階層 102 之內的第一導電延伸係被配置於堆疊 204、206 之第二端。第一導電延伸係藉由使用各種階層 102 之導電層 134 之材料而實現。第一導電延伸將在相同階層之內之堆疊 204、206 之導電條耦接至彼此，並耦接至第一階梯狀連接器構造 110 中之一對應的垂直連接器 112。舉例而言，第一階層 102.1 中之一第一導電延伸將第一階層 102.1 中之堆疊 204、206 之導電條耦接至彼此，並耦接至第一階層 102.1 之相對應的垂直連接器 122.1。

圖案化步驟亦形成於堆疊 200、202 之第二端之第二導電延伸(未顯示)。第二導電延伸係藉由使用各種階層 102 之導電層 134 之材料而實現。第二導電延伸將在相同階層之內之堆疊 200、202 之導電條耦接至彼此，並耦接至第

二階梯狀連接器構造 120 中之一對應的垂直連接器 122。舉例而言，第一階層 102.1 中之一第二導電延伸將第一階層 102.1 中之堆疊 200、202 之導電條耦接至彼此並耦接至第一階層 102.1 之相對應的垂直連接器 122.1。

第 3A 及 3B 圖顯示在一記憶體層 300 毯覆式沈積在第 2A 及 2B 圖所顯示之構造上之後的頂端及剖面圖。

記憶體層 300 譬如可能是一種可程式化電阻記憶體材料。舉例而言，記憶體層 300 可包含單一層之反熔絲材料。反熔絲材料可能譬如二氧化矽、氮化矽、氮氧化矽或其他氧化矽。或者，可能形成其他型式之可程式化電阻記憶體材料。

在替代而非毯覆式沈積中，可應用氧化製程以在堆疊之導電條之露出側上形成氧化物，於此氧化物作為記憶體材料。

記憶體層 300 或者可包含一種多層電荷補捉構造，其包含一穿隧層、一電荷補捉層以及一阻擋層。於一實施例中，穿隧層係為氧化矽(O)、電荷儲存層係為氮化矽(N)，而阻擋層係為氧化矽(O)。或者，多層電荷補捉構造可包含其他電荷儲存構造，譬如包含氮氧化矽($\text{Si}_x\text{O}_y\text{N}_z$)、富矽氮化物、富矽氧化物、包含嵌入式奈米粒子之捕捉層等等。

於一實施例中，可使用包含一介電穿隧層之一帶隙工程 SONOS(BE-SONOS)電荷儲存構造，介電穿隧層包含在零偏壓之下形成一倒 U 形價帶(valence band)之材料之一組合。於一實施例中，複合隧道型介電層包含稱為一電洞穿隧層之一第一層、稱為一頻帶偏移層之一第二層，以及

稱為一隔離層之一第三層。

第 4A 及 4B 圖顯示使一導電材料層 400(例如具有 N 型或 P 型摻雜之多晶矽)沈積在第 3A 及 3B 圖所顯示之構造上的結果。如下所述，材料層 400 係使用作為傳導線之下部，其將作為供裝置用之字線。可利用一種例如多晶矽之低壓化學氣相沈積之高深寬比沈積技術，以完全填補在脊形堆疊 200、202、204、206 之間的開放區域或渠溝。

第 5A 及 5B 圖顯示層 400 之回蝕用以使堆疊 200、202、204、206 之上表面之上與垂直連接器 112、122 之上表面之上的記憶體層 300 之部分露出之結果。

第 6A 及 6B 圖顯示在執行一平坦化製程以移除記憶體層 300 之露出部分之後的結果。平坦化製程使堆疊 200、202、204、206 之垂直連接器 150、152、154、156 之上表面，與垂直連接器 112、122 之上表面露出。平坦化製程可能譬如化學機械拋光法(CMP)。

第 7A 及 7B 圖顯示使一第一層 700 之導電材料沈積在第 6A 及 6B 圖中之構造上，接著使一第二層 710 之導電材料沈積以形成一頂端閘極材料 720 之結果。於此實施例中，頂端閘極材料 720 係為一種多層構造。或者，頂端閘極材料 720 可能是單一層之材料。

如下所述，頂端閘極材料 720 係使用作為傳導線之上部，其將作為供裝置用之字線。此外，頂端閘極材料 720 係使用作為垂直連接器 150、152、154、156 之接觸焊墊，並作為第一與第二第一階梯狀連接器構造 110、120 中之垂直連接器 112、122 的接觸焊墊。

第 8A 及 8B 圖顯示使一圖案化光阻光罩 800 形成在第 8A 及 8B 圖中之構造上的結果。光阻光罩 800 包含朝第一方向平行延伸之複數條線 810。這些線 810 定義記憶體單元與傳導線之位置，其將作為供裝置用之字線。

光阻光罩 800 亦包含朝第一方向平行延伸之複數條線 820。這些線 820 定義區塊選擇電晶體與傳導線之位置，其將作為供裝置用之接地選擇線。

光阻光罩 800 亦包含朝第一方向平行延伸之複數條線 830。這些線 830 定義共同電源線之位置。如以下更詳細說明的，共同電源線作為垂直連接器 150、152、154、156 之接觸焊墊。在替代實施例，而非界定延伸橫越過堆疊之共同電源線中，界定個別接觸焊墊之位置之特徵部可能被圖案化，藉以覆蓋於每一個垂直連接器 150、152、154、156 上。

光阻光罩 800 亦包含複數個特徵部 840，其界定供第一連接器構造 110 中之垂直連接器 112 用之接觸焊墊的位置。光阻光罩 800 亦包含複數個特徵部 850，其界定供第二連接器構造 120 之垂直連接器 122 用之接觸焊墊之位置。

光阻光罩 800 亦包含複數個特徵部 860，其界定配置於堆疊之第二端之字串選擇電晶體之位置。

第 9A、9B 及 9C 圖顯示藉由使用光阻光罩 800 作為蝕刻光罩以蝕刻第 8A 及 8B 圖所顯示之構造，接著移除光阻光罩 800 之結果。蝕刻利用單一光阻光罩 800，而不需要蝕刻穿過脊形堆疊。可藉由一種對多晶矽高度選擇性之

蝕刻製程而蝕刻在氧化矽及氮化矽上面之多晶矽，其中此製程停止在下層介電層 125 上。

蝕刻製程形成作為供 3D 記憶體陣列用之字線之複數條傳導線 900。這些傳導線 900 於堆疊之半導體條之表面與傳導線 900 之間的交點建立 3D 陣列之記憶體單元。於此例中，半導體條中之記憶體單元係被配置在 NAND 字串中。記憶體單元具有在傳導線 900 與用以作為局部位元線之半導體條之間的記憶體層 300 之部分之內的記憶體元件。於此所顯示的例子中，每個記憶體單元係為一種雙重閘極場效電晶體，其在相對應的半導體條與傳導線 900 之間的介面之兩側上具有活性區域。

蝕刻製程形成一條與堆疊 200、202 之垂直連接器 150、152 之上表面接觸之第一共同電源線 910。第一共同電源線 910 作為供垂直連接器 150、152 用之接觸焊墊。

蝕刻製程亦形成一條與堆疊 204、206 之垂直連接器 154、156 之上表面接觸之第二共同電源線 920。第二共同電源線 920 作為供垂直連接器 154、156 用之接觸焊墊。

蝕刻製程亦形成配置於堆疊 200、202、204、206 之第二段之字串選擇電晶體 930、932、934、936。字串選擇電晶體 930、932 係用以選擇性地將堆疊 200、202 之半導體條耦接至相對應的垂直連接器 122。字串選擇電晶體 934、936 係用以選擇性地將堆疊 204、206 之半導體條耦接至相對應的垂直連接器 112。

蝕刻製程亦形成在一第一接地選擇線構造 940 下層的一第一組區塊選擇電晶體。蝕刻製程亦形成在一第二接

地選擇線構造 950 下層的一第二組區塊選擇電晶體。

蝕刻製程亦形成供垂直連接器 112 用之標示為 962.1–962.4 之接觸焊墊 962。蝕刻製程亦形成供垂直連接器 122 用之標示為 972.1–972.4 之接觸焊墊 972。

在蝕刻期間，光罩特徵部與隨後形成的接觸焊墊保護下層的垂直連接器 150、152、154、156。如果這些光罩特徵部不存在，則移除在與垂直連接器鄰接的開放區域或溝溝之內的相當厚的多晶矽層，亦可完全蝕刻掉覆蓋垂直連接器 150、152、154、156 之記憶體層，藉以允許垂直連接器 150、152、154、156 之一部分亦被蝕刻掉，其將有效地摧毀裝置。

接著，將一介電填充材料 1000 沈積在第 9A-9C 圖所顯示之構造上。然後，執行一平版印刷圖案化步驟以形成延伸通過介電填充 1000 之接觸開口部，用以使接觸焊墊 962、972、電源線 910、920 以及字串選擇電晶體 930、932、934、936 之接觸面露出。接著，以例如鎢之導電材料填補接觸開口部，用以形成對應的導電接觸部 1010。所產生之構造係顯示於第 10A 及 10B 圖。

接著可執行額外的後段製程(BEOL)處理，以完成 3D 記憶體裝置。一般而言，藉由 BEOL 製程而形成之構造可包含額外的接觸部、內層介電材料以及各種金屬層以供在適當的導電接觸部 1010 與接達電路之間的互連，用以將 3D 陣列之記憶體單元耦接至周邊電路。

因為這些製程之結果，可形成例如第 11 圖所顯示之那些之控制電路、偏壓電路以及解碼器電路。在某些實施

例中，說明於美國申請案號 13/078311 中之解碼佈局係用於此裝置，其揭露書係於此併入作參考。

第 11 圖係為依據本技術之一實施例之一積體電路 1175 之簡化方塊圖。積體電路 1175 包含 3D 堆疊記憶體陣列，其具有如於此說明的方式所製造之改良之接觸結構。一列解碼器 1161 係耦接至複數條字線 1162，並沿著記憶體陣列 1160 中之列而配置。一行解碼器 1163 係耦接至複數條字串選擇線 1164，用以選擇記憶體陣列 1160 中之行以供從陣列 1160 中之記憶體單元讀取並程式化資料。一平面解碼器 1158 係經由全域位元線 1159 耦接至記憶體陣列 1160 中之複數個階層。全域位元線 1159 係耦接至沿著記憶體陣列 1160 之各種階層中的行配置之局部位元線(未顯示)。匯流排 1165 上之位址係被提供至行解碼器 1163、列解碼器 1161 以及平面解碼器 1158。於此例中，方塊 1166 中之感測放大器及資料輸入構造係經由資料匯流排 1167 而耦接至行解碼器 1163。資料係經由資料輸入線 1171 而從積體電路 1175 上之輸入/輸出埠或從積體電路 1175 內部或外部之其他資料源被提供至方塊 1166 中之資料輸入構造。在所顯示的實施例中，另一個電路 1174 係被包含在積體電路上，例如一通用處理器或特殊用途的應用電路，或提供被陣列所支持之系統單晶片(system-on-a-chip)功能性之模組之組合。資料係經由資料輸出線 1172 而從方塊 1166 中之感測放大器被提供至積體電路 1175 上之輸入/輸出埠，或提供至積體電路 1175 內部或外部之其他資料目標。

於此例中藉由使用偏壓配置狀態機器 1169 而實現之控制器控制經由電壓源所產生或提供之偏壓配置電源電壓之施加，或在方塊 1168 中供應例如讀取與程式化電壓。控制器可藉由使用如習知技藝所知之特殊用途的邏輯電路而被實現。在替代實施例中，控制器包含一通用處理器，其可能在相同積體電路上被實現，其執行一電腦程式以控制此裝置之運作。在又其他實施例中，特殊用途的邏輯電路及一通用處理器之組合可能用於控制器之實行。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1A 及 1B 圖顯示在用以製造三維堆疊記憶體裝置之製程中的第一階段以後的構造之剖面及俯視圖。

第 2A 及 2B 圖顯示在用以製造三維堆疊記憶體裝置之製程中的第二階段以後的構造之剖面及俯視圖。

第 3A 及 3B 圖顯示在用以製造三維堆疊記憶體裝置之製程中的第三階段以後的構造之剖面及俯視圖。

第 4A 及 4B 圖顯示在用以製造三維堆疊記憶體裝置之製程中的第四階段以後的構造之剖面及俯視圖。

第 5A 及 5B 圖顯示在用以製造三維堆疊記憶體裝置之製程中的第五階段以後的構造之剖面及俯視圖。

第 6A 及 6B 圖顯示在用以製造三維堆疊記憶體裝置之製程中的第六階段以後的構造之剖面及俯視圖。

第 7A 及 7B 圖顯示在用以製造三維堆疊記憶體裝置之製程中的第七階段以後的構造之剖面及俯視圖。

第 8A 及 8B 圖顯示在用以製造三維堆疊記憶體裝置之製程中的第八階段以後的構造之剖面及俯視圖。

第 9A、9B 及 9C 圖顯示在用以製造三維堆疊記憶體裝置之製程中的第九階段以後的構造之剖面及俯視圖。

第 10A 及 10B 圖顯示在用以製造三維堆疊記憶體裝置之製程中的第十階段以後的構造之剖面及俯視圖。

第 11 圖係為依據本技術之實施例之積體電路之簡化方塊圖。

【主要元件符號說明】

100：構造

102、102.1-102.4：階層

110：第一階梯狀連接器構造

112、112.1-112.4：垂直連接器

114：介電側壁隔板

114.2、114.3、114.4：垂直連接器

120：第二階梯狀連接器構造

122：垂直連接器

124、124.1-124.4：介電側壁隔板

125：介電層

126：介電層

- 134：半導體材料層
- 134.1-134.4：導電層
- 136、136.1-136.4：絕緣材料層
- 140：下層半導體基板
- 150、152、154、156：垂直連接器
- 200、202、204、206：堆疊
- 300：記憶體層
- 400：導電材料層
- 700：第一層
- 710：第二層
- 720：頂端閘極材料
- 800：光阻光罩
- 810、820、830：線
- 840、850、860：特徵部
- 900：傳導線
- 910：第一共同電源線
- 920：第二共同電源線
- 930、932、934、936：字串選擇電晶體
- 940：第一接地選擇線構造
- 950：第二接地選擇線構造
- 962、962.1-962.4：接觸焊墊
- 972、972.1-972.4：接觸焊墊
- 1000：介電填充材料/介電填充
- 1010：導電接觸部
- 1158：平面解碼器

- 1159：全域位元線
- 1160：記憶體陣列
- 1161：列解碼器
- 1162：字線
- 1163：行解碼器
- 1164：字串選擇線
- 1165：匯流排
- 1166：方塊
- 1167：資料匯流排
- 1168：方塊
- 1169：偏壓配置狀態機器
- 1171：資料輸入線
- 1172：資料輸出線
- 1174：電路
- 1175：積體電路

七、申請專利範圍：

1. 一種記憶體裝置之製造方法，該方法包括：

形成複數個以絕緣材料隔開之導電條堆疊，其中在該些堆疊中之各該導電條堆疊之之第一端係藉由複數個對應的垂直連接器而交互連接；

形成一記憶體層在該些導電條堆疊之表面上；

形成一導電材料在該些堆疊上方以及在該些垂直連接器之上表面；以及

圖案化該導電材料以形成複數條傳導線並形成複數個接觸焊墊，該些傳導線延伸橫越過該些堆疊以及該些垂直連接器之該些上表面上之該些接觸焊墊，且該些傳導線具有複數個依從該些堆疊以及該些垂直連接器之該些上表面上之該些接觸焊墊之表面，以使該記憶體層中之複數個記憶體元件被定義在該些導電條與該些傳導線之側表面之間，藉以建立一種經由該些傳導線與該些接觸焊墊容易接達之 3 維陣列之記憶體單元。

2. 如申請專利範圍第 1 項所述之方法，其中：

形成該記憶體層之步驟包括：形成該記憶體層在該些堆疊之上絕緣材料層之上表面上以及在該些垂直連接器之上表面與露出之側壁上；以及

形成並圖案化該導電材料之步驟包括：

形成一第一導電材料層在該些堆疊中之鄰近堆疊之間；

移除該記憶體層之部分，以露出該些垂直連接器之該些上表面與該些堆疊之上表面；

沈積一第二導電材料層在該第一導電材料之複數個殘留部分、該些垂直連接器之該些露出之上表面與該些堆疊之該些上表面；以及

圖案化該第一與第二導電材料層以形成該些傳導線與該些接觸焊墊。

3. 如申請專利範圍第 2 項所述之方法，其中該第一導電材料層不同於該第二導電材料層。

4. 如申請專利範圍第 1 項所述之方法，其中：

形成該些導電條堆疊之步驟係露出該些垂直連接器之側壁；

形成該記憶體層之步驟包括形成該記憶體層在該些垂直連接器之該些露出之側壁上；以及

圖案化該導電材料之步驟係建立複數個記憶體層側壁隔板在該些垂直連接器之該些側壁上並與該些接觸焊墊之下表面接觸，該些側壁隔板係使該些接觸焊墊之下的殘留導電材料與該些垂直連接器分離。

5. 如申請專利範圍第 1 項所述之方法，更包括：

形成一介電填補材料覆蓋於該些傳導線與該些接觸焊墊上；

形成複數個接觸開口部在該介電填補材料之內，用以露出對應的該些接觸焊墊之接觸面；以及

以該導電材料填補該些接觸開口部以形成對應的複數個導電接觸部。

6. 如申請專利範圍第 1 項所述之方法，其中形成該些堆疊之步驟包括形成複數個導電延伸在該些導電條之

複數個階層中，各該導電延伸互連在各特定之該些階層之內的該些導電條之第二端，並更包括形成複數個第二垂直連接器，其接觸各特定之該些階層之對應的該導電延伸並延伸通過複數個在覆蓋之該些階層中之開口部。

7. 如申請專利範圍第 6 項所述之方法，其中：

形成該導電材料之步驟包括形成該導電材料在該些第二垂直連接器之上表面上；以及

圖案化該導電材料之步驟更進一步形成複數個第二接觸焊墊在該些第二垂直連接器之上表面上。

8. 如申請專利範圍第 7 項所述之方法，更包括：

形成一介電填補材料覆蓋於該些傳導線、該些接觸焊墊以及該些第二接觸焊墊上；

形成複數個接觸開口部在該介電填補材料之內的，用以露出對應的該些接觸焊墊以及對應的該些第二接觸焊墊之接觸面；以及

以該導電材料填補該些接觸開口部以形成對應的複數個導電接觸部。

9. 如申請專利範圍第 1 項所述之方法，其中形成該堆疊之該些導電條之步驟包括形成一第一組堆疊及形成一第二組堆疊，該第一與第二組以一種交替方式配置，以使在該第一組中之鄰近的該些堆疊係被該第二組中之單一的該堆疊隔開，且使在該第二組中之鄰近的該些堆疊係被該第一組中之單一堆的該疊隔開，且該第一組之該些堆疊中之該些導電條之該些第一端係位於該第二組中之該些導電條之該些第一端的對面。

10. 如申請專利範圍第 1 項所述之方法，其中該記憶體層包括一反熔絲材料層。

11. 如申請專利範圍第 1 項所述之方法，其中該記憶體層包括一多層電荷儲存構造。

12. 如申請專利範圍第 1 項所述之方法，其中該些導電條包括一摻雜半導體材料，以使該些導電條係為該些記憶體單元之操作而配置以作為複數個電荷儲存電晶體。

13. 如申請專利範圍第 1 項所述之方法，其中圖案化該導電材料係形成複數個字串選擇電晶體配置於該些堆疊之第二端。

14. 一種記憶體裝置，包括：

複數個導電條堆疊，以絕緣材料隔開；

複數個垂直連接器，互連在該些堆疊中之各該導電條堆疊之第一端；

複數條傳導線，延伸橫越過該些堆疊，並具有複數個依從該些堆疊之表面，以使一種 3 維陣列之複數個介面區域係建立於該些導電條之表面與該些傳導線之間的交點；

複數個接觸焊墊，位於該些垂直連接器之上表面上，其中該些接觸焊墊及該些傳導線之導電材料係為相同的圖案化之材料階層之一部分；以及

複數個記憶體元件，位在該些介面區域中，其建立經由該些傳導線與該些接觸焊墊容易接達之一種 3 維陣列之複數個記憶體單元。

15. 如申請專利範圍第 14 項所述之記憶體裝置，其中該些傳導線包括：

一第一導電材料，在該些堆疊中之鄰近堆疊之間的複數個渠溝之內；及

一第二導電材料，延伸橫越過該些堆疊並在該些渠溝之內之該第一導電材料之複數個上表面上。

16. 如申請專利範圍第 15 項所述之記憶體裝置，其中該第一導電材料不同於該第二導電材料。

17. 如申請專利範圍第 14 項所述之記憶體裝置，更包括複數個側壁隔板，其位於該些垂直連接器之側壁上且與該些接觸焊墊之下表面接觸，該些側壁隔板係使該些接觸焊墊之下的殘留導電材料與該些垂直連接器分離。

18. 如申請專利範圍第 14 項所述之記憶體裝置，更包括：

一介電填充，覆蓋於該些傳導線與該些接觸焊墊上；以及

複數個導電接觸部，從該介電填充之上表面延伸以接觸對應的該些傳導線及該些接觸焊墊。

19. 如申請專利範圍第 14 項所述之記憶體裝置，更包括：

複數個導電延伸，位在該些導電條之複數個階層中，各該導電延伸互連在各特定之該些階層之內之該些導電條之第二端；

複數個第二垂直連接器，接觸各特定之該些階層之對應的該導電延伸並延伸通過複數個在覆蓋之該些階層中之開口部；以及

複數個第二接觸焊墊，位於該些第二垂直連接器之上

表面上，其中該些第二接觸焊墊與該些傳導線之導電材料係為相同圖案化之材料階層之一部分。

20. 如申請專利範圍第 19 項所述之記憶體裝置，更包括：

一介電填充，覆蓋於該些傳導線、該些接觸焊墊以及該些第二接觸焊墊上；以及

複數個導電接觸部，從該介電填充之上表面延伸以接觸對應的該些接觸焊墊與該些第二接觸焊墊。

21. 如申請專利範圍第 14 項所述之記憶體裝置，其中該些堆疊之導電條包括一第一組堆疊及一第二組堆疊，該第一與第二組以一種交替方式配置，以使在該第一組中之鄰近的該些堆疊係被該第二組中之單一的該堆疊隔開，使在該第二組中之鄰近的該些堆疊係被該第二組裝之單一的該堆疊隔開，並使在該第二組中之鄰近堆疊係被該第一組中之單一堆疊隔開，且該第一組的該些堆疊中之該些導電條之該些第一端係在該第二組中之該些導電條之該些第一端的對面。

22. 如申請專利範圍第 21 項所述之記憶體裝置，更包括：

一第一互連區域，包括：複數個第一導電延伸，位在該些導電條之複數個階層中，各該第一導電延伸互連在各特定之該些階層之內的該第一組堆疊之該些導電條之第二段；以及複數個第二垂直連接器，接觸各特定之該些階層之對應的該些第一導電延伸並延伸通過在複數個在覆蓋之該些階層中之開口部；以及

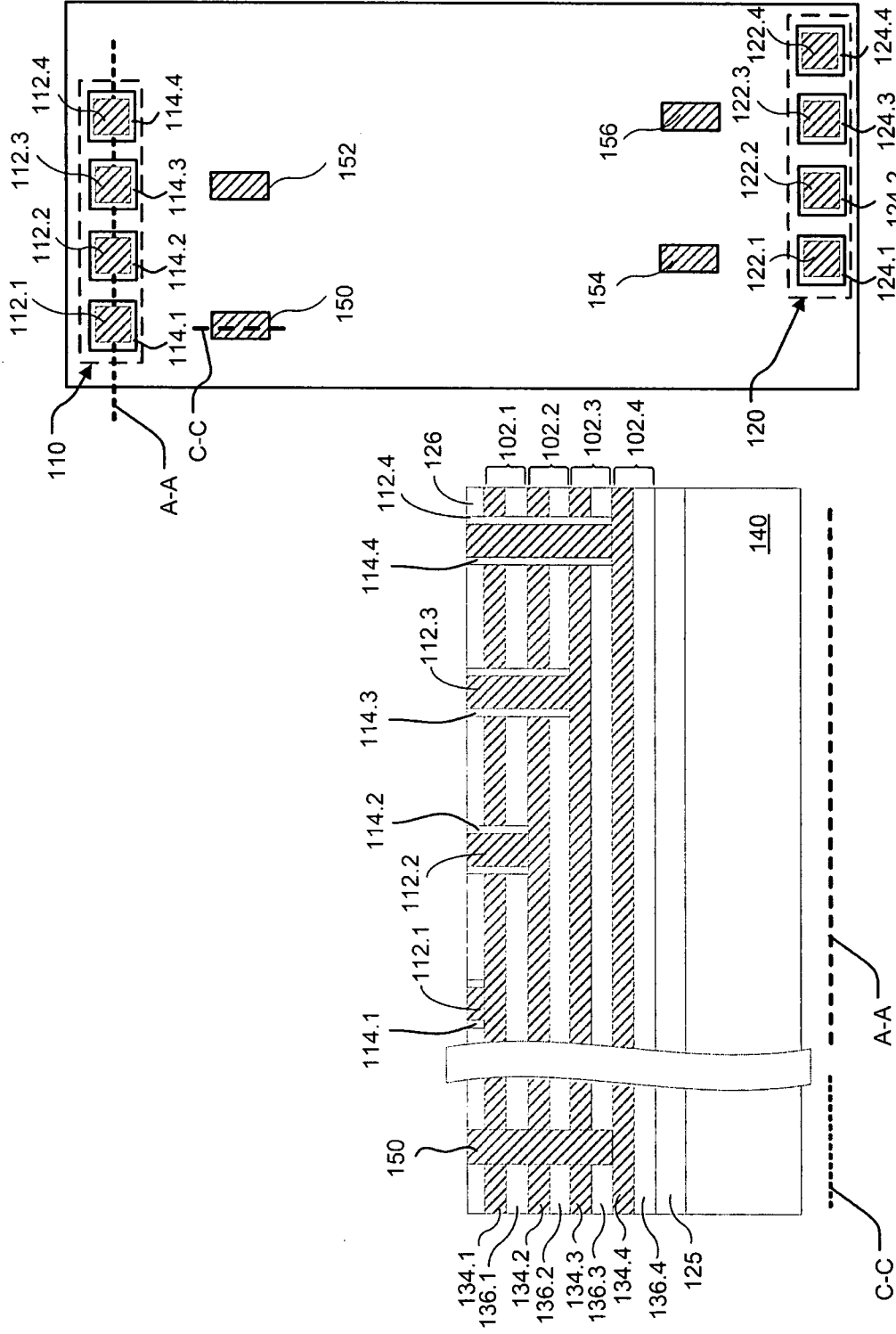
一 第二互連區域，包括：複數個第二導電延伸，位在該些導電條之複數個階層中，各該第二導電延伸互連在各特定之該些階層之內之該第二組堆疊之該些導電條之第二端；以及複數個第三垂直連接器，接觸各特定之該些階層之對應的該些第二導電延伸並延伸通過在複數個在覆蓋之該些階層中之開口部。

23. 如申請專利範圍第 14 項所述之記憶體裝置，其中該記憶體層包括一反熔絲材料層。

24. 如申請專利範圍第 14 項所述之記憶體裝置，其中該記憶體層包括一多層電荷儲存構造。

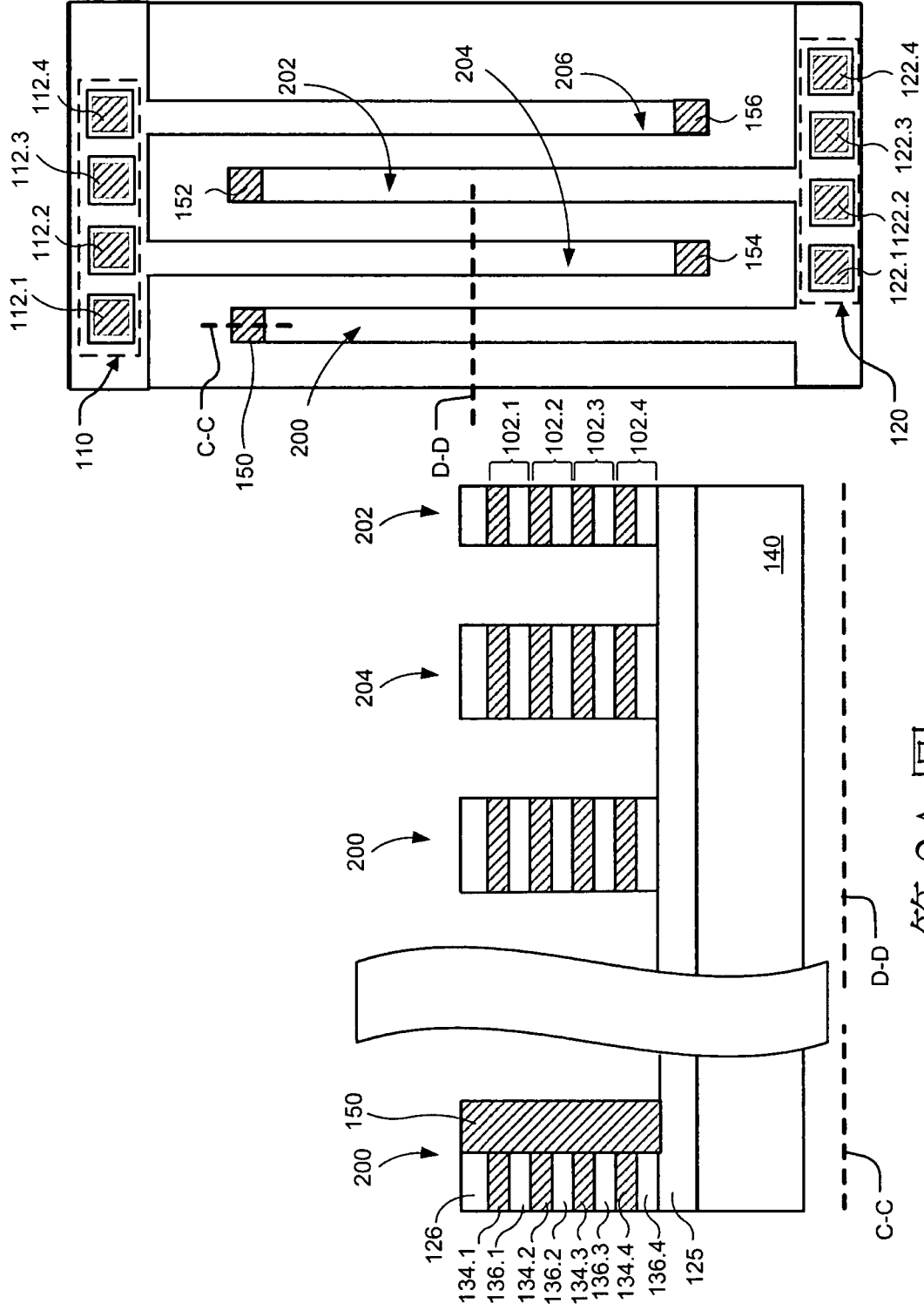
25. 如申請專利範圍第 14 項所述之記憶體裝置，其中該些導電條包括一摻雜半導體材料，以使該些導電條係為該些記憶體單元之操作而配置以作為複數個電荷儲存電晶體。

26. 如申請專利範圍第 14 項所述之記憶體裝置，更包括複數個字串選擇電晶體配置於該些堆疊之第二端之，該些字串選擇電晶體具有複數個閘極，該些閘極具有與該些傳導線之該些上表面共平面的複數個上表面。



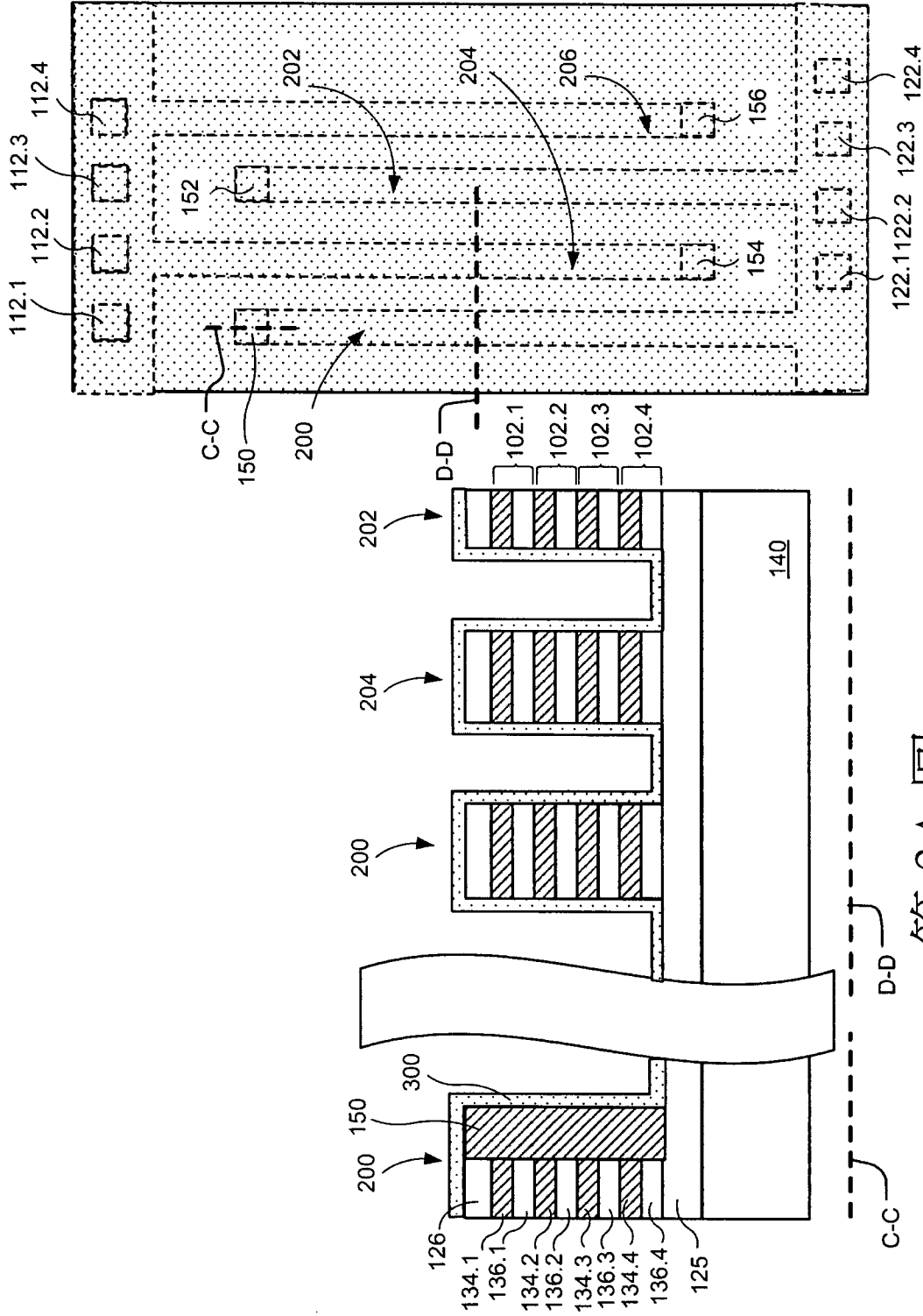
第1A圖

第1B圖



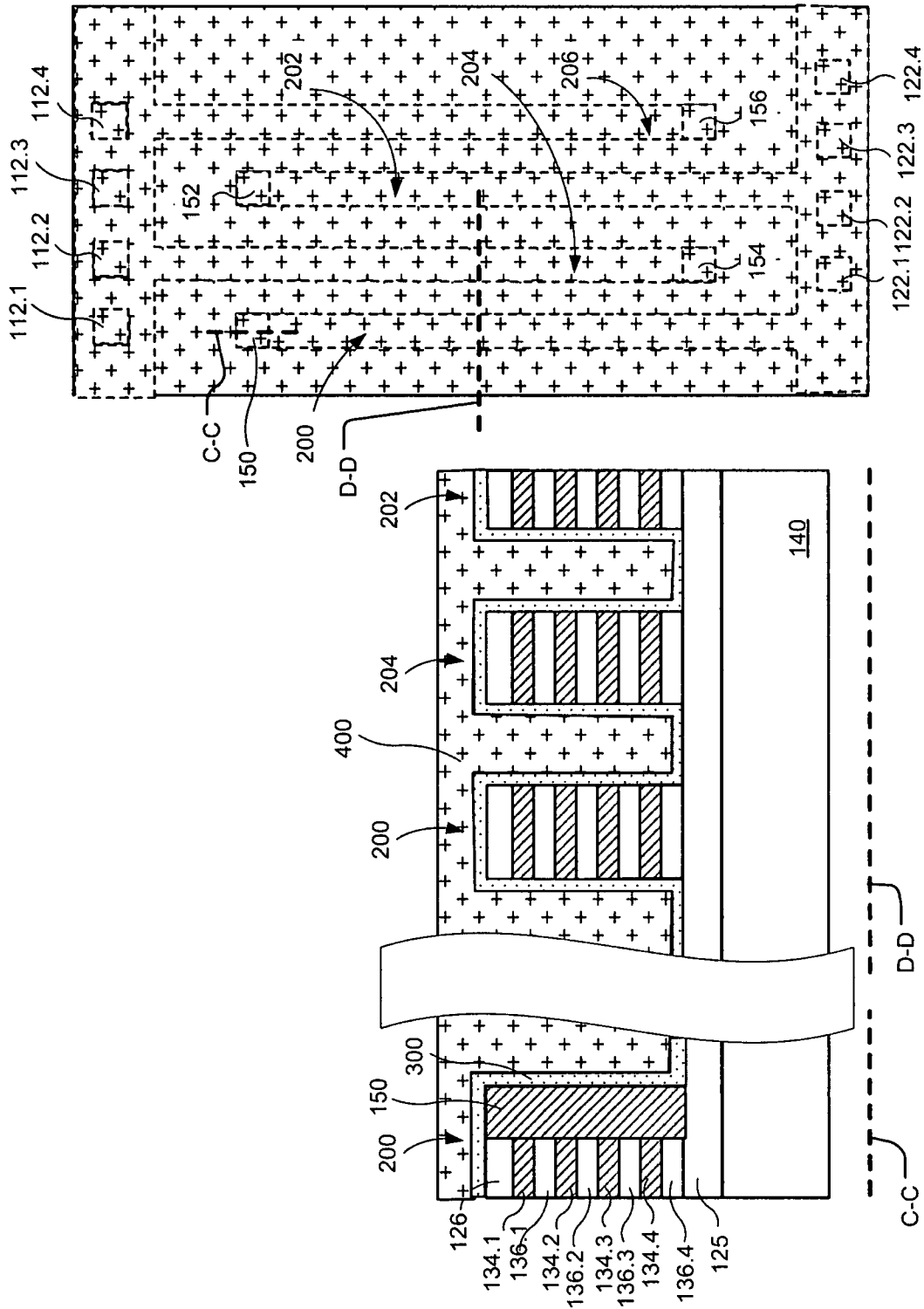
第2A圖

第2B圖



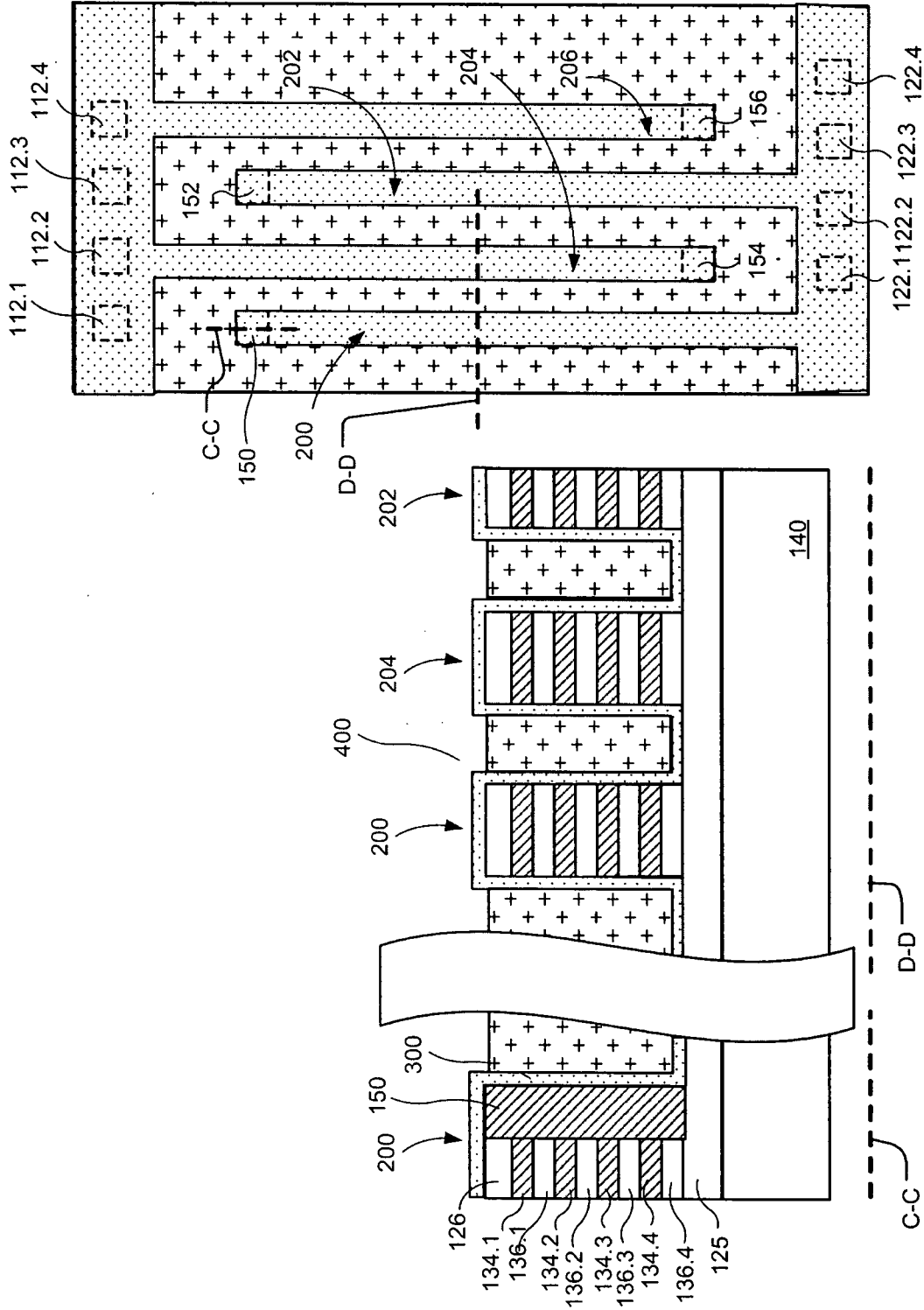
第3A圖

第3B圖



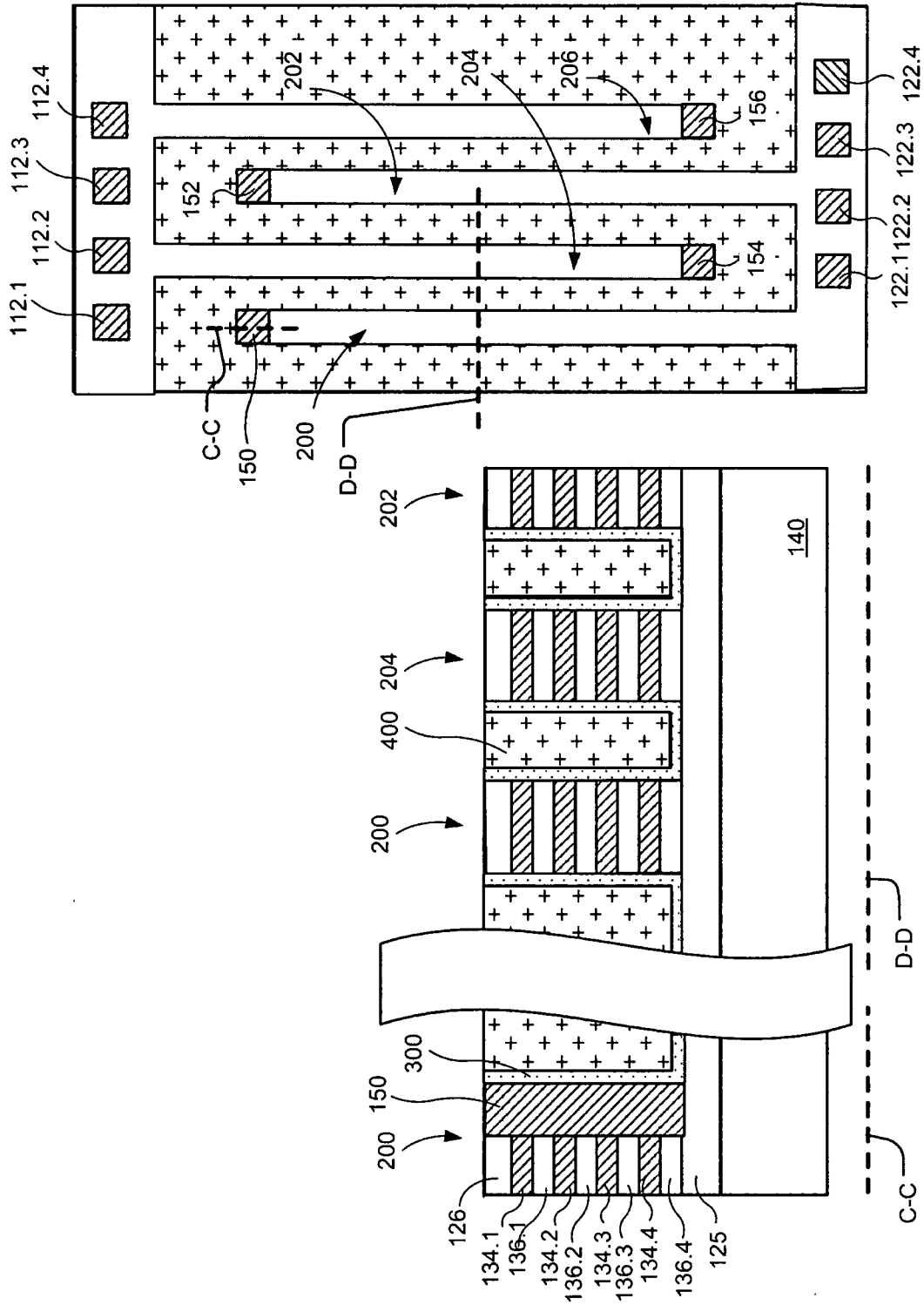
第4A圖

第4B圖



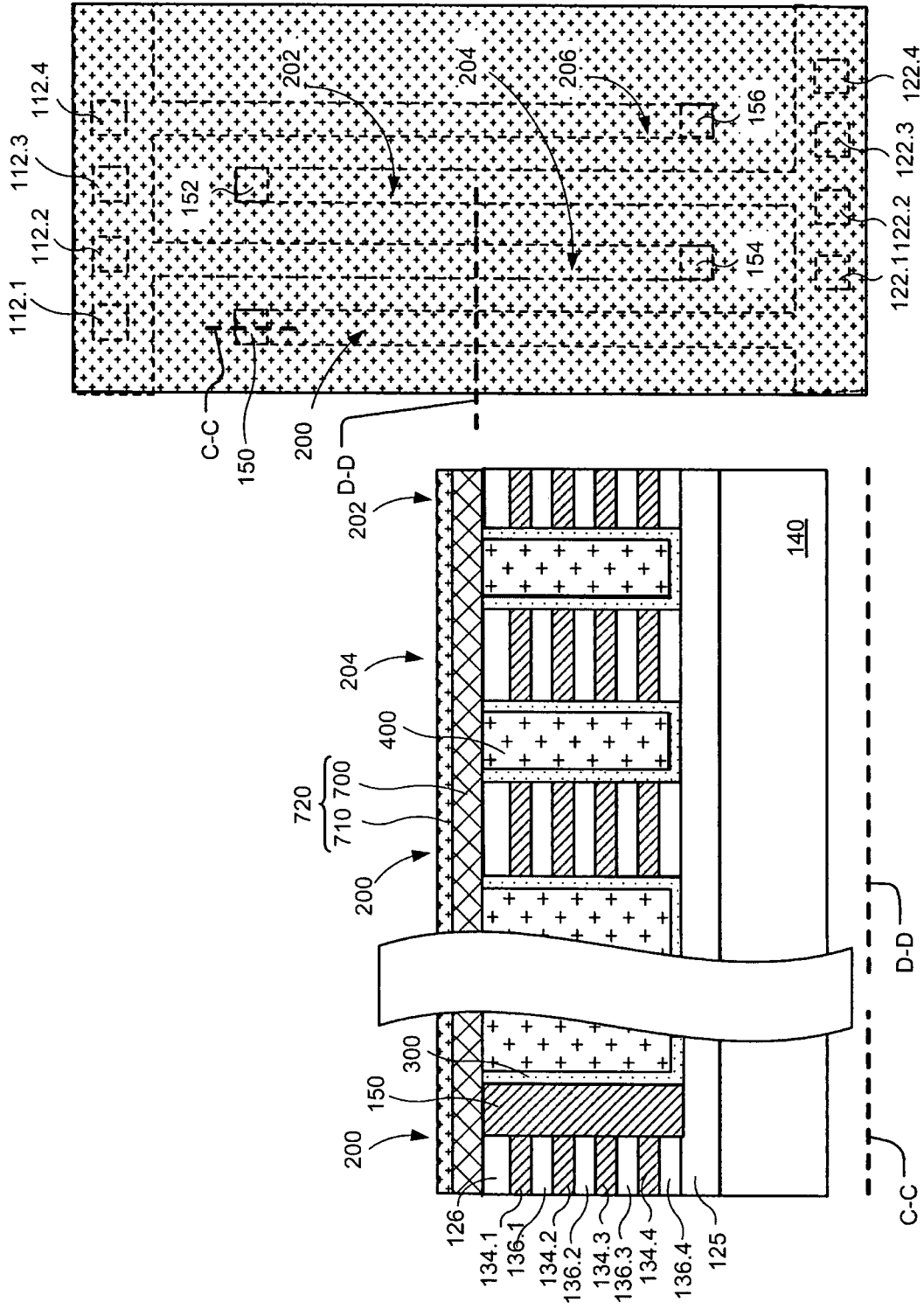
第5B圖

第5A圖



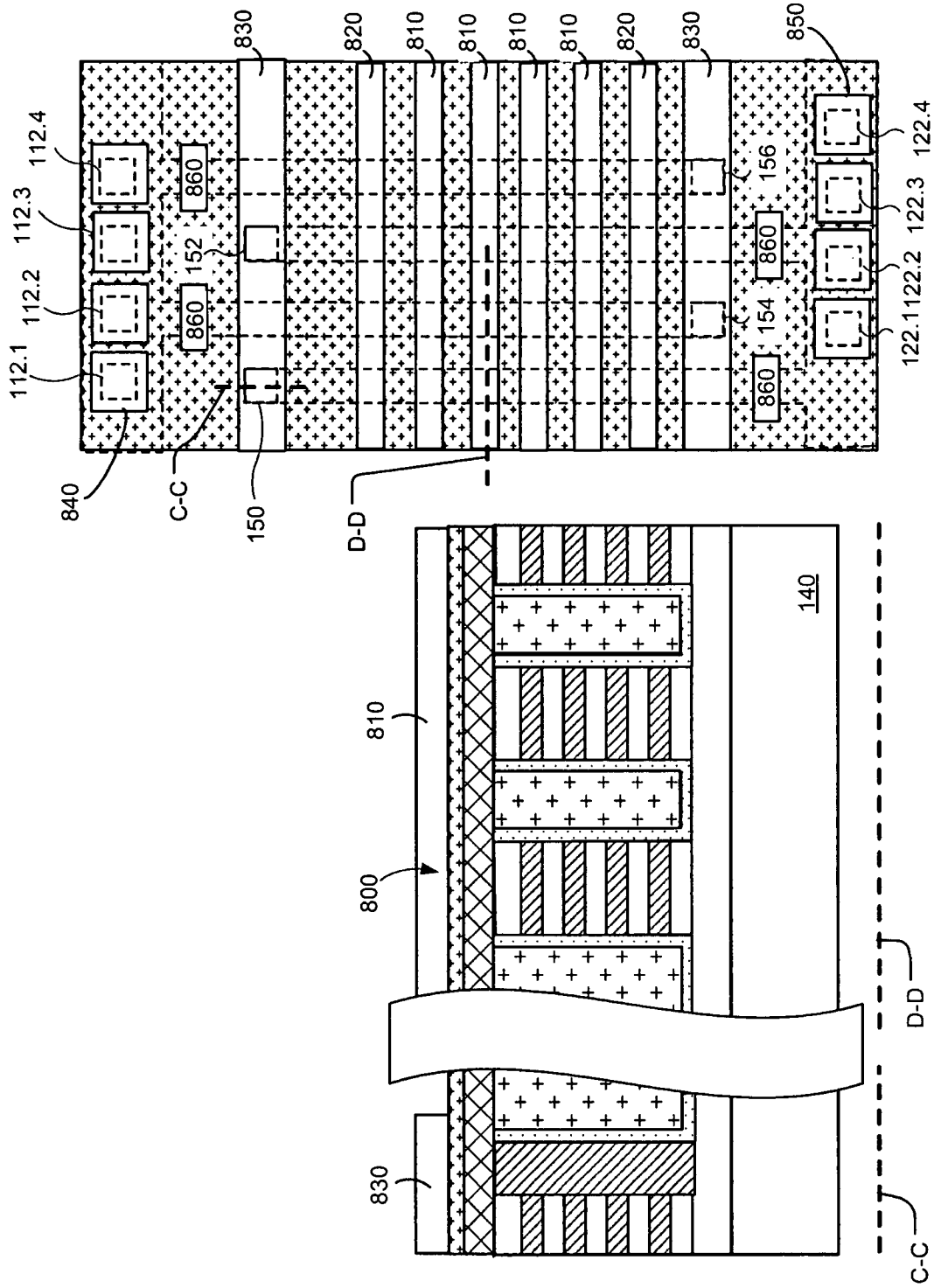
第6B圖

第6A圖



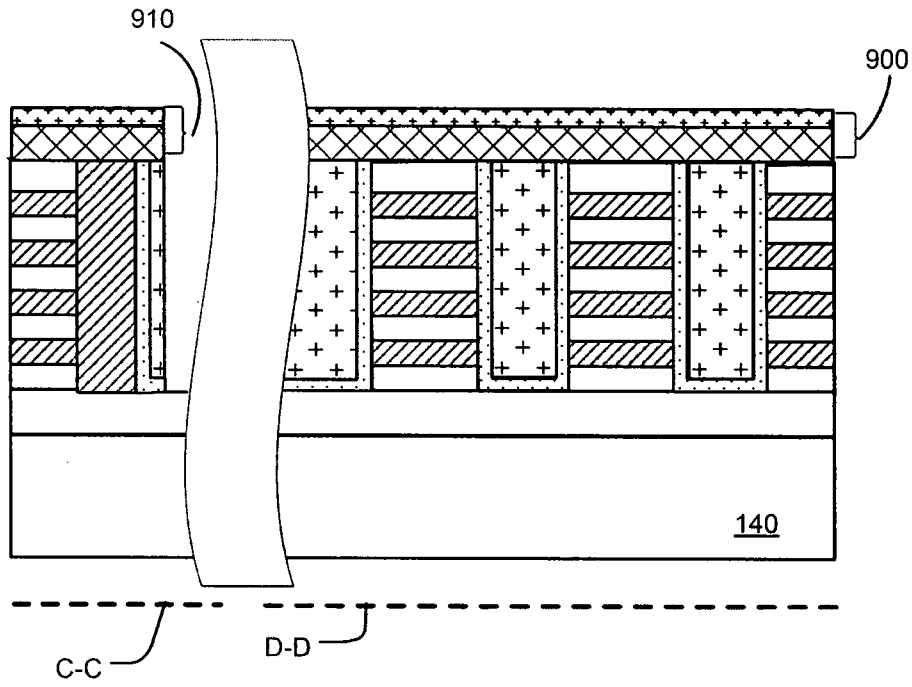
第7A圖

第7B圖

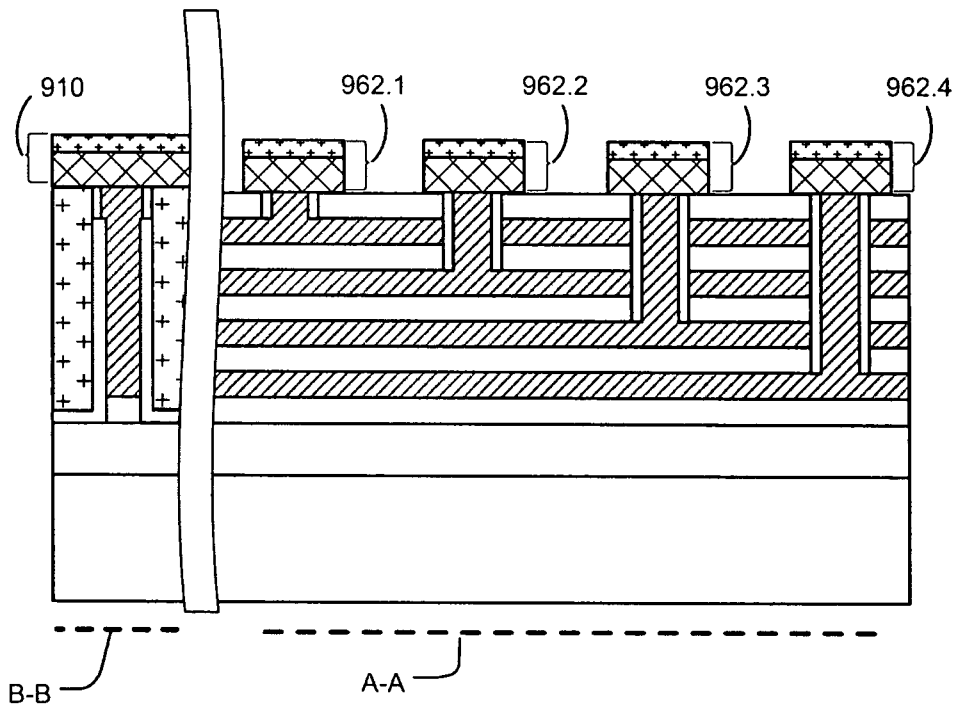


第8A圖

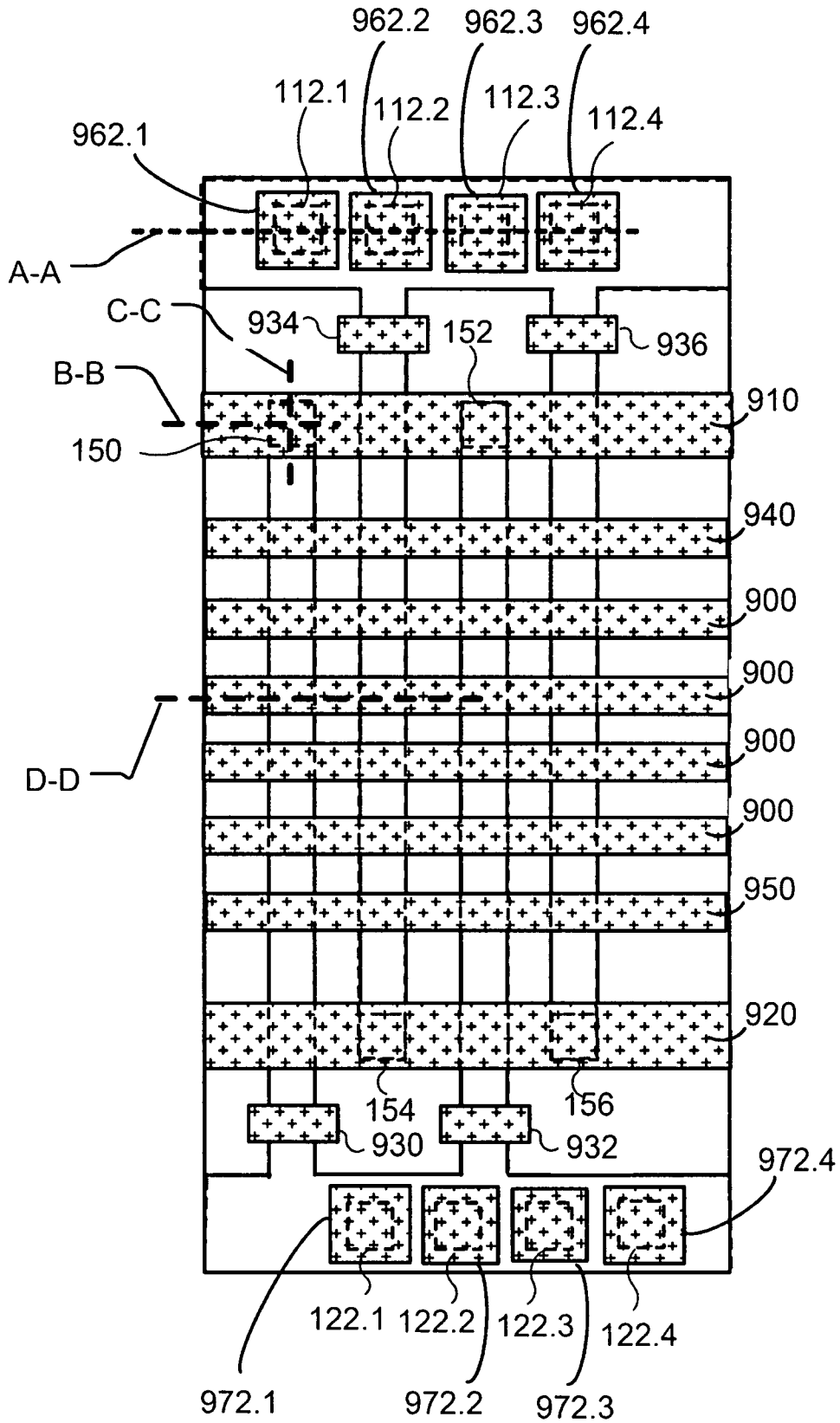
第8B圖



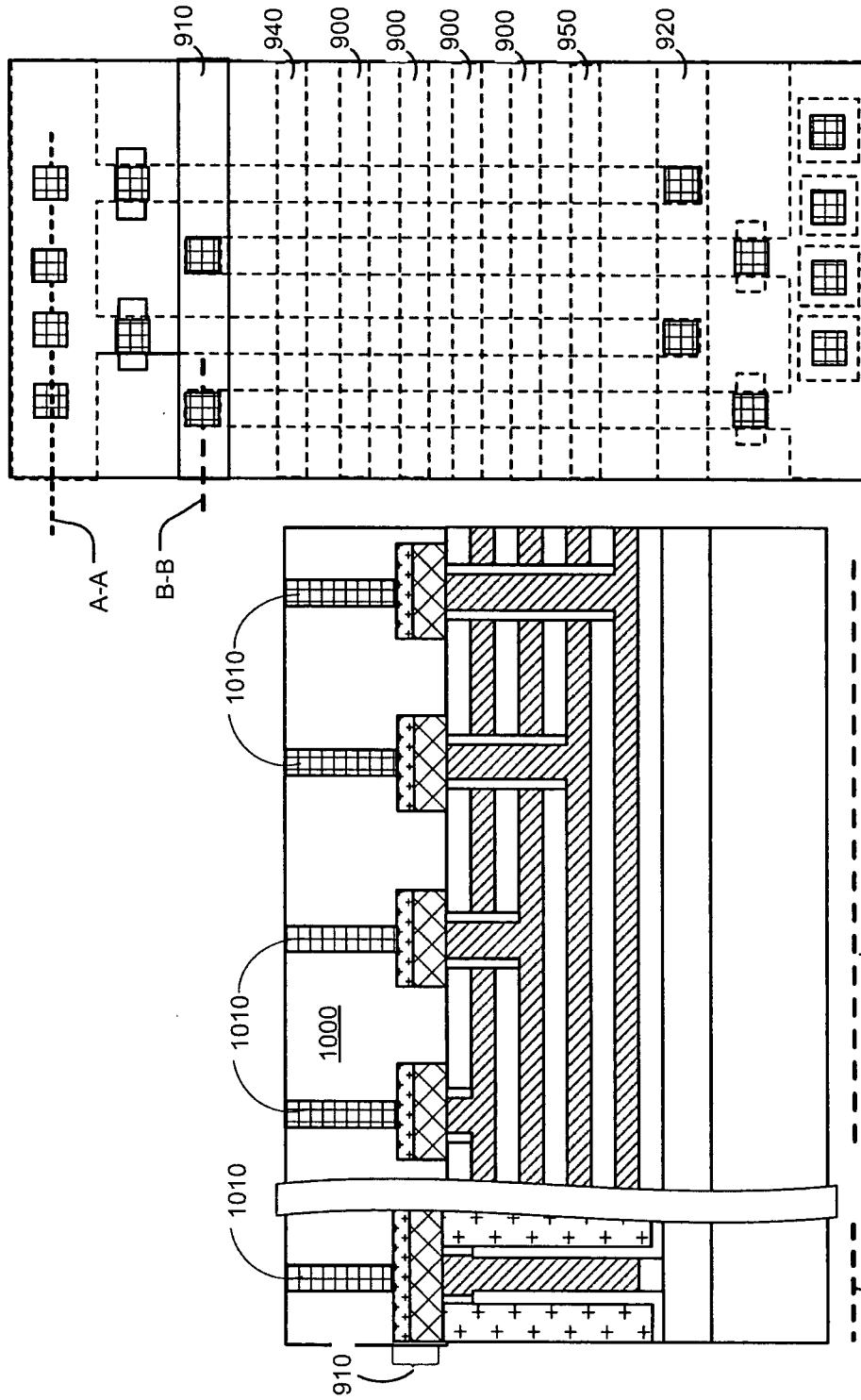
第 9A 圖



第 9B 圖

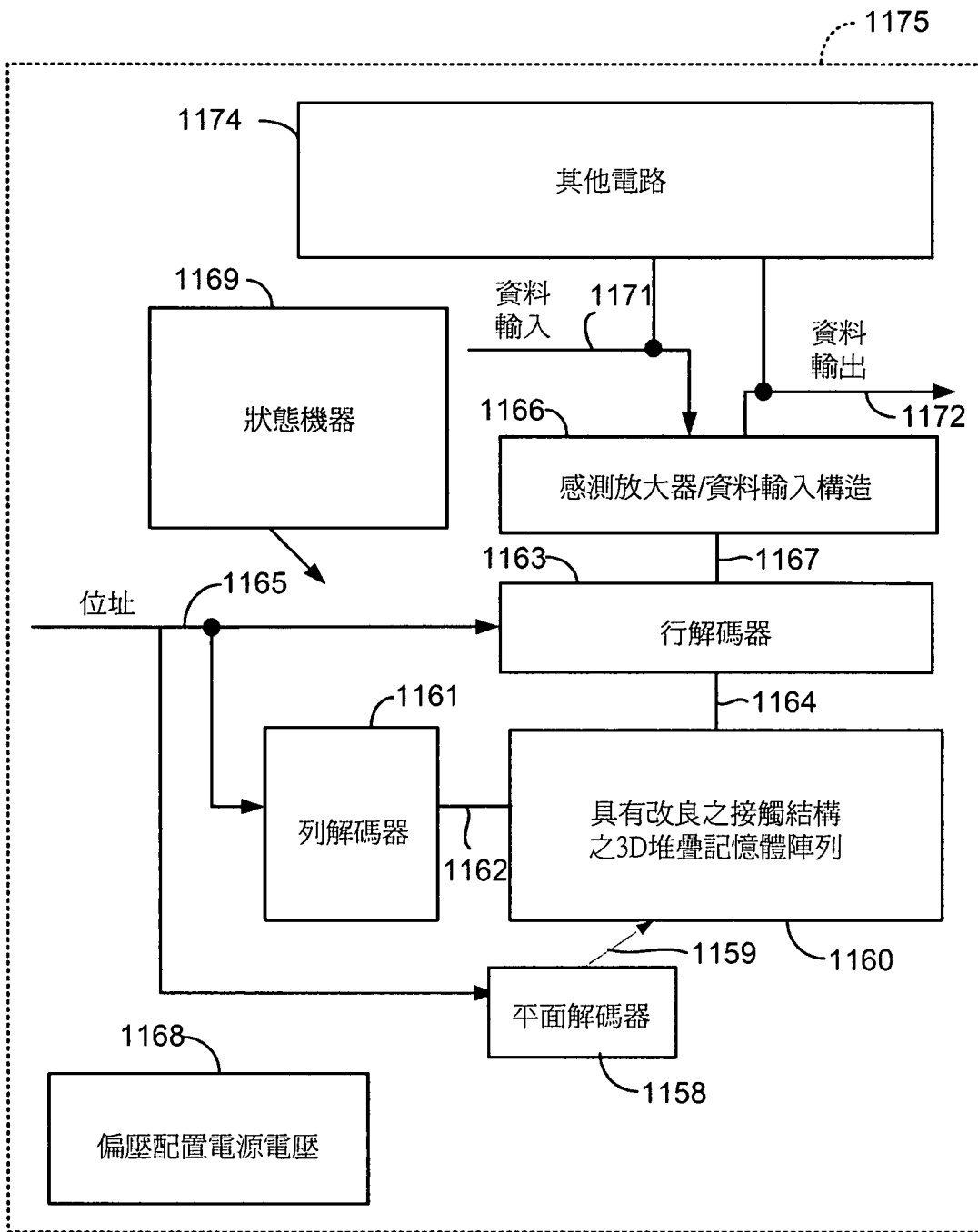


第 9C 圖



第 10B 圖

第 10A 圖



第 11 圖