

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
COURBEVOIE

①1 N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

**3 025 901**

②1 N° d'enregistrement national : **14 58631**

⑤1 Int Cl<sup>8</sup> : **G 06 F 1/08 (2016.01)**

①2

## DEMANDE DE BREVET D'INVENTION

**A1**

②2 Date de dépôt : 15.09.14.

③0 Priorité :

④3 Date de mise à la disposition du public de la demande : 18.03.16 Bulletin 16/11.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

⑥0 Références à d'autres documents nationaux apparentés :

Demande(s) d'extension :

⑦1 Demandeur(s) : **STMICROELECTRONICS (CROLLES 2) SAS Société par actions simplifiée — FR.**

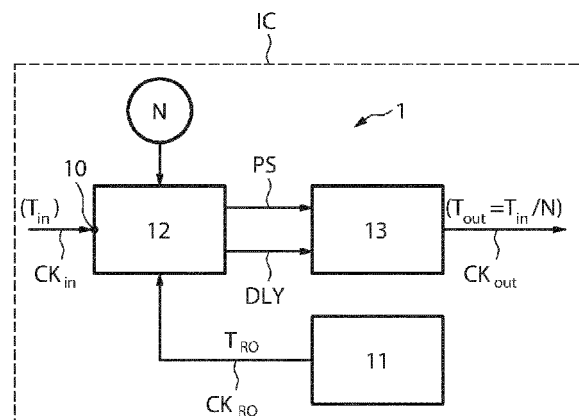
⑦2 Inventeur(s) : **COCHET MARTIN et CLERC SYLVAIN.**

⑦3 Titulaire(s) : **STMICROELECTRONICS (CROLLES 2) SAS Société par actions simplifiée.**

⑦4 Mandataire(s) : **CASALONGA & ASSOCIES.**

⑤4 **DISPOSITIF DE GENERATION D'UN SIGNAL D'HORLOGE PAR MULTIPLICATION DE FREQUENCE.**

⑤7 Dispositif de génération d'un signal impulsionnel, comprenant une entrée pour recevoir un signal impulsionnel initial ( $CK_{in}$ ) ayant une période initiale ( $T_{in}$ ), un oscillateur (11) configuré pour générer au moins un signal d'oscillateur ( $CK_{RO}$ ), un premier étage (12) synchronisé avec ledit au moins un signal d'oscillateur et configuré pour délivrer un signal impulsionnel secondaire (PS) dont l'espace entre deux impulsions successives est représentatif de la partie entière d'une division de la période initiale ( $T_{in}$ ) par un entier N et un signal auxiliaire (DLY) représentatif de la partie fractionnaire de ladite division et contenant, pour chaque impulsion du signal impulsionnel secondaire (PS), une indication d'un décalage temporel à appliquer sur ladite impulsion compte tenu de l'espace entre ladite impulsion et l'impulsion précédente, et un deuxième étage (13) configuré pour recevoir les impulsions successives du signal secondaire et les indications de décalage correspondantes et pour élaborer les impulsions correspondantes successives du signal impulsionnel ( $CK_{out}$ ).



**FR 3 025 901 - A1**



## **Dispositif de génération d'un signal d'horloge par multiplication de fréquence**

5

Des modes de réalisation de l'invention concernent la génération de signaux d'horloge par multiplication de fréquence avec en particulier une large plage de tension d'alimentation.

10 Les dispositifs de génération d'un signal d'horloge par multiplication de fréquence présentent l'avantage d'avoir une faible consommation tout en étant dépourvus de contraintes de gigue (« jitter » en langue anglaise) à long terme.

Par ailleurs, le facteur de multiplication peut être flexible et de tels dispositifs peuvent se verrouiller rapidement.

15 Les solutions actuellement utilisées sont notamment des solutions à base de boucles à verrouillage de phase, totalement analogiques, totalement numériques ou bien analogiques et numériques.

20 Cependant, les boucles à verrouillage de phase analogiques et analogiques/numériques fonctionnent dans une plage de tension d'alimentation limitée et nécessitent des précautions de réalisation pour prendre en compte les contraintes de stabilité en boucle fermée. Par ailleurs, la conception des boucles à verrouillage de phase purement analogiques est compliquée tandis que les boucles à  
25 verrouillage de phase entièrement numériques présentent une fréquence de sortie limitée par la plage de fréquences de l'oscillateur.

Une autre solution qui a été envisagée réside dans la synthèse numérique directe mais une telle solution est limitée en fréquence.

30 Selon un mode de réalisation, il est proposé un dispositif de génération d'un signal d'horloge par multiplication de fréquence utilisant une architecture du type échantillonnage et synthèse numérique directe (DDSS : Direct Digital Sampling and Synthesis)

fonctionnant en boucle ouverte sous une large plage de tension d'alimentation.

Selon un aspect, il est proposé un dispositif de génération d'un signal impulsionnel, comprenant une entrée pour recevoir un signal  
5 impulsionnel initial ayant une période initiale, un oscillateur, par exemple un oscillateur en anneau, configuré pour générer au moins un signal d'oscillateur, un premier étage synchronisé avec ledit au moins un signal d'oscillateur et configuré pour délivrer un signal impulsionnel secondaire dont l'espace entre deux impulsions  
10 successives est représentatif de la partie entière d'une division de la période initiale par un entier N et un signal auxiliaire représentatif de la partie fractionnaire de ladite division et contenant, pour chaque impulsion du signal impulsionnel secondaire, une indication d'un décalage temporel à appliquer sur ladite impulsion compte tenu de  
15 l'espace entre ladite impulsion et l'impulsion précédente, et un deuxième étage configuré pour recevoir les impulsions successives du signal secondaire et les indications de décalage correspondantes et pour élaborer les impulsions correspondantes successives du signal impulsionnel.

Selon un mode possible de réalisation, le deuxième étage peut  
20 comprendre un premier sous-étage effectuant la combinaison des impulsions du signal secondaire et des indications de décalage associées pour délivrer un signal impulsionnel intermédiaire dont la période est égale à  $T_{in}/2N$  où  $T_{in}$  désigne ladite période initiale et un  
25 deuxième sous-étage configuré pour effectuer une division de fréquence par deux du signal intermédiaire de façon à délivrer ledit signal impulsionnel ayant une période égale à  $T_{in}/N$ .

En variante il pourrait être possible de ne conserver que le  
30 premier sous-étage pour délivrer un signal impulsionnel ayant une période est égale à  $T_{in}/2N$ .

Selon encore une autre variante possible de réalisation, le deuxième étage pourrait être configuré pour délivrer directement ledit signal impulsionnel ayant une période égale à  $T_{in}/N$  sans utiliser de diviseur de fréquence par deux.

Le premier étage est ainsi une logique synchrone pilotée par le signal d'oscillateur. Cette architecture à deux étages est une architecture en boucle ouverte et l'opération de division par N est effectuée sur des signaux numériques statiques séquencés. On obtient  
5 alors une fréquence de sortie du signal impulsionnel qui peut atteindre comme valeur maximale la moitié de la fréquence du signal d'oscillateur et ce avec une résolution identique à celle de la division par N.

Selon un mode de réalisation, le premier étage comporte  
10 un premier module recevant le signal impulsionnel initial, synchronisé sur ledit au moins un signal d'oscillateur, et configuré pour délivrer des successions de premiers mots numériques représentatifs de la partie entière de la division par N du rapport entre la période initiale et la période dudit au moins un signal d'oscillateur  
15 et de deuxièmes mots numériques représentatifs de la partie fractionnaire de la division par N dudit rapport, et un deuxième module possédant un premier moyen de comptage synchronisé sur le signal d'oscillateur,  
20 un deuxième moyen de comptage synchronisé sur le signal d'oscillateur et incrémentable par le deuxième mot numérique courant, et des moyens de traitement configurés pour, lorsque la valeur courante du premier moyen de comptage est égale à la  
25 valeur du premier mot numérique courant, réinitialiser le premier moyen de comptage, délivrer une impulsion du signal secondaire et délivrer le contenu du deuxième moyen de comptage en tant qu'indication de décalage temporel dudit signal auxiliaire associée à ladite impulsion du signal  
30 secondaire.

Selon un mode de réalisation, le premier module comporte un moyen de détection, synchronisé sur le signal d'oscillateur, configuré pour détecter les fronts, par exemple des fronts homologues, tels que les fronts montants, du signal impulsionnel initial et délivrer

des signaux de commande en réponse aux occurrences de ces fronts, (les fronts détectés ne sont pas nécessairement homologues mais peuvent être quelconques, par exemple opposés, de façon à mesurer alors la demi période du signal d'entrée),

5 un moyen de comptage initial synchronisé sur le signal d'oscillateur, réinitialisable lors de l'occurrence de chaque signal de commande,

10 une bascule synchrone dont l'entrée de donnée est connectée à la sortie du moyen de comptage initial et commandée par le signal de commande de façon à délivrer lors d'une occurrence d'un signal de commande le premier mot numérique courant et le deuxième mot numérique courant.

15 Selon un mode de réalisation, le moyen de détection comprend une bascule D sur front cadencée par ledit au moins un signal d'oscillateur, destinée à recevoir le signal impulsionnel initial, et un circuit logique comportant une porte logique possédant une première entrée connectée à la sortie de la bascule D, une deuxième entrée connectée à l'entrée de la bascule D, et une sortie destinée à délivrer les signaux de commande successifs.

20 Le moyen de comptage initial et la bascule synchrone sont avantageusement cadencés par un signal de cadencement dont la période est le double de la période dudit au moins un signal d'oscillateur.

25 En ce qui concerne le deuxième étage, comme indiqué ci-avant plusieurs possibilités existent.

Ainsi, selon une première variante, le deuxième étage comprend au moins une ligne à retard modulable et configurable par le signal auxiliaire et destinée à recevoir en entrée le signal impulsionnel secondaire.

30 Selon un mode de réalisation ladite indication du décalage temporel dudit signal auxiliaire à appliquer sur ladite impulsion du signal secondaire comprend un mot numérique de  $b$  bits, ladite au moins une ligne à retard comprend  $b1$  modules élémentaires,  $b1$  étant au moins égal à  $2^b$ , chaque module élémentaire étant configuré pour

retarder une impulsion du signal secondaire d'un retard égal ou sensiblement égal à la période dudit au moins un signal d'oscillateur divisée par  $2^b$  ; par ailleurs des moyens de sélection sont configurés pour sélectionner un ou plusieurs modules élémentaires en fonction de la valeur du mot numérique de  $b$  bits.

5 Selon un mode de réalisation, le deuxième étage comprend un premier sous-étage effectuant la combinaison des impulsions du signal secondaire et des indications de décalage associées pour délivrer un signal impulsionnel intermédiaire dont la période est égale à  $T_{in}/2N$  où  $T_{in}$  désigne ladite période initiale et un deuxième sous-étage configuré pour effectuer une division de fréquence par deux du signal intermédiaire de façon à délivrer ledit signal impulsionnel ayant une période égale à  $T_{in}/N$ .

10 Selon un mode de réalisation, le premier sous-étage du deuxième étage comprend plusieurs lignes à retard configurables connectées en parallèle entre un bloc de distribution configuré pour recevoir le signal impulsionnel secondaire et le signal auxiliaire, et une porte logique OU délivrant ledit signal impulsionnel intermédiaire.

20  $b1$  est avantageusement supérieur à  $2^b$ .

Des premiers moyens de calibration sont avantageusement configurés pour sélectionner pour chaque ligne à retard,  $2^b$  modules élémentaires parmi les  $b1$  modules élémentaires.

25 Selon un mode de réalisation, le dispositif comprend plusieurs oscillateurs initiaux structurellement identiques et des deuxième moyens de calibration configurés pour sélectionner ledit oscillateur parmi les oscillateurs initiaux.

Lorsque les oscillateurs initiaux et les lignes à retard sont réalisés dans une technologie du type substrat sur isolant totalement déserté et comportent des électrodes enterrées, les premiers et deuxième moyens de calibration comprennent avantageusement des moyens de polarisation aptes à polariser les électrodes enterrées.

30 Cela étant, en variante, au lieu de retarder l'impulsion du signal impulsionnel secondaire avec une ligne à retard, il est possible,

selon une autre variante, d'utiliser un oscillateur multiphases et de sélectionner l'une des phases en fonction de la valeur du signal auxiliaire pour élaborer, à partir du signal impulsionnel secondaire, le signal impulsionnel.

5 Une telle variante présente l'avantage que la plage de sélection vaut exactement une période sans nécessiter de calibration.

Plus précisément, selon un mode de réalisation ladite indication du décalage temporel dudit signal auxiliaire à appliquer sur ladite impulsion du signal secondaire comprend un mot numérique de  $b$  bits, ledit au moins un oscillateur est un oscillateur multiphases configuré pour délivrer  $2^b$  signaux élémentaires d'oscillateur, l'un des signaux élémentaires d'oscillateur forme ledit au moins un signal d'oscillateur, les  $2^b$  signaux élémentaires d'oscillateur sont temporellement décalés d'un décalage égal ou sensiblement égal à la période dudit au moins un signal d'oscillateur divisée par  $2^b$ .

Par ailleurs le deuxième étage comprend des premiers moyens d'entrée pour recevoir ladite impulsion du signal secondaire, des deuxièmes moyens d'entrée pour recevoir le mot numérique de  $b$  bits, des troisièmes moyens d'entrée pour recevoir les  $2^b$  signaux élémentaires d'oscillateur, et le deuxième étage est configuré pour sélectionner l'un des signaux élémentaires d'oscillateur en fonction de la valeur dudit mot numérique de  $b$  bits et pour élaborer le signal impulsionnel à partir du signal impulsionnel secondaire et du signal élémentaire d'oscillateur sélectionné.

25 Selon un mode de réalisation, le deuxième étage comprend des moyens de traitement, formant un premier sous-étage, comportant les premiers, deuxièmes et troisièmes moyens d'entrée et configurés pour sélectionner ledit un des signaux élémentaires d'oscillateur en fonction de la valeur dudit mot numérique de  $b$  bits et pour élaborer, à partir du signal impulsionnel secondaire et du signal élémentaire d'oscillateur sélectionné, un signal impulsionnel intermédiaire dont la période est égale à  $T_{in}/2N$  où  $T_{in}$  désigne ladite période initiale un signal impulsionnel ; le deuxième étage comprend par ailleurs un deuxième sous-étage configuré pour effectuer une division de

fréquence par deux du signal intermédiaire de façon à délivrer ledit signal impulsionnel ayant une période égale à  $T_{in}/N$ .

5 Les moyens de traitement comportent par exemple un multiplexeur dont les entrées de données forment les troisièmes moyens d'entrée, dont l'entrée de commande forme les deuxièmes  
moyens d'entrée, et une porte logique ET dont une entrée est connectée à la sortie du multiplexeur et dont une entrée forme les premier moyens d'entrée.

10 Selon un mode de réalisation le deuxième étage comporte au moins une bascule synchrone dont l'entrée de donnée forme les premiers moyens d'entrée et dont l'entrée d'horloge forme les deuxièmes moyens d'entrée.

Selon un autre aspect il est proposé un circuit intégré comprenant un dispositif tel que défini ci-avant.

15 D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de réalisation, nullement limitatifs, et des dessins annexés sur lesquels :

20 -les figures 1 à 12, 13A à 13D et 14 à 18 illustrent schématiquement différents modes de réalisation d'un dispositif selon l'invention.

Sur la figure 1, la référence 1 désigne un dispositif de génération d'un signal impulsionnel  $CK_{out}$  réalisé ici de façon intégrée au sein d'un circuit intégré IC.

25 Ce dispositif 1 comprend une entrée 10 pour recevoir un signal impulsionnel initial ou signal d'horloge initial  $CK_{in}$ , issu par exemple d'un quartz, et ayant une période initiale  $T_{in}$ .

30 Le dispositif 1 comporte par ailleurs un oscillateur 11, par exemple un oscillateur en anneau, configuré pour générer ici un signal impulsionnel d'oscillateur  $CK_{RO}$ , ou signal d'horloge d'oscillateur, ayant une période  $T_{RO}$ .

Le dispositif 1 comporte également un premier étage 12, synchronisé avec le signal d'oscillateur  $CK_{RO}$  et configuré pour délivrer un signal impulsionnel secondaire PS dont, comme on le verra plus en détail ci-après, l'espace entre les impulsions est représentatif

de la partie entière d'une division de la période initiale  $T_{in}$  par un entier  $N$ .

5 Le premier étage 12 est également configuré pour délivrer un signal auxiliaire DLY représentatif de la partie fractionnaire de la division et contenant pour chaque impulsion du signal secondaire une indication d'un décalage temporel à appliquer sur ladite impulsion compte tenu de l'espace entre ladite impulsion et l'impulsion précédente.

10 Le dispositif 1 comporte également un deuxième étage 13 configuré pour recevoir le signal impulsionnel secondaire PS et le signal auxiliaire DLY et pour délivrer ledit signal impulsionnel  $CK_{out}$  ayant une période  $T_{out}$  égale à  $T_{in}/N$ .

15 Comme indiqué ci-avant, et illustré schématiquement sur la figure 2, l'oscillateur 11 peut être un oscillateur en anneau de structure classique et connue en soi comportant plusieurs inverseurs, ici huit inverseurs  $110_1-110_8$  rebouclés par l'intermédiaire d'une porte logique NON ET 111. Un signal logique EN reçu sur une des entrées de la porte 111 permet d'activer l'oscillateur, le dernier inverseur  $110_8$  délivrant le signal d'oscillateur  $CK_{RO}$ .

20 Sur la figure 3, on voit que le premier étage 12, qui est une logique synchrone, comporte un premier module 120 recevant le signal impulsionnel initial  $CK_{in}$ , et synchronisé sur le signal d'oscillateur  $CK_{RO}$ . Ce premier module 120 est configuré pour délivrer des successions de premiers mots numériques  $W_{int}$  représentatifs de la partie entière de la division par  $N$  du rapport  $T_{in}/T_{RO}$  et de deuxièmes mots numériques  $W_{frac}$  représentatifs de la partie fractionnaire de la division par  $N$  de ce rapport  $T_{in}/T_{RO}$ . Ce rapport est la période du signal  $W_{in}$  délivré par un moyen de détection 1200 dont on reviendra plus en détails ci-après sur la fonctionnalité.

30 Le premier étage 12 comporte par ailleurs un deuxième module 121 possédant un premier moyen de comptage 1210 synchronisé sur le signal d'oscillateur  $CK_{RO}$  et un deuxième moyen de comptage 1211 également synchronisé sur le signal d'oscillateur.

On verra plus en détail ci-après que le premier moyen de comptage participe à la délivrance du signal impulsionnel secondaire PS tandis que le deuxième moyen de comptage participe à la délivrance du signal auxiliaire DLY.

5            Dans l'exemple illustré sur la figure 3, le deuxième étage 13 comporte ici un premier sous-étage 130 possédant au moins une ligne à retard configurable destinée à retarder chaque impulsion du signal impulsionnel secondaire PS d'un retard défini par un mot numérique du signal auxiliaire DLY, de façon à délivrer un signal impulsionnel intermédiaire CK2<sub>out</sub> ayant une fréquence double de la fréquence du signal impulsionnel CK<sub>out</sub> délivrée en sortie du dispositif 1.

10            A cet égard, il est prévu un deuxième sous-étage 131 comportant un diviseur configuré pour diviser par deux cette fréquence et possédant une bascule rebouclée par l'intermédiaire d'un inverseur.

15            On se réfère maintenant plus particulièrement aux figures 4 et 5, qui illustrent une représentation en langage RTL des différents éléments du premier étage 12.

20            On suppose à cet égard que le nombre N vaut 64 et que la période initiale T<sub>in</sub> est égale à 296 fois la période T<sub>RO</sub> du signal d'oscillateur. Par ailleurs, la période T2<sub>out</sub> du signal intermédiaire CK2<sub>out</sub> est égale à 1/64<sup>ème</sup> de la période initiale T<sub>in</sub> soit 4+10/16.

25            Comme indiqué ci-avant, le premier module 120 comporte le moyen de détection 1200. Ce moyen de détection 1200 est synchronisé sur le signal d'oscillateur CK<sub>RO</sub> et configuré pour détecter les fronts homologues, ici les fronts montants, du signal d'horloge initial CK<sub>in</sub> et délivrer des fronts montants du signal W<sub>in</sub> en réponse à l'occurrence de chacun de ces fronts homologues. Ces fronts montants du signal W<sub>in</sub> agissent comme des signaux de commande comme on va le voir ci-après.

30            Plus précisément, comme illustré sur la figure 4, le moyen de détection 1200 comporte tout d'abord deux bascules 12000 et 12001 cascadées et cadencées par le signal d'oscillateur CK<sub>RO</sub>. La bascule 12000 reçoit le signal d'horloge initial CK<sub>in</sub>.

Ces deux bascules, bien que non indispensables, permettent avantageusement de supprimer d'éventuels états métastables.

Le moyen de détection 1200 comporte par ailleurs une bascule D sur front 12002 cadencée par le signal d'oscillateur  $CK_{RO}$ , destinée à recevoir le signal d'horloge initial (après passage éventuel dans les deux bascules cascades 12000 et 12001), ainsi qu'un circuit logique comportant une porte logique ET 12004 possédant une première entrée connectée à la sortie de la bascule D 12002 par l'intermédiaire ici d'un inverseur 12003 et possédant une deuxième entrée connectée à l'entrée de la bascule D 12002.

La sortie de la porte logique 12004 délivre les signaux de commande successifs (fronts montants du signal  $W_{in}$ ). Comme indiqué ci-avant, la période du signal  $W_{in}$  est égale au rapport  $T_{in}/T_{RO}$ .

En variante il serait possible de remplacer les portes 12003 et 12004 par une porte OU EXCLUSIF (XOR) ce qui permet de détecter les fronts montants et descendants, et ainsi de mesurer la demi-période du signal d'entrée. Ce changement réduit de temps de réponse (délai entre le changement de la période d'entrée et le changement de la période de sortie) car le changement de période d'entrée est détecté en  $\frac{1}{2}$  cycle au lieu d'un cycle. Cependant cela rend le circuit sensible au rapport cyclique du signal d'entrée.

Le premier module comporte également (figures 3 et 4) un bloc 1201 qui va délivrer les différents mots numériques  $W_{int}$  et  $W_{frac}$ .

Le bloc 1201 (figure 5) comporte un moyen de comptage initial 12011 cadencé par un signal de cadencement  $CK_{RO}/2$  dont la période est le double de la période du signal d'oscillateur  $CK_{RO}$ . La sortie de ce moyen de comptage initial 12011 est rebouclée sur son entrée par l'intermédiaire d'un multiplexeur 12010, commandé par le signal  $W_{in}$ , qui, lorsqu'il est sur son entrée 0, permet d'incrémenter ce moyen de comptage initial.

Par ailleurs, ce moyen de comptage initial 12011 est réinitialisable lors de l'occurrence de chaque front montant du signal  $W_{in}$ . La taille du moyen de comptage initial 12011 est égale à  $K$ . Cette valeur  $K$  limite la valeur maximale du signal impulsionnel  $CK_{out}$ .

Ainsi, le rapport entre la fréquence maximale et la fréquence minimale du signal  $CK_{out}$  est de l'ordre de  $2^K$ .

5 Une valeur de 7 pour K est raisonnable et est un bon compromis entre d'une part la taille des registres et des additionneurs et d'autre part la consommation ainsi que la vitesse d'exécution du circuit 1.

Le bloc 1201 comporte également une bascule synchrone 12012, également cadencée par le signal de cadencement  $CK_{RO}/2$  et connectée à la sortie du moyen de comptage initial 12011.

10 La bascule synchrone 12012 est également activée sur son entrée  $W_{en}$  (« enable » en langue anglaise) par le signal  $W_{in}$ .

A chaque front montant du signal  $W_{in}$ , la bascule synchrone 12012 délivre un mot de K bit dont les cinq bits de poids faible (dans cet exemple) forment le deuxième mot numérique courant  $W_{frac}$  représentatif de la partie fractionnaire de la division par N et dont les bits restants (ici les bits 5...K) forment le premier mot numérique courant  $W_{int}$  représentatif de la partie entière de ladite division.

Le nombre de bits du mot  $W_{frac}$  est choisi en fonction de la valeur de N et de la résolution souhaitée.

20 Dans l'exemple décrit ici, la résolution est de  $1/16^{\text{ème}}$  et l'on choisit cinq bits. En fait, il aurait été possible de ne choisir que quatre bits mais le bit 0 est ici ajouté pour augmenter la résolution effective sans ajouter de gigue (« dithering »).

Le premier moyen de comptage 1210 du deuxième module 121, cadencé par le signal d'oscillateur  $CK_{RO}$ , est incrémentable par rebouclage de sa sortie sur son entrée via le multiplexeur 12131.

Le deuxième moyen de comptage 1211, également cadencé par le signal d'oscillateur  $CK_{RO}$  est incrémentable par le deuxième mot numérique courant  $W_{frac}$  par l'intermédiaire d'un additionneur 12132.

30 Ce deuxième module 121 comporte également des moyens de traitement configurés pour, lorsque la valeur courante du premier moyen de comptage 1210 est égale à la valeur du premier mot numérique courant  $W_{int}$  (comparateur 12130),

réinitialiser le premier moyen de comptage 1210 via l'entrée 1 du multiplexeur 12131 et

délivrer une impulsion du signal secondaire PS.

Par ailleurs, ces premiers moyens de traitement permettent, via  
5 l'entrée Wen (« enable ») du deuxième moyen de comptage 1211, la délivrance du contenu de ce deuxième moyen de comptage en tant qu'indication de décalage temporelle du signal auxiliaire DLY associée à l'impulsion du signal secondaire PS. Cette indication de décalage temporelle est donc un mot numérique que l'on désignera à  
10 des fins de simplification par DLY dans la suite de la description.

Comme illustré sur la figure 6, le premier sous-étage du deuxième étage 13 comporte ici une ligne à retard 130 possédant b1 modules élémentaires 130<sub>i</sub>, avec b1 égal ici à 17. En fait, b1 est au moins égal à 2<sup>b</sup> où b est le nombre de bits du mot numérique DLY.

15 Chaque module élémentaire 130<sub>i</sub> est configuré pour retarder une impulsion du signal secondaire d'un retard égal ou sensiblement égal à la période du signal d'oscillateur divisée par 2<sup>b</sup>. Dans l'exemple décrit ici, puisque b est égal à 4 (on ne tient en effet pas compte du bit 0 utilisé pour le « dithering »), chaque module élémentaire est  
20 configuré pour retarder une impulsion du signal secondaire d'un retard égal à 1/16 de la période du signal d'oscillateur.

Chaque module élémentaire 130<sub>i</sub> comporte un multiplexeur 1300 possédant quatre entrées. Les trois premières entrées sont connectées à trois inverseurs 1301, 1302, 1303 ayant des temps de propagation plus ou moins rapides (lent, médium, rapide). Une  
25 quatrième entrée reçoit directement l'impulsion du signal secondaire PS. En fonction de la valeur du mot DLY, le signal PS va traverser ou non un inverseur du module élémentaire correspondant. Le choix de cet inverseur est déterminé par calibration comme on le verra plus en  
30 détail ci-après.

La figure 7 illustre un exemple de fonctionnement du dispositif qui vient d'être décrit.

Au cycle 0, une impulsion du signal impulsional secondaire PS est émise avec un décalage de 0/16. Quatre cycles après, ce qui

correspond à la partie entière de la division par 64, une autre impulsion du signal PS est émise. Celle-ci est temporellement décalée de  $10/16$ , ce qui fournit une impulsion correspondante du signal intermédiaire  $CK2_{out}$ .

5 L'impulsion suivante du signal PS pourrait être émise quatre cycles après tout en étant décalée de  $20/16$ . Cependant, pour des raisons de simplicité, il est alors préférable de décaler l'impulsion supplémentaire PS d'un cycle supplémentaire (extra cycle) et de décaler cette impulsion de  $4/16$ . Ceci est obtenu grâce au signal de débordement (« overflow ») délivré par l'additionneur 12132 (figure 5) et qui est délivré via un inverseur 12133 à l'entrée 1 du multiplexeur 12131.

10 L'impulsion suivante du signal PS est encore décalée de quatre cycles et cette impulsion est elle-même temporellement décalée de  $4/16+10/16$  c'est-à-dire  $14/16$ .

15 On obtient alors, avant passage dans le diviseur 131, le signal impulsionnel  $CK2_{out}$  ayant une période égale à  $4+10/16$  c'est-à-dire  $1/64^{\text{ème}}$  de la période initiale  $T_{in}$  elle-même égale à 296 fois la période  $T_{RO}$  du signal d'oscillateur mais de rapport cyclique dégradé. En sortie du diviseur 131 le signal  $CK_{out}$  possède une période de  $9+4/16$  soit  $1/32^{\text{ème}}$  de la période initiale  $T_{in}$  et un rapport cyclique de 50%.

20 Le temps de propagation à l'intérieur de la ligne à retard étant ici par construction supérieur à la période du signal d'oscillateur, il est préférable de prévoir, comme illustré schématiquement sur la figure 8, plusieurs lignes à retard, ici cinq lignes à retard 130a-130e toutes connectées en entrée à un boîtier de distribution (machine d'état) 132 recevant les signaux PS et DLY, et toutes connectées en sortie à une porte logique 133, ici une porte logique OU, délivrant le signal impulsionnel intermédiaire  $CK2_{out}$ .

25 30 Il est particulièrement avantageux de procéder à une calibration de l'oscillateur par rapport à la logique synchrone (premier étage) et de procéder également à une calibration de la ligne à retard visant à ajuster le principe de division décrit ci-avant, pour tenir compte des variations de température, de tension et de procédé de fabrication

(PVT) en particulier pour les applications à très basse tension d'alimentation (Ultra Low Voltage : ULV).

La figure 9 illustre des moyens de calibration 14 pour sélectionner parmi un jeu de plusieurs oscillateurs initiaux structurellement identiques  $11_1-11_j$ , par exemple trois oscillateurs en anneau, l'oscillateur 11 qui sera le mieux apparié avec le bloc synchrone 12. A cet égard, les moyens de calibration 14 comportent un multiplexeur 141 recevant en entrée les différents signaux d'oscillateur et délivrant sur commande d'un signal CALIB le signal d'oscillateur de l'oscillateur sélectionné. Une machine d'état de calibration 140 reçoit éventuellement un signal de violation VN pour le cas où l'oscillateur sélectionné n'est pas correctement calibré sur la logique synchrone.

De façon plus précise, la machine d'état 140 change la sélection du multiplexeur 141 pour que le signal d'horloge du bloc synchrone 12 soit fourni successivement par les oscillateurs  $11_1$  à  $11_j$ . La machine d'état 140, par exemple par un système de compteur, mesure la période de ces signaux d'horloge. Le bloc synchrone 12 est équipé d'un système détectant les violations de configuration (« setup » en langue anglaise) fournissant un signal VN à la machine d'état 140 en cas de violation. La machine d'état choisit alors comme réglage post-calibration « Calib » l'oscillateur ayant la plus faible période n'ayant pas entraîné de violation VN.

La détection de violation peut, à titre d'exemple se faire par des bascules instrumentalisées (dites Razor ou Canary) ou bien par l'injection en entrée du bloc 12 d'un signal dont la période est égale respectivement à celle de l'oscillateur sélectionné ( $11_1$  à  $11_j$ ). Le contrôle de la validité des signaux de sortie du bloc 12 (PS et DLY) génère alors le signal VN.

On peut enfin noter que le signal d'horloge de la machine d'état 140 est avantageusement obtenu en divisant, dans notre exemple par 2, la fréquence du signal  $CK_{RO}$ . Cela permet d'éviter les violations de « setup » de la logique synchrone 140 si un des oscillateurs  $11_1$  à  $11_j$  se trouvait avoir une période plus faible que celle attendue.

De même, comme illustré sur la figure 10, des moyens de calibration 15 permettent de calibrer la ligne à retard pour l'apparier avec l'oscillateur en respectant le principe de division décrit ci-avant, c'est-à-dire de sélectionner pour chaque ligne à retard 130a-130e,  $2^b$  modules élémentaires parmi les  $b1$  modules élémentaires ( $b=4$  et  $b1=17$ ).

D'autre part la machine d'état 150 permet notamment de configurer, pour chaque module élémentaire, lequel des inverseurs lent, médium ou rapide, on choisira. Précisément, le type d'inverseur sera choisi en amont de la calibration, en adéquation avec le type d'oscillateur qui a été choisi au préalable (comme décrit dans la figure 9) pour être en adéquation avec la fréquence de fonctionnement du bloc synchrone 12. On obtient par ailleurs, du fait de la redondance de module élémentaires (17 au lieu de 16) un nombre de choix supérieur ou égal à 17.

De façon plus précise, en mode calibration (signal Calib égal à 1), le multiplexeur d'entrée 151 est réglé pour reboucler la ligne à retard, qui grâce à l'inverseur 152 se comporte alors comme un oscillateur en anneau dont la période est égale à la somme du temps de propagation d'un front montant et du temps de propagation d'un front descendant dans la ligne pour la commande sur  $b1$  bits fournie à ce moment par la machine d'état 150.

Pour chaque retard  $k$  ( $0 \leq k < 2^b$ ) la machine d'état teste  $k$  parmi  $b1$  combinaisons de la ligne permettant de produire ce retard et mesure la période de propagation correspondante par comptage de la période d'oscillation de la ligne rebouclée. La machine d'état enregistre l'écart entre cette période et celle de l'oscillateur préalablement sélectionné. Après avoir parcouru toutes les configurations possibles pour le retard  $k$ , la machine note la configuration optimale (i.e. l'écart minimal entre la ligne à retard et l'oscillateur) dans un registre de configuration.

Dans le cas de valeurs de  $k$  proches de  $b1/2$ , le nombre de configurations à tester,  $k$  parmi  $b1$ , devient très grand (par exemple 24310 pour  $b1=17$  et  $k=8$  ou 9). Dans ce cas la machine d'état peut ne tester qu'une partie de ces configurations, et s'arrêter selon un critère

défini, par exemple après avoir trouvé une configuration d'erreur relative inférieure à un seuil choisi.

5 Enfin, on peut noter qu'on choisissant avantageusement de prendre  $b1 \geq 2^b + 1$  (et non  $b1 = 2b$ ) et de faire correspondre une commande de retard  $k$  non pas à la sélection de  $k$  mais de  $k+1$  éléments à retard, on s'assure d'avoir toujours  $k+1$  parmi  $b1$  possibilités de calibration pour chaque retard, soit au moins  $b1$  possibilités pour toutes les valeurs de  $k$ .

10 En d'autres termes lorsque  $b1 \geq 2^b + 1$ , les premiers moyens de calibration (15) sont configurés pour sélectionner pour chaque ligne à retard et pour chaque retard, le nombre correspondant de modules élémentaires avec au moins  $b1$  possibilités de choix.

15 On peut également noter qu'en ajoutant une ligne à retard supplémentaire par rapport au nombre minimum nécessaires en parallèle, la calibration peut être effectuée tout en maintenant le fonctionnement du circuit.

20 Lorsque les oscillateurs initiaux et les lignes à retard sont réalisés dans une technologie du type substrat sur isolant totalement déserté (FDSOI : Fully Depleted Silicon On Insulator), bien connue de l'homme du métier, telle que celle illustrée sur la figure 11, dans laquelle les transistors NMOS et PMOS (réalisés dans et sur un film de silicium reposant sur une couche d'oxyde enterrée BOX reposant elle-même sur un substrat porteur semiconducteur) comportent des électrodes enterrées GP (« Ground Plane ») réalisées par implantation dans des caissons N et P, il est possible d'effectuer une calibration des oscillateurs par rapport aux lignes à retard en utilisant des moyens de polarisation MP et/ou  $V_{dds}$  configurés pour polariser les électrodes enterrées GP. On notera que l'on pourrait appliquer cette méthode non seulement pour la configuration dite LVT (« low-voltage threshold ») 25 décrite dans la figure 11, mais aussi pour toutes les autres configurations des dopages des électrodes enterrées. 30

Comme on vient de le voir, la division fractionnelle est, dans la variante qui vient d'être décrite, implémentée par des lignes à retard qui doivent avoir les mêmes caractéristiques de retard que l'oscillateur

en anneau. Ceci impose une étape de calibration et complexifie le circuit qui peut contenir jusqu'à environ 2000 registres de calibration pour  $b=4$  et  $b_1=17$ . De plus une calibration imparfaite entraîne directement une augmentation de la gigue du signal d'horloge synthétisé  $CK_{out}$ .

5 On peut avantageusement remplacer cette méthode de division par un système multiphases qui permet une synchronisation native du retard avec la période de l'oscillateur.

10 A cet égard, comme illustré schématiquement sur la figure 12, on utilise un oscillateur en anneau multiphases et l'on conserve le même premier étage 12 que celui qui a été décrit ci-avant et qui délivre le signal impulsionnel secondaire PS et le signal auxiliaire DLY.

15 Et, comme on va le voir plus en détail ci-après, pour ajouter un retard sur une impulsion du signal PS, on utilise une sélection d'une phase particulière  $RO[k]$  de l'oscillateur multiphases plutôt que de retarder l'impulsion avec une ligne à retard. Ainsi, on est sûr que la plage de sélection  $RO[0]-RO[15]$  vaut exactement une période sans calibration supplémentaire.

20 Plus précisément, comme illustré sur la figure 12, ladite indication du décalage temporel du signal auxiliaire DLY à appliquer sur l'impulsion du signal secondaire PS comprend un mot numérique de  $b$  bits.

25 L'oscillateur 11 est un oscillateur multiphases configuré pour délivrer  $2^b$  signaux élémentaires d'oscillateur.

Dans le cas présent,  $b$  est égal à 4 et l'oscillateur multiphases délivre donc 16 signaux élémentaires d'oscillateur  $RO[0]-RO[15]$ .

30 L'un des signaux élémentaires d'oscillateur (par exemple le signal élémentaire  $RO[0]$ ), forme ledit signal l'oscillateur  $CK_{RO}$  qui va synchroniser le premier étage 12.

Les phases étant équiréparties, les  $2^b$  signaux élémentaires d'oscillateur sont temporellement décalés d'un décalage égal ou sensiblement égal à la période dudit signal d'oscillateur  $CK_{RO}$  divisé par  $2^b$ , en l'espèce 16.

Le deuxième étage 13 comprend des premiers moyens d'entrée E1 pour recevoir les impulsions du signal impulsionnel secondaire PS, des deuxièmes moyens d'entrée E2 pour recevoir les mots numériques successifs de b bits DLY, et des troisièmes moyens d'entrée E3 pour recevoir les  $2^b$  signaux élémentaires d'oscillateur.

Le deuxième étage comporte par ailleurs des moyens de traitement 130 configurés pour sélectionner l'un des signaux élémentaires d'oscillateur en fonction de la valeur du mot numérique de b bits DLY et pour élaborer le signal impulsionnel intermédiaire CK2<sub>out</sub> à partir du signal impulsionnel secondaire PS et du signal élémentaire d'oscillateur sélectionné RO[i].

Dans cette variante de réalisation, les moyens de traitement 130 forment un premier sous-étage du deuxième étage 13 et sont suivis comme dans la variante décrite ci-avant d'un deuxième sous-étage comportant le diviseur 131 et délivrant le signal impulsionnel CK<sub>out</sub>.

Cela étant il est possible dans d'autres variantes de réalisation que les moyens de traitement du deuxième étage 13 délivrent directement le signal impulsionnel CK<sub>out</sub>, par exemple en assurant un rapport cyclique égal à la valeur désirée, (typiquement 50% pour une application usuelle, mais si besoin une autre valeur peut être choisie) ce qui permet de se passer du diviseur de fréquence 131.

Comme illustré sur les figures 13A-13B, l'oscillateur multiphasés RO peut être un oscillateur en anneau comportant par exemple une structure pseudo différentielle, bien connues de l'homme du métier. L'ajout d'un signal d'activation permet de supprimer la consommation dynamique du circuit lorsqu'il n'est pas utilisé.

Dans le cas d'une structure telle que celle illustrée sur la figure 13A, cela peut se faire avantageusement en utilisant des inverseurs 3 états (fig 13C). Lorsqu'ils sont placés en état de haute impédance (Hi-Z) (signal enb égal à 1) les deux parties de l'oscillateur sont effectivement découplées, ce qui stoppe l'oscillation.

Dans le cas d'une structure du type de celle illustrée sur la figure 13B qui montre un étage inverseur pseudo-différentiel utilisable dans un oscillateur en anneau multi-phases, le contrôle peut être fait

par l'ajout de deux transistors complémentaires, comme illustré sur la figure 13D. L'oscillateur est arrêté lorsque le signal EN vaut 0.

On peut noter que ces méthodes de désactivation d'un oscillateur multi-phases ne sont pas spécifiques à l'architecture du multiplieur de fréquence, et pourrait être utilisée pour d'autres usages d'un oscillateur multi-phases.

La figure 14 illustre schématiquement un premier mode de réalisation possible des moyens de traitement.

Plus précisément, ceux-ci comportent un multiplexeur 135 dont les entrées de données forment les troisièmes moyens d'entrée E3, dont l'entrée de commande forme les deuxièmes moyens d'entrée E2 et dont la sortie est reliée à une première entrée d'une porte logique ET 136. L'autre entrée de cette porte logique 136 forme les premiers moyens d'entrée E1 destinés à recevoir le signal impulsionnel secondaire PS. La sortie de la porte logique 136 délivre le signal impulsionnel intermédiaire CK2<sub>out</sub>.

Ainsi, en fonction de la valeur du mot de quatre bits DLY, une des phases de l'oscillateur est sélectionnée et combinée avec l'impulsion du signal secondaire PS pour la retarder et former une impulsion du signal intermédiaire CK2<sub>out</sub>.

Cette façon de procéder convient bien pour certaines phases, par exemple les phases différentes des phases extrêmes RO[0] et RO[15], mais peut poser dans certains cas deux problèmes. Plus précisément, sur une fenêtre de 1 cycle, les phases extrêmes RO[0] et RO[15] sont trop rapprochées du début/fin du signal DLY pour pouvoir être sélectionnées avec certitude compte tenu du délai de propagation et d'établissement des commandes.

Par ailleurs, il faut sélectionner uniquement le front montant et pas l'état haut du cycle précédent. Sinon on introduit une erreur non désirée qui peut affecter la fréquence de sortie.

Pour remédier à ces problèmes, on peut utiliser le mode de réalisation illustré schématiquement sur les figures 15 à 18.

Pour sélectionner uniquement les fronts montants, sans erreur liée au cycle précédent, on utilise une bascule synchrone 137 dont

l'entrée de données forme les premiers moyens d'entrée E1 et dont l'entrée d'horloge forme les deuxièmes moyens d'entrée E2. Plus précisément, ces deuxièmes moyens d'entrée E2 sont connectés à la sortie du multiplexeur 135 qui délivre la phase sélectionnée, ici la phase RO[12] en fonction de la valeur du mot numérique de 4 bits DLY.

En d'autres termes, le signal impulsionnel secondaire PS sert de fenêtre de sélection et la phase à sélectionner est utilisée comme signal d'horloge de la bascule 137. La bascule 137 délivre alors un signal impulsionnel ancillaire PSO.

La figure 16 illustre schématiquement un chronogramme de fonctionnement. On voit que l'impulsion du signal impulsionnel secondaire PS est effectivement retardé par la phase sélectionnée RO[12] pour former l'impulsion du signal ancillaire PSO.

Par ailleurs, pour avoir des marges de temps suffisantes pour éviter les incertitudes de début/fin de période, on effectue l'opération de sélection sur deux cycles. Pour cela, comme illustré schématiquement sur la figure 17, on parallélise l'opération entre deux voies ayant chacune un débit d'une impulsion par deux cycles.

Plus précisément, les moyens de traitement 130 comportent sur chaque voie, un bloc de traitement 130a (130b) analogue à celui illustré sur la figure 15 suivi d'un élément de retard 139a (139b).

Les deux voies sont connectées en entrée à une machine d'état de distribution 170 recevant les signaux PS, DLY identique à l'élément 132 de la figure 8. Les deux voies sont connectées en sortie à une porte logique OU 140 permettant la recombinaison des signaux et délivrant le signal impulsionnel intermédiaire CK2<sub>out</sub>.

Par ailleurs, comme illustré schématiquement sur la figure 18, il est particulièrement avantageux de prévoir une porte ET 138 connectée en sortie de la bascule synchrone 137 pour recevoir le signal ancillaire PSO et dont l'autre entrée reçoit directement le signal impulsionnel secondaire PS. Cette porte ET qui délivre le signal PSO1 à l'élément de retard correspondant (139a ou 139b) limite la largeur de

l'impulsion générée pour éviter les chevauchements lors de la recombinaison des deux voies.

5 Pour garantir des bonnes marges de sélection, il est préférable que la fenêtre de sélection (signal PS) soit bien centrée sur l'impulsion que l'on souhaite sélectionner. Il est ainsi préférable de prévoir par exemple au moins  $\frac{1}{4}$  de cycle de marge entre les bords de fenêtre et le front  $i$  (phase RO[i]) à sélectionner.

Il est également préférable de prévoir une marge pour l'établissement de la commande du multiplexeur 135.

10 Ceci peut être réglé en retardant la fenêtre d'un retard choisi qui dépend de la sélection.

Matériellement ceci peut être réalisé en utilisant une paire de bascules du type de la bascule 137 de la figure 15 connectées en série par l'intermédiaire de leur entrée/sortie de données et dont les entrées d'horloge respectives sont destinées à recevoir une phase RO[i] prise parmi deux plages de phases différentes.

Par ailleurs une autre bascule a son entrée de donnée destinée à recevoir le signal secondaire PS et sa sortie de donnée connectée à l'entrée de donnée de la première bascule de ladite paire. Cette autre bascule est destinée à retarder la fenêtre dudit retard choisi.

25 En outre d'une façon analogue à ce qui est illustré sur la figure 18, une porte logique ET en sortie de ladite paire de bascules limite la largeur de l'impulsion générée entre  $\frac{1}{4}$  et  $\frac{3}{4}$  de cycle pour éviter les chevauchements lors de la recombinaison des deux voies par la porte logique 140.

Dans les variantes qui viennent d'être décrites la largeur de l'impulsion du signal CK<sub>2out</sub> n'est pas ajustable (1 cycle pour la variante avec lignes à retard, et entre  $\frac{1}{4}$  et  $\frac{3}{4}$  de cycle pour le mode de réalisation avec une paire de bascules pour la sélection de la fenêtre). C'est la raison pour laquelle on prévoit un diviseur en sortie pour normaliser le rapport cyclique et obtenir pour le signal impulsionnel CK<sub>out</sub> une période égale à  $T_{in}/N$ .

Il est possible d'ajuster ce rapport cyclique à 50% ou une autre valeur désirée et donc obtenir pour le signal impulsionnel CK<sub>out</sub> une

période égale à  $T_{in}/N$ , sans utiliser de diviseur de fréquence. Ceci permet soit de doubler la fréquence maximale de sortie à puissance égale, soit à fréquence de sortie équivalente de diviser par deux la fréquence de l'oscillateur et de fonctionnement du bloc synchrone et donc la puissance dynamique consommée.

5 En pratique ceci peut s'obtenir par exemple en dupliquant ladite paire de bascules mentionnée ci-avant et en fournissant sur l'entrée d'horloge de chacune de ces deux bascules dupliquées un signal égal à la somme du signal auxiliaire DLY et d'un signal  
10 supplémentaire généré par le premier étage 12 et correspondant dans l'exemple décrit ici à  $16T_{out}/(2T_{RO})$ . Par exemple pour  $T_{out} = 1,5$  fois  $T_{RO}$ , le mot numérique correspondant à ce signal supplémentaire vaut 1100 (soit 12 en notation décimale). Ainsi la sortie des deux bascules dupliquées changera douze  $16^{\text{ème}}$  de cycle après celle de ladite paire  
15 de bascules. L'impulsion de sortie aura une largeur de 12/16 pour une période de 1,5 (=24/16) c'est-à-dire un rapport cyclique de 50%.

La valeur de ce signal supplémentaire est ici toujours comprise entre 8 et 15 ce qui se représente sur un mot de 4 bits.

20 Cela étant il serait également possible de modifier la valeur du signal supplémentaire pour obtenir un rapport cyclique différent de 50%.

Il convient de noter que cette dernière variante est préférentiellement utilisée pour des valeurs de  $T_{out}$  comprises entre  $T_{RO}$  et deux fois  $T_{RO}$ .

25 Par contre pour des valeurs de  $T_{out}$  supérieures à deux fois  $T_{RO}$ , on utilisera de préférence les modes de réalisation avec diviseur de fréquence par deux.

**REVENDICATIONS**

1. Dispositif de génération d'un signal impulsionnel, comprenant une entrée pour recevoir un signal impulsionnel initial ( $CK_{in}$ ) ayant une période initiale ( $T_{in}$ ), un oscillateur (11) configuré pour générer au moins un signal d'oscillateur ( $CK_{RO}$ ), un premier étage (12) synchronisé avec ledit au moins un signal d'oscillateur et configuré pour délivrer un signal impulsionnel secondaire (PS) dont l'espace entre deux impulsions successives est représentatif de la partie entière d'une division de la période initiale ( $T_{in}$ ) par un entier N et un signal auxiliaire (DLY) représentatif de la partie fractionnaire de ladite division et contenant, pour chaque impulsion du signal impulsionnel secondaire (PS), une indication d'un décalage temporel à appliquer sur ladite impulsion compte tenu de l'espace entre ladite impulsion et l'impulsion précédente, et un deuxième étage (13) configuré pour recevoir les impulsions successives du signal secondaire et les indications de décalage correspondantes et pour élaborer les impulsions correspondantes successives du signal impulsionnel ( $CK_{out}$ ).

2. Dispositif selon la revendication 1, dans lequel le premier étage (12) comporte

un premier module (120) recevant le signal impulsionnel initial ( $CK_{in}$ ), synchronisé sur ledit au moins un signal d'oscillateur ( $CK_{RO}$ ), et configuré pour délivrer des successions de premiers mots numériques ( $W_{int}$ ) représentatifs de la partie entière de la division par N du rapport ( $T_{in}/T_{RO}$ ) entre la période initiale et la période dudit au moins un signal d'oscillateur et de deuxièmes mots numériques ( $W_{frac}$ ) représentatifs de la partie fractionnaire de la division par N dudit rapport, et

un deuxième module (121) possédant un premier moyen de comptage (1210) synchronisé sur le signal d'oscillateur ( $CK_{RO}$ ),

un deuxième moyen de comptage (1211) synchronisé sur le signal d'oscillateur et incrémentable par le deuxième mot numérique courant ( $W_{frac}$ ), et

5 des moyens de traitement (1213) configurés pour, lorsque la valeur courante du premier moyen de comptage (1210) est égale à la valeur du premier mot numérique courant ( $W_{int}$ ), réinitialiser le premier moyen de comptage (1210), délivrer une impulsion du signal secondaire (PS) et  
10 délivrer le contenu du deuxième moyen de comptage (1211) en tant qu'indication de décalage temporel dudit signal auxiliaire (DLY) associée à ladite impulsion du signal secondaire.

3. Dispositif selon la revendication 2, dans lequel le premier module (120) comporte

15 un moyen de détection (1200), synchronisé sur le signal d'oscillateur ( $CK_{RO}$ ), configuré pour détecter des fronts du signal impulsionnel initial ( $CK_{in}$ ) et délivrer des signaux de commande ( $W_{in}$ ) en réponse aux occurrences de ces fronts,

20 un moyen de comptage initial (12011) synchronisé sur le signal d'oscillateur, réinitialisable lors de l'occurrence de chaque signal de commande ( $W_{in}$ ),

25 une bascule synchrone (12012) dont l'entrée de donnée est connectée à la sortie du moyen de comptage initial (12011) et commandée par les signaux de commande ( $W_{in}$ ) de façon à délivrer lors d'une occurrence courante d'un signal de commande le premier mot numérique courant ( $W_{int}$ ) et le deuxième mot numérique courant ( $W_{frac}$ ).

4. Dispositif selon la revendication 3, dans lequel le moyen de  
30 détection (1200) comprend une bascule D sur front (12002) cadencée par ledit au moins un signal d'oscillateur ( $CK_{RO}$ ), destinée à recevoir le signal d'horloge initial, et un circuit logique comportant une porte logique (12004) possédant une première entrée connectée à la sortie de la bascule D (12002), une deuxième entrée connectée à l'entrée de la

bascule D (12002), et une sortie destinée à délivrer les signaux de commande successifs ( $W_{in}$ ).

5 5. Dispositif selon l'une des revendications 3 ou 4, dans lequel le moyen de comptage initial (12011) et la bascule synchrone (12012) sont cadencés par un signal de cadencement ( $CK_{RO}/2$ ) dont la période est le double de la période dudit au moins un signal d'oscillateur.

10 6. Dispositif selon l'une des revendications précédentes, dans lequel le deuxième étage (13) comprend au moins une ligne à retard modulable et configurable par le signal auxiliaire (DLY) et destinée à recevoir en entrée le signal impulsionnel secondaire (PS).

15 7. Dispositif selon la revendication 6, dans lequel ladite indication du décalage temporel dudit signal auxiliaire à appliquer sur ladite impulsion du signal secondaire comprend un mot numérique de  $b$  bits (DLY), ladite au moins une ligne à retard (130) comprend  $b1$  modules élémentaires ( $130_i$ ),  $b1$  étant au moins égal à  $2^b$ , chaque module élémentaire ( $130_i$ ) étant configuré pour retarder une impulsion du signal secondaire (PS) d'un retard égal ou sensiblement égal à la période dudit au moins un signal d'oscillateur divisée par  $2^b$ , et des moyens de sélection (1300) sont configurés pour sélectionner un ou de  
20 plusieurs modules élémentaires en fonction de la valeur du mot numérique de  $b$  bits (DLY).

25 8. Dispositif selon la revendication 6 ou 7, dans lequel le deuxième étage (13) comprend un premier sous-étage (130) effectuant la combinaison des impulsions du signal secondaire (PS) et des indications de décalage associées (DLY) pour délivrer un signal impulsionnel intermédiaire ( $CK_{2out}$ ) dont la période est égale à  $T_{in}/2N$  où  $T_{in}$  désigne ladite période initiale et un deuxième sous-étage (131) configuré pour effectuer une division de fréquence par deux du signal intermédiaire ( $CK_{2out}$ ) de façon à délivrer ledit signal impulsionnel  
30 ( $CK_{out}$ ) ayant une période égale à  $T_{in}/N$ .

9. Dispositif selon la revendication 8, dans lequel le premier sous-étage (130) du deuxième étage (13) comprend plusieurs lignes à retard configurables (130a-130e) connectées en parallèle entre un bloc de distribution (132) configuré pour recevoir le signal impulsionnel

secondaire (PS) et le signal auxiliaire (DLY), et une porte logique OU (133) délivrant ledit signal impulsif intermédiaire ( $CK2_{out}$ ).

10. Dispositif selon la revendication 7, dans lequel  $b1$  est supérieur à  $2^b$ .

5 11. Dispositif selon les revendications 9 et 10, comprenant des premiers moyens de calibration (15) configurés pour sélectionner pour chaque ligne à retard et pour chaque retard, le nombre correspondant de modules élémentaires avec au moins  $b1$  possibilités de choix.

10 12. Dispositif selon l'une des revendications précédentes, comprenant plusieurs oscillateurs initiaux ( $11_1-11_j$ ) structurellement identiques et des deuxièmes moyens de calibration (14) configurés pour sélectionner ledit oscillateur (11) parmi les oscillateurs initiaux.

15 13. Dispositif selon les revendications 11 et 12, dans lequel les oscillateurs initiaux ( $11_1-11_j$ ) et les lignes à retard (130) sont réalisés dans une technologie du type substrat sur isolant totalement déserté et comportent des électrodes enterrées (GP), et les premiers et deuxièmes moyens de calibration (14, 15) comprennent des moyens de polarisation (MP) des électrodes enterrées.

20 14. Dispositif selon l'une des revendications 1 à 5, dans lequel ladite indication du décalage temporel dudit signal auxiliaire à appliquer sur ladite impulsion du signal secondaire (PS) comprend un mot numérique de  $b$  bits (DLY), ledit au moins un oscillateur est un oscillateur multiphasé (11) configuré pour délivrer  $2^b$  signaux élémentaires d'oscillateur ( $RO[0]-RO[15]$ ), l'un ( $RO[0]$ ) des signaux élémentaires d'oscillateur formant ledit au moins un signal d'oscillateur ( $CK_{RO}$ ), les  $2^b$  signaux élémentaires d'oscillateur étant temporellement décalés d'un décalage égal ou sensiblement égal à la période ( $T_{RO}$ ) dudit au moins un signal d'oscillateur divisée par  $2^b$ , et le deuxième étage (13) comprend des premiers moyens d'entrée (E1) pour recevoir ladite impulsion du signal secondaire (PS), des deuxièmes moyens d'entrée (E2) pour recevoir le mot numérique de  $b$  bits (DLY), des troisièmes moyens d'entrée (E3) pour recevoir les  $2^b$  signaux élémentaires d'oscillateur, et est configuré pour sélectionner

25

30

l'un des signaux élémentaires d'oscillateur en fonction de la valeur dudit mot numérique de  $b$  bits (DLY) et pour élaborer le signal impulsionnel ( $CK_{out}$ ) à partir du signal impulsionnel secondaire (PS) et du signal élémentaire d'oscillateur sélectionné ( $RO[i]$ ).

5           15.       Dispositif selon la revendication 14, dans lequel le deuxième étage (13) comprend des moyens de traitement (130), formant un premier sous-étage (130), comportant les premiers, deuxièmes et troisièmes moyens d'entrée (E1, E2, E3) et configurés pour sélectionner ledit un des signaux élémentaires d'oscillateur en  
10 fonction de la valeur dudit mot numérique de  $b$  bits (DLY) et pour élaborer, à partir du signal impulsionnel secondaire (PS) et du signal élémentaire d'oscillateur sélectionné ( $RO[i]$ ), un signal impulsionnel intermédiaire ( $CK2_{out}$ ) dont la période est égale à  $T_{in}/2N$  où  $T_{in}$  désigne ladite période initiale un signal impulsionnel ( $CK_{out}$ ) et un  
15 deuxième sous-étage (131) configuré pour effectuer une division de fréquence par deux du signal intermédiaire ( $CK2_{out}$ ) de façon à délivrer ledit signal impulsionnel ( $CK_{out}$ ) ayant une période égale à  $T_{in}/N$ .

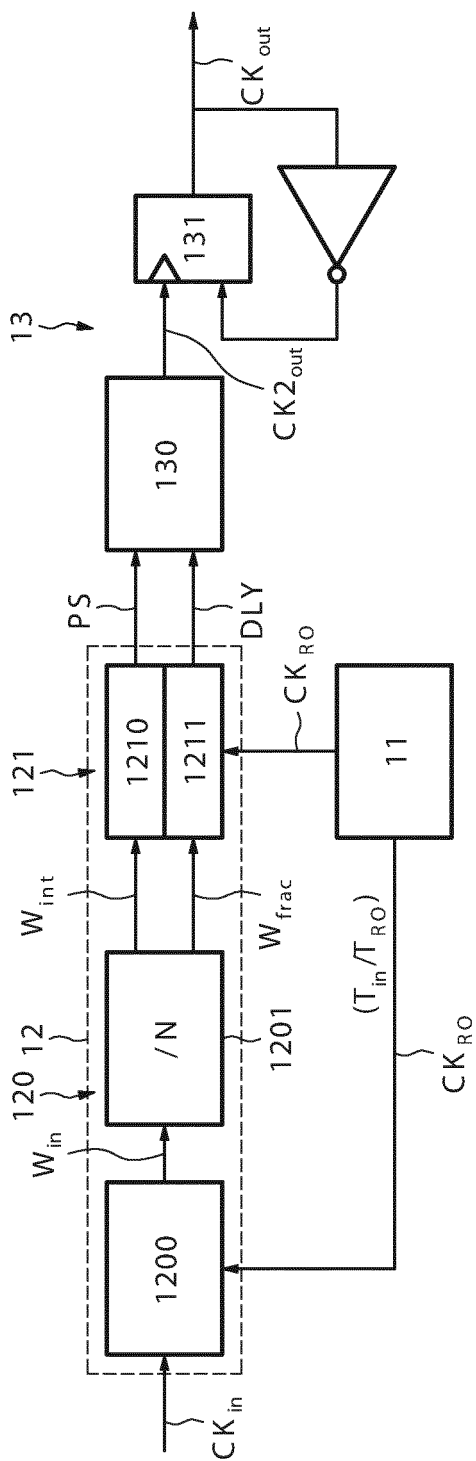
20           16.       Dispositif selon la revendication 15, dans lequel les moyens de traitement (130) comportent un multiplexeur (135) dont les entrées de données forment les troisièmes moyens d'entrée (E3), dont l'entrée de commande forme les deuxièmes moyens d'entrée (E2), et une porte logique ET (136) dont une entrée est connectée à la sortie du multiplexeur (135) et dont une entrée forme les premier moyens  
25 d'entrée (E1).

17.       Dispositif selon la revendication 14 ou 15, dans lequel le deuxième étage (13) comporte au moins une bascule synchrone dont l'entrée de donnée forme les premiers moyens d'entrée et dont l'entrée d'horloge forme les deuxièmes moyens d'entrée.

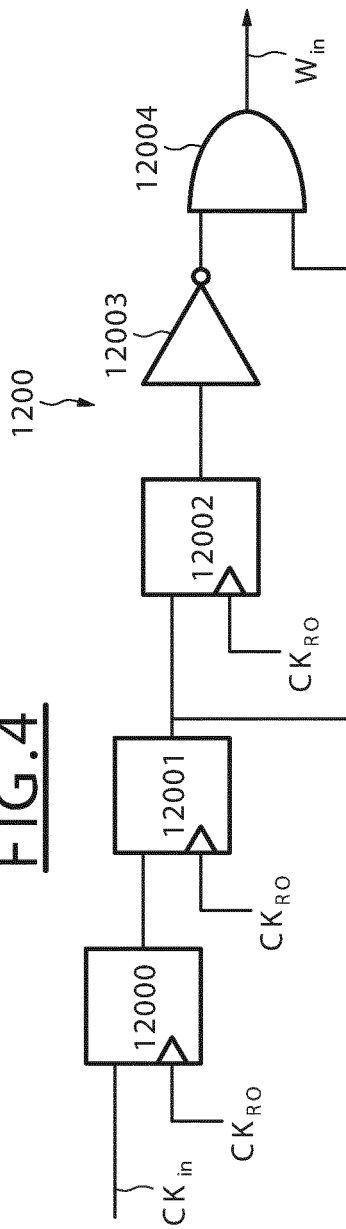
30           18.       Circuit intégré comprenant un dispositif selon l'une des revendications 1 à 17.



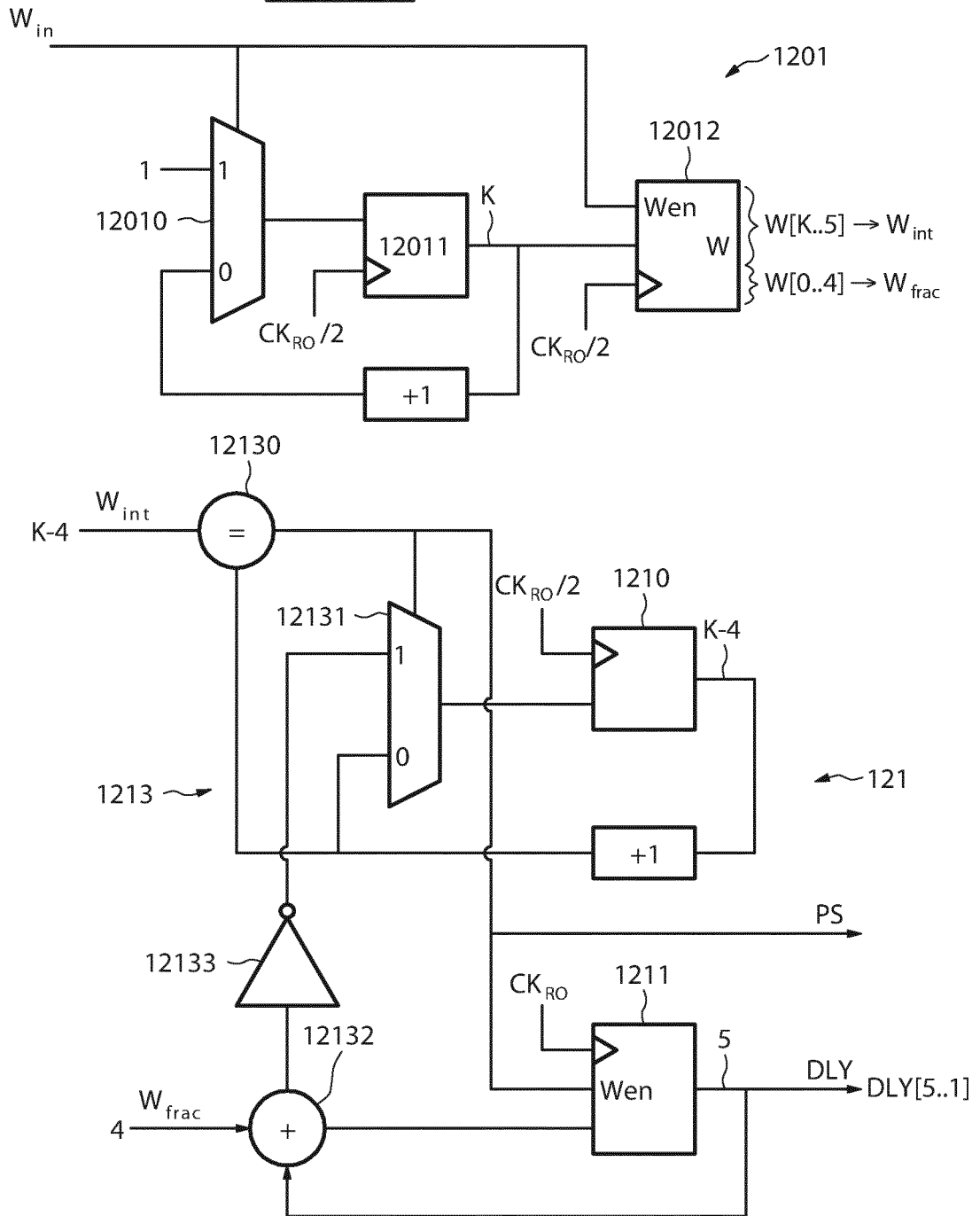
**FIG. 3**



**FIG. 4**



**FIG.5**



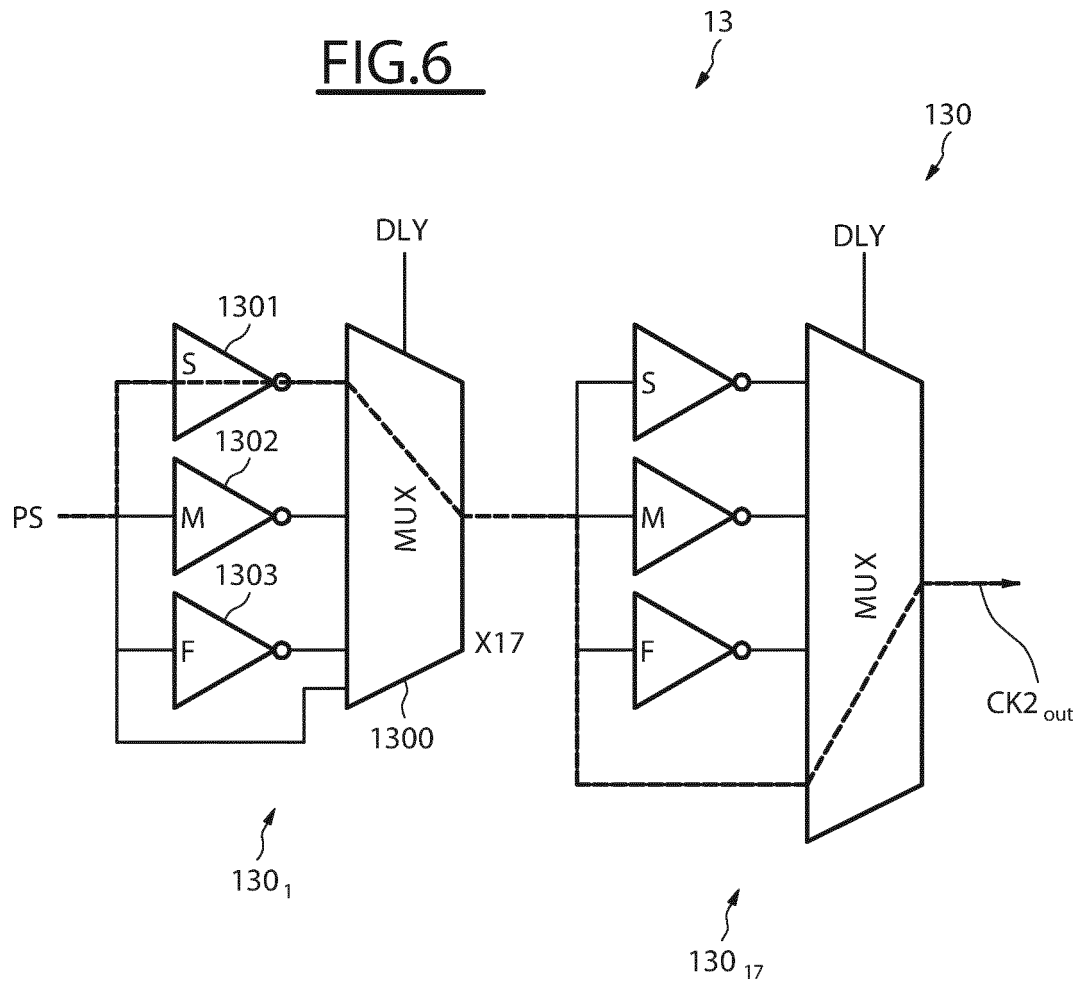
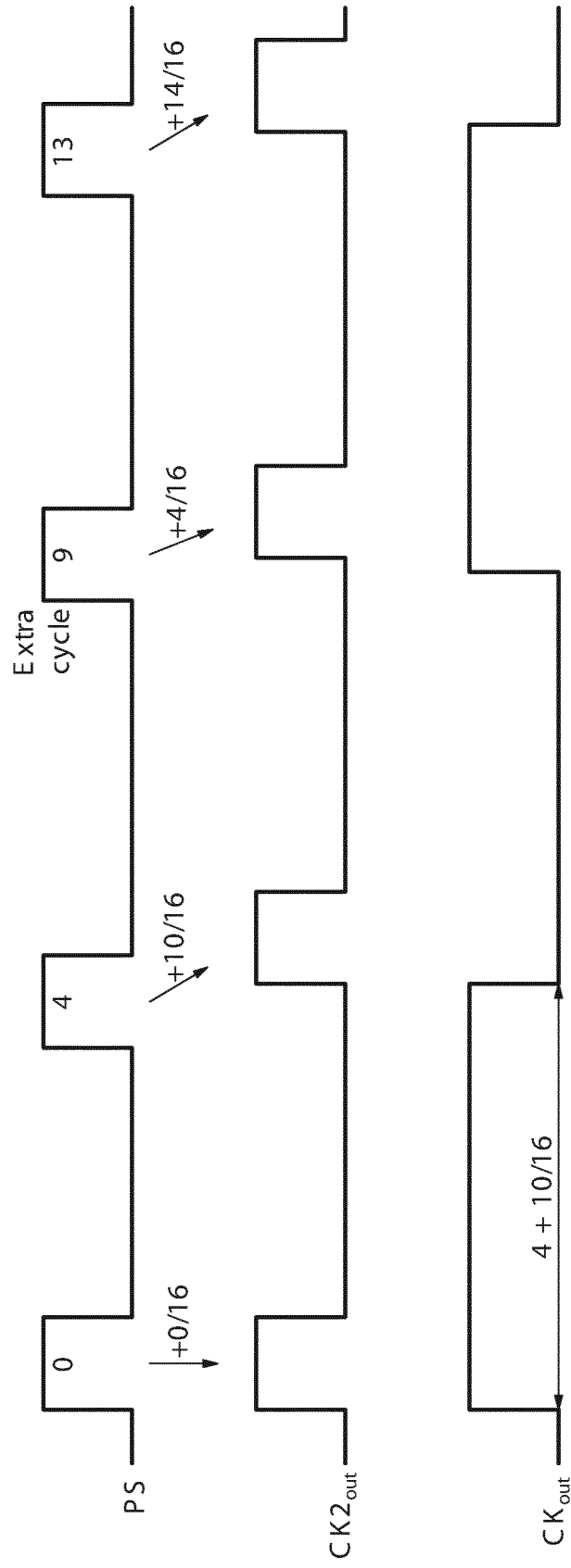
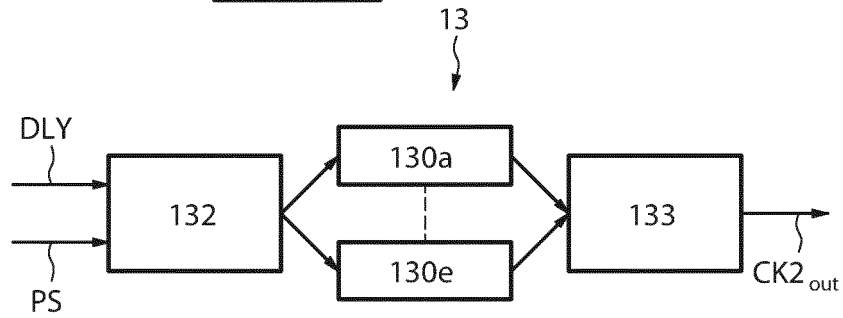
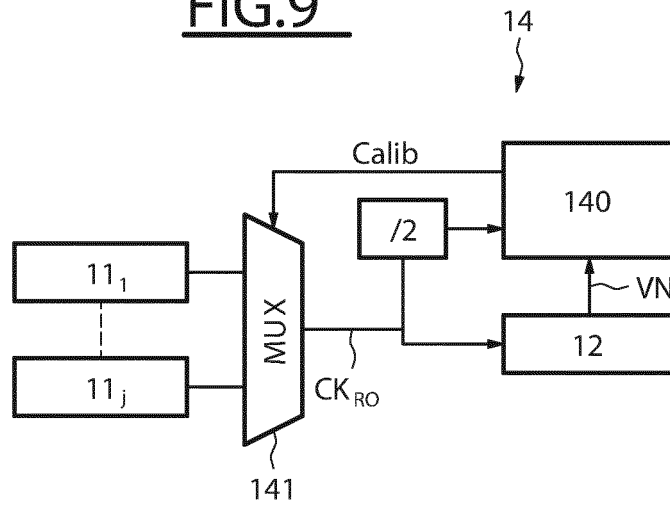
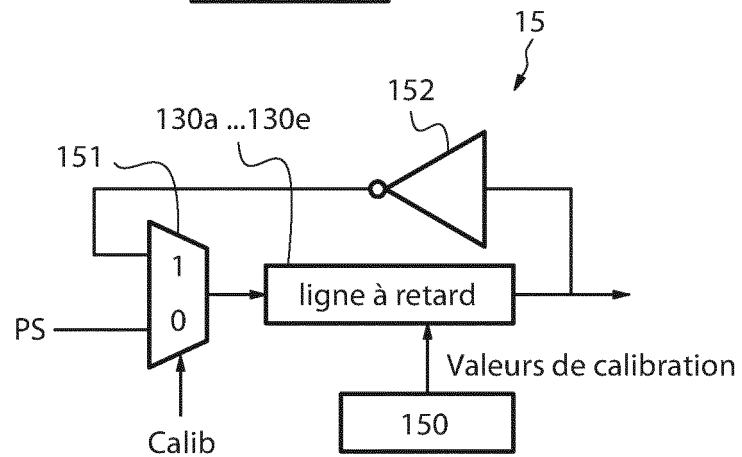
**FIG.6**

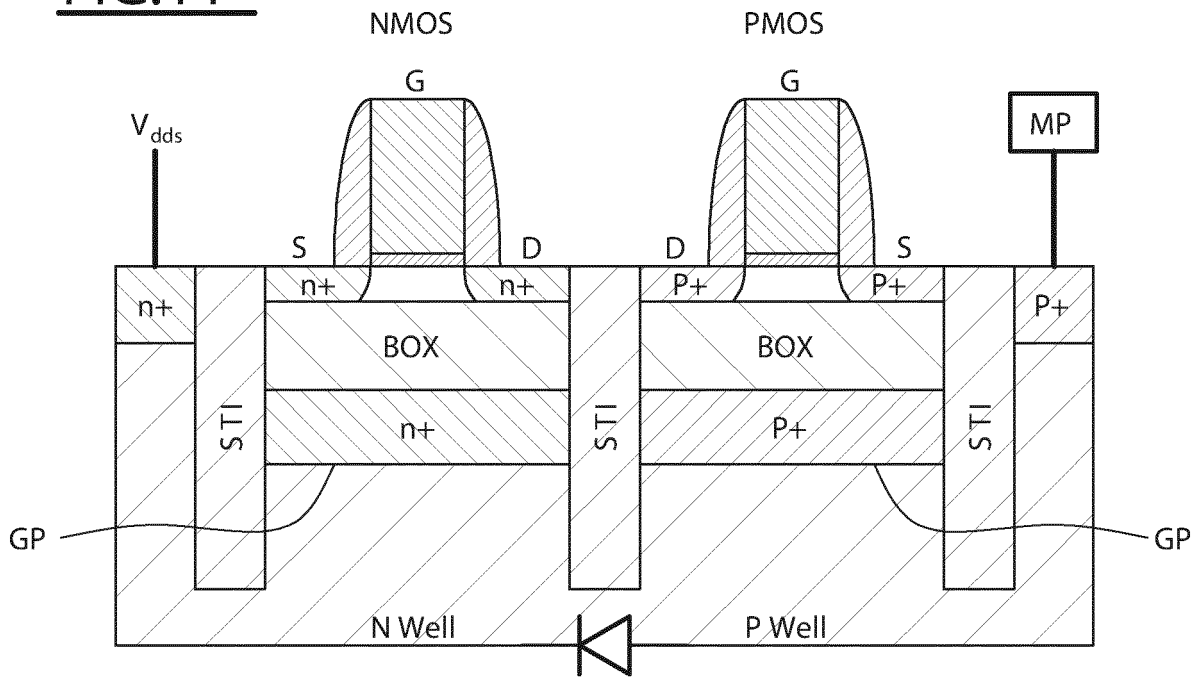
FIG.7



6/10

FIG.8FIG.9FIG.10

**FIG.11**



**FIG.12**

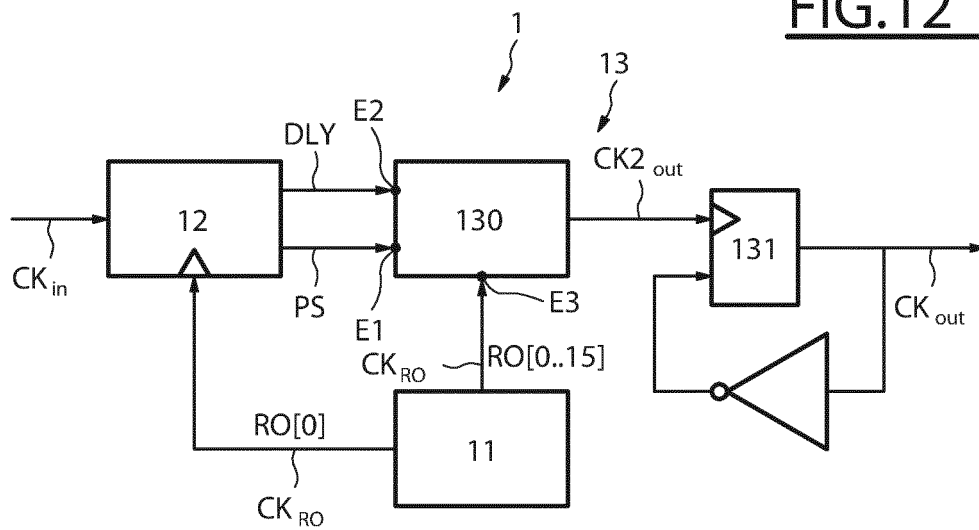
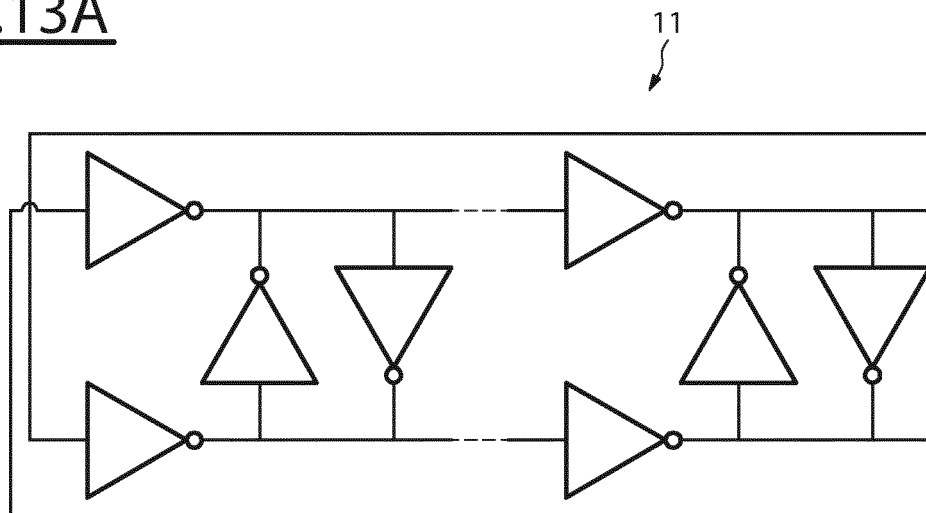
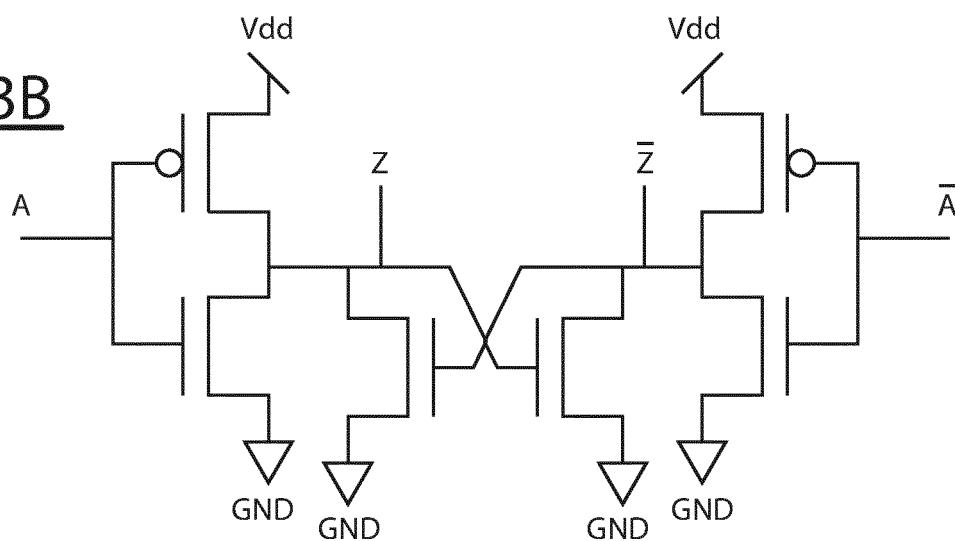
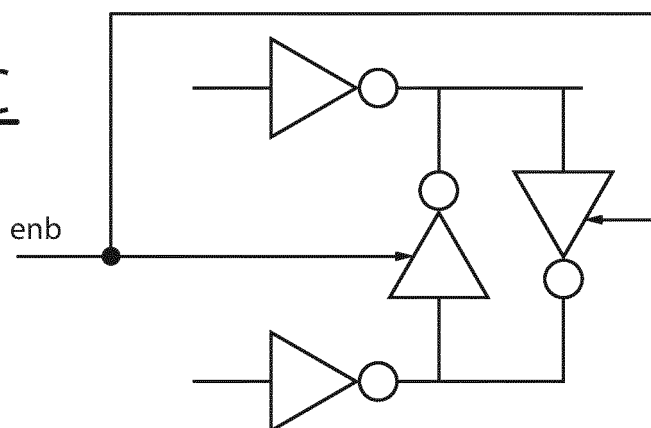
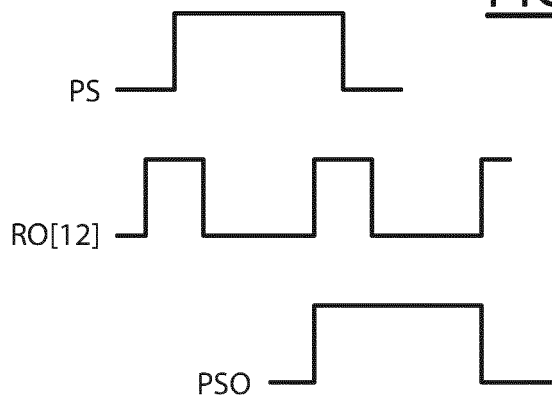
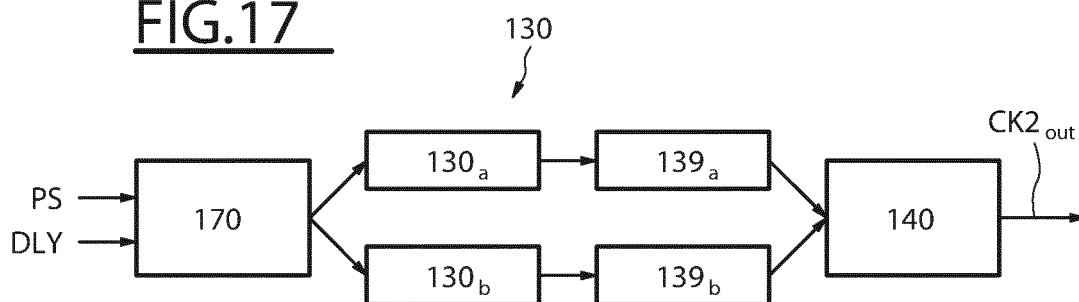
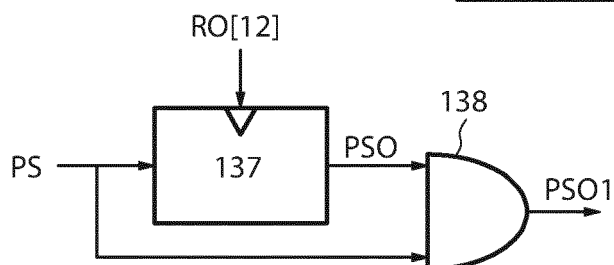


FIG.13AFIG.13BFIG.13C



10/10

FIG.16FIG.17FIG.18



**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FA 801941  
FR 1458631

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	Skyworks Solutions ET AL: "Basics of Dual Fractional-N Synthesizers/PLLs", 17 mars 2005 (2005-03-17), XP055189586, Extrait de l'Internet: URL:http://www.skyworksinc.com/uploads/doc uments/101463B.pdf [extrait le 2015-05-18] * figures 1-4 * * page 1 - page 3 *	1-18	G06F1/08
A	EP 1 304 804 A2 (ST MICROELECTRONICS PVT LTD [IN]) 23 avril 2003 (2003-04-23) * figures 1, 2 * * colonne 3 - colonne 4 *	1-18	
A	US 2001/038314 A1 (ICHIMARU KOUZOU [JP]) 8 novembre 2001 (2001-11-08) * figures 1-5 * * abrégé *	1-18	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			G06F H03K H03L
Date d'achèvement de la recherche		Examineur	
21 mai 2015		De Meyer, Arnaud	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1458631 FA 801941**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **21-05-2015**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 1304804	A2	23-04-2003	EP 1304804 A2	23-04-2003
			US 2003076137 A1	24-04-2003
-----				
US 2001038314	A1	08-11-2001	JP 4392949 B2	06-01-2010
			JP 2001292061 A	19-10-2001
			US 2001038314 A1	08-11-2001
-----				