(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3556437号
(P3556437)
(45)発行日　平成16年8月18日(2004.8.18)　(24)登録日　平成16年5月21日(2004.5.21)

(51)Int.Cl.[7]　F I
H01L 21/304　H01L 21/304　622N
H01L 21/304　622X

請求項の数 3　(全 17 頁)

(21)出願番号　特願平9-199542
(22)出願日　平成9年7月25日(1997.7.25)
(65)公開番号　特開平11-45868
(43)公開日　平成11年2月16日(1999.2.16)
審査請求日　平成14年8月20日(2002.8.20)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　小西　信博
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　田熊　祐一郎
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　三谷　真一郎
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内

最終頁に続く

(54)【発明の名称】半導体集積回路装置の製造方法

(57)【特許請求の範囲】
【請求項１】
半導体ウェハの有効処理領域内に位置し、半導体集積回路装置を構成する製品チップが形成される製品チップ領域、および、前記半導体ウェハの外周部に位置し、前記製品チップとはならない不完全チップが形成される擬似チップ領域を含む半導体ウェハを処理する半導体集積回路装置の製造方法であって、
前記製品チップ領域に半導体集積回路素子を構成する凸状の導電性の素子構成部材を形成すると同時に、前記擬似チップ領域に前記素子構成部材のパターン寸法の２倍以上１ｍｍ以下で同一の材料からなる凸状の擬似部材を形成する第１の工程と、
前記半導体ウェハの全面に前記素子構成部材および擬似部材を覆う絶縁膜を堆積し、前記絶縁膜をＣＭＰ法により研磨する第２の工程と、を含むことを特徴とする半導体集積回路装置の製造方法。
【請求項２】
半導体ウェハの有効処理領域内に位置し、半導体集積回路装置を構成する製品チップが形成される製品チップ領域、および、前記半導体ウェハの外周部に位置し、前記製品チップとはならない不完全チップが形成される擬似チップ領域を含む半導体ウェハを処理する半導体集積回路装置の製造方法であって、
前記製品チップ領域の絶縁膜に半導体集積回路素子を構成する導電性の素子構成部材が形成される凹部を形成すると同時に、前記周辺チップ領域の絶縁膜に前記凹部のパターン寸法の２倍以上１ｍｍ以下の擬似凹部を形成する第１の工程と、

前記半導体ウェハの全面に前記凹部および擬似凹部の内面を含む前記絶縁膜の表面に導電膜を堆積し、前記導電膜をＣＭＰ法により研磨して前記絶縁膜の表面の前記導電膜を除去することにより前記凹部内面および疑似凹部内面に導電性の素子形成部材を形成する第２の工程と、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項３】

請求項１または２記載の半導体集積回路装置の製造方法であって、

前記擬似チップ領域における前記擬似部材または前記擬似凹部のパターン密度Ｎ１は、前記製品チップ領域における前記素子構成部材または前記凹部のパターン密度Ｎ２に対して、

0.５×Ｎ２≦Ｎ１≦２×Ｎ２、である第１の条件、

0.１≦Ｎ１≦0.８、である第２の条件、

の何れの条件をも満足するものであることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、その製造工程にＣＭＰ（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）法を適用した平坦化工程を含む半導体集積回路装置に適用して有効な技術に関するものである。

【０００２】

【従来の技術】

半導体集積回路装置の最小加工寸法の減少に伴ってステッパの高性能化が必要となり、レンズ開口径の増大と露光波長の短波長化が進んでいる。その結果、露光光学系の焦点深度が浅くなり、被加工表面の僅かな凹凸も問題となる。この結果、被加工表面の平坦化はデバイスプロセス上重要な技術課題となっている。しかも上記の平坦化は、段差上に形成される配線の断線を防止するために必要とされる段差形状の緩和を目的とした平坦化ではなく、グローバルな平坦化つまり完全平坦化が要求されるものである。

【０００３】

表面平坦化の技術としては、ＳＯＧ（ｓｐｉｎ　ｏｎ　ｇｌａｓｓ）膜あるいは低融点ガラスの塗布および溶融による塗布法、ガラスフローによる熱処理法、ＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）の表面反応メカニズムを適用して自己平坦化させる方法等が知られているが、表面の状態や適用する熱処理等の条件あるいはそれらの加工上の制約から、完全な平坦化すなわちグローバル平坦化を行うことができない場合が多い。そこで、完全平坦化が実用的に可能な技術としてエッチバック法およびＣＭＰ法が有望視されている。

【０００４】

エッチバック法は、フォトレジストを犠牲膜にしたもの、ＳＯＧ膜を用いたもの、自己平坦化ＣＶＤ膜を用いたもの等が知られているが、プロセスの複雑さ、コスト、パーティクルによる歩留まりの低下が問題となり、一方、ＣＭＰ法は前記エッチバック法の問題点との比較において総合的に優れたプロセスであるとの認識が一般に形成されつつある。つまり、完全平坦化を実現しうる実用的な技術としては、ＣＭＰ法が最も有望であると考えられる。

【０００５】

なお、ＣＭＰ技術を詳しく記載している例としては、たとえば、平成８年５月１日、工業調査会発行、「電子材料」１９９６年５月号、ｐ２２～ｐ２７がある。

【０００６】

【発明が解決しようとする課題】

しかし、ＣＭＰ法を適用したデバイス表面の平坦化技術を検討する過程において、本発明者は以下のような問題点があることを認識した。

【０００７】

すなわち、ＣＭＰ法により研磨される研磨膜の残膜厚が、半導体ウェハの周辺領域におい

て大きくなり、その結果、研磨膜の均一性を損ねているという現象を観察した。このような研磨膜の不均一性は、その後の工程におけるフォトリソグラフィの際の露光マージンおよびエッチングマージンを低下させ、半導体集積回路装置の製造歩留まりを低下させる要因になるおそれがある。

【０００８】

本発明の目的は、ＣＭＰ工程における研磨膜の残膜厚均一性を向上することにある。

【０００９】

本発明の他の目的は、ＣＭＰ工程後のフォトリソグラフィ工程における露光マージンおよびエッチングマージンを向上し、半導体集積回路装置の製造歩留まりを向上することにある。

【００１０】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【００１１】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【００１２】

（１）本発明の半導体集積回路装置の製造方法は、半導体ウェハの有効処理領域内に位置し、半導体集積回路装置を構成する製品チップが形成される製品チップ領域、および、前記半導体ウェハの外周部に位置し、前記製品チップとはならない不完全チップが形成される擬似チップ領域を含む半導体ウェハを処理する半導体集積回路装置の製造方法であって、前記製品チップ領域に半導体集積回路素子を構成する凸状の導電性の素子構成部材を形成すると同時に、前記擬似チップ領域に前記素子構成部材と同一の材料からなる凸状の擬似部材を形成する第１の工程と、前記半導体ウェハの全面に前記素子構成部材および擬似部材を覆う絶縁膜を堆積し、前記絶縁膜をＣＭＰ法により研磨する第２の工程と、を含むものである。

【００１３】

このような半導体集積回路装置の製造方法によれば、第１の工程において、製品チップ領域に素子形成部材を形成するだけでなく、擬似チップ領域にも擬似部材を形成し、第２の工程において、素子形成部材および擬似部材の両部材上に形成された絶縁膜をＣＭＰ法により研磨するため、ＣＭＰ研磨後の絶縁膜の残膜厚の均一性を向上することができる。

【００１４】

すなわち、擬似チップ領域に擬似部材を設けない場合は、素子形成部材を形成するための被膜等が何らパターニングされずに擬似チップ領域に残った状態となり、擬似チップ領域における絶縁膜は当該領域で全面が凸状態になっていることとなる。そのため擬似チップ領域においては、ＣＭＰ研磨の際に研磨パッドから受ける圧力は平らな絶縁膜の全面で受けることとなり、この領域に加えられる単位面積あたりの圧力が低下することとなる。つまり、パターニングされた素子形成部材上の絶縁膜が素子形成部材の凹凸にしたがった表面形状を有し、研磨パッドから受ける圧力が凸部のみで受けることとなるため、その単位面積あたりの印加圧力が大きくなるのに対し、それに比較して擬似チップ領域では印加圧力が相対的に低くなる。一般的に研磨速度は、印加圧力に比例するため、この印加圧力の相違に起因して絶縁膜の残膜厚が不均一となる。

【００１５】

このような絶縁膜の不均一性が擬似チップ領域にのみ止まるものであるならこの領域に形成される擬似チップが製品とはならないため問題は生じないが、不均一性は、擬似チップに隣接する製品チップにも及ぶものである。したがって、擬似チップに隣接する製品チップの歩留まりを低下させる要因となるものであった。

【００１６】

そこで、本発明では、擬似チップ領域においてもパターニングを施し、ダミーである擬似

部材を形成するものである。このように擬似部材を設けることにより、擬似部材上の絶縁膜のＣＭＰ研磨の際の研磨圧力の低下を防止し、絶縁膜の残膜厚均一性を向上するものである。その結果、擬似チップに隣接する製品チップの絶縁膜の膜厚均一性を向上し、当該チップの製品歩留まりを向上することができる。

【００１７】

なお、素子形成部材としては、浅溝素子分離構造を有する半導体基板の活性領域、ゲート絶縁膜上のゲート電極となる多結晶シリコン配線、層間絶縁膜上の金属あるいは多結晶シリコン配線を例示することができる。

【００１８】

（２）本発明の半導体集積回路装置の製造方法は、半導体ウェハの有効処理領域内に位置し、半導体集積回路装置を構成する製品チップが形成される製品チップ領域、および、前記半導体ウェハの外周部に位置し、前記製品チップとはならない不完全チップが形成される擬似チップ領域を含む半導体ウェハを処理する半導体集積回路装置の製造方法であって、前記製品チップ領域の絶縁膜に半導体集積回路素子を構成する導電性の素子構成部材が形成される凹部を形成すると同時に、前記周辺チップ領域の絶縁膜に擬似凹部を形成する第１の工程と、前記半導体ウェハの全面に前記凹部および擬似凹部の内面を含む前記絶縁膜の表面に導電膜を堆積し、前記導電膜をＣＭＰ法により研磨して前記絶縁膜の表面の前記導電膜を除去することにより前記凹部内面および疑似凹部内面に導電性の素子形成部材を形成する第２の工程と、を含むものである。

【００１９】

このような半導体集積回路装置の製造方法によれば、第１の工程において、製品チップ領域に素子構成部材を形成するための凹部を絶縁膜に形成するだけでなく、擬似チップ領域に擬似凹部を形成し、第２の工程において、凹部および擬似凹部の内面を含む絶縁膜の表面に導電膜を形成し、導電膜をＣＭＰ法により研磨するため、導電膜を均一に研磨することができ、素子構成部材を均一に形成することができる。

【００２０】

このように、導電膜を均一に研磨することができる理由は、前記（１）に記載した絶縁膜が均一に研磨される理由と同様である。

【００２１】

なお、素子構成部材としては、タングステンプラグあるいはダマシン法による配線を例示することができ、凹部としては、プラグ形成のための接続孔あるいは配線形成のための溝を例示することができる。また、凹部には接続孔および配線溝の両方を含むため、いわゆるデュアルダマシン法による接続孔および配線の形成も含まれる。さらに、導電膜としては、アルミニウム、銅等の金属膜の他に多結晶シリコンも例示することができる。

【００２２】

（３）本発明の半導体集積回路装置の製造方法は、前記（１）または（２）記載の半導体集積回路装置の製造方法であって、擬似チップ領域における擬似部材または擬似凹部のパターンは、製品チップ領域における素子構成部材または凹部のパターンと同一とするものである。

【００２３】

このような半導体集積回路装置の製造方法によれば、擬似チップ領域の擬似部材または擬似凹部パターンを製品チップ領域の素子構成部材または凹部パターンと同じにするため、両領域で印加される単位面積あたりの圧力が同一となり、絶縁膜あるいは金属膜のＣＭＰ研磨速度を均一とすることができる。

【００２４】

また、擬似チップ領域のパターンを製品チップ領域のパターンと同一にすることに限られず、擬似チップ領域における擬似部材または擬似凹部のパターン密度を、製品チップ領域における素子構成部材または凹部のパターン密度と同一または近似しているものにすることができる。このように、擬似チップ領域および製品チップ領域のパターンを同一にすることのみならず、その密度を同一または近似したものとすることによっても、両領域に印

加される単位面積あたりの研磨圧力をほぼ同じにすることができ、絶縁膜あるいは金属膜のＣＭＰ研磨速度を均一とすることができる。

【００２５】

さらに、本発明者の実験および検討によれば、実用的な均一性は、以下のような条件を満足する場合にも得ることが可能である。すなわち、擬似チップ領域における擬似部材または擬似凹部のパターン密度Ｎ１を、製品チップ領域における素子構成部材または凹部のパターン密度Ｎ２に対して、０．５×Ｎ２≦Ｎ１≦２×Ｎ２である第１の条件、および、０．１≦Ｎ１≦０．８である第２の条件の両条件をともに満足するものとする場合である。つまり、擬似チップ領域のパターン密度Ｎ１は、製品チップ領域のパターン密度Ｎ２の５０％から２００％の間にあればよく、Ｎ２に厳密に一致あるいは近似している必要はない。ただし、擬似チップ領域のパターン密度Ｎ１は、１０％～８０％の間にある必要がある。たとえば、製品チップ領域のパターン密度Ｎ２が２０％である場合には擬似チップ領域のパターン密度Ｎ１は１０％～４０％の範囲にあればよい。ただし、Ｎ２が１０％である場合には、Ｎ１は１０％～２０％の範囲、Ｎ２が５０％である場合には、Ｎ１は２５％～８０％の範囲である必要がある。

【００２６】

また、擬似部材または擬似凹部のパターン寸法は、素子構成部材または凹部のパターン幅の２倍以上であり、かつ、１ｍｍ以下とすることができる。このような場合、擬似部材または擬似凹部のパターン寸法を素子構成部材または凹部のパターン幅の２倍以上にするため、擬似チップ領域内のパターン倒れ等のゴミ発生要因を防止することができる。すなわち、擬似部材または擬似凹部は、ウェハ処理工程におけるプロセス管理範囲外である有効処理領域外または当該領域にまたがって形成されるため、リソグラフィあるいはエッチングが良好には行われない。特に配線形成工程における金属膜が良好にエッチングされない場合には、金属片がウェハから剥離し、導電性のゴミとなって不良発生の要因となりかねない。そこで、本発明では、擬似部材または擬似凹部のパターン寸法を素子構成部材または凹部のパターン幅の２倍以上としてこれら部材の剥離を防止し、半導体集積回路装置の製造工程における不良の発生を抑制するものである。ただし、擬似部材または擬似凹部のパターン寸法があまりに大きくなると、パターニングした効果が薄れる可能性があるため、最大で１ｍｍとするものである。

【００２７】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【００２８】

（実施の形態１）

図１は本発明の一実施の形態である半導体集積回路装置の製造方法を適用するウェハの一例を示す平面図であり、図２は図１におけるＩＩ部の拡大図である。

【００２９】

本実施の形態１の製造方法で用いるウェハ１には、製品チップ２が形成される製品チップ領域３と、製品にはならない不完全な擬似チップ４が形成される擬似チップ領域５とが含まれる。製品チップ２は、各製造工程でのプロセス管理が保証された有効処理領域６内に形成される。逆に言えば、有効処理領域６からはみ出した領域では、製品チップ２にはなり得ず、そのような領域に形成されるチップは全て擬似チップ４となり、工程の終了後廃棄されるものである。したがって、擬似チップ領域５に形成される薄膜は一般にはパターニングされず、ベタ膜の状態で存置される。

【００３０】

しかし、本実施の形態のウェハ１には、図２に示すように、擬似チップ領域５においても擬似チップ４上に製品チップ２のパターン７と同一のパターン７がパターニングされる。このように擬似チップ４にもパターン７を形成することにより、パターン上の絶縁膜のＣＭＰ研磨量の均一性が向上し、絶縁膜の残膜厚均一性を向上することができる。

【００３１】

以下、図３～図７を用いて本実施の形態１の製造方法を説明する。図３～図７は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、（ａ）は図１におけるａ－ａ線断面、（ｂ）は図１におけるｂ－ｂ線断面を示す。

【００３２】

まず、ウェハ１の主面上に図示しないシリコン窒化膜を堆積し、このシリコン酸化膜をパターニングした後、パターニングされたシリコン酸化膜をマスクとして熱酸化処理を行い、厚いシリコン酸化膜からなるフィールド絶縁膜８を形成する。また、低濃度の不純物をイオン注入してウェル９を形成する。その後ゲート絶縁膜１０となるシリコン酸化膜をたとえば熱ＣＶＤ法により、ゲート電極１１となる多結晶シリコン膜をたとえばＬＰＣＶＤ法により、キャップ絶縁膜１２となるシリコン酸化膜をたとえばプラズマＣＶＤ法により順次堆積し、それらの積層膜をパターニングしてゲート絶縁膜１０、ゲート電極１１、キャップ絶縁膜１２を形成する。さらにゲート電極１１およびキャップ絶縁膜１２をマスクとして不純物をイオン注入し、不純物半導体領域１３を形成する。その後、シリコン酸化膜を堆積し、これに異方性エッチングを施してサイドウォール１４を形成する（図３）。なお、キャップ絶縁膜１２およびサイドウォール１４はシリコン窒化膜であってもよい。

【００３３】

積層膜のパターニングには公知のフォトリソグラフィおよびエッチング技術を用いることができ、サイドウォール１４を形成後高濃度の不純物をイオン注入して不純物半導体領域１３をＬＤＤ（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ　）構造としてもよい。また、上記工程により形成されるＭＩＳＦＥＴがｎ形の導電形である場合、ウェル９に導入される不純物はボロン等ｐ形不純物とし、不純物半導体領域１３に導入される不純物はリン、ヒ素等のｎ形不純物とすることができる。ＭＩＳＦＥＴの導電形がｐ形である場合はその逆とすることができる。

【００３４】

なお、ＭＩＳＦＥＴは、製品チップ領域３に形成され、擬似チップ領域５には形成されない。

【００３５】

次に、ウェハ１の全面に絶縁膜１５を堆積した後、絶縁膜１５をエッチバック法、ＣＭＰ法等を用いて平坦化する。絶縁膜１５は、ＢＰＳＧ膜、ＳＯＧ膜あるいは高密度プラズマＣＶＤ法によるシリコン酸化膜等自己平坦化機能を有する被膜を含むことができる。この場合、ボロン、リン等の不純物の拡散を防止するため、ＭＩＳＦＥＴ側にたとえばＴＥＯＳを用いたＣＶＤ法によるシリコン酸化膜等を含めることができる。さらに、接続孔１６を開口した後、配線１７となる金属膜を堆積し、金属膜を公知のフォトリソグラフィおよびエッチングの技術を用いてパターニングして配線１７を形成する。また、配線１７上にはこれを覆う絶縁膜１８を堆積する（図４）。

【００３６】

配線１７はたとえばアルミニウムを主成分とする金属膜とすることができ、スパッタ法あるいは蒸着法等により堆積することができる。この堆積の際、接続孔１６内にも同時に被膜を堆積し、配線１７とウェハ１の主面上に不純物半導体領域１３とを接続することができる。

【００３７】

また、配線１７は、製品チップ領域３に形成されるだけでなく、擬似チップ領域５にも形成され、図２で説明したパターン７の一つである。配線１７を擬似チップ領域５にも形成することにより、後に説明するように絶縁膜１８をＣＭＰ研磨した後の絶縁膜１８の残膜厚の均一性を向上することができる。

【００３８】

絶縁膜１８は、ＢＰＳＧ膜、ＳＯＧ膜あるいは高密度プラズマＣＶＤ法によるシリコン酸化膜等自己平坦化機能を有する被膜を含むことができ、また、ＴＥＯＳを用いたＣＶＤ法によるシリコン酸化膜等との積層膜とすることもできる。

【００３９】

次に、絶縁膜１８の表面をＣＭＰ法により研磨する（図５）。図５に示すように、本実施の形態１では、擬似チップ領域５と製品チップ領域３との境界における絶縁膜１８の凸部分は１２Ｌの長さで研磨パッド１９に接触し（図５（ａ））、製品チップ領域３間の境界における絶縁膜１８の凸部分も１２Ｌの長さで研磨パッド１９に接触している（図５（ｂ））。これは、擬似チップ領域５にも製品チップ領域３のパターンと同一のパターンで配線１７を形成しているためであり、このように、同一面積で絶縁膜１８と研磨パッド１９が接触しているため、擬似チップ領域５あるいは製品チップ領域３の場所によらず絶縁膜１８の研磨速度を均一とすることができる。

【００４０】

すなわち、ＣＭＰ研磨においては、一般に、研磨速度Ｒは、摺動面に加わる圧力Ｐｓとウェハ１と研磨パッド１９との相対速度ｖとの関数で表され、Ｒ＝Ｋｐ×Ｐｓ×ｖ（Ｋｐは係数）の関係で表される。したがって、圧力Ｐｓが減少するとそれに比例して研磨速度Ｒが低下し、絶縁膜１８の残膜厚が大きくなる。

【００４１】

いま、簡単のために図５の配線１７を単純なラインアンドスペースと仮定し、紙面の垂直方向にパターン密度が変化しないと考えると、摺動面に加わる単位面積あたりの圧力Ｐｓは、ウェハ１の裏面に印加される均等な印加圧力Ｐを接触面積で割った値として与えられ、Ｐ／１２Ｌとなる。この値は、擬似チップ領域５と製品チップ領域３との境界（図５（ａ））と、製品チップ領域３間の境界（図５（ｂ））で同じであり、それらの各領域でＣＭＰ研磨による絶縁膜１８の研磨速度は異ならないことを示している。

【００４２】

一方、図１７に示すように、擬似チップ領域５に配線１７のベタパターン２０を残存させた場合を考えてみると、図１８に示すように、擬似チップ領域５と製品チップ領域３との境界での単位面積あたりの圧力ＰｓがＰ／２１Ｌに対し（図１８（ａ））、製品チップ領域３間の境界での単位面積あたりの圧力ＰｓはＰ／１２Ｌとなって（図１８（ｂ））、擬似チップ領域５と製品チップ領域３との境界での圧力Ｐｓが、製品チップ領域３間の境界での圧力Ｐｓに比較して小さくなり、擬似チップ領域５と製品チップ領域３との境界での絶縁膜１８の残膜厚が大きくなってしまう。

【００４３】

しかしながら、本実施の形態１の製造方法によれば、前記したとおり、擬似チップ領域５にも配線１７のパターン７を形成するため、図６に示すように、ウェハ１の全面で絶縁膜１８の残膜厚は均一となり、その後の工程におけるフォトリソグラフィあるいはエッチング工程のプロセスマージンを向上することができる。具体的には、パターン７の凸部分の寸法をたとえば８０μｍ、パターン密度を２０％とした場合、残膜厚が８００ｎｍの絶縁膜１８において、膜厚のばらつきを１００ｎｍに抑制することができ、擬似チップ領域５にパターン７を形成しない場合のばらつきが３００ｎｍとなるのに対して２００ｎｍの均一性の向上を図ることができた。

【００４４】

なお、ＣＭＰ研磨の条件として、ウェハ１への印加圧力を５００ｇ／ｃｍ^2　、定盤およびキャリアの回転数をともに２０ｒｐｍ、研磨パッド１９を硬質パッドとすることができる。

【００４５】

また、図７に示すように、絶縁膜１８上にさらに第２層目の配線２１および絶縁膜２２を形成してもよい。擬似チップ領域５の配線２１に、配線１７同様にパターン７を形成し、絶縁膜２２の残膜厚均一性を向上できることはいうまでもない。さらに、３層以上の配線層を形成してもよいことはいうまでもない。

【００４６】

（実施の形態２）

図８～図１１は、本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。以下、図８～図１１を用いて本実施の形態２の製造方

法を説明する。

【００４７】

まず、ウェハ１の主面にシリコン窒化膜２３と堆積し、シリコン窒化膜２３およびウェハ１の主面をパターニングして、浅溝２４を形成する（図８）。シリコン窒化膜２３およびウェハ１のパターニングには公知のフォトリソグラフィおよびエッチング技術を用いることができる。

【００４８】

この浅溝は、製品チップ領域３に形成されるだけでなく、擬似チップ領域５にも形成される。また、擬似チップ領域５に形成される浅溝２４のパターンは、製品チップ領域３におけるパターンと同一である。

【００４９】

次に、ウェハ１の全面に、たとえばＴＥＯＳを用いたプラズマＣＶＤ法によりシリコン酸化膜２５を堆積する（図９）。擬似チップ領域５にも製品チップ領域３における浅溝パターンと同一パターンの浅溝２４が形成されているため、シリコン酸化膜２５の表面凹凸形状は、擬似チップ領域５および製品チップ領域３において同様の形状となる。

【００５０】

次に、図１０に示すようにＣＭＰ研磨を実施する。実施の形態１で説明したように、擬似チップ領域５と製品チップ領域３との境界領域でのシリコン酸化膜２５と研磨パッド１９との接触面積は、製品チップ領域３間の境界領域での接触面積とほぼ同一となり、シリコン酸化膜２５の研磨速度をウェハ１の全面において均一にすることができる。この結果、均一な素子分離領域２６を形成することができる（図１１）。

【００５１】

なお、図１１におけるシリコン窒化膜２３を除去して、素子分離領域２６が形成されたウェハ１が完成するが、その後の素子形成工程は、実施の形態１と同様であるため説明を省略する。

【００５２】

（実施の形態３）

図１２～図１５は、本発明のさらに他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。以下、図１２～図１５を用いて本実施の形態２の製造方法を説明する。（ａ）は図１におけるａ－ａ線断面、（ｂ）は図１におけるｂ－ｂ線断面を示す。

【００５３】

本実施の形態３の製造方法は、第１層配線層を形成するまでは実施の形態１と同様であるため、その説明は省略する。

【００５４】

絶縁膜１８上に絶縁膜２７を堆積し、配線が形成される溝２８および接続孔２９を形成する（図１２）。

【００５５】

絶縁膜２７は、たとえばＴＥＯＳシリコン酸化膜とすることができ、絶縁膜１８が十分に厚い場合には絶縁膜２７を省略することが可能である。溝２８および接続孔２９は公知のフォトリソグラフィおよびエッチング技術を用いて形成でき、製品チップ領域３に形成されるだけでなく、擬似チップ領域５にも形成される。また、擬似チップ領域５に形成される溝２８および接続孔２９のパターンは、製品チップ領域３におけるパターンと同一である。

【００５６】

次に、ウェハ１の全面に、たとえばスパッタ法により銅あるいはアルミニウム等の金属膜３０を堆積する（図１３）。擬似チップ領域５にも製品チップ領域３における浅溝パターンと同一パターンの溝２８および接続孔２９が形成されているため、金属膜３０の表面凹凸形状は、擬似チップ領域５および製品チップ領域３において同様の形状となる。

【００５７】

次に、図１４に示すようにＣＭＰ研磨を実施する。実施の形態１で説明したように、擬似チップ領域５と製品チップ領域３との境界領域での金属膜３０と研磨パッド１９との接触面積は、製品チップ領域３間の境界領域での接触面積とほぼ同一となり、金属膜３０の研磨速度をウェハ１の全面において均一にすることができる。この結果、均一な配線３１をダマシン法により形成することができる（図１５）。

【００５８】

（実施の形態４）

図１６は、擬似チップ領域５と製品チップ領域３との境界領域を示す平面図である。

【００５９】

本実施の形態４の製造方法では、擬似チップ領域５に形成されるパターン３２は、製品チップ領域３に形成されるパターン７と相違するパターンである。ただし、パターン３２とパターン７のパターン密度は、同一である。

【００６０】

このように、パターン３２とパターン７のパターン密度を同じにすることにより、擬似チップ領域５および製品チップ領域３でのＣＭＰ研磨速度を均一にすることができ、それらパターン上のＣＭＰ研磨膜の残膜厚の均一性を向上することができる。

【００６１】

なお、パターン３２とパターン７のパターン密度は、全く同一とする必要はない。本発明者の実験および検討によれば、パターン３２のパターン密度Ｎ１を、パターン７のパターン密度Ｎ２に対して、０．５×Ｎ２≦Ｎ１≦２×Ｎ２、とし、かつ、０．１≦Ｎ１≦０．８、とすればよい。つまり、パターン３２のパターン密度Ｎ１は、パターン７のパターン密度Ｎ２の５０％から２００％の間にあればよい。ただし、パターン３２のパターン密度Ｎ１は、１０％～８０％の間にある必要がある。

【００６２】

具体的に数値を例示すれば、たとえば、Ｎ２が２０％である場合にはＮ１は１０％～４０％の範囲にあればよい。また、Ｎ２が１０％である場合には、Ｎ１は１０％～２０％の範囲、Ｎ２が５０％である場合には、Ｎ１は２５％～８０％の範囲であればよい。

【００６３】

また、パターン３２のパターン寸法は、パターン７のパターン幅の２倍以上であり、かつ、１ｍｍ以下とすることができる。このような場合、パターン３２によって形成される配線のパターン倒れ等のゴミ発生要因を防止することができる。すなわち、パターン３２によって形成される配線は有効処理領域６内に入っていない場合があり、このように有効処理領域６の外に位置する部材の加工は一般に良好でないため、剥離等が発生しやすいが、パターン３２のパターン幅を大きくしておけば、このような不具合は発生し難くなる。

【００６４】

ただし、擬似部材または擬似凹部のパターン寸法があまりに大きくなると、パターニングした効果が薄れる可能性があるため、最大で１ｍｍとするものである。

【００６５】

なお、本実施の形態４のパターン３２は、実施の形態１～３においても用いることができる。

【００６６】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【００６７】

たとえば、上記実施の形態１～３では、本発明を素子分離領域、金属配線に適用した場合について説明したが、その他の部材たとえば、ゲート配線、ビット線等に適用することもできる。

【００６８】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【００６９】

（１）ＣＭＰ工程における研磨膜の残膜厚の均一性を向上することができる。

【００７０】

（２）ＣＭＰ工程後のフォトリソグラフィ工程における露光マージンおよびエッチングマージンを向上し、半導体集積回路装置の製造歩留まりを向上することができる。

【図面の簡単な説明】

【図１】本発明の一実施の形態である半導体集積回路装置の製造方法を適用するウェハの一例を示す平面図である。

【図２】図１におけるＩＩ部の拡大図である。

【図３】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、（ａ）は図１におけるａ－ａ線断面、（ｂ）は図１におけるｂ－ｂ線断面を示す。

【図４】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、（ａ）は図１におけるａ－ａ線断面、（ｂ）は図１におけるｂ－ｂ線断面を示す。

【図５】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、（ａ）は図１におけるａ－ａ線断面、（ｂ）は図１におけるｂ－ｂ線断面を示す。

【図６】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、（ａ）は図１におけるａ－ａ線断面、（ｂ）は図１におけるｂ－ｂ線断面を示す。

【図７】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図であり、（ａ）は図１におけるａ－ａ線断面、（ｂ）は図１におけるｂ－ｂ線断面を示す。

【図８】本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図９】本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図１０】本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図１１】本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図１２】本発明のさらに他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図であり、（ａ）は図１におけるａ－ａ線断面、（ｂ）は図１におけるｂ－ｂ線断面を示す。

【図１３】本発明のさらに他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図であり、（ａ）は図１におけるａ－ａ線断面、（ｂ）は図１におけるｂ－ｂ線断面を示す。

【図１４】本発明のさらに他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図であり、（ａ）は図１におけるａ－ａ線断面、（ｂ）は図１におけるｂ－ｂ線断面を示す。

【図１５】本発明のさらに他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図であり、（ａ）は図１におけるａ－ａ線断面、（ｂ）は図１におけるｂ－ｂ線断面を示す。

【図１６】実施の形態４の擬似チップ領域と製品チップ領域との境界領域を示す平面図である。

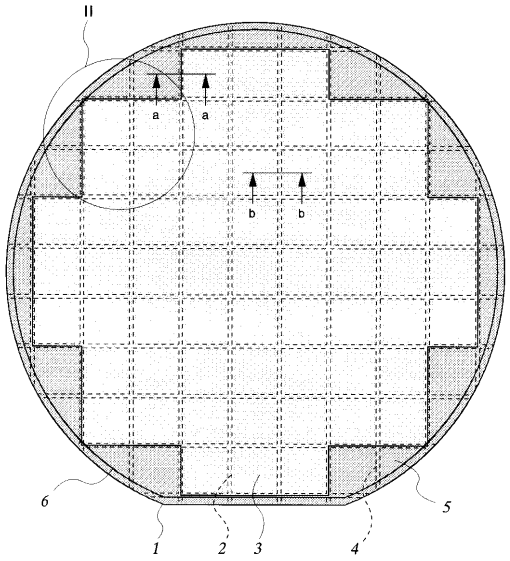
【図１７】擬似チップ領域にベタパターンを残存させた場合の例を示す平面図である。

【図１８】擬似チップ領域にベタパターンを残存させた場合の例を示す断面図である。

【符号の説明】
１　ウェハ
２　製品チップ
３　製品チップ領域
４　擬似チップ
５　擬似チップ領域
６　有効処理領域
７　パターン
８　フィールド絶縁膜
９　ウェル
１０　ゲート絶縁膜
１１　ゲート電極
１２　キャップ絶縁膜
１３　不純物半導体領域
１４　サイドウォール
１５　絶縁膜
１６　接続孔
１７　配線
１８　絶縁膜
１９　研磨パッド
２０　ベタパターン
２１　配線
２２　絶縁膜
２３　シリコン窒化膜
２４　浅溝
２５　シリコン酸化膜
２６　素子分離領域
２７　絶縁膜
２８　溝
２９　接続孔
３０　金属膜
３１　配線
３２　パターン
Ｎ１　パターン密度
Ｎ２　パターン密度
Ｐ　印加圧力
Ｐｓ　圧力
Ｒ　研磨速度
ｖ　相対速度

【図１】

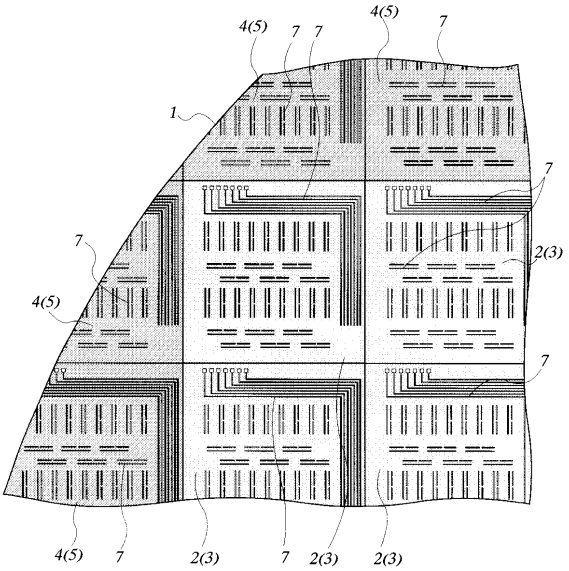
図 1



1：ウェハ
2：製品チップ
3：製品チップ領域
4：擬似チップ
5：擬似チップ領域
6：有効処理領域

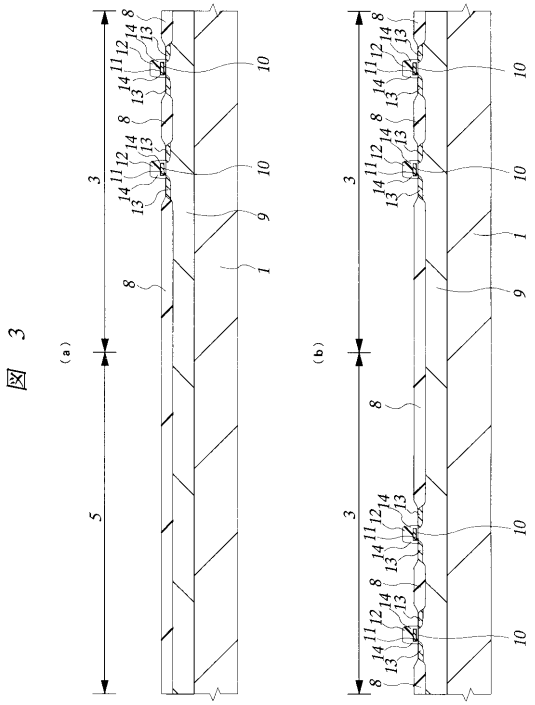
【図２】

図 2



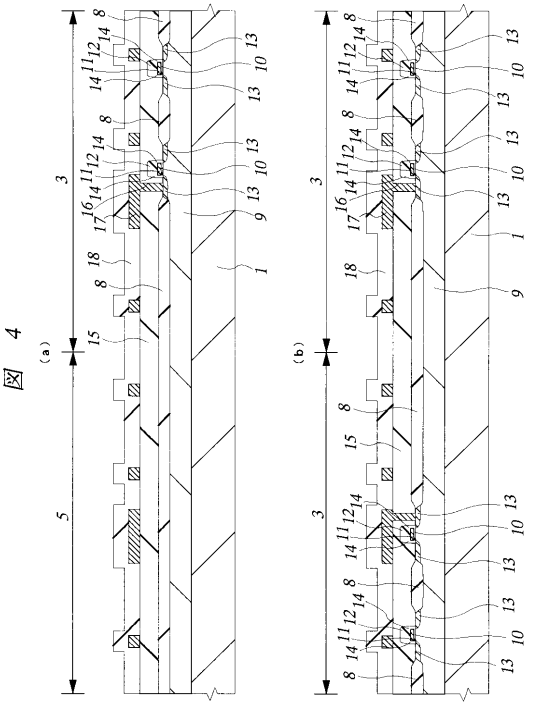
【図３】

図 3

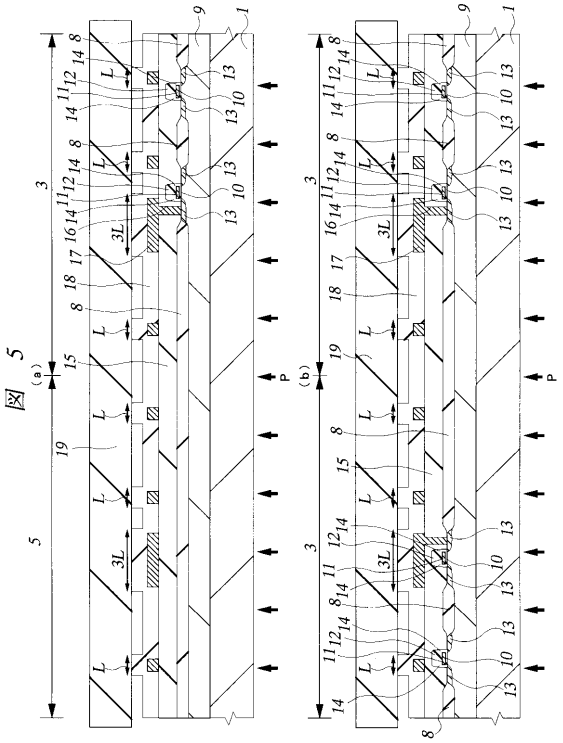


【図４】

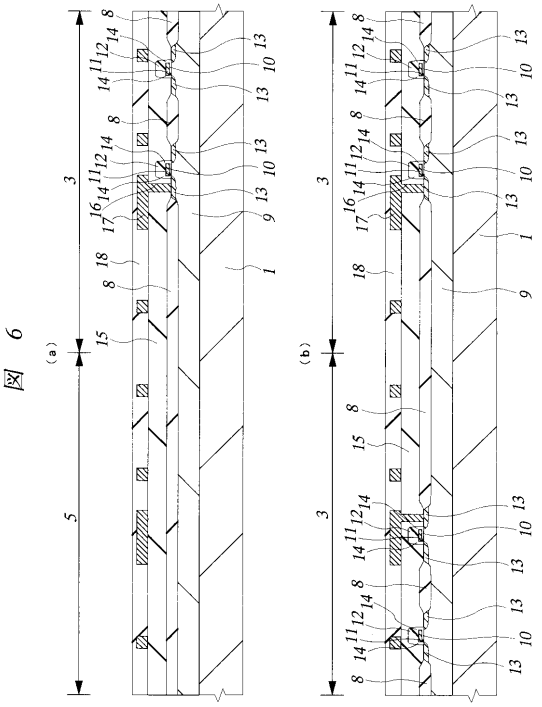
図 4



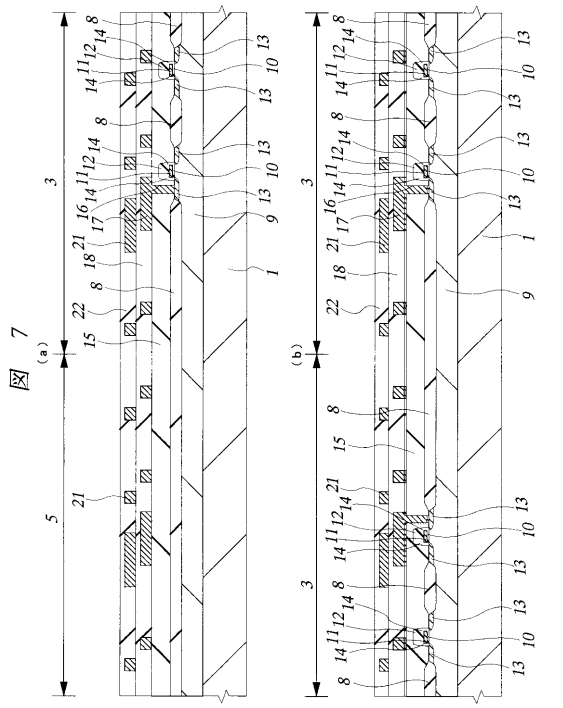
【図５】



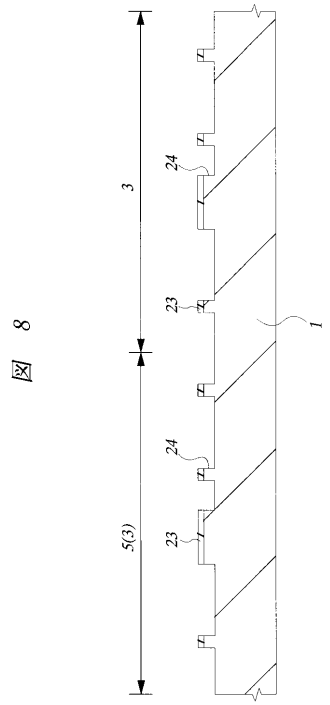
【図６】



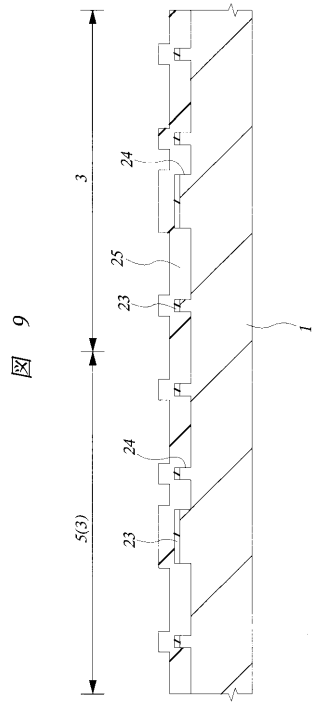
【図７】



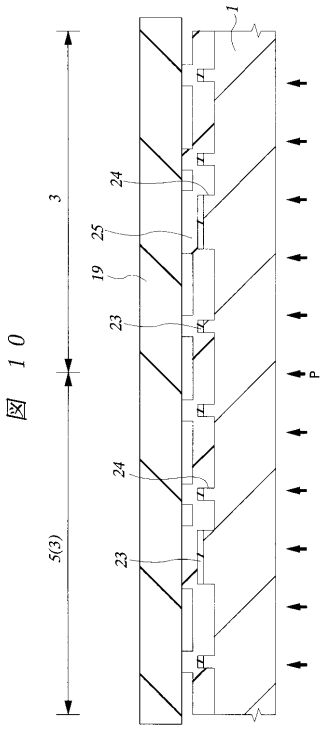
【図８】



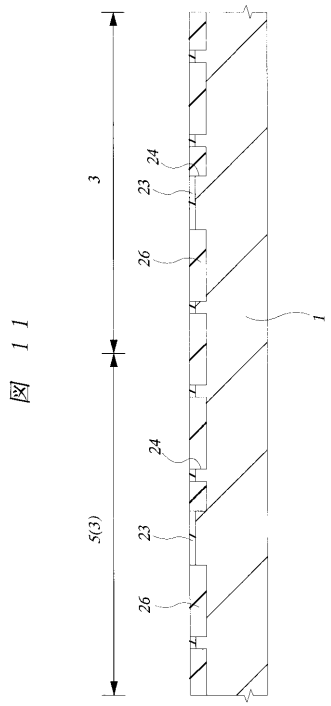
【図９】



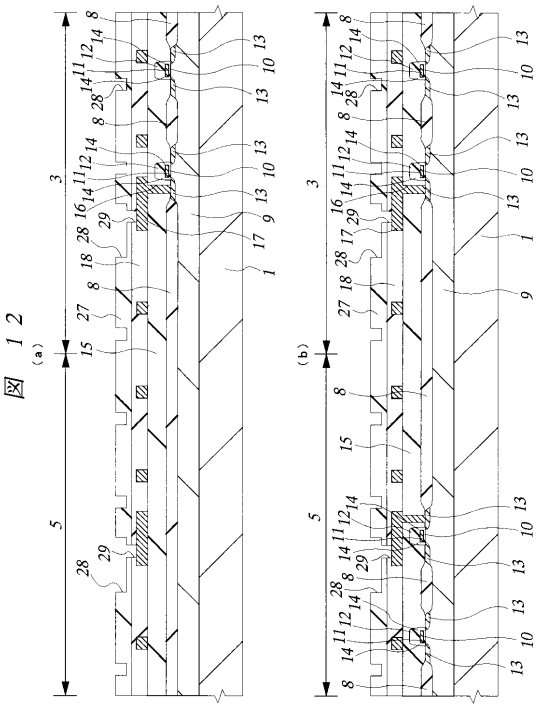
【図１０】



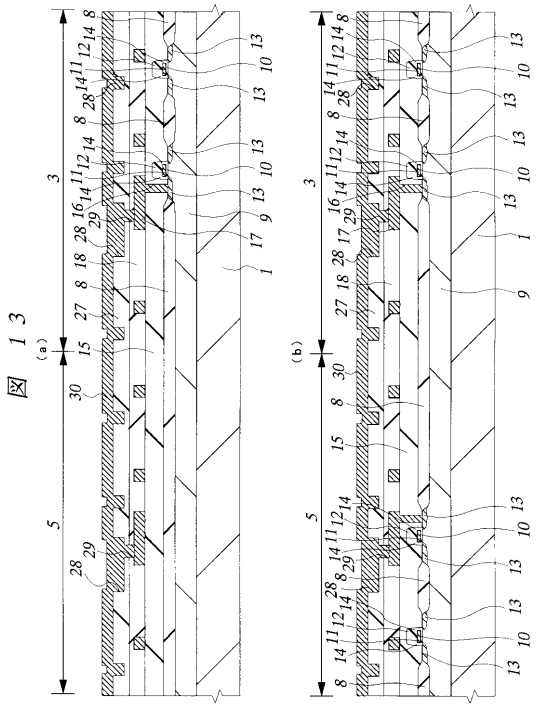
【図１１】



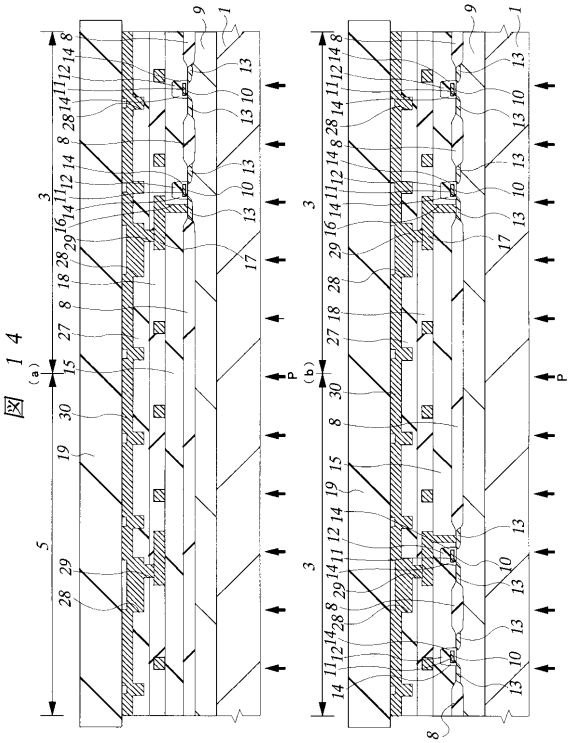
【図１２】



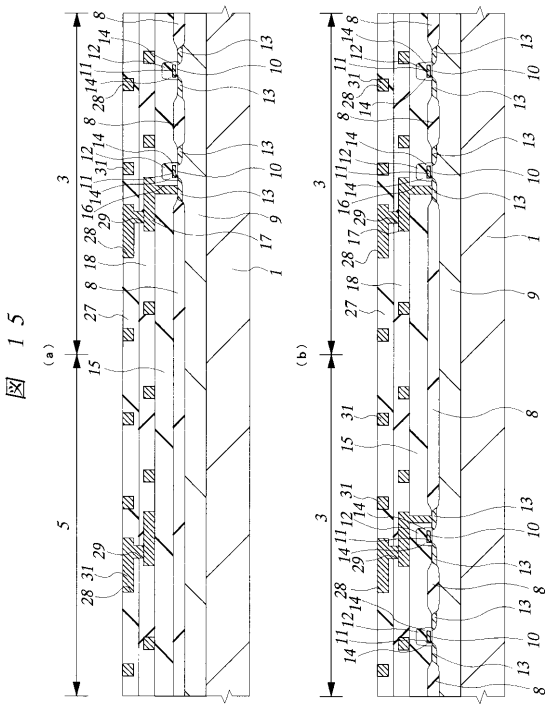
【図１３】



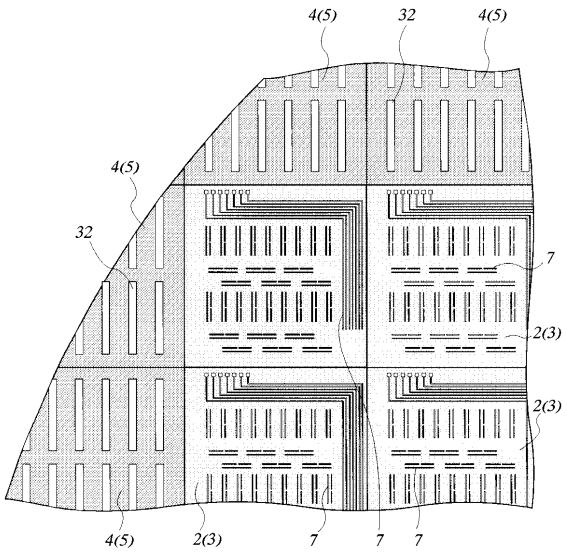
【図１４】



【図１５】

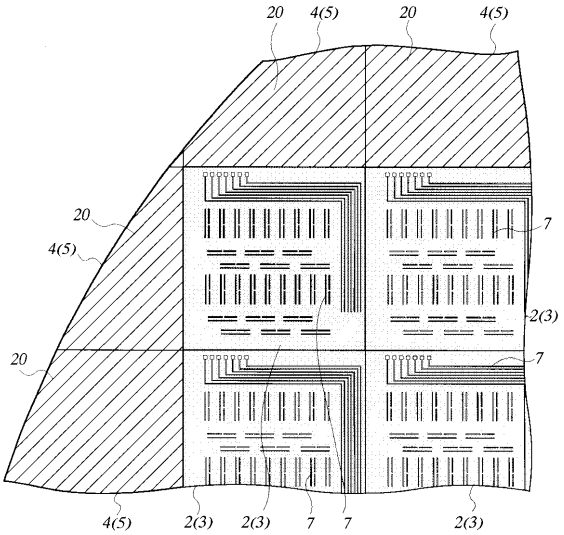


【図１６】



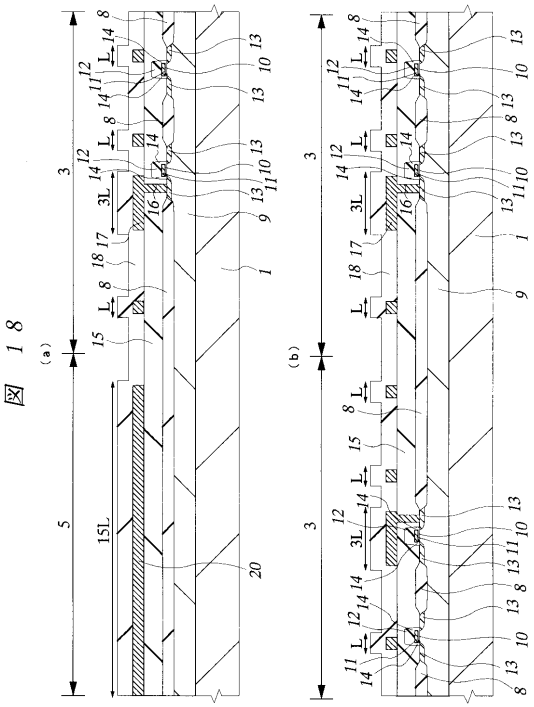
【図１７】

図　１７



【図１８】

図　１８



フロントページの続き

審査官　紀本　孝

(56)参考文献　特開平０８－２６４５３４（ＪＰ，Ａ）
特開平１０－２１４８１０（ＪＰ，Ａ）
特開平０８－０３１８２３（ＪＰ，Ａ）
特開平０８－２６４５３４（ＪＰ，Ａ）
特開平０７－０７４１７５（ＪＰ，Ａ）
特開平０９－１８１１５９（ＪＰ，Ａ）
特開平１０－１４４６３８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H01L 21/304