



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201013668 A1

(43)公開日：中華民國 99 (2010) 年 04 月 01 日

(21)申請案號：098121695

(22)申請日：中華民國 98 (2009) 年 06 月 26 日

(51)Int. Cl.：

G11C11/14 (2006.01)

G11C7/12 (2006.01)

G11C7/22 (2006.01)

(30)優先權：2008/06/27

美國

12/163,359

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：金聖克 JUNG, SEONG-OOK (KR)；薩尼 梅狄 哈米迪 SANI, MEHDI HAMIDI

(US)；康森 H KANG, SEUNG H. (KR)；楊賽森 YOON, SEI SEUNG (KR)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：29 項 圖式數：11 共 42 頁

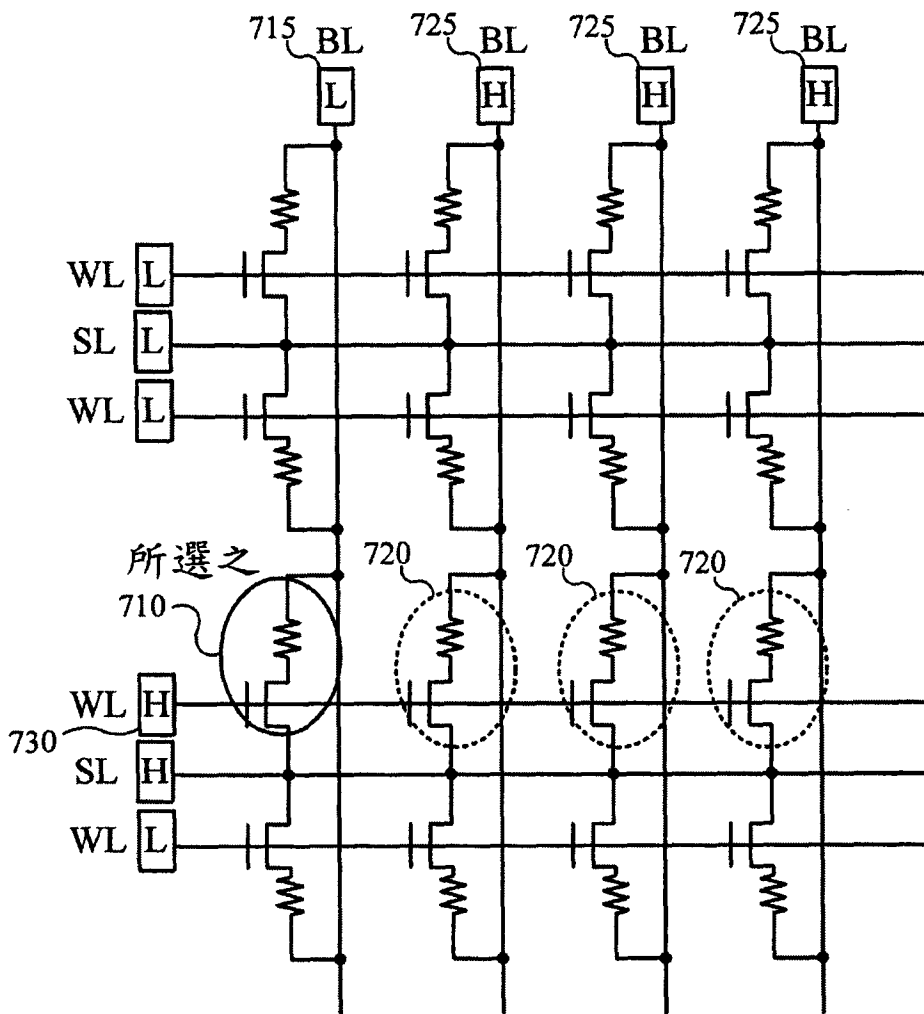
(54)名稱

用於具有縮小的位元單元之尺寸之旋轉轉移力矩磁阻式隨機記憶體之寫入操作

WRITE OPERATION FOR SPIN TRANSFER TORQUE MAGNETORESISTIVE RANDOM ACCESS MEMORY WITH REDUCED BIT CELL SIZE

(57)摘要

本發明揭示用於控制旋轉轉移力矩磁阻式隨機存取記憶體(STT-MRAM)中之寫入操作之系統、電路及方法。藉由將源極線(SL)配置成大體上與字線(WL)平行且大體上垂直於位元線(BL)來達成縮小的位元單元之尺寸。另外，在寫入操作期間之一實施例中，將高邏輯/電壓位準施加至未選位元單元之位元線以防止無效寫入操作。



710：所選位元單元

715：位元線

720：未選位元單元

725：未選位元線

730：字線

BL：位元線

SL：源極線

WL：字線



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201013668 A1

(43)公開日：中華民國 99 (2010) 年 04 月 01 日

(21)申請案號：098121695

(22)申請日：中華民國 98 (2009) 年 06 月 26 日

(51)Int. Cl.：

G11C11/14 (2006.01)

G11C7/12 (2006.01)

G11C7/22 (2006.01)

(30)優先權：2008/06/27

美國

12/163,359

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：金聖克 JUNG, SEONG-OOK (KR)；薩尼 梅狄 哈米迪 SANI, MEHDI HAMIDI

(US)；康森 H KANG, SEUNG H. (KR)；楊賽森 YOON, SEI SEUNG (KR)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：29 項 圖式數：11 共 42 頁

(54)名稱

用於具有縮小的位元單元之尺寸之旋轉轉移力矩磁阻式隨機記憶體之寫入操作

WRITE OPERATION FOR SPIN TRANSFER TORQUE MAGNETORESISTIVE RANDOM ACCESS MEMORY WITH REDUCED BIT CELL SIZE

(57)摘要

本發明揭示用於控制旋轉轉移力矩磁阻式隨機存取記憶體(STT-MRAM)中之寫入操作之系統、電路及方法。藉由將源極線(SL)配置成大體上與字線(WL)平行且大體上垂直於位元線(BL)來達成縮小的位元單元之尺寸。另外，在寫入操作期間之一實施例中，將高邏輯/電壓位準施加至未選位元單元之位元線以防止無效寫入操作。

六、發明說明：

【發明所屬之技術領域】

本發明之實施例係關於隨機存取記憶體(RAM)。更特定言之，本發明之實施例係關於旋轉轉移力矩磁阻式隨機存取記憶體(STT-MRAM)中之寫入操作。

【先前技術】

隨機存取記憶體(RAM)為現代數位架構之遍存組件。RAM可為單獨的裝置或可被整合或嵌入於使用RAM之裝置(諸如，微處理器、微控制器、特殊應用積體電路(ASIC)、系統單晶片(SoC)，及如將瞭解之其他類似裝置)內。RAM可為揮發性的或非揮發性的。一移除功率，揮發性RAM便會丟失其所儲存之資訊。即使在自非揮發性記憶體移除了功率時，非揮發性RAM仍可維持其記憶體內容。儘管非揮發性RAM在於未施加功率的情況下維持其內容的能力方面具有優點，但習知的非揮發性RAM具有比揮發性RAM慢的讀取/寫入時間。

磁阻式隨機存取記憶體(MRAM)為非揮發性記憶體技術，其具有與揮發性記憶體相當之回應(讀取/寫入)時間。與將資料儲存為電荷或電流之習知RAM技術相反，MRAM使用磁性元件。如圖1A及圖1B中所說明，磁性穿隧接面(MTJ)儲存元件100可由兩個磁性層110及130形成，其中每一者可保持一磁場，由一絕緣(穿隧障壁)層120將磁性層110及130分離。將該兩個層中之一者(例如，固定層110)被設定為特定極性。另一層(例如，自由層130)之極性132能

夠自由改變以匹配於可施加之外場的極性。自由層130之極性132之改變將會改變MTJ儲存元件100之電阻。舉例而言，當對準了極性時(圖1A)，存在低電阻狀態。當未對準極性時(圖1B)，則存在高電阻狀態。已簡化MTJ 100之說明，且應瞭解，如此項技術中所已知，所說明之每一層可包含一或多層材料。

參看圖2A，針對讀取操作來說明習知MRAM之記憶體單元200。單元200包括電晶體210、位元線220、數位線230及字線240。可藉由量測MTJ 100之電阻來讀取單元200。舉例而言，可藉由啟動相關聯之電晶體210而選擇特定MTJ 100，該電晶體210可切換來自位元線220之通過該MTJ 100的電流。如上文所論述，歸因於穿隧磁阻效應(magnetoresistive effect)，MTJ 100之電阻基於兩個磁性層(例如，110及130)中之極性的定向而改變。任何特定MTJ 100內部之電阻可根據由自由層之極性引起之電流予以確定。按照慣例，若固定層110及自由層130具有相同極性，則電阻為低且讀取「0」。若固定層110及自由層130具有相反極性，則電阻為高且讀取「1」。

參看圖2B，針對寫入操作來說明習知MRAM之記憶體單元200。MRAM之寫入操作為磁性操作。因此，在寫入操作期間電晶體210為斷開的。經由位元線220及數位線230傳播電流以建立磁場250及260，磁場250及260可影響MTJ 100之自由層之極性且因此影響單元200之邏輯狀態。因此，可將資料寫入至MTJ 100且儲存於MTJ 100中。

MRAM具有使其成為通用記憶體之候選者的若干所要特性，諸如，高速度、高密度(亦即，小的位元單元之尺寸)、低功率消耗，及隨時間流逝無降級。然而，MRAM具有可擴充性問題。具體言之，隨著位元單元變小，用於切換記憶體狀態之磁場增大。因此，電流密度及功率消耗增大以提供較高的磁場，從而限制MRAM之可擴充性。

和習知MRAM不同，旋轉轉移力矩磁阻式隨機存取記憶體(STT-MRAM)使用電子，該等電子在通過薄膜(旋轉濾波器)時得以旋轉極化。STT-MRAM亦被稱為旋轉轉移力矩RAM(STT-RAM)、旋轉力矩轉移磁化切換RAM(Spin-RAM)及旋轉動量轉移(SMT-RAM)。在寫入操作期間，經旋轉極化之電子在自由層上施加力矩，該力矩可切換自由層之極性。讀取操作與習知MRAM類似之處在於：如前述內容中所論述，使用電流來偵測MTJ儲存元件之電阻/邏輯狀態。如圖3A中所說明，STT-MRAM位元單元300包括MTJ 305、電晶體310、位元線320及字線330。針對讀取操作及寫入操作而接通電晶體310以允許電流流過MTJ 305，使得可讀取或寫入邏輯狀態。

參看圖3B，為了對讀取/寫入操作之進一步論述，說明STT-MRAM單元301之更詳細的圖。除了先前所論述的元件(諸如MTJ 305、電晶體310、位元線320及字線330)外，說明了源極線340、感應放大器350、讀取/寫入電路360及位元線基準(bit line reference)370。如上文所論述，STT-MRAM中之寫入操作為電操作。讀取/寫入電路360在位元

線320與源極線340之間產生寫入電壓。視位元線320與源極線340之間的電壓之極性而定，可改變MTJ 305之自由層之極性，且相應地可將邏輯狀態寫入至單元301。同樣，在讀取操作期間，產生讀取電流，該讀取電流通過MTJ 305在位元線320與源極線340之間流動。當准許該電流流過電晶體310時，可基於位元線320與源極線340之間的電壓差來確定MTJ 305之電阻(邏輯狀態)，將該電壓差與基準370相比較且接著由感應放大器350將其放大。應瞭解，記憶體單元301之操作及構造為此項技術中已知的。舉例而言，在M. Hosomi等人之A Novel Nonvolatile Memory with Spin Transfer Torque Magnetoresistive Magnetization Switching: Spin-RAM(2005年的IEDM會議論文集)中提供了額外細節，其全部內容以引用之方式併入本文中。

STT-MRAM之電性寫入操作消除了歸因於MRAM中之磁性寫入操作的按比例縮放問題。另外，對於STT-MRAM而言，電路設計之複雜程度較低。在諸如圖4A中所說明的STT-MRAM陣列之習知配置中，源極線(SL)垂直於字線(WL)且與位元線(BL)平行。此配置增大用於位元單元陣列之面積且導致大的位元單元之尺寸。習知配置促進穩定之寫入操作。舉例而言，在寫入操作期間，針對狀態「1」寫入(或「1」寫入)，對於所選位元單元410而言，WL=H，BL=L且SL=H，且可執行適當的寫入操作。如本文中所使用，H表示高電壓/邏輯位準，且L表示低電壓/邏輯位準。對於未選位元單元420而言，WL=H，BL=L且SL=L，

且因此在該等未選位元單元上不存在無效的寫入操作。然而，雖然在防止無效的寫入操作方面有幫助，但習知配置在每個位元單元所使用之面積方面為低效的，此係因為無法共用線，其導致如圖4B中所展示的用於源極線之額外金屬1(例如，如所說明之SL(M1))。如進一步在圖4B之電路佈局中所說明，每一位元線(BL)可位於大體上與源極線平行之另一金屬層(例如，Mx)上。

【發明內容】

本發明之例示性實施例係針對於用於STT-MRAM中之經改良的寫入穩定性及縮小的位元單元之尺寸之系統、電路及方法。

本發明之一實施例可包括一種旋轉轉移力矩磁阻式隨機存取記憶體(STT-MRAM)，其包含：一位元單元陣列，其具有一大體上平行於一耦接至第一列位元單元之字線的源極線，其中該源極線大體上垂直於耦接至該第一列位元單元的位元線。

本發明之另一實施例可包括一種方法，其包含：形成一旋轉轉移力矩磁阻式隨機存取記憶體(STT-MRAM)位元單元陣列，其具有一大體上平行於該第一列位元單元的一字線且大體上垂直於耦接至該第一列位元單元的位元線之源極線。

本發明之一實施例可包括一種用於在一旋轉轉移力矩磁阻式隨機存取記憶體(STT-MRAM)中寫入資料的方法，該STT-MRAM具有大大體上平行於一耦接至該第一列位元單

元之字線的源極線，其中該源極線大體上垂直於耦接至該第一列位元單元的位元線，該方法包含：在耦接至該第一列位元單元之字線及該源極線的所選位元單元之一位元線上建立一低電壓；及在耦接至該第一列位元單元之字線及該源極線的未選位元單元之位元線上建立一高電壓。

本發明之另一實施例可包括一種旋轉轉移力矩磁阻式隨機存取記憶體(STT-MRAM)，其具有一大體上平行於一耦接至該第一列位元單元之字線的源極線，其中該源極線大體上垂直於耦接至該第一列位元單元的位元線，該STT-MRAM包含：用於在耦接至該第一列位元單元之字線及該源極線的所選位元單元之一位元線上建立一低電壓的構件；及用於在耦接至該第一列位元單元之字線及該源極線的未選位元單元之位元線上建立一高電壓的構件。

【實施方式】

呈現隨附圖式以幫助對本發明之實施例的描述且提供隨附圖式僅用於對該等實施例之說明且並非其限制。

在針對本發明之特定實施例的以下描述及相關圖式中揭示本發明之實施例的態樣。在不脫離本發明之範疇的情況下，可設計出替代實施例。另外，將不會詳細描述本發明之熟知元件或將省略該等元件，以免混淆本發明之實施例的相關細節。

詞語「例示性」在本文中用以意謂「充當實例、例項或說明」。本文中被描述為「例示性」之任一實施例解釋未必被解釋為相對於其他實施例而言係較佳或有利的。同

樣，術語「本發明之實施例」並不要求本發明之所有實施例包括所論述之特徵、優點或操作模式。

本文中所使用之術語僅出於描述特定實施例之目的且不欲限制本發明之實施例。如本文中所使用，除非上下文明確地另外指示，否則單數形式「一」及「該」意欲亦包括複數形式。應進一步理解，術語「包含」、「包括」在本文中使用時指定所陳述之特徵、整數、步驟、操作、元件及/或組件之存在，但不排除一或多個其他特徵、整數、步驟、操作、元件、組件及/或其群組的存在或添加。

此外，可按照將由(例如)計算裝置之元件執行之動作序列來描述實施例。應認識到，本文中所描述之各種動作可由特定電路(例如，特殊應用積體電路(ASIC))、由藉由一或多個處理器執行之程式指令，或由兩者之組合來執行。另外，可認為本文中所描述之此等動作序列完全實施於任何形式的電腦可讀取儲存媒體內，該電腦可讀取儲存媒體中儲存有一旦執行便會使相關聯之處理器執行本文中所描述之功能性的對應電腦指令集。因此，本發明之各種態樣可以若干不同形式來實施，其均被預期在所主張之標的物之範疇內。另外，對於本文中描述之實施例中之每一者而言，任何該等實施例之對應形式可在本文中被描述為(例如)「經組態以執行所描述之動作的邏輯」。

圖5說明STT-MRAM位元單元之簡化示意圖。該位元單元包括耦接至字線電晶體510之字線(WL)。將儲存元件520(例如，MTJ)表示為簡單的電阻。將電晶體510及儲存

元件 520 安置於位元線 (BL) 與源極線 (SL) 之間。在針對狀態「0」之寫入操作期間， $WL=H$ ， $BL=H$ 且 $SL=L$ ，且在針對狀態「1」之寫入操作期間， $WL=H$ ， $BL=L$ 且 $SL=H$ 。如本文中所使用， H 為高電壓/邏輯位準，且 L 為低電壓/邏輯位準。該等電壓位準可為供應電壓位準 (例如， V_{dd} 及 0) 或者可高於或低於供應電壓位準。應瞭解，提供前述配置及狀態條件僅用於對本發明之實施例的論述且不意欲將該等實施例限於所說明之配置或所論述之狀態條件。

參看圖 6A，說明根據本發明之一實施例之 STT-MRAM 位元單元陣列的配置，其產生縮小的或最小的位元單元之尺寸。與諸如圖 4 中所說明之習知設計相反，將字線 (WL) 及源極線 (SL) 配置成大體上平行且大體上垂直於位元線 (BL)。舉例而言，如在圖 6B 中所說明，當與圖 4B 中所說明之佈局相比較時，可消除與位元線平行且垂直於字線的用於源極線之垂直金屬 1，且因此可顯著縮小位元單元面積。與圖 4B 相比較，顯然源極線 (例如， $SL(M1)$) 不再與位元線平行。因此，圖 6B 之組態藉由允許對用於圖 4B 之源極線的額外平行金屬線及連接的移除而提供縮小的單元尺寸。另外，使用所說明之配置，沿著給定之字線方向之所有單元可共用該源極線。在本發明之一些實施例中，該源極線可在兩個相鄰位元單元之間共用且可定位於如所說明之字線 (例如， $WL(Gp)$) 之間。

然而，將習知邏輯用於寫入操作會在未選單元 620 上產生可能的無效寫入操作。舉例而言，在「1」之寫入操作

中，所選單元610具有 $WL=H$ ， $BL=L$ 及 $SL=H$ 。然而，未選位元單元620亦將經受無效寫入，因為每一未選位元單元將具有類似的所施加信號(亦即， $WL=H$ ， $BL=L$ 且 $SL=H$)。因此，在縮小的位元單元之尺寸設計中使用習知寫入邏輯可能在記憶體寫入操作期間導致問題。

圖7說明在用於根據本發明之實施例之STT-MRAM之縮小的位元單元設計(例如，平行的 WL 及 SL)中對寫入操作之前述問題的解決方案。參看圖7，在寫入「1」的操作期間可將未選位元線725驅動至高狀態以解決對於未選位元單元720的無效寫入操作。舉例而言，當將「1」寫入至所選位元單元710時，寫入邏輯設定 $WL(730)=H$ ， $BL(715)=L$ 且 $SL(740)=H$ 。因此，在對位元單元710之寫入操作期間未選位元單元720亦具有 $WL(730)=H$ 及 $SL(740)=H$ 。接著，為防止未選位元單元720中之無效寫入操作，在用於將「1」寫入至所選位元單元710之寫入週期期間將未選 BL 725設定至 H 。可瞭解，將設計出用於未選位元線之寫入控制邏輯以在寫入操作期間施加高(H)電壓/邏輯信號。或者，可將未選位元線置於高阻抗狀態中，高阻抗狀態將防止任何電流通過該等未選位元線。可使用可執行本文中所描述之功能性的任何裝置或裝置之組合來實施該寫入控制邏輯。因此，本發明之實施例不限於本文中所說明之用以執行所描述之功能性的特定電路或邏輯。

參看圖8，說明STT-MRAM陣列之實例。如上文所提及，在一寫入組態中，將該陣列中之未選位元線(BL)設定

至高狀態，同時將與單元801及811相關聯之所選BL設定至低狀態。藉由矩形框表示所選信號且藉由圓圈表示所選單元。因此，對於要選擇之位元單元801及811而言，字線(WL)驅動器820啟動WL1 821。WL1 821啟動與單元801、811及沿著字線821之其他單元相關聯之存取(字線)電晶體。同樣，源極線選擇器830啟動耦接至源極線SL01及SL11之選擇線831。具體言之，選擇線831啟動與源極線SL01及SL11相關聯之電晶體，源極線SL01及SL11分別耦接至源極線驅動器803及813。另外，位元線選擇器804及814分別選擇位元線驅動器802及812。如上文所論述，對於此實例而言，可將位元線驅動器802及812設定至低位準且可將剩餘的未選位元線驅動器設定至高位準。因此，可從陣列800之中選擇位元單元801及811。儘管上文所論述之實例描述了在該陣列中針對區塊0及區塊1而選擇特定單元，但應瞭解，可能已使用所說明之邏輯來選擇任何單元。另外，並非必須選擇兩個區塊中之單元。另外，應瞭解，陣列大小為任意的，且可按需要將其按比例放大或按比例縮小，且可重組態各種驅動器/選擇器以在選擇個別位元單元中提供較高或較低的解析度。以下提供對所說明之邏輯區塊之特定實施的更詳細論述。然而，此等細節係作為實例被提供且不意欲將本發明之實施例限於所說明之電路、邏輯或所論述之特徵。

圖9說明與圖8之區塊0相關之用於發信號的時序圖。另外，以下為用於各種信號之條件的清單，其係基於以下假

設：位元線(BL)/源極線(SL)經預先充電至0或低位準且如圖8中所說明而選擇單元。

- 寫入資料L
 - 所選BL=H
 - 未選BL=浮動L
 - 用於所選BL之BL選擇信號=H
 - 用於未選BL之BL選擇信號=L
 - 所選SL=L
 - 未選SL=浮動L
 - 用於所選SL之SL選擇信號=H
 - 用於未選SL之SL選擇信號=L
- 寫入資料H
 - 所選BL=L
 - 未選BL=H
 - 用於所選BL之BL選擇信號=H
 - 用於未選BL之BL選擇信號=H
 - 所選SL=H
 - 未選SL=浮動L
 - 用於所選SL之SL選擇信號=H
 - 用於未選SL之SL選擇信號=L

如上文所提及，H為高電壓/邏輯位準且L為低電壓/邏輯位準，且此等位準可為供應電壓位準或者可高於或低於供應電壓位準。術語浮動L通常指示線在被自低電壓源去耦之前處於低電壓。

僅為了說明而提供前述列表且前述列表結合圖9之所說明時序信號而說明圖8中對區塊0之位元單元之所論述選擇。舉例而言，如上文所論述，當寫入資料「H」或「1」時，將未選位元線(例如，BL00、BL02、BL03)設定至高位準，將所選位元線(例如，BL01)設定至低位準且將相關聯之源極線(SL00)設定至高位準。相反，當寫入資料「L」或「0」時，將未選位元線(例如，BL00、BL02、BL03)設定至低位準，將所選位元線(例如，BL01)設定至高位準且將相關聯之源極線(SL00)設定至低位準。亦說明用於位元線驅動器(BL驅動器)、位元線選擇信號(BL選擇)、源極線驅動器(SL驅動器)及源極線選擇(SL選擇)之對應信號。以下將更詳細地描述用於實施此等功能之電路及邏輯。因此，將不提供每一信號之詳細描述。亦應注意，可將不同資料(資料L或資料H)寫入至區塊0及區塊1。舉例而言，為將資料L寫入至區塊0且將資料H寫入至區塊1，可將寫入資料L信號及圖9之時序施加至區塊0且可將寫入資料H信號及圖9之時序施加至區塊1。

圖10A說明位元線選擇器電路之實例。舉例而言，使用行位址輸入(CAi及CAj)及其補碼(CAib、CAjb)作為至反及(NAND)閘841之輸入，結合反相器842、反或(NOR)閘843、反相器844及資料信號DH0(區塊0處之資料高(H))，可選擇適當的位元線且可提供位準(例如，H/L)。舉例而言，CAi、CAj之兩個位元之輸入(00、01、10、11)可用以選擇四個位元線中之一者。可由反相器845緩衝資料高邏

輯信號且接著將資料高邏輯信號連同反相器842之輸出一
 起提供至反或閘843。因此，當資料信號DH0為高時，所
 有反或閘843之輸出將為0(低)且反相器844之對應輸出將為
 高。然而，當輸出資料信號DH0為低時，反或閘843之輸
 出將由反相器842之輸出(基於行位址輸入)予以控制，其亦
 將控制反相器844之輸出。因此，可組態該等信號，使得
 反或閘843之輸出被提供至反相器844，因此選擇僅一個位
 元單元(或將其設定至不同於剩餘的位元線選擇信號之
 值)。將位元線選擇器804之輸出(BLsel00至BLsel03)提供
 至與對應之位元線驅動器(例如，BL驅動器00至BL驅動器
 03)串聯之電晶體以啟用各別位元線。

舉例而言，當DH0為低時，該電路經組態以將資料
 「0」寫入至該單元。所選BL為高且源極線為低。另外，
 使用所選WL之單元之所有源極線為低。對於未選單元而
 言，位元線應為低以防止將無效資料「0」寫入至未選單
 元。因此，所選位元線為高，同時剩餘的線為低，此係與
 圖7中所說明之狀態相反的狀態。

圖10B說明位元線驅動器之實例。可提供自行位址輸入
 (CAi及CAj)導出之信號(例如，CAibjb、CAibj、CAijb、
 CAij)及其補碼(CAib、CAjb)作為至位元線驅動器(例如，
 802)之輸入。舉例而言，可單獨導出此等信號或可自來自
 圖10A之閘841的輸出獲得此等信號。反相器852耦接於輸
 入節點851與電晶體(或開關)853(b)之間。在輸入節點851
 與電晶體853(a)之間提供另一路徑。電晶體853(a)及853(b)

亦耦接至反相器 854。資料信號 DH0 用以提供補碼 (DH0b) 信號及非補碼信號 (DH0d) 兩者，補碼 (DH0b) 信號及非補碼信號 (DH0d) 分別被提供至電晶體 853(b) 及 853(a) 之輸入 (閘)。因此，當 DH0 為低時，通過 853(b) 之補碼路徑在作用中，且當 DH0 為高時，通過 853(a) 之非補碼路徑在作用中。因此，可自每一位元線驅動器 (BL 驅動器 00/01/02/03) 提供適當的位元線位準 (例如，H/L)。舉例而言，若 $DH0=0$ (當寫入資料為 L 時)，則 $BL00d=CAibjb/BL01d=CAibj/BL02d=CAijb/CA03d=CAij$ 。BL00d/01d/02d/03d 中僅一者為高，因為 CAibjb/CAibj/CAijb/Caij 中僅一者為高。然而，若 $DH0=1$ (當寫入資料為 H 時)，則 $BL00d=complement(CAibjb)/BL01d=complement(CAibj)/BL02d=complement(CAijb)/CA03d=complement(CAij)$ 。因此，BL00d/01d/02d/03d 中僅一者將為低，因為 CAibjb/CAibj/CAijb/Caij 中僅一者為高。

圖 11A 說明可用於字線驅動器 (例如，820) 且亦可用於源極線選擇器 (例如，830) 之電路之實例。舉例而言，如所說明，假設四個字線及兩個源極選擇線，反及閘 825 可接收列位址 i 輸入及列位址 j 輸入 (RA_i 及 RA_j) 及其補碼。將反及閘 825 之輸出提供至用以反轉並緩衝信號且驅動各別字線的反相器 826。亦將反及閘 825 之輸出成對地提供至反及閘 835 以選擇適當的源極線。因為源極線係在兩個單元之間共用，所以源極線選擇器可經組態成當兩個相鄰字線中之任一者經啟用時被啟用。然而，亦可將前述電路配置成兩

個或兩個以上獨立電路。舉例而言，可將列位址 i 輸入及列位址 j 輸入(RA_i 及 RA_j)直接提供至包含反及閘825及反及閘835之源極選擇電路，且可自字線驅動器電路移除反及閘835。因此，本發明之實施例不限於本文中含有的所說明之組態。

圖11B說明源極線驅動器之實例。該驅動器可接收由反相器836緩衝之信號DH0。如所說明，因為存在串聯之兩個反相器，所以DH0未由源極線驅動器803反轉。然而，應瞭解，此組態可由單一非反相放大器/驅動器替換。同樣，可使用此項技術中已知之達成類似功能性的組件來修改前述電路中之任一者。因此，本文中所說明之實施例僅為了便於提供實例及解釋且不意欲限制本發明之實施例的範疇。

鑒於前述內容，亦應瞭解，本發明之實施例包括用以達成本文中所論述之功能性的方法、步驟、動作、序列、演算法及/或過程。舉例而言，一實施例可包括一種用於形成一具有一共用之源極線組態之STT-MRAM陣列的方法。相應地，一實施例可包括一種方法，該方法包含形成一旋轉轉移力矩磁阻式隨機存取記憶體(STT-MRAM)位元單元陣列，其具有一大體上平行於第一列位元單元之一字線且大體上垂直於一位元線的源極線。態樣可進一步包括：形成大體上與該字線平行的第二列位元單元之一字線；及將該源極線耦接至若干位元單元，該等位元單係耦接至第一列位元單元之字線及第二列位元單元之字線中之一者。用

於寫入至該記憶體陣列之實施例可包括：在耦接至該字線及該源極線之所選位元單元的一位元線上建立低電壓，及在耦接至該等第一位元單元之字線及該源極線(例如，參看圖7及圖9)之未選位元單元的位元線上建立高電壓。

雖然前述揭示內容展示本發明之說明性實施例，但應注意，在不脫離如隨附之申請專利範圍所界定的本發明實施例之範疇的情況下，可在本文中進行各種改變及修改。不必以任何特定次序來執行根據本文中描述的本發明之實施例之方法的功能、步驟及/或動作。此外，雖然可能以單數形式來描述或主張本發明之元件，但除非明確陳述對於單數之限制，否則亦可預期複數形式。

【圖式簡單說明】

圖1A及圖1B為磁性穿隧接面(MTJ)儲存元件之說明；

圖2A及圖2B分別為在讀取操作期間及在寫入操作期間的磁阻式隨機存取記憶體(MRAM)單元之說明；

圖3A及圖3B為旋轉轉移力矩磁阻式隨機存取記憶體(STT-MRAM)位元單元之說明；

圖4A為針對STT-MRAM之習知位元單元配置的示意說明，且圖4B為針對STT-MRAM之習知位元單元配置的佈局；

圖5為STT-MRAM位元單元之簡化示意圖；

圖6A為針對使用習知寫入邏輯之STT-MRAM之縮小的尺寸之位元單元配置之示意說明，且圖6B為縮小的尺寸之位元單元配置之佈局；

圖 7 為針對包括寫入邏輯位準之 STT-MRAM 之縮小的尺寸之位元單元配置之說明；

圖 8 為 STT-MRAM 陣列之說明；

圖 9 為在圖 8 之 STT-MRAM 陣列中用於區塊記憶體之發信號時序的說明；

圖 10A 為可在圖 8 之 STT-MRAM 陣列中使用之位元線選擇器的說明；

圖 10B 為可在圖 8 之 STT-MRAM 陣列中使用之位元線驅動器的說明；

圖 11A 為可在圖 8 之 STT-MRAM 陣列中使用的經組合之字線驅動器及源極線選擇器的說明；及

圖 11B 為可在圖 8 之 STT-MRAM 陣列中使用之源極線驅動器的說明。

【主要元件符號說明】

100	MTJ 儲存元件 / MTJ
110	磁性層 / 固定層
120	絕緣 (穿隧障壁) 層
130	磁性層 / 自由層
132	極性
200	記憶體單元 / 單元
210	電晶體
220	位元線
230	數位線
240	字線

250	磁場
260	磁場
300	STT-MRAM位元單元
301	STT-MRAM單元/記憶體單元/單元
305	MTJ
310	電晶體
320	位元線
330	字線
340	源極線
350	感應放大器
360	讀取/寫入電路
370	位元線基準
410	所選位元單元
420	未選位元單元
510	字線電晶體/電晶體
520	儲存元件
610	所選單元
620	未選單元/未選位元單元
710	所選位元單元
715	位元線
720	未選位元單元
725	未選位元線
730	字線
800	陣列

801	要選擇之位元單元/單元/位元單元
802	位元線驅動器
803	源極線驅動器
804	位元線選擇器
811	要選擇之位元單元/單元/位元單元
812	位元線驅動器
813	源極線驅動器
814	位元線選擇器
820	字線驅動器
821	字線
825	反及閘
830	源極線選擇器
831	選擇線
835	反及閘
836	反相器
841	反及閘
842	反相器
843	反或閘
844	反相器
845	反相器
851	輸入節點
853(a)	電晶體
853(b)	電晶體(或開關)
BL	位元線

BLsel00	位元線選擇器 804 之輸出
BLsel01	位元線選擇器 804 之輸出
BLsel02	位元線選擇器 804 之輸出
BLsel03	位元線選擇器 804 之輸出
CAi	行位址
CAib	補碼
CAibj	信號
CAibjb	信號
CAij	信號
CAijb	信號
CAj	行位址
CAjb	補碼
DH0	資料信號/信號
DH0b	補碼信號
DH0d	非補碼信號
RAi	列位址 i 輸入
RAj	列位址 j 輸入
SL	源極線
SL(M1)	源極線
WL	字線
WL(Gp)	字線

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 98121695

※ 申請日： 98 6 26

※IPC 分類： G11C 11/4 (2006.01)

G11C 7/12 (2006.01)

G11C 7/22 (2006.01)

一、發明名稱：(中文/英文)

用於具有縮小的位元單元之尺寸之旋轉轉移力矩磁阻式隨機記憶體之寫入操作

WRITE OPERATION FOR SPIN TRANSFER TORQUE

MAGNETORESISTIVE RANDOM ACCESS MEMORY WITH REDUCED
BIT CELL SIZE

二、中文發明摘要：

本發明揭示用於控制旋轉轉移力矩磁阻式隨機存取記憶體(STT-MRAM)中之寫入操作之系統、電路及方法。藉由將源極線(SL)配置成大體上與字線(WL)平行且大體上垂直於位元線(BL)來達成縮小的位元單元之尺寸。另外，在寫入操作期間之一實施例中，將高邏輯/電壓位準施加至未選位元單元之位元線以防止無效寫入操作。

三、英文發明摘要：

Systems, circuits and methods for controlling write operations in Spin Transfer Torque Magnetoresistive Random Access Memory (STT-MRAM) are disclosed. A reduced bit cell size is achieved by arranging the source lines (SL) substantially in parallel with the word lines (WL) and substantially perpendicular to the bit lines (BL). Further, in one embodiment during a write operation, a high logic / voltage level is applied to the bit lines of unselected bit cells to prevent an invalid write operation.

七、申請專利範圍：

1. 一種旋轉轉移力矩磁阻式隨機存取記憶體 (STT-MRAM)，其包含：

一位元單元陣列，其具有一大體上平行於一耦接至第一列位元單元之字線的源極線，其中該源極線大體上垂直於耦接至該第一列位元單元的若干位元線。

2. 如請求項1之STT-MRAM，其進一步包含：

一耦接至第二列位元單元之字線，其中該源極線耦接至該第二列位元單元。

3. 如請求項1之STT-MRAM，其中該源極線安置於該第一列位元單元的該字線與該第二列位元單元的該字線之間。

4. 如請求項1之STT-MRAM，其進一步包含：

經組態以在耦接至該字線及該源極線的該第一列位元單元中之一所選位元單元之一位元線上建立一低電壓且經組態以在耦接至該字線及該源極線的該第一列位元單元中之若干未選位元單元之若干位元線上建立一高電壓的邏輯。

5. 如請求項4之STT-MRAM，其中該高電壓為一供應電壓位準且該低電壓為一接地位準。

6. 如請求項4之STT-MRAM，其中經組態以在該所選單元之該位元線上建立一低電壓的該邏輯包含：

位元線選擇邏輯，其耦接至複數個位元線驅動器。

7. 如請求項6之STT-MRAM，其中該位元線選擇邏輯經組

態以接收複數個行位址信號及一資料高信號。

8. 如請求項7之STT-MRAM，其中該複數個位元線驅動器中之每一者基於一來自該位元線選擇邏輯之選擇信號而耦接至一相關聯的位元線。
9. 如請求項8之STT-MRAM，其中該等選擇信號係自該等行選擇位址信號及該等行選擇信號之補碼導出的。
10. 如請求項9之STT-MRAM，其中該等行選擇位址信號及其補碼被提供至若干反及閘，且該等反及閘之輸出被輸入至各別位元線驅動器。
11. 如請求項2之STT-MRAM，其進一步包含：

經組態以驅動該第一列位元單元及該第二列位元單元之該等字線的邏輯，及經組態以選擇該源極線之邏輯。
12. 如請求項11之STT-MRAM，其中用以驅動該等字線之該邏輯及經組態以選擇該源極線之該邏輯經組合。
13. 如請求項12之STT-MRAM，其中經組態以驅動該第一列位元單元及該第二列位元單元之該等字線的該邏輯係耦接至列位址輸入，且經組態以選擇該源極線之邏輯係耦接至經組態以驅動該等字線的該邏輯。
14. 如請求項13之STT-MRAM，其中經組態以驅動該第一列位元單元及該第二列位元單元之該等字線的該邏輯包含：

一第一反及閘，其耦接至兩個列位址輸入且具有一耦接至一用以驅動該第一列位元單元之該字線的第一反相器之輸出；及

一第二反及閘，其耦接至兩個列位址輸入且具有一耦接至一用以驅動該第二列位元單元之該字線的第二反相器之輸出。

15. 如請求項13之STT-MRAM，其中經組態以選擇該源極線之該邏輯包含一第三反及閘，其具有耦接至該第一反及閘及該第二反及閘之該等輸出的若干輸入及一用以產生一源極線選擇信號的輸出。

16. 一種方法，其包含：

形成一旋轉轉移力矩磁阻式隨機存取記憶體(STT-MRAM)位元單元陣列，其具有一大體上平行於第一列位元單元之一字線且大體上垂直於耦接至該第一列位元單元之若干位元線的源極線。

17. 如請求項16之方法，其進一步包含：

形成一字線，其耦接至大體上與該第一列位元單元平行的第二列位元單元；及

將該源極線耦接至該第二列位元單元。

18. 如請求項16之方法，其進一步包含：

將該源極線安置於該第一列位元單元及該第二列的該等字線之間。

19. 一種用於在一旋轉轉移力矩磁阻式隨機存取記憶體(STT-MRAM)中寫入資料的方法，該STT-MRAM具有一大體上平行於一耦接至第一列位元單元之字線的源極線，其中該源極線大體上垂直於耦接至該第一列位元單元的若干位元線，該方法包含：

在耦接至該第一列位元單元的該字線及該源極線之一所選位元單元的一位元線上建立一低電壓；及

在耦接至該第一列位元單元的該字線及該源極線之若干未選位元單元的若干位元線上建立一高電壓。

20. 如請求項19之方法，其中該高電壓為一供應電壓位準且該低電壓為一接地位準。

21. 如請求項19之方法，其中在該所選單元之該位元線上建立一低電壓包含：

產生若干位元線選擇信號；及

基於該等位元線選擇信號而啟動或撤銷啟動若干位元線驅動器。

22. 如請求項21之方法，其中該等位元線選擇信號係自複數個行位址信號及一資料高信號產生的。

23. 如請求項22之方法，其中該複數個位元線驅動器中之每一者基於該等位元線選擇信號中之一者而耦接至一相關聯的位元線。

24. 如請求項22之方法，其中該等位元線選擇信號係自該等行位址信號及該等行位址信號之補碼導出的。

25. 如請求項24之方法，其中該等行選擇位址信號及其補碼被提供至若干反及閘，且該等反及閘之輸出被輸入至各別位元線驅動器。

26. 一種旋轉轉移力矩磁阻式隨機存取記憶體(STT-MRAM)，其具有一大體上平行於一耦接至第一列位元單元之字線的源極線，其中該源極線大體上垂直於耦接至

該第一列位元單元的若干位元線，該STT-MRAM包含：

用於在耦接至該第一列位元單元之該字線及該源極線的一所選位元單元之一位元線上建立一低電壓的構件；及

用於在耦接至該第一列位元單元之該字線及該源極線的若干未選位元單元之若干位元線上建立一高電壓的構件。

27. 如請求項26之STT-MRAM，其中用於在該所選單元之該位元線上建立一低電壓的構件包含：

用於產生若干位元線選擇信號之構件；及

用於基於該等位元線選擇信號而啟動或撤銷啟動若干位元線驅動器之構件。

28. 如請求項27之STT-MRAM，其中用於產生該等位元線選擇信號之該構件接收複數個行位址信號及一資料高信號。

29. 如請求項27之STT-MRAM，其中該等位元線驅動器係耦接至行位址信號及該等行位址信號之補碼。

八、圖式：

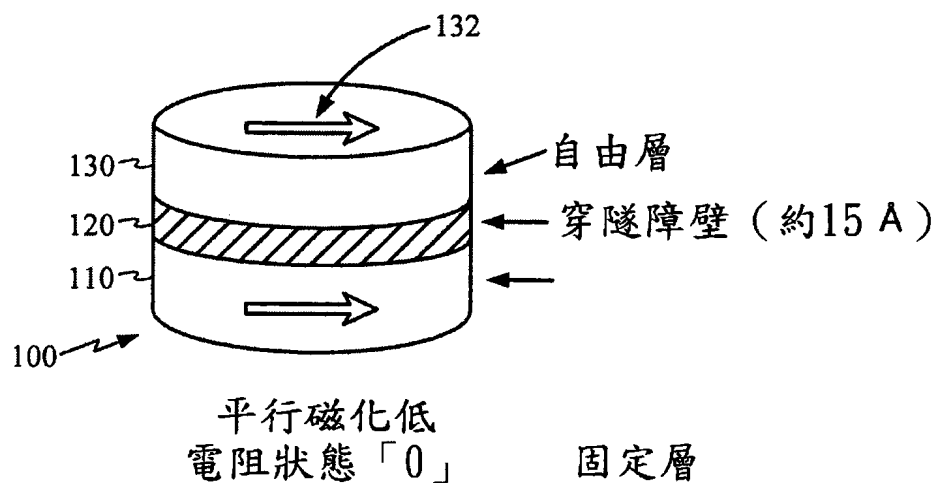


圖1A

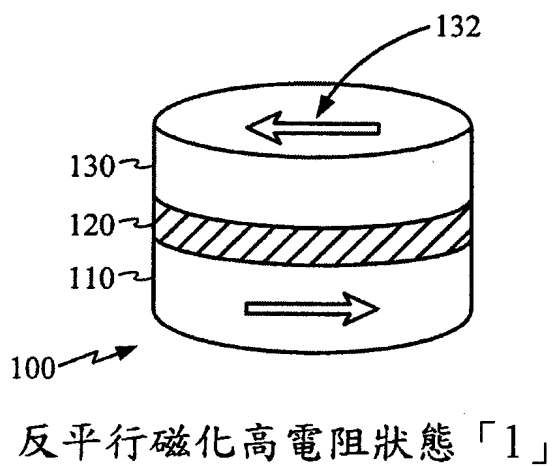


圖1B

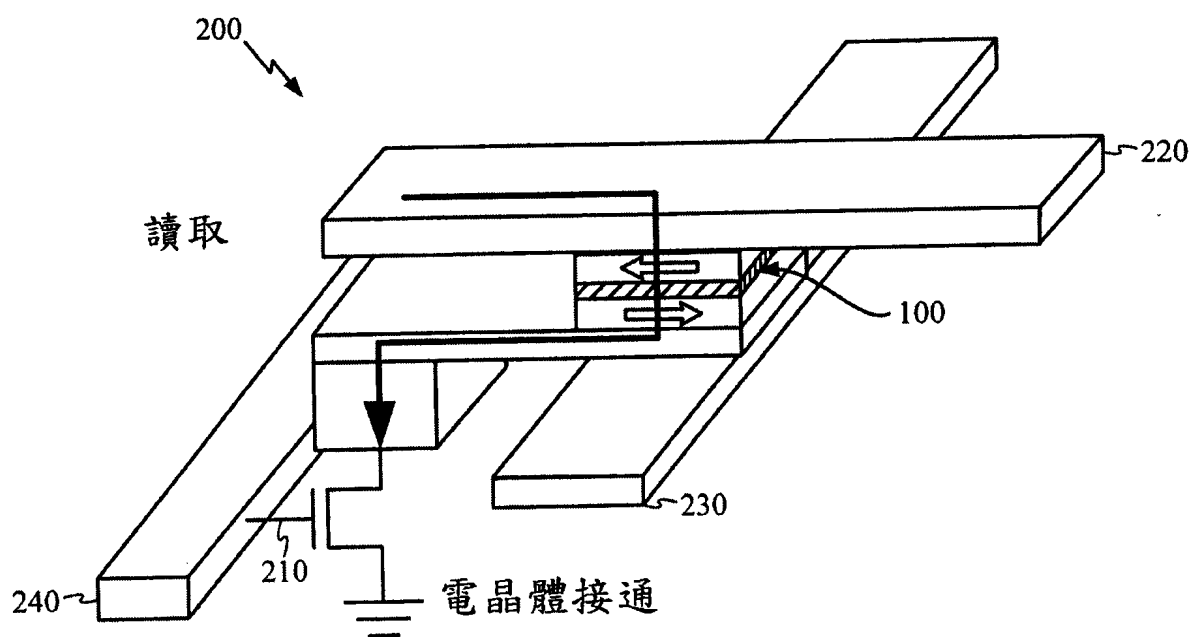


圖 2A

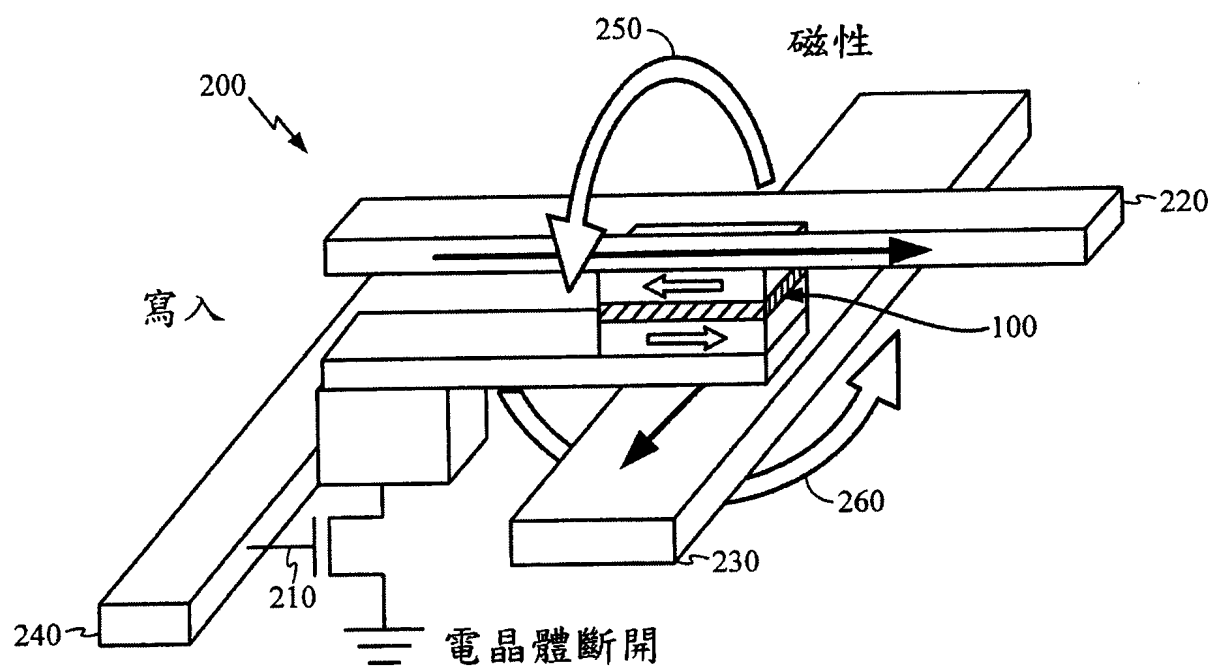


圖 2B

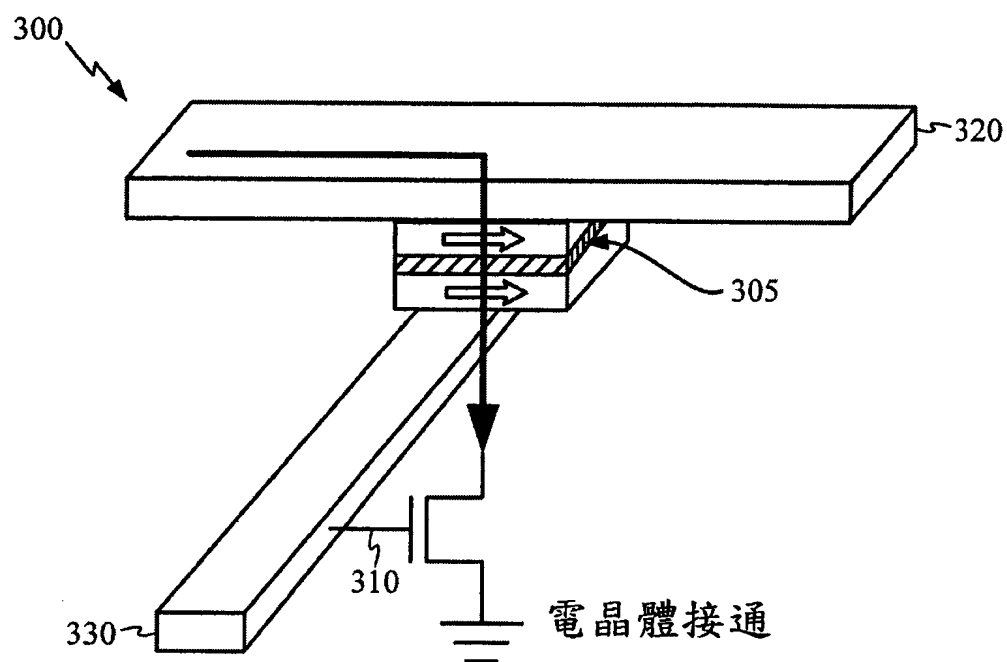


圖 3A

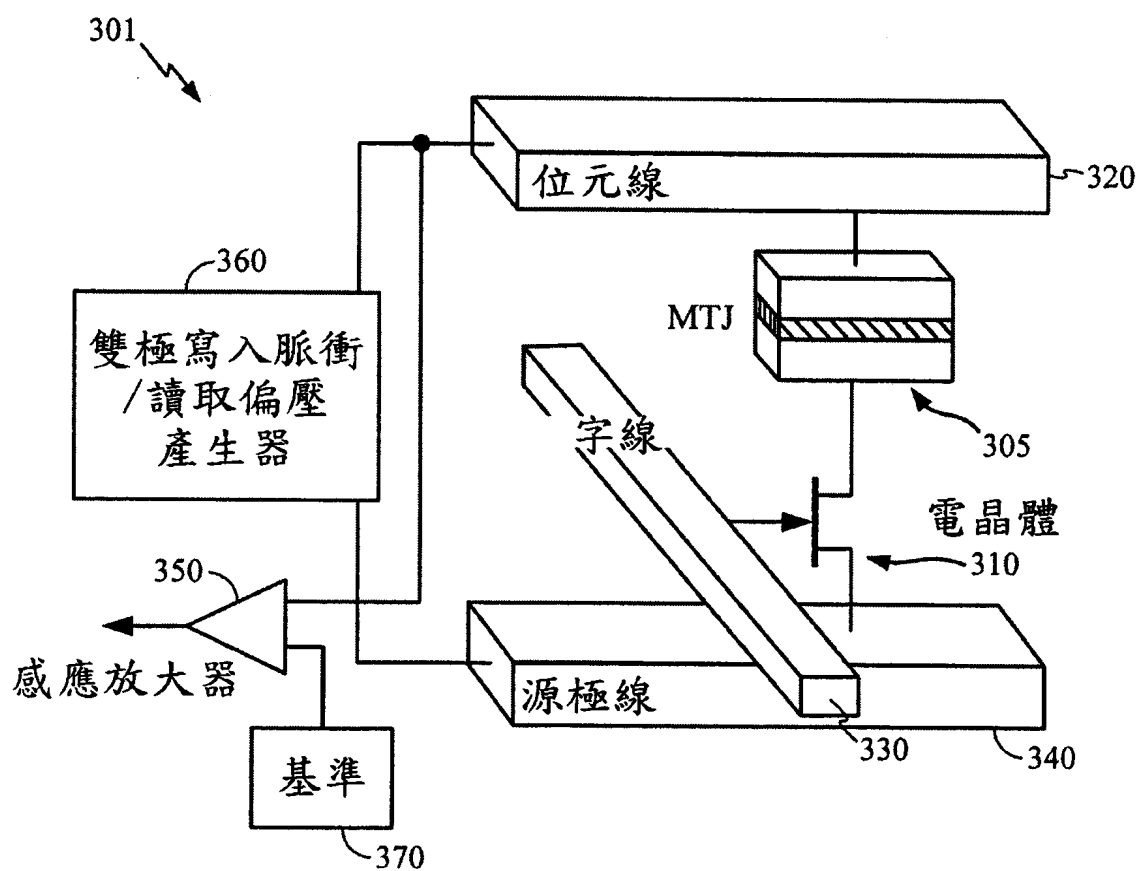


圖 3B

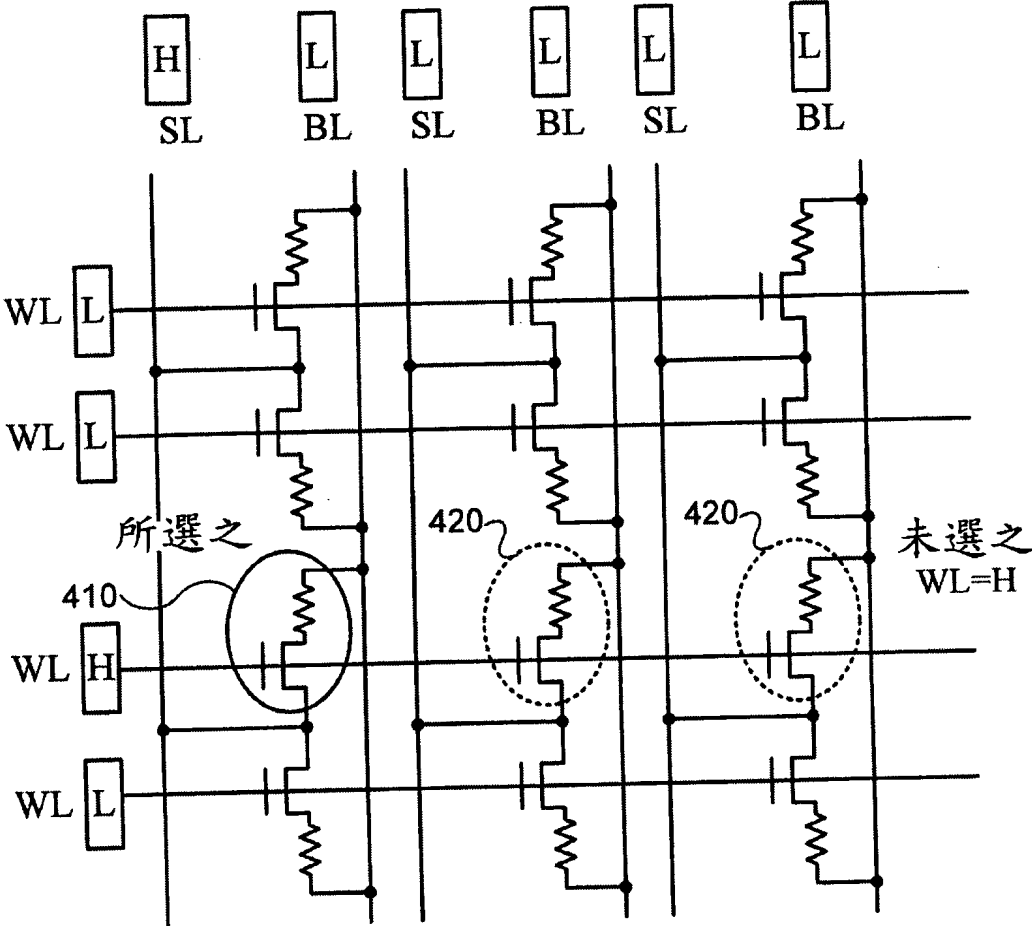


圖 4A

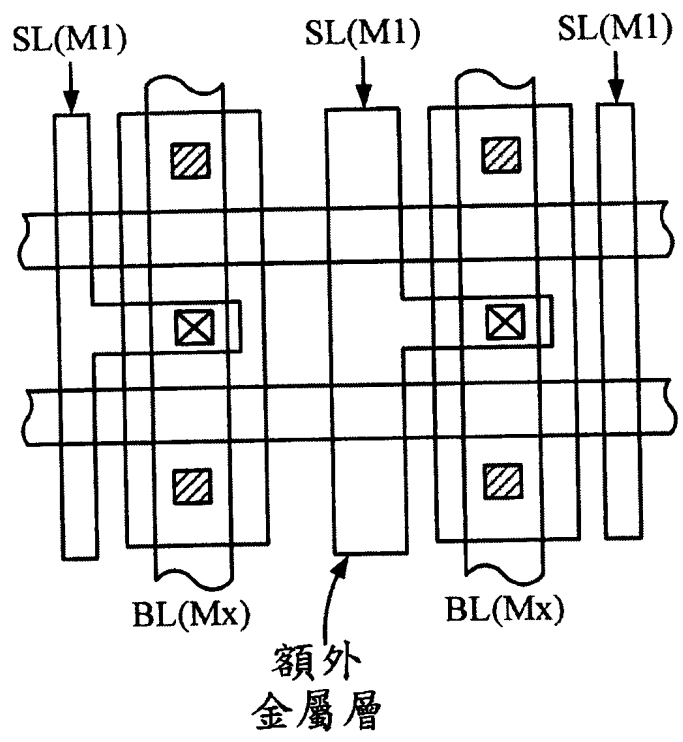


圖 4B

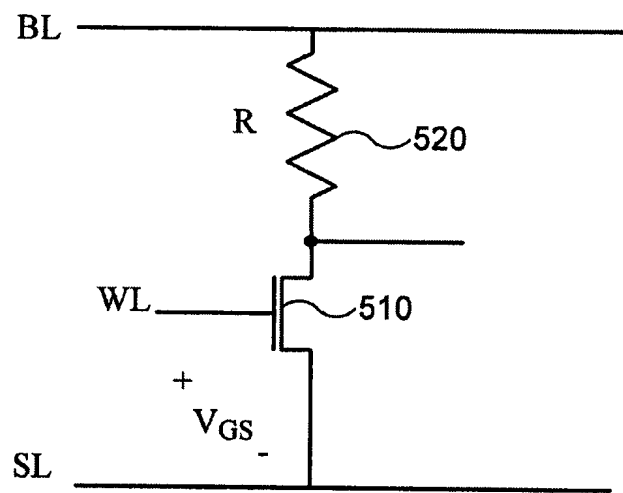


圖5

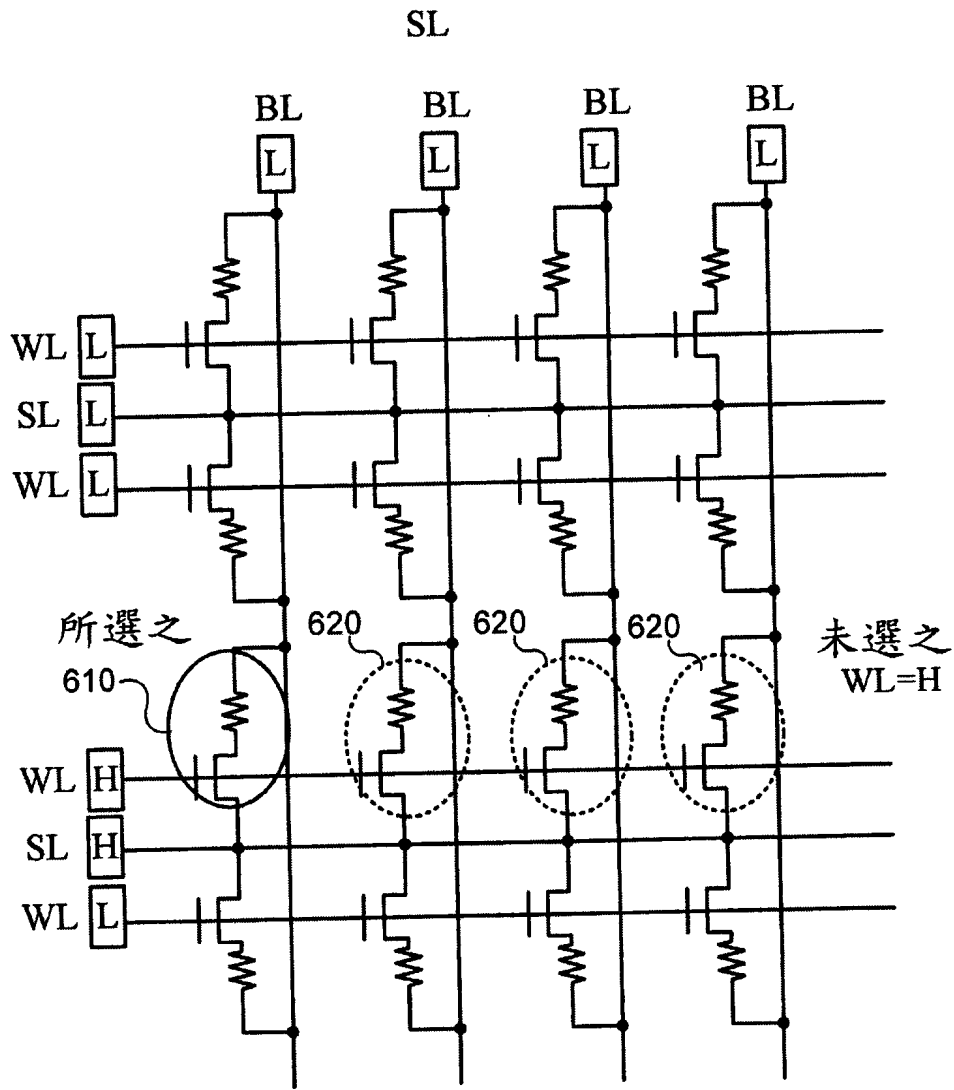


圖 6A

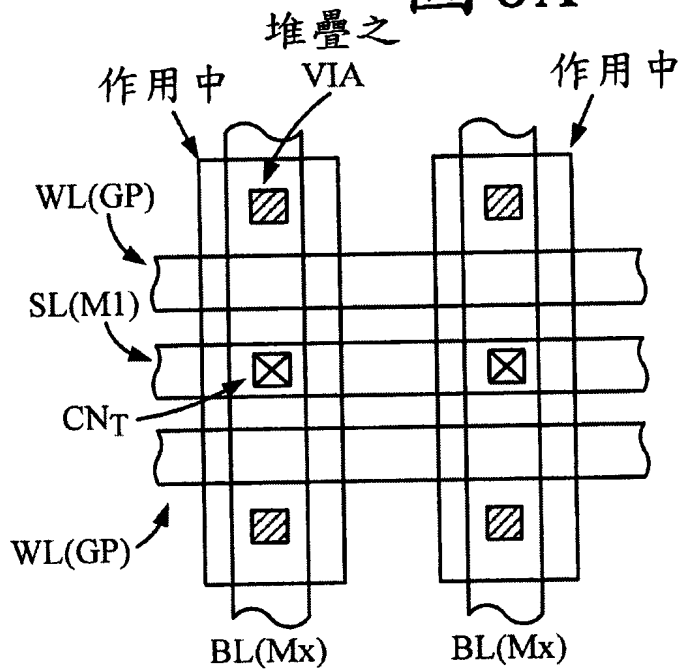


圖 6B

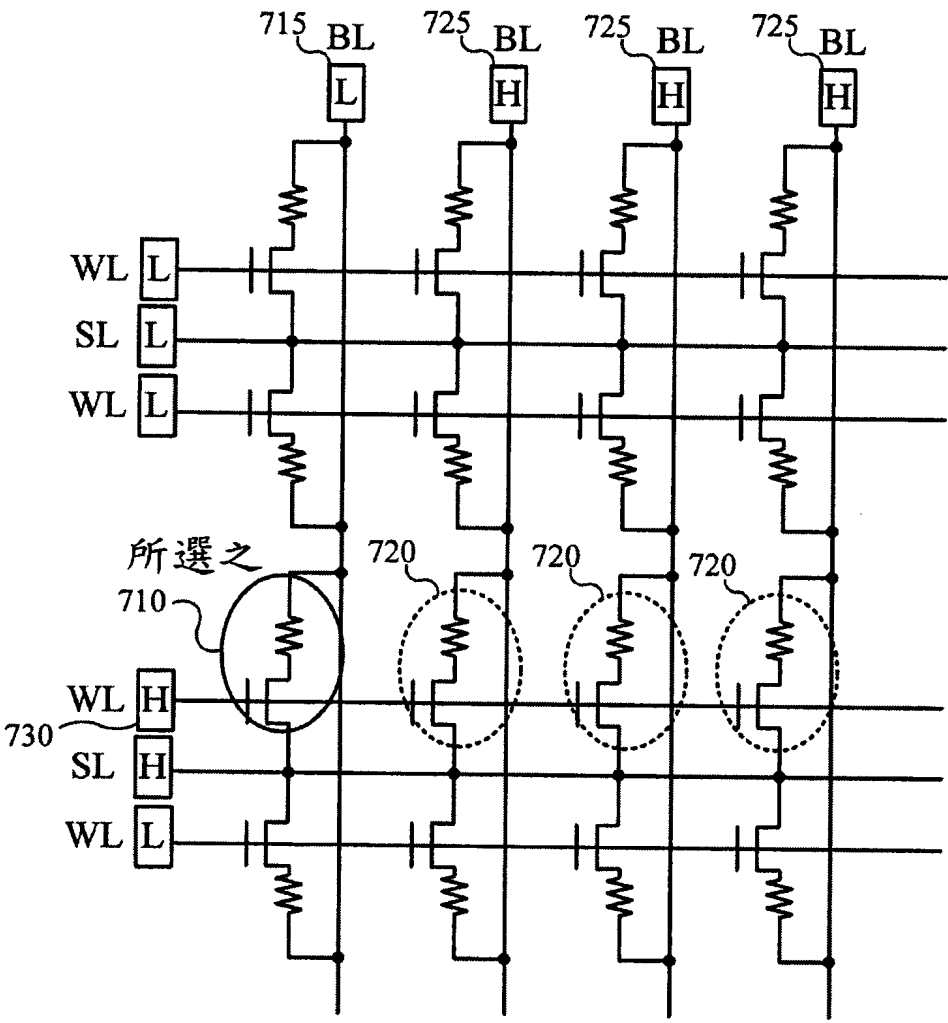
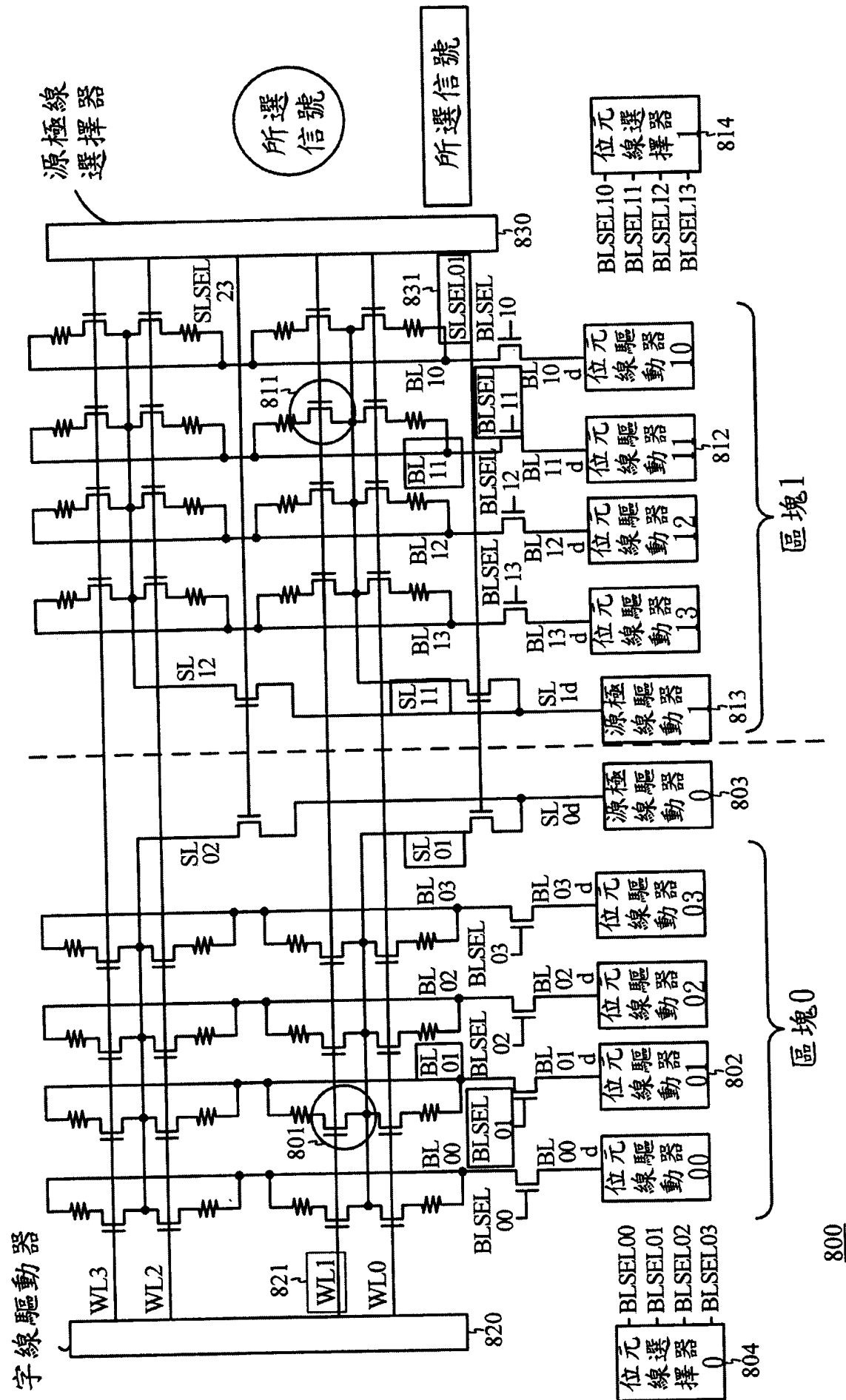


圖 7



〈陣列結構：僅寫入路徑〉

圖8



圖 9

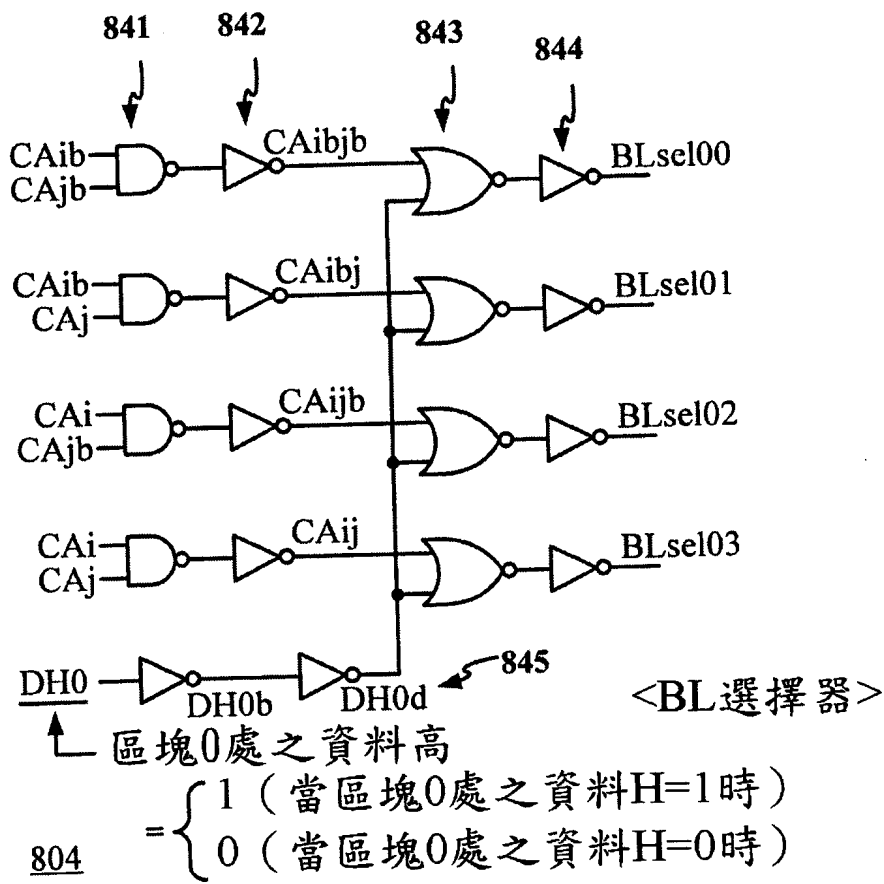


圖 10A

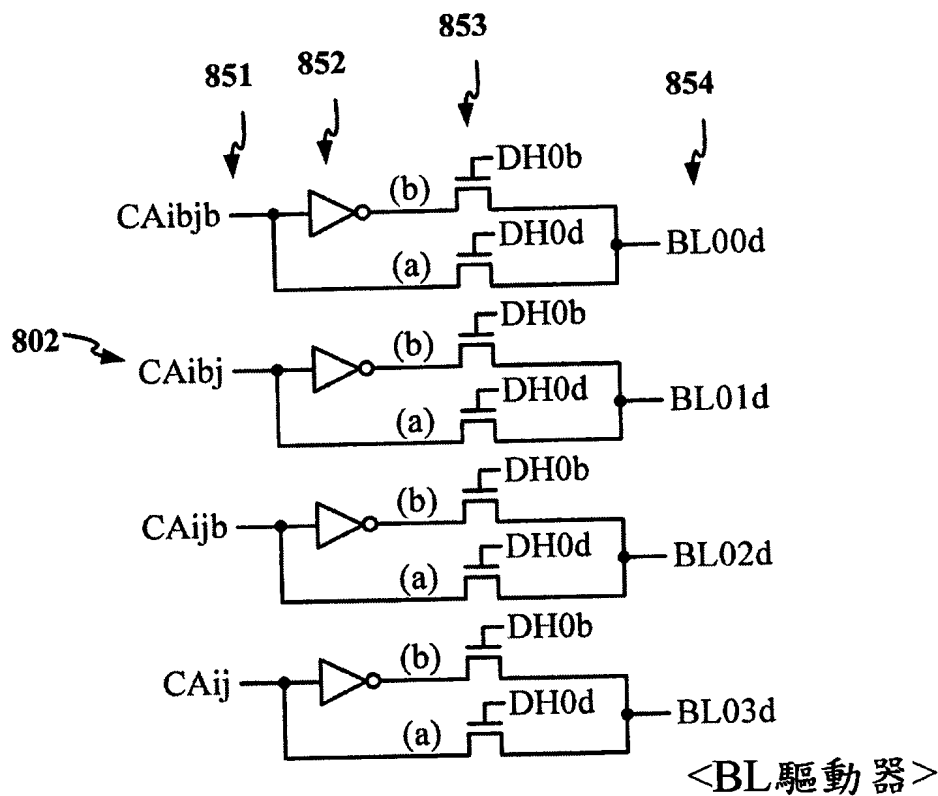
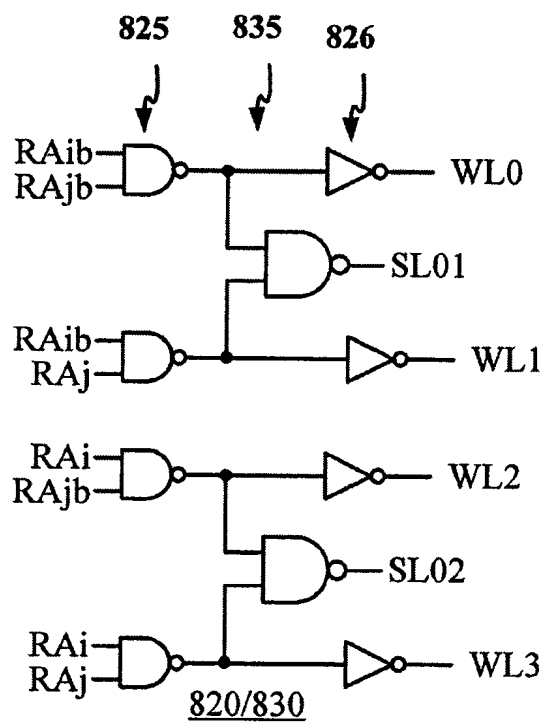
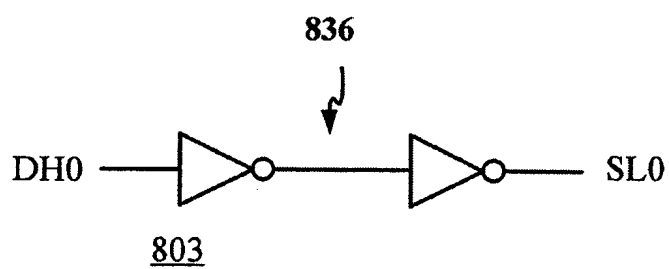


圖 10B



<WL驅動器及SL選擇器>

圖 11A



<SL驅動器>

圖 11B

四、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件符號簡單說明：

710	所選位元單元
715	位元線
720	未選位元單元
725	未選位元線
730	字線
BL	位元線
SL	源極線
WL	字線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)