

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5581151号
(P5581151)

(45) 発行日 平成26年8月27日 (2014. 8. 27)

(24) 登録日 平成26年7月18日 (2014. 7. 18)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 2 B

G O 9 F 9/30 (2006. 01)

H O 1 L 29/78 6 1 8 B

H O 1 L 29/78 6 1 7 M

H O 1 L 29/78 6 1 6 V

請求項の数 2 (全 64 頁) 最終頁に続く

(21) 出願番号 特願2010-195925 (P2010-195925)
 (22) 出願日 平成22年9月1日 (2010. 9. 1)
 (65) 公開番号 特開2011-76079 (P2011-76079A)
 (43) 公開日 平成23年4月14日 (2011. 4. 14)
 審査請求日 平成25年7月17日 (2013. 7. 17)
 (31) 優先権主張番号 特願2009-205136 (P2009-205136)
 (32) 優先日 平成21年9月4日 (2009. 9. 4)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 秋元 健吾
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 津吹 将志
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 佐々木 俊成
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

(54) 【発明の名称】 表示装置、および電子機器

(57) 【特許請求の範囲】

【請求項 1】

画素電極を有する表示素子と、
 映像信号の入力を制御する機能を有する第 1 の回路と、
 前記映像信号を保持する機能を有する第 2 の回路と、
 前記画素電極に供給される電圧の極性を制御する機能を有する第 3 の回路と、を含み、
 前記第 1 乃至第 3 の回路は、透光性を有する材料で形成され、
 前記画素電極は、前記第 1 乃至第 3 の回路の上方に配置されており、
 前記第 1 の回路は、酸化物半導体を有する第 1 のトランジスタを有し、
 前記第 1 のトランジスタのソースまたはドレインの一方は、前記映像信号を供給する配
 線と電氣的に接続され、
 前記第 1 のトランジスタのゲートは前記映像信号の入力を制御する配線と電氣的に接続
 され、
 前記第 2 の回路は、酸化物半導体を有する第 2 のトランジスタと、酸化物半導体を有す
 る第 3 のトランジスタとを有し、
 前記第 3 のトランジスタのドレインは、前記第 3 のトランジスタのゲートと電氣的に接
 続され、
 前記第 2 のトランジスタのソースまたはドレインの一方は、前記第 3 のトランジスタの
 ソースと電氣的に接続され、
 前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタの

10

20

ゲートと電氣的に接続され、

前記第 3 の回路は酸化物半導体を有する第 4 のトランジスタと、酸化物半導体を有する第 5 のトランジスタとを有し、

前記第 2 のトランジスタのソースまたはドレインの一方は、前記第 4 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 5 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソースまたはドレインの一方は、前記第 5 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第 4 のトランジスタのソースまたはドレインの一方は、前記画素電極と電氣的に接続されていることを特徴とする表示装置。

10

【請求項 2】

請求項 1 に記載の表示装置と、操作スイッチとを具備する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、表示装置、発光装置又はそれらの作製方法に関する。特に、チャネル形成領域に透光性を有する半導体膜を用いた薄膜トランジスタで構成された回路を有する半導体装置、表示装置、発光装置又はそれらの作製方法に関する。特に、チャネル形成領域に酸化物半導体膜を用いた薄膜トランジスタで構成された回路を有する半導体装置、表示装置、発光装置又はそれらの作製方法に関する。

20

【背景技術】

【0002】

液晶表示装置に代表される表示装置のスイッチング素子として、アモルファスシリコン等のシリコン層をチャネル層として用いた薄膜トランジスタ (TFT) が広く用いられている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができるという利点を有する。

【0003】

また、近年、半導体特性を示す金属酸化物を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、金属酸化物の中で、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛等は半導体特性を示すことが知られている。このような金属酸化物で構成される透明半導体層をチャネル形成領域とする薄膜トランジスタが開示されている (例えば、特許文献 1 参照)。

30

【0004】

また、トランジスタのチャネル層を透光性を有する酸化物半導体層で形成し、かつ、ゲート電極、ソース電極、ドレイン電極も透光性を有する透明導電膜で形成することによって、開口率を向上させる技術が検討されている (例えば、特許文献 2 参照)。

【0005】

開口率を向上することにより、光利用効率が向上し、表示装置の省電力化および小型化を達成することが可能となる。その一方で、表示装置の大型化や、携帯機器への応用化の観点からは、開口率の向上と共にさらなる消費電力の低減が求められている。

40

【0006】

また、電気光学素子の透明電極に対する金属補助配線として、透明電極の上下どちらかで、透明電極と導通がとれるように金属補助配線と透明電極が重なるように設けられた配線が知られている (例えば、特許文献 3 参照)。

【0007】

また、アクティブマトリクス基板に設けられる付加容量電極を ITO、 SnO_2 等の透明導電膜で形成し、付加容量用電極の電気抵抗を小さくするため、金属膜から成る補助配線を付加容量用電極に接して設ける構成が知られている (例えば、特許文献 4 参照)。

【0008】

50

非晶質酸化物半導体膜を用いた電界効果型トランジスタにおいて、ゲート電極、ソース電極およびドレイン電極の各電極を形成する材料は、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物、ZnO、SnO₂等の透明電極や、Al、Ag、Cr、Ni、Mo、Au、Ti、Ta等の金属電極、又はこれらを含む合金の金属電極等を用いることができる。これらの材料でなる膜を2層以上積層して接触抵抗を低減することや、界面強度を向上させることが知られている（例えば、特許文献5参照）。

【0009】

また、アモルファス酸化物半導体を用いるトランジスタのソース電極、ドレイン電極およびゲート電極、補助容量電極の材料として、インジウム（In）、アルミ（Al）、金（Au）、銀（Ag）等の金属や、酸化インジウム（In₂O₃）、酸化スズ（SnO₂）、酸化亜鉛（ZnO）、酸化カドミウム（CdO）、酸化インジウムカドミウム（CdIn₂O₄）、酸化カドミウムスズ（Cd₂SnO₄）、酸化亜鉛スズ（Zn₂SnO₄）等の酸化物材料を用いることができる。また、ゲート電極、ソース電極およびドレイン電極の材料は、全て同じでもよく、異なってもよいことが知られている（例えば、特許文献6、7参照）。

【0010】

一方、消費電力を低減するため、画素内にメモリが配置された表示装置が検討されている（例えば、特許文献8、9参照）。また、特許文献8、9の表示装置では光反射型の画素電極が用いられている。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2004-103957号公報

【特許文献2】特開2007-81362号公報

【特許文献3】特開平2-82221号公報

【特許文献4】特開平2-310536号公報

【特許文献5】特開2008-243928号公報

【特許文献6】特開2007-109918号公報

【特許文献7】特開2007-115807号公報

【特許文献8】特開2001-264814号公報

【特許文献9】特開2003-076343号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

本発明の一態様の課題の1つは、メモリを備えた画素に関する技術を提供することである。または、本発明の一態様の他の課題の1つは、画素の開口率を向上することである。

【0013】

なお、複数の課題の記載は、他の課題の存在を妨げるものではない。また、本発明の一態様は、上記の課題の全てを解決する必要はないものとする。

【課題を解決するための手段】

【0014】

例えば、本発明の一態様は、映像信号の入力を制御する機能を有する第1の回路と、映像信号を保持する機能を有する第2の回路と、表示素子に供給される電圧の極性を制御する機能を有する第3の回路と、画素電極を有する表示素子とを含む表示装置である。本態様により、メモリを備えた画素を提供することができる。また、この態様において、第1乃至第3の回路は、透光性を有する材料を用いて構成し、画素電極を第1乃至第3の回路の上方に配置してもよい。

【0015】

または、本発明の一態様は、第1のスイッチを有する第1の回路と、第1のスイッチを介して信号が入力される第1の容量素子、および第2の容量素子、ならびに、入力端子が第

10

20

30

40

50

1の容量素子に電氣的に接続され、かつ出力端子が第2の容量素子に電氣的に接続されているインバータを有する第2の回路と、制御端子が第1の容量素子に電氣的に接続されている第2のスイッチ、および制御端子が第2の容量素子に電氣的に接続されている第3のスイッチを有する第3の回路と、第2のスイッチおよび第3のスイッチに電氣的に接続されている画素電極を含む表示素子とを含む表示装置である。本態様により、メモリを備えた画素を提供することができる。

【0016】

上記の態様において、第1乃至第3の配線を有していてもよい。この構成例においては、第1の配線は、第1のスイッチを介して、第1の容量素子に電氣的に接続され、インバータの入力端子は、第1の容量素子と電氣的に接続され、インバータの出力端子は、第2の容量素子と電氣的に接続され、第1の容量素子は、第2のスイッチの制御端子と電氣的に接続され、第2の容量素子は、第3のスイッチの制御端子と電氣的に接続され、第2の配線は、第2のスイッチおよび第3のスイッチを介して、第3の配線と接続されている。

10

【0017】

同態様において、第1乃至第3のスイッチ、第1乃至第2の容量素子、およびインバータは、透光性を有する材料を用いて構成することができる。また、画素電極は、第1乃至第3のスイッチ、第1乃至第2の容量素子、およびインバータの上方に配置することができる。

【0018】

上記の本発明の各態様において、スイッチとしては、様々な形態のものを用いることができる。スイッチの一例としては、電氣的スイッチ又は機械的なスイッチ等を用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。スイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタ等）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタ等）、又はこれらを組み合わせた論理回路等がある。機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

20

30

【0019】

また、上記の各態様において、スイッチとしてトランジスタを用いる場合、そのトランジスタは単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタの一例としては、高抵抗領域を有するトランジスタ、又はマルチゲート構造を有するトランジスタ等がある。

【0020】

また、上記の本発明の各態様において、スイッチとしてトランジスタを用い、そのトランジスタのソースの電位が低電位側電源（ V_{ss} 、 GND 、 $0V$ 等）の電位に近い値で動作する場合は、スイッチとしてNチャネル型トランジスタを用いることが望ましい。反対に、そのトランジスタのソースの電位が高電位側電源（ V_{dd} 等）の電位に近い値で動作する場合は、スイッチとしてPチャネル型トランジスタを用いることが望ましい。なぜなら、Nチャネル型トランジスタではソースが低電位側電源の電位に近い値で動作する場合、Pチャネル型トランジスタではソースが高電位側電源の電位に近い値で動作する場合には、ゲートとソースとの間の電圧の絶対値を大きくできるからである。そのため、スイッチとして、より正確な動作を行うことができるからである。または、トランジスタがソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなってしまいうことが少ないからである。

40

【0021】

50

また、上記の本発明の各態様において、スイッチとして、Nチャネル型トランジスタとPチャネル型トランジスタとの両方を用いて、CMOS型のスイッチを用いてもよい。CMOS型のスイッチにすると、Pチャネル型トランジスタとNチャネル型トランジスタとのどちらか一方が導通すれば、電流が流れるため、スイッチとして機能しやすくなる。よって、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることができる。または、スイッチをオン又はオフさせるための信号の電圧振幅値を小さくすることができるので、消費電力を小さくすることができる。

【0022】

なお、スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソースまたはドレインの一方）と、出力端子（ソースまたはドレインの他方）と、導通を制御する端子（ゲート）とを有する場合がある。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。したがって、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることができる。

10

【0023】

本明細書に開示されている発明では、トランジスタとして、様々な構造のトランジスタを用いることができる。つまり、用いるトランジスタの構成に限定はない。

【0024】

本明細書において、半導体装置とは、半導体素子（トランジスタ、ダイオード、サイリスタ等）を含む回路を有する装置のことをいう。ただし、半導体特性を利用することで機能しうる装置全般、又は半導体材料を有する装置のことを半導体装置と呼んでもよい。本明細書において、表示装置とは、表示素子を有する装置のことを言う。

20

【0025】

本明細書において、駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタ等と呼ぶことがある。）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタ等は、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路等と呼ぶことがある。）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路等と呼ぶことがある。）等は、駆動装置の一例である。

30

【0026】

また、表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、および駆動装置等を互いに組み合わせることが可能であり、このような装置も本発明の態様に含まれる。例えば、表示装置が、半導体装置および発光装置を有する場合がある。あるいは、半導体装置が、表示装置および駆動装置を有する場合がある。

【0027】

また、本発明の各態様において、所定の機能を実現させるために必要な回路の全てを、同一の基板（例えば、ガラス基板、プラスチック基板、単結晶基板、又はSOI基板等）に形成することが可能である。こうして、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。

40

【0028】

また、所定の機能を実現させるために必要な回路の全てを同じ基板に形成しないことが可能である。つまり、所定の機能を実現させるために必要な回路の一部は、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、別の基板に形成されることが可能である。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板（又はSOI基板）に形成されることが可能である。そして、所定の機能を実現させるために必要な回路の別の一部が形成される単結晶基板（ICチップともいう）を、COG（Chip On Glass）によって、ガラス基板に接続して、ガラス基板にそのIC

50

チップを配置することが可能である。または、ICチップを、TAB (Tape Automated Bonding)、COF (Chip On Film)、SMT (Surface Mount Technology)、又はプリント基板等を用いてガラス基板と接続することが可能である。

【0029】

本明細書において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層等）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

10

【0030】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード等）が、XとYとの間に1個以上接続されることが可能である。

【0031】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路等）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路等）、電位レベル変換回路（電源回路（昇圧回路、降圧回路等）、信号の電位レベルを変えるレベルシフト回路等）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量等を大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路等）、信号生成回路、記憶回路、制御回路等）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

20

【0032】

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

30

【0033】

本明細書において、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、この場合でも、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、この場合でも、単数であることも可能である。

【0034】

本出願の図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。図は、理想的な例を模式的に示すものであり、図に示す形状又は値等に限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつき等を含むことが可能である。

40

【0035】

なお、専門用語は、特定の実施の形態、又は実施例等を述べる目的で用いられる場合が多い。ただし、本発明の一態様は、専門用語によって、限定して解釈されるものではない。

【0036】

なお、定義されていない文言（専門用語又は学術用語等の科学技術文言を含む）は、通常

50

の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

【0037】

なお、第1、第2、第3等の語句は、様々な要素、部材、領域、層、区域などについて、区別して記述するために用いられる。よって、第1、第2、第3等の語句は、要素、部材、領域、層、区域等の順序および個数を限定するものではない。さらに、例えば、「第1の」を「第2の」又は「第3の」等と置き換えることが可能である。

【0038】

また、「上に」、「上方に」、「下に」、「下方に」、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」等の空間的配置を示す語句は、ある要素又は特徴と、他の要素又は特徴との関連を、図によって簡単に示すために用いられる。ただし、このような用法に限定されず、これらの空間的配置を示す語句は、図に描く方向に加えて、他の方向を含む場合がある。例えば、Xの上にY、と明示的に示される場合は、YがXの上にあることに限定されない。図中の構成は反転、又は180°回転させることが可能なので、YがXの下にあることを含むことが可能である。このように、「上に」という語句は、「上に」の方向に加え、「下に」の方向を含むことが可能である。ただし、これに限定されず、図中のデバイスは様々な方向に回転することが可能なので、「上に」という語句は、「上に」、および「下に」の方向に加え、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」等の他の方向を含むことが可能である。つまり、状況に応じて適切に解釈することが可能である。

10

20

【0039】

なお、Xの上にYが形成されている、あるいは、X上にYが形成されている、と明示的に記載する場合は、Xの上にYが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、XとYと間に別の対象物が介在する場合も含むものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、等）であるとする。

【0040】

従って、例えば、層Xの上に（もしくは層X上に）、層Yが形成されている、と明示的に記載されている場合は、層Xの上に直接接して層Yが形成されている場合と、層Xの上に直接接して別の層（例えば層Z等）が形成されていて、その上に直接接して層Yが形成されている場合とを含むものとする。なお、別の層（例えば層Z等）は、単層でもよいし、複層でもよい。

30

【0041】

さらに、Xの上方にYが形成されている、と明示的に記載されている場合についても同様であり、Xの上にYが直接接していることに限定されず、XとYとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Xの上方に、層Yが形成されている、という場合は、層Xの上に直接接して層Yが形成されている場合と、層Xの上に直接接して別の層（例えば層Z等）が形成されていて、その上に直接接して層Yが形成されている場合とを含むものとする。なお、別の層（例えば層Z等）は、単層でもよいし、複層でもよい。

40

【0042】

なお、Xの上にYが形成されている、X上にYが形成されている、又はXの上方にYが形成されている、と明示的に記載する場合、Xの斜め上にYが形成される場合も含むこととする。

【0043】

なお、Xの下にYが、あるいは、Xの下方にYが、との記載についても同様である。

【発明の効果】

【0044】

50

透光性を有するトランジスタ又は透光性を有する容量素子を形成することで、画素内にトランジスタや容量素子を配置する場合であっても、トランジスタや容量素子が形成された部分においても光を透過させることができる。その結果、画素の開口率を向上させることができる。また、このようなトランジスタ、および透光性を有する配線を用いて、画素内にメモリを設けることにより、画素内にメモリを有しながら、透過型ディスプレイを実現することが可能となる。

【0045】

また、トランジスタと素子（例えば、別のトランジスタ）とを接続する配線、または容量素子と素子（例えば、別の容量素子）とを接続する配線は、抵抗率が低く導電率が高い材料を用いて形成することで、信号の波形なまりを低減し、配線抵抗による電圧降下を低減することができる。

10

【図面の簡単な説明】

【0046】

【図1】表示装置の構成例を説明する断面図。

【図2】表示装置の構成例を説明する断面図。

【図3】表示装置の構成例を説明する断面図。

【図4】表示装置の構成例を説明する断面図。

【図5】表示装置の構成例を説明する断面図。

【図6】表示装置の構成例を説明する断面図。

【図7】表示装置の構成例を説明する断面図。

20

【図8】表示装置の構成例を説明する断面図。

【図9】表示装置の構成例を説明する断面図。

【図10】表示装置の構成例を説明する断面図。

【図11】表示装置の構成例を説明する断面図。

【図12】表示装置の構成例を説明する断面図。

【図13】表示装置の構成例を説明する断面図。

【図14】表示装置の構成例を説明する断面図。

【図15】表示装置の構成例を説明するブロック図。

【図16】表示装置の構成例を説明する回路図。

【図17】A～C；図16の表示装置の動作の一例を説明する回路図。

30

【図18】A～C；図16の表示装置の動作の一例を説明する回路図。

【図19】A～C；図16の表示装置の動作の一例を説明する回路図。

【図20】A～C；図16の表示装置の動作の一例を説明する回路図。

【図21】A～E；表示装置の構成例を説明する回路図。

【図22】A～D；表示装置の構成例を説明する回路図。

【図23】表示装置の動作の一例を説明する回路図。

【図24】表示装置の動作の一例を説明する回路図。

【図25】表示装置の動作の一例を説明する回路図。

【図26】表示装置の動作の一例を説明する回路図。

【図27】表示装置の動作の一例を説明する回路図。

40

【図28】A～D；表示装置の構成例を説明する回路図。

【図29】表示装置の構成例を説明する回路図。

【図30】表示装置の構成例を説明する回路図。

【図31】表示装置の構成例を説明する回路図。

【図32】表示装置の構成例を説明する平面図。

【図33】表示装置の構成例を説明する平面図。

【図34】A；表示装置の構成例を説明する平面図。B、C；同断面図。

【図35】表示装置の構成例を説明する断面図。

【図36】表示装置の構成例を説明する断面図。

【図37】A-1、A-2；表示装置の構成例を説明する平面図。B、C；同断面図。

50

【図 3 8】 A ～ F ； 表示装置の作製方法の一例を説明する断面図。

【図 3 9】 A ～ E ； 表示装置の作製方法の一例を説明する断面図。

【図 4 0】 A ～ H ； 電子機器の構成例を説明する図。

【図 4 1】 A ～ D ； 電子機器の構成例を説明する図。 E ～ H ； 表示装置の応用例を説明する図。

【図 4 2】 表示装置の構成例を説明する回路図。

【図 4 3】 表示装置の構成例を説明する回路図。

【発明を実施するための形態】

【 0 0 4 7 】

以下、本発明の実施の形態を説明する。本明細書に記載された発明の態様は、例えば、以下の課題を解決することができる。なお、複数の課題の記載は、他の課題の存在を妨げるものではない。また、本発明の各態様は、下記の全ての課題を解決する必要はない。

10

【 0 0 4 8 】

課題としては、例えば、メモリを備えた画素に関する技術を提供すること、画素の開口率を向上すること、配線抵抗を下げること、コンタクト抵抗を低減すること、電圧降下を低減すること、消費電力を下げること、表示品位を向上すること、トランジスタのオフ電流を低減すること等が挙げられる。

【 0 0 4 9 】

また、本発明の実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分又は同様な機能を有する部分は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

20

【 0 0 5 0 】

また、ある一つの実施の形態で述べられている内容（一部の内容でもよい）は、その実施の形態で述べられている別の内容（一部の内容でもよい）、および／又は、一つ若しくは複数の別の実施の形態で述べられている内容（一部の内容でもよい）に対して、選択、組み合わせ、又は置き換え等を行うことができる。実施の形態で述べられている内容とは、各々の実施の形態において、参照されている一または複数の図に記載されている内容、および文章で表現されている内容のことである。

30

【 0 0 5 1 】

また、ある一つの実施の形態で参照されている図（一部でもよい）は、その図の別の部分、その実施の形態で参照されている別の図（一部でもよい）、および／又は、一つ若しくは複数の別の実施の形態で参照されている図（一部でもよい）に対して、組み合わせることにより、別の構成例が記載された図を描くことができる。また、ある一つの実施の形態で参照される図または記述された文章について、その一部分に基づいて、別の態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章で表される別の態様も開示されている。

【 0 0 5 2 】

40

そのため、例えば、能動素子（トランジスタ、ダイオード等）、配線、受動素子（容量素子、抵抗素子等）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、基板、モジュール、装置、固体、液体、気体、動作方法、作製方法等が単数又は複数記載された図面（断面図、平面図、回路図、ブロック図、フローチャート、工程図、斜視図、立面図、配置図、タイミングチャート、構造図、模式図、グラフ、表、光路図、ベクトル図、状態図、波形図、写真、化学式等）または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。

【 0 0 5 3 】

一例としては、N 個（N は整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、M 個（M は整数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等

50

）を抜き出して、発明の一態様を構成することは可能である。別の一例としては、 N 個（ N は整数）の層を有して構成される断面図から、 M 個（ M は整数で、 $M < N$ ）の層を抜き出して、発明の一態様を構成することは可能である。別の一例としては、 N 個（ N は整数）の要素を有して構成されるフローチャートから、 M 個（ M は整数で、 $M < N$ ）の要素を抜き出して、発明の一態様を構成することは可能である。

【0054】

また、ある一つの実施の形態において述べる図または文章において、少なくとも一つの実体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの実体例が記載される場合、その具体例の上位概念から、本明細書で開示されている発明の一態様を構成することが可能である。

10

【0055】

また、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容から、本明細書で開示されている発明の一態様を構成することができる。同様に、図の一部を取り出した図から、本明細書で開示されている発明の一態様を構成することができる。

【0056】

また、能動素子（トランジスタ、ダイオード等）、受動素子（容量素子、抵抗素子等）等が有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することが可能な場合がある。特に、端子の接続先が複数想定される場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオード等）、受動素子（容量素子、抵抗素子等）等が有する一部の端子についてのみ、その接続先を特定することによって、発明の実施の態様を構成することが可能な場合がある。

20

【0057】

また、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明の実施態様を特定することが可能な場合があり、本明細書で開示される発明の態様はこのような場合を含む。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、本明細書で開示される発明の態様を特定することが可能な場合がある。本明細書で開示される発明の態様はこのような場合を含む。

30

【0058】

（実施の形態1）

本実施の形態では表示装置について説明する。

【0059】

図1を用いて、本実施の形態で示す表示装置（半導体装置ということもできる）の構成例を説明する。表示装置は複数の画素を有する。図1には、1つの画素の断面構造を示す。

【0060】

基板101の上方に、回路102、回路103、回路104が設けられている。それらの回路102～104の上方に、絶縁層105が設けられている。絶縁層105の上方に、導電層106が設けられている。基板108の上方（図1の方向で見た場合は下方）には、導電層109が設けられている。導電層106と導電層109の間には、媒質107が設けられている。媒質107、導電層106、および導電層109を用いて、表示素子を構成することが可能である。そして、導電層106は、回路102、回路103、および／又は、回路104と接続されていることが可能である。導電層106は、回路102、回路103、および／又は、回路104について、それらの全体、または、多くの部分を覆って配置されることが可能である。ただし、本実施の形態は、これらに限定されない。

40

【0061】

図1の構成例において、基板108または導電層109のいずれかを設けないことが可能であり、回路102、回路103および回路104について、いずれかを設けないことが

50

可能である。

【0062】

ここで、回路102は、一例として、信号（一例としては、画像信号）を、画素内に入れるか否かを制御する機能を有する。したがって、回路102は、選択用トランジスタ、または、スイッチング用トランジスタを有することが可能である。

【0063】

ここで、回路103は、一例として、信号を保持する機能を有する。すなわち、回路103は、メモリ機能を有する。回路103は、メモリとして、例えば、DRAM、SRAM、不揮発性メモリ等を有する。さらに、回路103は、リフレッシュ回路を有することも可能である。リフレッシュ回路によって、DRAMのデータをリフレッシュすることができ10

【0064】

ここで、回路104は、一例として、媒質107に供給する電圧の極性を制御する機能を有する。そのため、媒質107の種類によっては、回路104を設けない場合もある。よって、回路104は、インバータ、ソースフォロワ、アナログスイッチ等を有することが可能である。このように、画素内にメモリを配置することにより、信号の書き換え頻度を低くすることができるため、消費電力を低くすることができる。ただし、本実施の形態はこれらに限定されない。

【0065】

回路102～104が上記の機能を有する場合、回路102、回路103、および／又は、回路104が有するトランジスタ、または配線は、透光性を有する材料を有して構成されていることが可能である。例えば、トランジスタについて、ゲート電極、半導体層、ソース電極又はドレイン電極に関して、その一部、または全部は、透光性を有する材料を有して形成されることが可能である。そのため、トランジスタまたは配線を配置しても、光を透過させることができる。同様に、ソース信号線、ゲート信号線、容量配線、電源線等の配線も、透光性を有する材料を有して構成することが可能である。したがって、複数の画素が配置された画素領域は、その領域のほとんどにおいて、光を透過させることができる。

【0066】

なお、ソース信号線、ゲート信号線、容量配線、電源線等の配線は、その一部、または、全部について、透光性を有する材料を有して構成されることが可能であるが、これに限定されず、導電率の高い材料を有して構成することが可能である。つまり、透光性を有しない材料を有して構成することも可能である。例えば、透光性を有する層と、透光性を有しない層とを積層状態にすることも可能である。これらの場合、光を透過させる領域が狭くなるため、開口率は低下するが、導電率が高いため、信号のなまりの低減、電圧降下の低減が可能になる。

【0067】

特に、画素を駆動するための回路、例えば、ゲートドライバ、ソースドライバ、共通電極（対向電極）駆動回路等において、透光性を有しない層を有して、配線、および／又は、トランジスタを構成することは可能である。ゲートドライバ、ソースドライバ、共通電極（対向電極）駆動回路等においては、光を透過させる必要がない。そのため、導電率が高い配線や電極を用いて、配線やトランジスタを構成することにより、信号のなまりの低減、電圧降下の低減が可能になる。

【0068】

なお、導電層106または導電層109は、透光性を有する材料を有して形成されることが可能である。ここで、図1に示すように、導電層106の下に、回路102、回路103、または、回路104を配置することが可能である。このとき、回路102、回路103、または、回路104は、透光性を有する材料を有して形成されることが可能であるため、開口率を向上させることができる。または、透過型の表示装置を構成させることが可50

能となる。つまり、画素内にメモリを配置しながら、透過型の表示装置を構成することができる。

【0069】

なお、導電層106、および／又は、導電層109において、その一部に、透光性を有しない材料、つまり、導電率の高い材料を有することが可能である。導電層106の一部において、導電率の高い材料を有することにより、その部分で、光を反射させることができる。そのため、半透過型の表示装置を構成することが可能となる。

【0070】

なお、導電層106の下には、回路102、回路103、または、回路104について、少なくとも一つが配置されていればよい。または、導電層106の下には、回路102、回路103、または、回路104について、それらの一部が配置されていればよい。

10

【0071】

なお、導電層106は、画素電極としての機能を有することが可能である。または、導電層109は、共通電極としての機能を有することが可能である。

【0072】

ただし、導電層109は、基板108に形成されることに限定されない。基板101に形成されることも可能である。

【0073】

なお、媒質107の例としては、液晶、有機EL、無機EL、電気泳動材料、電子粉流体、トナー等を有する場合がある。媒質107は、導電層106および導電層109によって供給される電圧または電流によって、その光学特性が制御される。

20

【0074】

図1では、1画素の中に回路102、回路103、回路104が設けられている例が示されているが、本実施の形態は、これに限定されない。より多くの回路を設けることが可能であるし、より少ない回路を設けることも可能である。

【0075】

なお、基板101または基板108は、絶縁性を有する基板であることが望ましい。それらの一例としては、ガラス基板、プラスチック基板、フレキシブル基板、PET（ポリエチレンテレフタレート）基板、ステンレス・スチル・ホイル基板、SOI基板、シリコン基板、セラミック基板、石英基板、サファイア基板等をあげることができる。金属やステンレス等の導電体でなる導電性基板の表面を絶縁材料で被覆したものをを用いることもできる。基板としてガラスまたはプラスチックを用いることにより、光を透過させることが可能となる。または、基板101、108として、プラスチック基板またはフレキシブル基板を用いることにより、基板を曲げることが可能となり、破損しにくくすることが可能となる。

30

【0076】

なお、基板101または基板108には、表面に、絶縁層を一層、または、複数層で形成しておいてもよい。その絶縁層によって、基板中に含まれる不純物が拡散してしまうことを低減することが可能となる。

【0077】

（実施の形態2）

本実施の形態では表示装置について説明する。

【0078】

図2乃至図14を用いて、本実施の形態で示す表示装置（半導体装置ということもできる）の構成例を説明する。表示装置は複数の画素を有する。図2乃至図14には、1つの画素の断面構造を示す。

40

【0079】

図2に示すように、基板101の上方に、導電層201a、201bが配置されている。導電層201a、201bの上方に、絶縁層202が配置されている。絶縁層202の上方に、半導体層203が配置されている。半導体層203または絶縁層202の上方に、

50

導電層 204a、導電層 204b および導電層 204c が配置されている。導電層 204a、導電層 204b、導電層 204c、または半導体層 203 の上方には、絶縁層 205 が配置されている。絶縁層 205 の上方に、導電層 206 が配置されている。導電層 204b は、絶縁層 205 に形成されたコンタクトホールを介して、導電層 206 と接続されている。半導体層 203 の上側と、導電層 204a、204b の下側とが、接触し、接続されている。

【0080】

なお、導電層 201a および導電層 201b は、同じ成膜工程を経て形成された膜（単層または積層）に対してエッチング処理を行うことで形成することが可能である。この場合、導電層 201a および導電層 201b は概ね同じ材料を有する。同様に、導電層 204a、導電層 204b および導電層 204c は、同じ成膜工程を経て形成された膜（単層または積層）に対してエッチング処理を行うことで形成することが可能である。この場合、導電層 204a と導電層 204b と導電層 204c とは、概ね同じ材料を有する。

10

【0081】

導電層 201a は、トランジスタ 207 のゲート電極としての機能を有することが可能である。または、導電層 201a は、ゲート信号線としての機能を有することが可能である。導電層 201b は、容量素子 208、209 の容量電極としての機能を有することが可能である。または、導電層 201b は、保持容量線としての機能を有することが可能である。

【0082】

20

絶縁層 202 は、トランジスタ 207 のゲート絶縁層としての機能を有することが可能である。または、絶縁層 202 は、容量素子 208、209 の絶縁層としての機能を有することが可能である。

【0083】

導電層 204a、204b は、トランジスタ 207 のソース電極またはドレイン電極としての機能を有することが可能である。または、導電層 204a、204b は、ソース信号線またはビデオ信号線としての機能を有することが可能である。

【0084】

導電層 204c は、容量素子 208 の容量電極としての機能を有することが可能である。または、導電層 204c は、保持容量線としての機能を有することが可能である。

30

【0085】

半導体層 203 は、トランジスタ 207 の活性層としての機能を有することが可能である。または、半導体層 203 は、トランジスタ 207 のチャネル層としての機能を有することが可能である。または、半導体層 203 は、トランジスタ 207 の高抵抗領域としての機能を有することが可能である。または、半導体層 203 は、トランジスタ 207 の不純物領域としての機能を有することが可能である。

【0086】

導電層 206 は、画素電極としての機能を有することが可能である。または、導電層 206 は、容量素子 209 の容量電極としての機能を有することが可能である。

【0087】

40

導電層 206 は、図 1 に示す導電層 106 に対応させることが可能である。または、絶縁層 205 は、図 1 に示す絶縁層 105 に対応させることが可能である。

【0088】

このように、導電層 206 の下方に、トランジスタ 207 や容量素子 208 等を配置することが可能である。トランジスタ 207 や容量素子 208 等は、透光性を有するため、開口率を高くすることが可能である。または、透過型表示装置を構成することが可能である。そして、トランジスタ 207 や容量素子 208、209 を用いて、選択用トランジスタ、メモリ、DRAM、SRAM、アナログスイッチ、インバータ、クロックドインバータ等を構成することが可能である。

【0089】

50

なお、トランジスタ207は、半導体層203の下側に導電層201aが存在するため、ボトムゲート型のトランジスタであると言える。または、トランジスタ207は、逆スタガ型のトランジスタであると言える。または、トランジスタ207は、半導体層203の上にチャンネル保護膜がないため、チャンネルエッチ型のトランジスタであると言える。または、トランジスタ207は、薄膜トランジスタであると言える。

【0090】

なお、トランジスタや容量素子の構成は、図2の構成に限定されない。他の様々な構成を適用することが可能である。

【0091】

例えば、チャンネル部に対して、ゲート電極と反対側に電極を設けるようなトランジスタを構成することが可能である。図3に、導電層206aを半導体層203および絶縁層205の上方に設けた場合の画素の構成例を示す。導電層206aは、トランジスタ207のバックゲートとして機能させることが可能である。導電層206aには、導電層201aとは異なる電位を供給することにより、トランジスタ207の動作を安定にさせることができる。または、導電層206aには、導電層201aと同じ電位を供給することにより、トランジスタ207のチャンネルが実質的に2倍になるため、実質的に移動度を高くすることができる。

【0092】

なお、導電層206a、206は、同じ成膜工程を経て形成された膜（単層または積層）に対してエッチング処理を行うことで形成することが可能である。この場合、導電層206aおよび導電層206は概ね同じ材料を有する。

【0093】

なお、容量素子208は、図3に示すように、導電層204cと導電層201cとの間に、半導体層203aを設けることも可能である。ここで、半導体層203、203aは、同じ成膜工程を経て形成された膜（単層または積層）に対してエッチング処理を行うことで形成することが可能である。この場合、半導体層203と半導体層203aは、概ね同じ材料を有する。

【0094】

なお、周辺回路部（例えば、画素を駆動する回路部）のトランジスタと、画素部のトランジスタの構成を異ならせることが可能である。一例として、画素部においては、図2のように、トランジスタ207には導電層206aを設けない構成とし、一方、画素部を駆動する回路においては、図3のように、トランジスタ207には導電層206aを設ける構成とすることが可能である。画素部を駆動する回路においては、トランジスタ207のしきい値電圧を制御することが、非常に重要である。しかし、画素部においては、仮に、トランジスタ207がノーマリーオン状態になっても、動作させることが可能な場合がある。さらに、画素部では、導電層206aを設けないことによって、開口率が低下することを防ぐことができる。したがって、画素部のトランジスタ207は導電層206aを設けない構成とし、画素部を駆動する回路のトランジスタ207は、導電層206aを設ける構成とすることによって、表示装置を適切に動作させ、かつ、画素部の開口率を高くすることができる。

【0095】

ただし、本実施の形態は、図3に限定されない。導電層206aとは別の層を用いて、画素を構成することができる。図4にその一例を示す。

【0096】

絶縁層205と導電層206との間に、導電層406aと絶縁層405を配置する。導電層406aは、トランジスタ207のバックゲートとして機能させることが可能である。このように、導電層206とは別の層を用いることによって、導電層206の下に、トランジスタ207および導電層406aを配置することができる。そのため、画素においてこの構造のトランジスタ207を用いることにより、開口率を向上させることができる。

10

20

30

40

50

【0097】

なお、導電層406aと同じ層の導電膜を用いることにより、容量素子408を構成することが可能である。容量素子408は、導電層406bと導電層201cとを用いて構成することが可能である。または、容量素子409は、導電層406bと導電層206とを用いて構成することが可能である。または、容量素子408aは、導電層406bと導電層204dとを用いて構成することが可能である。

【0098】

なお、導電層201aおよび導電層201cは、同じ成膜工程を経て形成された膜（単層または積層）に対してエッチング処理を行うことで形成することが可能である。この場合、導電層201aと導電層201cは、概ね同じ材料を有する。なお、導電層204a、204b、204dは、同じ成膜工程を経て形成された膜（単層または積層）に対してエッチング処理を行うことで形成することが可能である。この場合、導電層204a、導電層204bおよび導電層204dは、概ね同じ材料を有する。導電層406a、406bは、同じ成膜工程を経て形成された膜（単層または積層）に対してエッチング処理を行うことで形成することが可能である。この場合、導電層406aと導電層406bは、概ね同じ材料を有する。

【0099】

なお、図2、図3および図4において、トランジスタ207は、半導体層203の上に、チャンネル保護膜を配置しない場合の例を示す。ただし、本実施の形態は、これに限定されない。チャンネル保護膜を配置することが可能である。一例として、図2のトランジスタ207に、チャンネル保護膜503を配置した場合を図5に示す。同様に、図3、図4の場合も、チャンネル保護膜を配置して、トランジスタを構成させることが可能である。図5のトランジスタ207においては、チャンネル保護膜503を配置することにより、半導体層203の厚さを薄くすることが可能となる。そのため、オフ電流を低減することが可能となる。または、S値（subthreshold swing value）を小さくすることが可能となる。または、半導体層203と導電層204a、204bとのエッチング時の選択比を考慮する必要がないため、自由に材料を選択することが可能となる。

【0100】

図2乃至図5の構成例は、導電層204a、204bの下に、半導体層203が配置されていない領域を有する。本実施の形態は、これらの構成に限定されず、図6に示すように、導電層204a、204bの下の全域に、半導体層203を配置するようにしてもよい。その場合、チャンネル保護膜503を設けないことも可能である。チャンネル保護膜503を設けない場合、多階調マスク（ハーフトーンマスクまたはグレートーンマスクとも言う）を用いて、マスク（レチクル）数を低減することが可能である。例えば、次のような工程を行えばよい。半導体層203、導電層204aおよび導電層204bを構成する膜を連続的に成膜する。レジストマスクを形成し、それらの層を同時にエッチングする。レジストマスクのアッシング等を行って、導電層204aおよび導電層204bのみをエッチングするマスクを形成する。1枚の露光用マスクで、半導体層203のチャンネル部分、ならびに導電層204aおよび導電層204bをエッチングするためのレジストマスクを形成することが可能である。

【0101】

図2乃至図6には、画素の構成例として、半導体層203の上側と導電層204a、204bの下側とが接触し、電氣的に接続されている構成例が示されている。もちろん、本実施の形態は、これに限定されない。半導体層203の下側に接触し、電氣的に接続された導電層を設けることも可能である。以下、図7乃至図10を参照して、このような構成例を説明する。

【0102】

図2において、半導体層203の上側と、導電層204a、204bの下側とが接触する場合のトランジスタ207の断面図を、図7に示す。同様に、図3において、半導体層203の上側と、導電層204a、204bの下側とが接触する場合のトランジスタ207

の断面図を、図 8 に示す。同様に、図 4 において、半導体層 203 の上側と、導電層 204 a、204 b の下側とが接触する場合のトランジスタ 207 の断面図を、図 9 に示す。同様に、図 6 において、チャネル保護膜 503 を配置せず、かつ、半導体層 203 の上側と、導電層 204 a、204 b の下側とが接触する場合のトランジスタ 207 の断面図を、図 10 に示す。なお、図 10 において、導電層 206 と、半導体層 203 とが接触する部分においては、半導体層 203 が、十分に N 型化、または、P 型化されていることが望ましい。つまり、これらの接触部分がオーミックコンタクトとなっていることが望ましい。

【0103】

なお、図 2 乃至図 10 では、導電層 204 a、204 b と半導体層 203 との間には、絶縁層が設けられていない構成例が示されている。もちろん、本実施の形態は、これに限定されない。導電層 204 a、204 b と半導体層 203 との間に、絶縁層を設けることが可能である。一例として、図 2 において、絶縁層 1105 を設けた場合の断面図を図 11 に示す。導電層 204 a、204 b と、半導体層 203 とは、絶縁層 1105 に設けられたコンタクトホールを介して、接続されている。

【0104】

なお、この場合、導電層 204 a、204 b と同じレイヤーの導電層を用いて、チャネル部に対して、ゲート電極と反対側に電極を設けることが可能である。その場合の例を図 12 に示す。導電層 204 e が、チャネル部に対して、ゲート電極と反対側に設けられている。このように、導電層 204 a と同じレイヤーで設けられているため、画素部において、このようなトランジスタ構造を用いても、開口率が低下することを防ぐことができる。

【0105】

なお、導電層 204 a、204 b、204 e は、同じ成膜工程を経て形成された膜（単層または積層）に対してエッチング処理を行うことで形成することが可能である。この場合、導電層 204 a と導電層 204 b と導電層 204 e は、概ね同じ材料を有する。

【0106】

なお、図 3 乃至図 10 の画素の場合も、図 11、図 12 と同様のトランジスタ 207 を適用することができる。

【0107】

なお、絶縁層を介して配置された、各層の導電層同士を接続させる場合、絶縁層にコンタクトホールを開ける必要がある。その場合のコンタクト構造の例を図 13 に示す。コンタクト構造 1301 の場合、導電層 201 b、導電層 204 b、および導電層 206 を電氣的に接続するために、絶縁層 205 および絶縁層 202 にコンタクトホールが形成されている。これらのコンタクトホールは同時に形成される。この場合、マスク数（レチクル数）やプロセス工程数を減らすことができる。しかし、導電層 204 b と導電層 201 b とを接続させたい場合、導電層 206 を介して、接続させる必要があるため、コンタクト抵抗が高くなる、またはレイアウト面積が大きくなる可能性がある。一方、コンタクト構造 1302 のように、絶縁層 202 にコンタクトホールを開けて、導電層 204 a と導電層 201 a とを直接接続させることも可能である。この場合、コンタクト抵抗が高くなる可能性や、レイアウト面積が大きくなる可能性を低くすることが可能である。

【0108】

導電層 406 a、406 b が存在する場合のコンタクト構造の構成例を、図 14 に示す。コンタクト構造 1401 の場合、絶縁層 405、205、202 に、同時にコンタクトホールを開けて、導電層 201 a、204 b、406 a、206 を接続している。この場合、マスク数（レチクル数）やプロセス工程数を減らすことができる。しかし、導電層 406 a と導電層 204 b や導電層 201 a とを接続させる場合、導電層 206 を介して、接続させる必要があるため、コンタクト抵抗が高くなる、またはレイアウト面積が大きくなる可能性がある。一方、コンタクト構造 1402 のように、絶縁層 205 および絶縁層 202 にコンタクトホールを開けて、導電層 406 b と導電層 204 d、導電層 201 c とを直接接続させることも可能である。この場合、コンタクト抵抗が高くなる可能性や、ま

たはレイアウト面積が大きくなる可能性を低くすることが可能である。

【0109】

なお、図2乃至図12では、ボトムゲート型のトランジスタの場合の例を示すが、本実施の形態は、これに限定されない。トップゲート型トランジスタを用いて構成することも可能である。同様に、逆スタガ型のトランジスタに限定されず、プレーナ型トランジスタを用いて構成することも可能である。

【0110】

なお、図2乃至図12に示す半導体層203は、単層構造または積層構造の半導体膜から形成することができる。半導体層を形成する膜は、インジウム錫酸化物（Indium Tin Oxide：ITO）、酸化シリコンを含むインジウム錫酸化物（ITSO）、有機インジウム、有機スズ、酸化亜鉛（ZnO）等の透光性を有する材料で形成することができる。また、酸化亜鉛を含むインジウム亜鉛酸化物（Indium Zinc Oxide：IZO）、酸化亜鉛にガリウム（Ga）をドーピングした材料、酸化スズ（SnO₂）、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物等で形成してもよい。これらの材料でなる膜は、スパッタリング法により形成することができる。

【0111】

なお、図1乃至図14に示す導電層、例えば、導電層201a、201b、204a～204e、206、206a、406a、406b等は、単層構造または積層構造の導電膜から形成することができる。これらの導電層を形成する膜は、インジウム錫酸化物（Indium Tin Oxide：ITO）、酸化シリコンを含むインジウム錫酸化物（ITSO）、有機インジウム、有機スズ、酸化亜鉛（ZnO）等の透光性を有する材料で形成することができる。また、酸化亜鉛を含むインジウム亜鉛酸化物（Indium Zinc Oxide：IZO）、酸化亜鉛にガリウム（Ga）をドーピングした材料、酸化スズ（SnO₂）、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物等で形成してもよい。これらの材料でなる膜は、スパッタリング法により形成することができる。ただし、積層構造の導電膜で、図1乃至図14に示す導電層を形成する場合には、積層構造における光透過率を十分に高くすることが望ましい。

【0112】

なお、ソース信号線、ゲート信号線、容量配線、電源線等の配線は、その一部、または、全部について、導電率の高い材料を有して構成することが可能である。つまり、透光性を有しない材料を有して構成することも可能である。例えば、透光性を有する層と、透光性を有しない層とを積層状態にすることも可能である。この場合の配線材料としては、例えば、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジム（Nd）、ニオブ（Nb）、セリウム（Ce）、クロム（Cr）等の金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いて、単層又は積層で形成することができる。

【0113】

なお、ある導電層の一つとしてITOを用い、別の一つとしてアルミニウムを用いた場合、それらが接続した場合、化学反応が起きてしまう場合がある。したがって、化学反応が起きることを避けるために、それらの間に、高融点材料を用いることが望ましい。例えば、高融点材料の例としては、モリブデン、チタン、タングステン、タンタル、クロム等があげられる。そして、高融点材料を用いた膜の上に、導電率の高い材料を用いて、導電層を多層膜とすることが好適である。導電率の高い材料としては、アルミニウム、銅、銀等があげられる。例えば、導電膜を積層構造で形成する場合には、1層目をモリブデン、2層目をアルミニウム、3層目をモリブデンの積層、若しくは、1層目をモリブデン、2層目にネオジウムを微量に含むアルミニウム、3層目をモリブデンの積層で形成することがで

きる。このような構成とすることによりヒロックを防止することができる。

【0114】

図1乃至図14に示す絶縁層、例えば、絶縁層105、202、205、405、1105等は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、又は酸化タンタル膜の単層または積層で設けることができる。各々の絶縁層は、スパッタ法等を用いて膜厚を50nm以上250nm以下で形成することができる。例えば、絶縁層として、スパッタ法又はCVD法により酸化シリコン膜を100nmの厚さで形成することができる。または、スパッタ法により酸化アルミニウム膜を100nmの厚さで形成することができる。または、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の酸素又は窒素を有する絶縁膜、DLC（ダイヤモンドライクカーボン）等の炭素を含む膜や、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる膜を単層又は積層構造で設けることができる。

10

【0115】

また、図1乃至図14に示す絶縁層は、カラーフィルタ、および／又は、ブラックマトリックスとしての機能を有することが可能である。基板101側にカラーフィルタを設けることにより、対向基板側にカラーフィルタを設ける必要がなくなり、2つの基板の位置を調整するためのマージンが必要なくなるため、パネルの製造を容易にすることができる。

【0116】

図2乃至図14に示す半導体層、例えば、半導体層203として、例えば、In、M、またはZnを含む酸化物半導体を用いることができる。ここで、Mは、Ga、Fe、Ni、Mn、またはCo等から選ばれた一の金属元素又は複数の金属元素を示す。また、MとしてGaを用いる場合は、この材料からなる半導体膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。また、半導体層203には絶縁性の不純物を含ませても良い。当該不純物として、酸化シリコン、酸化ゲルマニウム、酸化アルミニウム等に代表される絶縁性酸化物、窒化シリコン、窒化アルミニウム等に代表される絶縁性窒化物、若しくは酸窒化シリコン、酸窒化アルミニウム等の絶縁性酸窒化物が適用される。これらの絶縁性酸化物若しくは絶縁性窒化物は、酸化物半導体の電気伝導性を損なわない濃度で添加される。酸化物半導体に絶縁性の不純物を含ませることにより、該酸化物半導体の結晶化を抑制することができる。酸化物半導体の結晶化を抑制することにより、薄膜トランジスタの特性を安定化することが可能となる。

20

30

【0117】

In-Ga-Zn-O系酸化物半導体に酸化シリコン等の不純物を含ませることで、300℃乃至600℃の熱処理を行っても、該酸化物半導体の結晶化又は微結晶粒の生成を防ぐことができる。In-Ga-Zn-O系酸化物半導体層をチャンネル形成領域とする薄膜トランジスタの製造過程では、熱処理を行うことでS値や電界効果移動度を向上させることが可能であるが、そのような場合でも薄膜トランジスタがノーマリーオンになってしまうのを防ぐことができる。また、当該薄膜トランジスタに熱ストレス、バイアスストレスが加わった場合でも、しきい値電圧の変動を防ぐことができる。

40

【0118】

薄膜トランジスタのチャンネル形成領域に適用する酸化物半導体として上記の他にも、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体を適用することができる。すなわち、これらの酸化物半導体に結晶化を抑制し非晶質状態を保持させる不純物を加えることによって、薄膜トランジスタの特性を安定化させることができる。当該不純物は、酸化シリコン、酸化ゲルマニウム、酸化アルミニウム等に代表される絶縁性酸化物、窒

50

化シリコン、窒化アルミニウム等に代表される絶縁性窒化物、若しくは酸窒化シリコン、酸窒化アルミニウム等の絶縁性酸窒化物等である。

【0119】

一例として、In、Ga、およびZnを含む酸化物半導体ターゲット ($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$) を用いたスパッタ法で、半導体膜を形成することができる。スパッタの条件としては、例えば、基板101とターゲットとの距離を30mm~500mm、圧力を0.1Pa~2.0Pa、直流(DC)電源出力を0.25kW~5.0kW(直径8インチのターゲット使用時)、雰囲気をアルゴン雰囲気、酸素雰囲気、又はアルゴンと酸素との混合雰囲気とすることができる。半導体膜の膜厚は、5nm~200nm程度とすればよい。

10

【0120】

上記のスパッタ法としては、スパッタ用電源に高周波電源を用いるRFスパッタ法や、DCスパッタ法、パルスの直流バイアスを加えるパルスDCスパッタ法等を用いることができる。RFスパッタ法は主に、絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に、金属膜を成膜する場合に用いられる。

【0121】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置を用いてもよい。多元スパッタ装置では、同一チャンバーで異なる膜を積層形成することも、同一チャンバーで複数種類の材料を同時にスパッタして一の膜を形成することもできる。さらに、チャンバー内部に磁界発生機構を備えたマグネトロンスパッタ装置を用いる方法(マグネトロンスパッタ法)や、マイクロ波を用いて発生させたプラズマを用いるECRスパッタ法等を用いてもよい。また、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアスパッタ法等を用いてもよい。

20

【0122】

なお、トランジスタ207のチャンネル層として用いる半導体材料としては、酸化物半導体に限られない。例えば、シリコン層(アモルファスシリコン層、微結晶シリコン層、多結晶シリコン層又は単結晶シリコン層)をトランジスタ207のチャンネル層として用いてもよい。他にも、トランジスタ207のチャンネル層として、透光性を有する有機半導体材料、カーボンナノチューブ、ガリウムヒ素やインジウムリン等の化合物半導体を用いてもよい。

30

【0123】

なお、半導体層203を形成した後、酸素雰囲気下又は大気雰囲気下において、100℃~600℃、代表的には200℃~400℃の熱処理を行うことが好ましい。例えば、酸素雰囲気下で350℃、1時間の熱処理を行うことができる。この熱処理により島状の半導体層203の原子レベルの再配列が行われる。この熱処理(光アニール等も含む)は、島状の半導体層203中におけるキャリアの移動を阻害する歪みを解放できる点で重要である。なお、上記の熱処理を行うタイミングは、半導体層203の形成後であれば特に限定されない。

【0124】

一例としては、以上の材料を用いて構成することで、半導体装置または表示装置を作製することができる。

40

【0125】

(実施の形態3)

本実施の形態では、表示装置について説明する。本実施の形態に係る表示装置は、映像信号の入力を制御する機能を有する第1の回路と、映像信号を保持する機能を有する第2の回路と、液晶素子等の表示素子に供給される電圧の極性を制御する機能を有する第3の回路と、表示素子とを含む表示装置である。本実施の形態の表示装置は、画素に情報を記憶するメモリ機能を備えている。

【0126】

50

図15に、表示装置（半導体装置ということもできる。）全体の回路図（ブロック図）を示す。画素部1501には、複数の画素がマトリックス状に配置されている。画素部1501の周辺には、画素部1501を駆動する、あるいは制御するための回路1502および回路1503が配置されている。さらに、表示装置は、回路1502および回路1503に信号を供給する回路1504を有する。

【0127】

回路1502は、画素部1501に配置されているトランジスタのゲートの電位を制御する機能を有することが可能である。したがって、回路1502は、ゲート線駆動回路、ゲートドライバ、または、スキンドライバと呼ばれる回路の機能を有することが可能である。回路1503は、画素部1501に配置されているトランジスタのソースまたはドレインの電位を制御する機能を有することが可能である。または、回路1503は、画素部1501に、映像信号を供給する機能を有することが可能である。したがって、回路1503は、ソース線駆動回路、ソースドライバ、または、データドライバと呼ばれる回路の機能を有することが可能である。回路1503は、アナログスイッチのみを有して回路を構成することも可能である。回路1502、1503には、クロック信号、スタートパルス信号、ラッチ信号、映像信号、対向電圧反転信号等、さまざまな信号が入力される。そのような信号は、回路1504から、回路1502、1503に供給される。したがって、回路1504は、コントローラ、パルスジェネレータ等と呼ばれる機能を有することが可能である。

【0128】

次に、画素部1501に配置される画素の例を図16に示す。図16は、1画素分の回路図を示している。画素は、回路102、回路103、回路104、容量素子1612、および画素電極を有する表示素子1613を有する。なお、本発明の実施の形態の一形態は、これらに限定されない。

【0129】

回路102は、スイッチ1602を有する。回路103は、インバータ1603、容量素子1604、1605を有する。回路104は、スイッチ1606、1607を有する。ここで、インバータ1603は、信号を反転させる機能を備えていてもよいし、あるいは、出力をハイインピーダンス状態（フローティング状態）にする機能を備えていてもよい。

【0130】

スイッチ1602は、配線1601と接続されている。容量素子1605は、配線1611とスイッチ1602との間に接続されている。容量素子1604は、配線1610とインバータ1603の出力端子との間に接続されている。インバータ1603の入力端子は、スイッチ1602に接続されている。インバータ1603の出力端子は、容量素子1604と接続されている。配線1608と、配線1609とは、スイッチ1606、1607を介して、接続されている。スイッチ1606は、インバータ1603の出力信号、または、容量素子1604に保持された信号によって、オンとオフ（導通と非導通）が制御される。スイッチ1607は、インバータ1603の入力信号、または、容量素子1605に保持された信号によって、オンとオフ（導通と非導通）が制御される。表示素子1613は、スイッチ1607とスイッチ1606の間のノードと、配線1615との間に接続されている。容量素子1612は、スイッチ1607とスイッチ1606の間のノード、または、表示素子1613の画素電極と、配線1614との間に接続されている。

【0131】

図16の構成例において、容量素子1612は、省略することが可能である。または、容量素子1604は、省略することが可能である。

【0132】

図16に示す回路図と、図1に示す断面図とを対応させると、一例としては、導電層109は、対向電極または共通電極に対応させることができる。また、導電層109は配線1615と対応させることができる。または、表示素子1613は、媒質107を有すると

言うことができる。または、導電層106は、画素電極としての機能を有し、表示素子1613が有する画素電極と対応させることができる。

【0133】

なお、配線1610と配線1611とを互いに接続して、1つの配線として形成することが可能である。なお、配線1610、および／又は、配線1611を、配線1608、配線1609および配線1614に接続することで、1つの配線として形成することが可能である。なお、配線1614は、配線1608、配線1609、配線1610、または、配線1611に接続することで、1つの配線として形成することが可能である。

【0134】

スイッチ1602は、配線1601に供給される信号を画素内（または、容量素子1605、1604、インバータ1603）に入力するか否かを制御する機能を有することが可能である。したがって、スイッチ1602は、スイッチング用、または、選択用としての機能を有するということが可能である。

【0135】

配線1601は、図15に示す回路1503に電氣的に接続されている。したがって、回路1503から配線1601に、映像信号が供給されることが可能である。そのため、配線1601は、ソース線、ソース信号線、データ線、データ信号線等と呼ばれることが可能である。

【0136】

なお、配線1601は、透光性を有する材料で形成することにより、開口率を高くすることが可能である。ただし、本実施の形態は、これに限定されない。例えば、配線1601は、非透光性であり、導電率の高い材料で形成することにより、信号遅延を低減させることが可能である。また、配線1601を、導電率の高い材料でなる層と、透光性を有する材料で形成された層との積層膜で形成することが可能である。

【0137】

スイッチ1602を介して画素に入力された信号は、容量素子1605に保持される。容量素子1605は、信号を保持する機能を有する。したがって、容量素子1605は、メモリであるということが可能である。さらに、容量素子1605は、時間の経過に伴い、保持した信号が減衰していく可能性があるため、DRAMであるということが可能である。

【0138】

インバータ1603は、容量素子1605に保持された信号、または、スイッチ1602を介して配線1601から供給された信号を、反転して出力する機能を有する。そして、インバータ1603から出力された信号は、容量素子1604に保持される。さらに、容量素子1604は、時間の経過に伴い、保持した信号が減衰していく可能性があるため、DRAMであるということが可能である。

【0139】

インバータ1603が配置されているため、通常、容量素子1605に保持された信号と、容量素子1604に保持された信号とは、互いに反転した信号となっている。したがって、一方がH信号（高レベルの信号）の場合は、他方がL信号（低レベルの信号）となることが多い。ただし、インバータ1603が信号を出力しない場合、例えば、出力がハイインピーダンス状態になっている場合は、この限りではない。

【0140】

スイッチ1606は、配線1608の電位を、容量素子1612、または、表示素子1613に供給するか否かを制御する機能を有する。同様に、スイッチ1607は、配線1609の電位を、容量素子1612、または、表示素子1613に供給するか否かを制御する機能を有する。

【0141】

このように、容量素子1605に保持された信号と、容量素子1604に保持された信号とは、互いに反転している場合が多いため、スイッチ1606とスイッチ1607とは、

10

20

30

40

50

一方がオン状態（導通状態）にあり、他方がオフ状態（非導通状態）にあることが多い。したがって、その場合は、表示素子1613には、配線1609か配線1608かどちらかの電位が供給されることとなる。このとき、配線1609の電位と、配線1608の電位とが異なっていれば、表示素子1613に供給される電位も異なるため、表示素子1613を異なる状態（例えば、透過と非透過、発光と非発光、明と暗、散乱と透過）等に制御することができる。そのため、表示状態を変えることができ、階調を表現して、画像を表示することが可能となる。

【0142】

次に、図16に示す回路の動作の一例を示す。まず、図17Aに示すように、配線1601からH信号が供給されるとする。スイッチ1602がオンになっていれば、容量素子1605に、H信号が入力される。容量素子1604には、インバータ1603を介して、L信号が入力される。

【0143】

次に、図17Bに示すように、スイッチ1602がオフする。すると、容量素子1604、1605に保存された信号は、そのまま保持される。容量素子1604には、L信号が保存され、容量素子1605には、H信号が保存される。したがって、スイッチの制御端子に、H信号が供給された時にオン状態になり、L信号が供給された時にはオフ状態になるものだとすると、スイッチ1606はオフし、スイッチ1607はオンする。したがって、表示素子1613の画素電極には、配線1609の電位V1が供給されることとなる。配線1615に、電位Vcomが加えられているとすると、表示素子1613には、V1とVcomの差の電圧が加わることとなる。このとき、電位V1のほうが、電位Vcomよりも大きければ、表示素子1613に、正極性の電圧が加わることとなる。仮に、表示素子1613が、ノーマリーブラック（電圧を供給しないときには、黒状態となる場合）であれば、表示素子1613は白を表示することとなる。逆に、表示素子1613が、ノーマリーホワイト（電圧を供給しないときには、白状態となる場合）であれば、表示素子1613は黒を表示することとなる。

【0144】

次に、表示素子1613を交流駆動する必要がある場合には、つまり、例えば表示素子1613が液晶素子である場合には、表示素子1613に負極性の電圧を加える必要がある。そのときには、図17Cに示すように、配線1609の電位を、V1からV2に変化させる。このとき、電位V2は、電位Vcomよりも低い電位となっている。そして、一例としては、 $V1 - Vcom$ と、 $Vcom - V2$ とは、概ね同じ大きさとなっている。その結果、表示素子1613に、負極性の電圧が加わることとなる。その後、ある周期毎に、図17Bと図17Cとを交互に繰り返すことにより、表示素子1613を交流駆動することができる。

【0145】

このとき、配線1601から、信号を入れ直さなくても、容量素子1605、1604に信号が保持されているので、図17Bと図17Cとを交互に繰り返すことにより、表示素子1613を交流駆動することができる。そのため、消費電力を低減することが可能となる。そして、容量素子1604、1605の信号をリフレッシュする必要が出てきたとき、または、信号を書き換える必要が生じたときには、図17Aに戻って、再度、配線1601から信号を入力する。

【0146】

図17A～図17Cでは、配線1601からH信号が入力された場合の動作について述べたが、L信号が入力される場合も同様な動作をする。その一例を図18A～図18Cに示す。

【0147】

まず、図18Aに示すように、配線1601からL信号が供給されるとする。スイッチ1602がオンになっていれば、容量素子1605に、L信号が入力される。容量素子1604には、インバータ1603を介して、H信号が入力される。

【0148】

次に、図18Bに示すように、スイッチ1602がオフする。すると、容量素子1604、1605に保存された信号は、そのまま保持される。容量素子1604には、H信号が保存され、容量素子1605には、L信号が保存される。したがって、スイッチ1606はオンし、スイッチ1607はオフする。したがって、表示素子1613の画素電極には、配線1608の電位V3が供給されることとなる。配線1615に、電位Vcomが加えられているとすると、表示素子1613には、V3とVcomの差の電圧が加わることとなる。このとき、電位V3と電位Vcomとが概ね同じ電位であれば、表示素子1613には、ほとんど電圧が加わらないこととなる。仮に、表示素子1613が、ノーマリーブラック（電圧を供給しないときには、黒状態となる場合）であれば、表示素子1613は黒を表示することとなる。逆に、表示素子1613が、ノーマリーホワイト（電圧を供給しないときには、白状態となる場合）であれば、表示素子1613は白を表示することとなる。

10

【0149】

次に、表示素子1613を交流駆動する必要がある場合には、つまり、例えば表示素子1613が液晶素子である場合には、図18Cに示すように、配線1609の電位を、V1からV2に変化させる。しかし、配線1608の電位は変化させない。その結果、配線1609の電位が変化しても、表示素子1613には、ほとんど電圧が加わらないこととなる。その後、ある周期毎に、図18Bと図18Cとを交互に繰り返すこととなる。そして、容量素子1604、1605の信号をリフレッシュする必要があるとき、または、信号を書き換える必要があるときには、図18Aに戻って、再度、配線1601から信号を入力する。

20

【0150】

このように、配線1601から、H信号を入れた場合でも、L信号を入れた場合でも、交流駆動、または、反転駆動を行いながら、表示させることができる。

【0151】

なお、図17A～図17C、ならびに図18A～図18Cに示す駆動方法では、表示素子1613の極性を反転させる場合、つまり、交流駆動を行っている場合、配線1615の電位を変化させなかった。しかし、配線1615の電位を変化させることにより、配線1609の電位の振幅（V1とV2の差）を小さくすることができる。これは、配線1615の電位、つまり、対向電極または共通電極の電位を変化させることであり、コモン反転駆動と呼ばれている。

30

【0152】

そこで、コモン反転駆動を行う場合の動作方法を、図19A～図19C、ならびに図20A～図20Cに示す。

【0153】

まず、図19Aに示すように、配線1601からH信号が供給されるとする。スイッチ1602がオンになっていれば、容量素子1605に、H信号が入力される。容量素子1604には、インバータ1603を介して、L信号が入力される。

【0154】

次に、図19Bに示すように、スイッチ1602がオフする。すると、容量素子1604、1605に保存された信号は、そのまま保持される。容量素子1604には、L信号が保存され、容量素子1605には、H信号が保存される。そのため、スイッチ1606はオフし、スイッチ1607はオンする。したがって、表示素子1613の画素電極には、配線1609の電位V5が供給されることとなる。配線1615に、電位V6が加えられているとすると、表示素子1613には、V5とV6の差の電圧が加わることとなる。このとき、電位V5のほうが、電位V6よりも大きければ、表示素子1613に、正極性の電圧が加わることとなる。仮に、表示素子1613が、ノーマリーブラック（電圧を供給しないときには、黒状態となる場合）であれば、表示素子1613は白を表示することとなる。逆に、表示素子1613がノーマリーホワイト（電圧を供給しないときには、白状

40

50

態となる場合)であれば、表示素子1613は黒を表示することとなる。

【0155】

なお、このとき、配線1614に供給される電位は特定の値に限定されない。しかし、配線1615に供給される電位と同じ振幅で、配線1614の電位も変化させることが望ましい。したがって、一例としては、配線1614には、配線1615と同じ電位が供給されることが望ましい。ただし、本実施の形態はこれに限定されない。

【0156】

次に、表示素子1613を交流駆動する必要がある場合には、つまり、例えば表示素子1613が液晶素子である場合には、表示素子1613に負極性の電圧を加える必要がある。そのときには、図19Cに示すように、配線1609の電位を、V5からV6に変化させる。そして、配線1608、配線1615および配線1614の電位を、V6からV5に変化させる。このとき、電位V6は、電位V5よりも低い電位となっている。その結果、表示素子1613に、負極性の電圧が加わることとなる。その後、ある周期毎に、図19Bと図19Cとを交互に繰り返すことにより、表示素子1613を交流駆動することができる。そして、容量素子1604、1605の信号をリフレッシュする必要があるとき、または、信号を書き換える必要があるときには、図19Aに戻って、再度、配線1601から信号を入力する。

【0157】

このとき、配線1615の電位も変化させるため、配線1609の電位の変化量(振幅)を小さくすることができる。そのため、消費電力を低減することが可能となる。

【0158】

図19A～図19Cでは、配線1601からH信号が入力された場合の動作について述べたが、L信号が入力される場合も同様な動作をする。その一例を図20A～図20Cに示す。

【0159】

まず、図20Aに示すように、配線1601からL信号が供給されるとする。スイッチ1602がオンになっていれば、容量素子1605に、L信号が入力される。容量素子1604には、インバータ1603を介して、H信号が入力される。

【0160】

次に、図20Bに示すように、スイッチ1602がオフする。すると、容量素子1604、1605に保存された信号は、そのまま保持される。容量素子1604には、H信号が保存され、容量素子1605には、L信号が保存される。よって、スイッチ1606はオンし、スイッチ1607はオフする。したがって、表示素子1613の画素電極には、配線1608の電位V6が供給されることとなる。配線1615に、電位V6が加えられているとすると、表示素子1613には、ほとんど電圧が加わらないこととなる。仮に、表示素子1613がノーマリーブラック(電圧を供給しないときには、黒状態となる場合)であれば、表示素子1613は黒を表示することとなる。逆に、表示素子1613がノーマリーホワイト(電圧を供給しないときには、白状態となる場合)であれば、表示素子1613は白を表示することとなる。

【0161】

次に、表示素子1613を交流駆動する必要がある場合には、つまり、例えば表示素子1613が液晶素子である場合には、図20Cに示すように、配線1609の電位を、V5からV6に変化させる。さらに、配線1608、配線1614および配線1615の電位を、V6からV5に変化させる。その結果、配線1614の電位が変化しても、表示素子1613には、ほとんど電圧が加わらないこととなる。その後、ある周期毎に、図20Bと図20Cとを交互に繰り返すこととなる。そして、容量素子1604、1605の信号をリフレッシュする必要があるとき、または、信号を書き換える必要があるときには、図20Aに戻って、再度、配線1601から信号を入力する。

【0162】

このように、配線1601から、H信号を入れた場合でも、L信号を入れた場合でも、交

10

20

30

40

50

流駆動、または、反転駆動を行いながら、表示させることができる。そして、映像信号の振幅を小さくすることができる。さらに、映像信号を再度入力しなくても、反転駆動を行うことができるため、消費電力を低減することができる。

【0163】

(実施の形態4)

本実施の形態では、表示装置（半導体装置）が有する回路について、図面を参照して説明する。

【0164】

図21A～図21Eに、図16等を示すインバータ1603の具体例について示す。図21Aは、インバータ1603をCMOS構成にした場合の例を示す。Pチャネル型トランジスタ2101とNチャネル型トランジスタ2102が、配線2104と配線2103との間に、直列に接続されている。このCMOS構成は、配線2103に低い電圧が供給される機能を有し、配線2104に高い電圧が供給される機能を有する。このようなCMOS構成にすることにより、貫通電流を低減できるため、消費電力を低くすることができる。

10

【0165】

なお、配線2103、または、配線2104には、時間的に変化しない電圧を供給することが可能ではあるが、これに限定されず、パルス状の信号を加えることが可能である。

【0166】

なお、半導体層として、多結晶シリコン半導体を用いる場合だけでなく、酸化物半導体を用いる場合も、Pチャネル型のトランジスタを構成することが可能である。例えば、アクセプタとなるドーパント（例えばN、B、Cu、Li、Na、K、Rb、P、As、ならびにこれらの混合物）を用いた置換ドーピングによって、さまざまなP型ドーパントとドーピング法を利用してP型亜鉛酸化物膜を実現することができる。ただし、本実施の形態は、これに限定されない。

20

【0167】

図21Bには、Pチャネル型トランジスタ2101のかわりに、抵抗素子2101aが用いられたインバータ1603の構成例を示す。抵抗素子2101aとして、Nチャネル型トランジスタ2102が有する半導体層と同じレイヤーの半導体層を用いることが可能である。したがって、例えば、酸化物半導体を用いて、抵抗素子2101aを形成することが可能である。その場合、Nチャネル型トランジスタ2102が有するチャネル層として用いられる酸化物半導体層と、抵抗素子2101aとして用いられる酸化物半導体層とは、同じレイヤーに存在する層で構成することが可能である。

30

【0168】

図21Cには、Pチャネル型トランジスタ2101のかわりに、トランジスタ2101bが用いられたインバータ1603の構成例を示す。トランジスタ2101bは、ダイオード接続されている。なお、トランジスタ2101bをディプレッション型（ノーマリーオン）のトランジスタとし、ゲートとソースの間の電圧が0V以下でも、オンして電流が流れるようにすることが可能である。なお、Nチャネル型トランジスタ2102とトランジスタ2101bとは、同じ極性であるため、プロセス工程を低減することが可能となる。

40

【0169】

図21Dには、ブートストラップ機能を有するインバータ1603の一例を示す。トランジスタ2101c、トランジスタ2101d、トランジスタ2102aおよびトランジスタ2102bを有する。そして、トランジスタ2101dのゲートの電位を、ブートストラップ動作により、十分に高くなるようにする。その結果、配線2104bの電位を、そのまま出力させることができる。なお、図21Dのインバータ1603は、配線2103aおよび配線2103bには低い電圧が供給される機能を有し、配線2104a、および配線2104bには、高い電圧が供給される機能を有する。なお、配線2103aと配線2103bを接続させ、一つの配線にまとめてもよい。同様に、配線2104aと配線2104bを接続させ、一つの配線にまとめてもよい。なお、トランジスタ2101c、2

50

1 0 2 a、2 1 0 2 b、2 1 0 1 dは、同じ極性であるため、プロセス工程を低減することが可能となる。

【0 1 7 0】

なお、図 2 1 Bから図 2 1 Dまでにおいて、トランジスタがNチャネル型の場合について述べたが、これに限定されない。Pチャネル型にした場合も、同様に形成することができる。一例として、図 2 1 Cのトランジスタ 2 1 0 1 b、2 1 0 2をPチャネル型にした場合の例を、図 2 1 Eに示す。Pチャネル型トランジスタ 2 1 0 1 p、およびPチャネル型トランジスタ 2 1 0 2 pを用いてインバータを構成している。

【0 1 7 1】

次に、図 1 6 等 に示すスイッチ 1 6 0 2、1 6 0 6、1 6 0 7等の具体例について示す。スイッチ 1 6 0 2、1 6 0 6、1 6 0 7は、アナログスイッチ、または、トランスファークロークと呼ばれることが可能である。図 2 2 A～図 2 2 Dにスイッチ 1 6 0 2の構成例を示す。なお、他のスイッチ 1 6 0 6、スイッチ 1 6 0 7等もスイッチ 1 6 0 2と同様に構成することができる。

10

【0 1 7 2】

図 2 2 Aは、CMOS構成によるスイッチ 1 6 0 2の構成例を示す。スイッチ 1 6 0 2を、Pチャネル型トランジスタ 2 2 0 2とNチャネル型トランジスタ 2 2 0 1を並列に接続させることで、構成している。なお、Pチャネル型トランジスタ 2 2 0 2のゲートとNチャネル型トランジスタ 2 2 0 1のゲートには、互いに反転した信号を供給されることが望ましい。それにより、Pチャネル型トランジスタ 2 2 0 2およびNチャネル型トランジスタ 2 2 0 1を、同時にオンオフすることができる。このようなCMOS構成にすることにより、Pチャネル型トランジスタ 2 2 0 2およびNチャネル型トランジスタ 2 2 0 1のゲートに供給する電圧の振幅値を小さくすることができる。よって、消費電力を低減することが可能となる。

20

【0 1 7 3】

図 2 2 Bには、Pチャネル型トランジスタを用いず、Nチャネル型トランジスタ 2 2 0 1を用いたスイッチ 1 6 0 2の構成例を示す。図 2 2 Cには、マルチゲート構造のNチャネル型トランジスタ 2 2 0 1で設けられたスイッチ 1 6 0 2の構成例を示す。

【0 1 7 4】

なお、図 2 2 B、図 2 2 Cの構成例ではトランジスタ 2 2 0 1がNチャネル型であるが、スイッチ 1 6 0 2の構成はこれに限定されない。例えば、Pチャネル型のトランジスタでも、同様にスイッチを構成することができる。一例として、図 2 2 BのNチャネル型トランジスタ 2 2 0 1をPチャネル型にした場合のスイッチ 1 6 0 2の構成例を、図 2 2 Dに示す。Pチャネル型トランジスタ 2 2 0 1 pを用いてスイッチ 1 6 0 2が構成されている。

30

【0 1 7 5】

次に、図 2 1 A～図 2 1 Eおよび図 2 2 A～図 2 2 Dで示す回路を用いて、図 1 6乃至図 2 0 Cに開示されている回路を構成した場合の一例を、図 2 3に示す。図 2 3では、スイッチ 1 6 0 2、1 6 0 6、1 6 0 7は、図 2 2 Bの回路で構成され、インバータ 1 6 0 3は図 2 1 Cの回路で構成されている。したがって、図 2 3の回路は、すべて同じ極性のトランジスタを用いて構成されることとなる。そのため、プロセス工程数を低減することが可能となる。もちろん、本実施の形態は、これに限定されず、他の構成を適用することも可能である。

40

【0 1 7 6】

図 2 3の回路では、トランジスタ 1 6 0 2 aのゲートは配線 2 3 0 1と接続されている。配線 2 3 0 1は、図 1 5における回路 1 5 0 2と接続されていることが可能である。したがって、回路 1 5 0 2から配線 2 3 0 1に、選択信号が供給されることが可能である。そのため、配線 2 3 0 1は、ゲート線、ゲート信号線、スキャン線、スキャン信号線、等と呼ばれることが可能である。

【0 1 7 7】

50

なお、配線 2 3 0 1 として、透光性を有する材料で形成されている配線を用いることにより、開口率を高くすることができる。ただし、本実施の形態は、これに限定されない。例えば、配線 2 3 0 1 は、非透光性であり、導電率の高い材料で形成することにより、信号遅延を低減させることが可能である。なお、配線 2 3 0 1 を、導電率の高い材料で形成する場合、透光性を有する材料で形成された層を用いて、多層状態として、配線を形成することが可能である。

【0178】

そして、図 2 3 では、表示素子 1 6 1 3 として、液晶素子 1 6 1 3 a が用いられている。スイッチ 1 6 0 2、スイッチ 1 6 0 6、スイッチ 1 6 0 7 として、それぞれ、トランジスタ 1 6 0 2 a、トランジスタ 1 6 0 6 a、トランジスタ 1 6 0 7 a を配置した。

10

【0179】

なお、図 2 3 では、容量素子 1 6 0 5 と容量素子 1 6 0 4 とは、どちらも、配線 1 6 1 0 に接続されている。つまり、配線 1 6 1 1 を省略して、配線 1 6 1 0 にまとめたということができる。

【0180】

なお、図 2 3 では、容量素子 1 6 1 2 は、省略したが、設けても良い。

【0181】

なお、配線 2 1 0 3 は、配線 1 6 1 0 と接続して、一本の配線にまとめても良い。

【0182】

図 2 3 では、インバータ 1 6 0 3 として、図 2 1 C の構成が用いられている。この場合、インバータ 1 6 0 3 に入力される信号によっては、トランジスタ 2 1 0 1 b、2 1 0 2 に電流が流れ続ける可能性がある。つまり、インバータ 1 6 0 3 に貫通電流が流れる可能性がある。その場合、インバータ 1 6 0 3 で余分な電力を消費してしまうおそれがある。

20

【0183】

そこで、駆動方法を工夫することにより、貫通電流を低減することが可能である。図 2 4 から図 2 7 に、インバータ 1 6 0 3 の貫通電流を低減する場合の駆動方法を示す。考え方としては、配線 2 1 0 4 の電位を、ずっと高い電位のままにしておくのではなく、高くし続けることが不要になったら、電位を下げるようにする、というものである。その結果、トランジスタ 2 1 0 1 b がオフし、貫通電流が流れてしまうことを低減することができる。その場合、出力がハイインピーダンス状態となる場合がある。

30

【0184】

まず、図 2 4 に示すように、配線 1 6 0 1 から、トランジスタ 1 6 0 2 a を通って、H 信号を入力する。このとき、配線 2 1 0 4 の電位 V_7 は、配線 2 1 0 3 の電位よりも高くなっている。すると、N チャンネル型トランジスタ 2 1 0 2 がオンして、容量素子 1 6 0 4 に、L 信号を出力する。このとき、トランジスタ 2 1 0 1 b もオンするが、オン抵抗の差により、L 信号が出力される。そのとき、貫通電流は流れ続ける。そのためには、N チャンネル型トランジスタ 2 1 0 2 のチャンネル幅 W とチャンネル長 L の比である W/L が、トランジスタ 2 1 0 1 b の W/L よりも、大きいことが望ましい。

【0185】

次に、図 2 5 に示すように、配線 2 1 0 4 の電位を電位 V_8 へと下げる。ここで、 $V_7 > V_8$ であり、電位 V_8 は、配線 2 1 0 3 の電位と概ね等しい。その結果、トランジスタ 2 1 0 1 b がオフするため、貫通電流が流れることを低減することができる。そして、容量素子 1 6 0 4 が保持する信号は、L 信号のまま保たれる。

40

【0186】

なお、このとき、トランジスタ 1 6 0 2 a もオフになっているが、トランジスタ 1 6 0 2 a がオフになるタイミングは、配線 2 1 0 4 の電位を変化させる時の、前でも、後でも、または、同時でも、どちらでも可能である。

【0187】

なお、このときの配線 2 1 0 4 の電位 V_8 は、配線 2 1 0 3 の電位と同程度であればよい。電位 V_8 は、配線 2 1 0 3 の電位よりもトランジスタ 2 1 0 1 b のしきい値電圧分だけ

50

高くなった電位よりも低ければよい。より好ましくは、配線 2 1 0 3 の電位と等しいことが望ましい。その結果、必要となる電位の数を減らすことができ、装置を小型化することが可能となる。

【0188】

図 2 4、図 2 5 には、配線 1 6 0 1 から H 信号が入力された場合を示すが、L 信号が入力される場合も同様であり、その場合を図 2 6、図 2 7 に示す。まず、図 2 6 に示すように、配線 1 6 0 1 から、トランジスタ 1 6 0 2 a を通って、L 信号を入力する。このとき、配線 2 1 0 4 の電位 V 7 は、配線 2 1 0 3 の電位よりも高くなっている。そして、N チャネル型トランジスタ 2 1 0 2 がオフしているため、トランジスタ 2 1 0 1 b がオンして、容量素子 1 6 0 4 に、H 信号を出力する。このとき、N チャネル型トランジスタ 2 1 0 2 がオフしているため、貫通電流は流れない。なお、このときの H 信号は、配線 2 1 0 4 の電位 V 7 よりも、トランジスタ 2 1 0 1 b のしきい値電圧分だけ低い電位となるが、トランジスタ 1 6 0 6 a がオンする電圧であれば、動作には問題はない。

10

【0189】

次に、図 2 7 に示すように、配線 2 1 0 4 の電位を電位 V 8 へと下げる。ここで、 $V 7 > V 8$ である。その結果、トランジスタ 2 1 0 1 b がオフする。そして、容量素子 1 6 0 4 が保持する信号は、H 信号のまま保たれる。このとき、インバータ 1 6 0 3 の出力は、ハイインピーダンス状態にあると言うことが可能である。

【0190】

このように、インバータ 1 6 0 3 が、信号を出力しなければならないときだけ、つまり、容量素子 1 6 0 4 の信号を書き換える必要があるときのみ、配線 2 1 0 4 の電位を高くしておき、インバータ 1 6 0 3 が信号を出力する必要がない場合は、配線 2 1 0 4 の電位を低くすることにより、インバータ 1 6 0 3 の中の貫通電流を低減することができる。そのため、消費電力を低減することができる。

20

【0191】

なお、図 2 4 から図 2 7 では、駆動方法を工夫することにより、インバータ 1 6 0 3 の貫通電流を低減するようにしたが、本実施の形態は、これに限定されない。インバータ 1 6 0 3 の回路構成を一部変更することにより、貫通電流を低減することが可能である。その場合の一例を図 2 8 A ～図 2 8 D に示す。

【0192】

図 2 8 A には、配線 2 1 0 4 とインバータ 1 6 0 3 の出力端子との間に、トランジスタ 2 1 0 1 b と直列に接続したスイッチ 2 8 0 2 a を配置した場合のインバータ 1 6 0 3 の構成例を示す。なお、スイッチ 2 8 0 2 a は、トランジスタ 2 1 0 1 b とインバータ 1 6 0 3 の出力端子との間に接続してもよいし、配線 2 1 0 4 とトランジスタ 2 1 0 1 b との間に接続してもよい。そこで、図 2 8 A に対して、スイッチ 2 8 0 2 a をトランジスタ 2 8 0 2 で構成した場合のインバータ 1 6 0 3 の回路図を図 2 8 B に示す。また、図 2 8 B のトランジスタ 2 8 0 2 の接続場所を変更した場合の構成例を、図 2 8 C に示す。これらのような回路構成を用いて、トランジスタ 2 8 0 2 のゲートの電位を制御して、オンオフを制御することにより、貫通電流を低減することが可能である。この場合、配線 2 1 0 4 の電位を変化させるのと同様に、トランジスタ 2 8 0 2 のゲートの電位を制御すればよい。

30

40

【0193】

この場合においても、図 2 4 から図 2 7 のように、配線 2 1 0 4 の電位を変化させるようにしても良い。しかし、配線 2 1 0 4 の電位を一定のままにしておいても、トランジスタ 2 8 0 2 が貫通電流を低減できるため、問題はない。

【0194】

図 2 8 A から図 2 8 C では、配線 2 1 0 4 とインバータ 1 6 0 3 の出力端子との間に、トランジスタを配置したが、これに限定されず、インバータ 1 6 0 3 の出力端子と配線 2 1 0 3 との間に、トランジスタを配置することも可能である。図 2 8 D には、図 2 8 B の回路に対して、さらに、トランジスタ 2 8 0 3 を N チャネル型トランジスタ 2 1 0 2 と直列に接続した場合のインバータ 1 6 0 3 の構成例を示す。なお、図 2 8 C と同様、トランジ

50

スタ 2803 を配置する位置を変更して、P チャンネル型トランジスタ 2101 と配線 2103 との間に配置することが可能である。

【0195】

なお、トランジスタ 2802、2803 のゲートに接続された配線 2801 は、図 23 における配線 2301 に接続することが可能である。これにより、トランジスタ 1602a がオンしているときにのみ、トランジスタ 2802、2803 がオンするようにできる。そのため、インバータ 1603 の動作が不要な時には、貫通電流を低減することができる。さらに、配線 2301 と接続させることにより、別途配線を設ける場合と比較して、配線の数 を低減することができる。ただし、本実施の形態は、これに限定されない。

【0196】

10

図 28D のインバータ 1603 は、トランジスタ 2802、2803 を制御することによって、信号を出力するか、ハイインピーダンス状態にするかを制御できるため、クロックドインバータと呼ぶことも可能である。

【0197】

(実施の形態 5)

本実施の形態では、表示装置（半導体装置）が有する回路について、図面を参照して説明する。

【0198】

図 29 に、図 16 に示す回路の一部が変更された回路の構成例を示す。図 29 の回路は、図 16 の回路にスイッチ 2901 およびスイッチ 2902 が追加された回路に対応する。

20

【0199】

スイッチ 2902 は、表示素子 1613 と、配線 1601 との導通または非導通を制御する機能を有する。したがって、スイッチ 2902 をオンにすることにより、配線 1601 に供給される信号を、直接、表示素子 1613 に供給することができる。そのため、通常、配線 1601 に供給される信号は、デジタル信号である場合が多いが、その信号がアナログ信号である場合、表示素子 1613 にアナログ信号を直接入力することが可能となるため、アナログ階調で表示することが可能となる。

【0200】

一方、スイッチ 2901 は、配線 1608 および配線 1609 の電位が、表示素子 1613 に供給されないように制御する機能を有する。スイッチ 2902 がオンになって、配線 1601 から表示素子 1613 に信号を供給しているとき、または、その後、スイッチ 2902 がオフして、表示素子 1613 に、アナログ信号が保持されているときに、配線 1608 または配線 1609 の電位が表示素子 1613 に供給されてしまうと、表示素子 1613 に保持される信号値が変わってしまう。そのため、そのような事態を防止するため、スイッチ 2901 をオンオフさせる。そして、スイッチ 1602 を介して信号が入力された場合には、スイッチ 2901 をオンにして、配線 1608 または配線 1609 の電位が表示素子 1613 に供給されるようにする。このような構成にすることにより、表示品位の向上と、消費電力の低減を両立することが可能となる。ただし、本実施の形態は、これらに限定されない。

30

【0201】

40

別の構成例として、1 画素で表示できる階調数、すなわち、ビット数を増やした場合の例を図 30、図 31 に示す。図 16 では、画素に保持される映像信号のビット数は 1 ビットであった。したがって、2 階調を表示することとなる。そこで、多階調化を実現するために、1 画素に複数の副画素（サブピクセル）を設ける。複数の副画素を設けて、表示素子の表示面積を制御することにより、面積階調法を用いて、多階調化を図ることができるようになる。

【0202】

図 30 では、配線 2301 を使って、2 つの副画素に同時に映像信号を入力する場合の回路図を示す。同時に信号を入力するために、配線 1601 の他に、配線 1601a を設けて、配線 1601 か配線 1601a のどちらかに供給された信号を、それぞれの副画素に

50

入力するようになっている。

【0203】

一方、図31に、配線2301と配線2301aとを用いて、2つの副画素に、順次映像信号を入力する場合の回路図を示す。映像信号は、一方の副画素には配線2301から入力され、もう一方の副画素には配線2301aから入力される。映像信号を順次入力するため、配線1601から、それぞれの副画素へ順次信号を入力することができる。

【0204】

なお、図30および図31では、1画素に2つの副画素を設ける場合の例を示すが、ビット数は2に限定されない。さらにビット数を増やすことが可能である。特に、トランジスタ、容量素子が、透光性を有する材料を用いて構成される場合は、ビット数を増やしても、開口率の低下に影響を及ぼさないため、容易にビット数を増やすことができる。

10

【0205】

なお、配線2103、1610、1611、1614、1609、1608、2104等は、複数の副画素間で、共有して、まとめることが可能となる。それにより、配線数を低減することが可能となる。

【0206】

別の構成例として、回路104の一部を変更した場合を図42に示す。スイッチ1606と直列にスイッチ4206を設ける。または、スイッチ1607と直列にスイッチ4207を設ける。図42には、スイッチ4206及びスイッチ4207の両方を設けた場合を示す。スイッチ4206、および／又は、スイッチ4207のオンオフを制御することによって、配線1608または配線1609の電位を、スイッチ1606またはスイッチ1607のオンオフに無関係に、表示素子1613に供給されないようにすることができる。

20

【0207】

さらに別の変形例として、回路104の一部を変更した場合を図43に示す。図43は、図16におけるスイッチ1607と配線1609とを、2つに分けたものに相当する。配線1609aには、正極用の電圧が供給され、配線1609bには、負極用の電圧が供給されている。配線1608には、表示素子1613に電圧が供給されなくなるような電圧、例えば、配線1615と概ね等しい電圧が供給されている。表示素子1613と、配線1609aとの間に、スイッチ1607とスイッチ4307aとが、直列に接続されている。同様に、表示素子1613と、配線1609bとの間に、スイッチ1607bとスイッチ4307bとが、直列に接続されている。なお、これらのスイッチは、直列に接続されていれば、異なる構成で接続することが可能である。そして、動作の一例としては、スイッチ4307aとスイッチ4307bとが、交互にオンオフをする。つまり、スイッチ4307aがオンのときには、スイッチ4307bはオフになり、スイッチ4307aがオフのときには、スイッチ4307bはオンになる。その結果、反転駆動を行うことができる。

30

【0208】

なお、図43では、容量素子1612を設けない構成を示しているが、設けることも可能である。

40

【0209】

(実施の形態6)

本実施の形態では、表示装置（半導体装置）が有する回路について、図面を参照して説明する。

【0210】

図32は、図23に示す回路のレイアウト例を示す平面図である。図32のトランジスタおよび容量素子には、それぞれ、図2に示すトランジスタ207、および容量素子208の構造が適用されている。また、コンタクト構造は、図13に示すコンタクト構造1302のように、絶縁層202にコンタクトホールを開けて、導電層204aと導電層201aとを直接接続する構造としている。このようなコンタクト構造にすることにより、画素

50

の開口率を向上させることができる。または、コンタクト抵抗を低くすることができ、電圧降下を低減することができる。または、レイアウト面積を小さくすることができるため、より多くの回路を配置することが可能となる。ただし、本実施の形態は、これに限定されない。様々なトランジスタ構造、コンタクト構造、容量素子の構造等を用いることが可能である。

【0211】

図32に示すように、コンタクトホール3201bは、トランジスタ1602aのドレイン電極（ソース電極）と、Nチャネル型トランジスタ2102のゲート電極とを接続している。同様に、コンタクトホール3201aは、トランジスタ2101bのドレイン電極（ソース電極）と、ゲート電極とを接続している。

10

【0212】

さらに、コンタクトホール3202は、トランジスタ1607aのドレイン電極（ソース電極）（または、トランジスタ1606aのドレイン電極（ソース電極））と、画素電極3203とを接続している。

【0213】

図32に示すように、トランジスタ、容量素子、配線等を、透光性を有する材料を用いて、形成することが可能である。その結果、開口率を高くすることができる。ただし、本発明の実施の形態の一形態は、これに限定されない。例えば、配線について、透光性を有しない材料で形成することが可能である。その場合の例を図33に示す。

【0214】

図33では、配線1601、配線2301、配線2104は、導電率の高い材料を有して構成されている。したがって、透光性を有していない。これらの配線には、周波数の高い信号が供給される。したがって、導電率の高い材料を有して構成することにより、信号波形のなまりを低減することが可能となる。

20

【0215】

図34A～図34Cを用いて、図33のトランジスタ1602a、配線1601、配線2103の一部の構成例を説明する。図34Aはこの構成例の平面図である。図34Bは、図34Aの切断線ABによる断面構造の一例を示す図であり、図34Cは、同切断線による断面構造の他の一例を示す図である。

【0216】

図34Bでは、配線1601は、導電層204abと導電層204aaとの積層になっている。ここで、導電層204abは、非透光性であり、導電率が高い材料を有して構成されている。導電層204aaは、透光性を有する材料で構成されている。同様に、配線2103は、導電層201abと導電層201aaとの積層になっている。ここで、導電層201abは、非透光性であり、導電率が高い材料を有して構成されている。導電層201aaは、透光性を有する材料で構成されている。このように、非透光性を有する層の下には、透光性を有する層を配置することが可能である。この場合、多階調マスク（ハーフトーンマスクまたはグレートーンマスクとも言う）を用いて、マスク（レチクル）数を低減することが可能である。例えば、導電層201aaと導電層201abとを連続的に成膜し、同時にそれらの層をエッチングし、レジストをアッシングする等の処理を行って、導電層201abのみをエッチングすることによって、1枚のマスクで、透光性を有する領域と非透光性を有する領域とを有するパターンを形成することが可能である。

30

40

【0217】

ただし、本実施の形態はこれらに限定されない。図34Cに示すように、導電層201bbの下に、導電層201baが存在しない領域を有するように配置すること、導電層204bbの下に、導電層204baが存在しない領域を有するように配置することも可能である。

【0218】

なお、図34B、図34Cでは、透光性を有する層（導電層201aa、204aa、201ba、204ba等）の上に、非透光性を有する層（導電層201ab、204ab

50

、201bb、204bb等）を設ける構成となっているが、本実施の形態はこれに限定されない。例えば、逆の順番で層を形成することが可能である。または、透光性を有する層を、非透光性を有する層で挟むような層構造にすることも可能である。

【0219】

なお、図34Bに示すように、非透光性を有する層の下には、透光性を有する層を配置するようにして導電層を形成し、それらの層を用いて、トランジスタや容量素子を構成することが可能である。そのような層構造を用いて、図2に示すような構造でトランジスタおよび容量素子を構成した場合の断面図の一例を、図35に示す。

【0220】

ゲート電極は、導電層201ca、201cbを用いて構成される。導電層201caは、透光性を有し、導電層201cbは、非透光性を有し、導電率が高い。ソース電極（ドレイン電極）は、導電層204ca、204cbを用いて構成される。導電層204caは、透光性を有し、導電層204cbは、非透光性を有し、導電率が高い。ドレイン電極（ソース電極）は、導電層204da、204dbを用いて構成される。導電層204daは、透光性を有し、導電層204dbは、非透光性を有し、導電率が高い。容量素子の電極は、導電層201da、201dbを用いて構成される。導電層201daは、透光性を有し、導電層201dbは、非透光性を有し、導電率が高い。容量素子の電極は、導電層204ea、204ebを用いて構成される。導電層204eaは、透光性を有し、導電層204ebは、非透光性を有し、導電率が高い。

【0221】

同様に、図34Cに示すように、非透光性を有する層の下には、透光性を有する層を配置しない領域を有するようにして導電層を形成し、それらの層を用いて、トランジスタや容量素子を構成することが可能である。そのような層構造を用いて、図2に示すような構造でトランジスタおよび容量素子を構成した場合の断面図の一例を、図36に示す。

【0222】

ゲート電極は、導電層201ebを用いて構成される。導電層201ebは、非透光性を有し、導電率が高い。ソース電極（ドレイン電極）は、導電層204fbを用いて構成される。導電層204fbは、非透光性を有し、導電率が高い。ドレイン電極（ソース電極）は、導電層204gbを用いて構成される。導電層204gbは、非透光性を有し、導電率が高い。容量素子の電極は、導電層201fbを用いて構成される。導電層201fbは、非透光性を有し、導電率が高い。容量素子の電極は、導電層204hbを用いて構成される。導電層204hbは、非透光性を有し、導電率が高い。

【0223】

なお、このような層を有する素子は、他のトランジスタ構造、容量素子の構造においても、例えば、図3から図14に示すような場合でも、同様に形成することが可能である。

【0224】

なお、図35および図34に示すようなトランジスタや容量素子は、画素を駆動する回路において用いることが好適である。そのような回路では、透光性を有する必要がなく、導電率の低い層で配線が形成されることが望ましいためである。ただし、本実施の形態は、これに限定されない。

【0225】

（実施の形態7）

図37A1乃至図39を用いて、表示装置（半導体装置）の作製方法の一形態を説明する。本実施の形態では、異なる構造の2つの薄膜トランジスタを同一基板上に作製する方法の一例を説明する。

【0226】

図37A1は、一方の薄膜トランジスタ410の平面図であり、図37A2は、もう一方の薄膜トランジスタ420の平面図である。また、図37Bには図37A1の線C1-C2による断面図、および図37A2の線D1-D2による断面図を示す。また、図37Cには図37A1の線C3-C4による断面図、および図37A2の線D3-D4による断

面図を示す。

【0227】

薄膜トランジスタ410は、チャネルエッチ型と呼ばれるボトムゲート構造の一つであり、薄膜トランジスタ420はチャネル保護型（チャネルストップ型ともいう）と呼ばれるボトムゲート構造の一つである。薄膜トランジスタ410および薄膜トランジスタ420は逆スタガ型薄膜トランジスタともいう。薄膜トランジスタ410は、半導体装置の駆動回路に配置されるトランジスタである。他方、薄膜トランジスタ420は画素に配置される薄膜トランジスタ420である。まず、半導体装置の駆動回路に配置される薄膜トランジスタ410の構成を説明する。

【0228】

薄膜トランジスタ410は、絶縁表面を有する基板400上に、ゲート電極層411、第1のゲート絶縁層402a、第2のゲート絶縁層402b、少なくともチャネル形成領域413、高抵抗ソース領域414a、および高抵抗ドレイン領域414bを有する酸化半導体層412、ソース電極層415a、およびドレイン電極層415bを含む。また、薄膜トランジスタ410を覆い、チャネル形成領域413に接する酸化絶縁層416が設けられている。

【0229】

ソース電極層415aの下面に接して高抵抗ソース領域414aが自己整合的に形成されている。また、ドレイン電極層415bの下面に接して高抵抗ドレイン領域414bが自己整合的に形成されている。また、チャネル形成領域413は、酸化絶縁層416と接し、且つ膜厚が薄くなっており、高抵抗ソース領域414a、および高抵抗ドレイン領域414bよりも高抵抗の領域（I型領域）とする。

【0230】

また、薄膜トランジスタ410は配線を低抵抗化するためにソース電極層415a、およびドレイン電極層415bには金属材料を用いることが好ましい。

【0231】

また、液晶表示装置において、同一基板上に画素部と駆動回路を形成する場合、駆動回路において、論理ゲートを構成する薄膜トランジスタ、アナログ回路を構成する薄膜トランジスタは、ソース電極とドレイン電極間に正極性のみ、もしくは負極性のみが印加される。なお、論理ゲートとしてはインバータ回路、NAND回路、NOR回路、ラッチ回路等が挙げられる。またアナログ回路にはセンスアンプ、定電圧発生回路、VCOなどが挙げられる。従って、耐圧が要求される一方の高抵抗ドレイン領域414bの幅をもう一方の高抵抗ソース領域414aの幅よりも広く設計してもよい。また、高抵抗ソース領域414a、および高抵抗ドレイン領域414bがゲート電極層411と重なる幅を広くしてもよい。

【0232】

また、駆動回路に配置される薄膜トランジスタ410はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0233】

また、チャネル形成領域413上方に重なる導電層417が設けられている。導電層417をゲート電極層411と電氣的に接続し、同電位とすることで、ゲート電極層411と導電層417の間に配置された酸化半導体層412に上下からゲート電圧を印加することができる。また、ゲート電極層411と導電層417を異なる電位、例えば固定電位、GND、0Vとする場合には、TFTの電気特性、例えばしきい値電圧等を制御することができる。

【0234】

また、導電層417と酸化絶縁層416の間には保護絶縁層403と、平坦化絶縁層404とを積層する。

【0235】

また、保護絶縁層403は、保護絶縁層403の下方に設ける第1のゲート絶縁層402aまたは下地となる絶縁膜と接する構成とすることが好ましく、基板の側面からの水分や、水素イオンや、OH⁻等の不純物が侵入することをブロックする。特に、保護絶縁層403と接する第1のゲート絶縁層402aまたは下地となる絶縁膜を窒化シリコン膜とすると有効である。

【0236】

次に、画素に配置されるチャンネル保護型の薄膜トランジスタ420の構成を説明する。

【0237】

薄膜トランジスタ420は、絶縁表面を有する基板400上に、ゲート電極層421、第1のゲート絶縁層402a、第2のゲート絶縁層402b、チャンネル形成領域を含む酸化
10
物半導体層422、チャンネル保護層として機能する酸化物絶縁層426、ソース電極層425a、およびドレイン電極層425bを含む。また、薄膜トランジスタ420を覆い、酸化物絶縁層426、ソース電極層425a、およびドレイン電極層425bに接して保護絶縁層403、および平坦化絶縁層404が積層して設けられている。平坦化絶縁層404上にはドレイン電極層425bと接する画素電極層427が設けられており、薄膜トランジスタ420と電氣的に接続している。

【0238】

また、酸化物半導体層422を形成するには、少なくとも酸化物半導体層422を構成する半導体膜の成膜後に不純物である水分等を低減する加熱処理（脱水化または脱水素化のための加熱処理）が行われる。脱水化または脱水素化のための加熱処理を行い、徐冷した
20
後、酸化物半導体層422に接して酸化物絶縁層426の形成等を行って酸化物半導体層422のキャリア濃度を低減することが、薄膜トランジスタ420の電気特性の向上および信頼性の向上に繋がる。

【0239】

画素に配置される薄膜トランジスタ420のチャンネル形成領域は、酸化物半導体層422のうち、チャンネル保護層である酸化物絶縁層426に接し、且つゲート電極層421と重なる領域である。薄膜トランジスタ420は、酸化物絶縁層426によって保護されるため、ソース電極層425a、ドレイン電極層425bを形成するエッチング工程で、酸化物半導体層422がエッチングされるのを防ぐことができる。

【0240】

また、薄膜トランジスタ420は透光性を有する薄膜トランジスタとして、高開口率を有する表示装置を実現するために、ソース電極層425a、ドレイン電極層425bは、透光性を有する導電膜を用いる。

【0241】

また、薄膜トランジスタ420のゲート電極層421も透光性を有する導電膜を用いる。

【0242】

また、薄膜トランジスタ420が配置される画素には、画素電極層427、またはその他の電極層（容量電極層等）や、その他の配線層（容量配線層等）に可視光に対して透光性を有する導電膜を用い、高開口率を有する表示装置を実現する。勿論、第1のゲート絶縁層402a、第2のゲート絶縁層402b、および酸化物絶縁層426も可視光に対して
40
透光性を有する膜を用いることが好ましい。

【0243】

本明細書において、可視光に対して透光性を有する膜とは可視光の透過率が75～100%である膜を指し、その膜が導電性を有する場合は透明の導電膜とも呼ぶ。また、ゲート電極層、ソース電極層、ドレイン電極層、画素電極層、またはその他の電極層や、その他の配線層に適用する金属酸化物として、可視光に対して半透明の導電膜を用いてもよい。可視光に対して半透明とは可視光の透過率が50～75%であることを指す。

【0244】

以下、図38A～図38Fおよび図39A～図39Eを用い、同一基板上に薄膜トランジスタ410および薄膜トランジスタ420を作製する工程を説明する。これらの図で示さ
50

れている断面構造は、図 3 7 B の断面構造に対応する。

【0 2 4 5】

まず、図 3 8 A に示すように絶縁表面を有する基板 4 0 0 上に透光性を有する導電膜を形成した後、第 1 のフォトリソグラフィ工程によりゲート電極層 4 1 1、4 2 1 を形成する。また、この透光性を有する導電膜に対する第 1 のフォトリソグラフィ工程により、画素部には容量配線層を形成する。また、画素部だけでなく駆動回路に容量が必要な場合には、駆動回路にも容量配線層を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0 2 4 6】

絶縁表面を有する基板 4 0 0 として使用できる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有することが必要となる。絶縁表面を有する基板 4 0 0 にはガラス基板、セラミック基板、石英基板、サファイア基板等の絶縁体となる基板を用いることができる。

【0 2 4 7】

また、下地膜となる絶縁膜を基板 4 0 0 とゲート電極層 4 1 1、4 2 1 の間に設けてもよい。下地膜は、基板 4 0 0 からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0 2 4 8】

ゲート電極層 4 1 1、4 2 1、画素部等の容量配線の材料は、可視光に対して透光性を有する導電材料となる膜を適用することができる。例えば In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の金属酸化物を適用することができる。ゲート電極層 4 1 1、4 2 1、画素部等の容量配線の膜厚は 5 0 nm 以上 3 0 0 nm 以下の範囲内で適宜選択する。ゲート電極層 4 1 1、4 2 1 に用いる金属酸化物の成膜方法は、スパッタ法や真空蒸着法（電子ビーム蒸着法等）や、アーク放電イオンプレーティング法や、スプレー法を用いる。また、スパッタ法を用いる場合、 SiO_2 を 2 重量% 以上 1 0 重量% 以下含むターゲットを用いて成膜を行い、透光性を有する導電膜に結晶化を阻害する SiO_x ($x > 0$) を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

【0 2 4 9】

次いで、ゲート電極層 4 1 1、4 2 1 上にゲート絶縁層を形成する。

【0 2 5 0】

ゲート絶縁層は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層又は窒化酸化シリコン層を単層で又は積層して形成することができる。例えば、成膜ガスとして、 SiH_4 、酸素および窒素を用いてプラズマ CVD 法により酸化窒化シリコン層を形成すればよい。

【0 2 5 1】

本実施の形態では、図 3 8 A に示すように、膜厚 5 0 nm 以上 2 0 0 nm 以下の第 1 のゲート絶縁層 4 0 2 a と、膜厚 5 0 nm 以上 3 0 0 nm 以下の第 2 のゲート絶縁層 4 0 2 b の積層のゲート絶縁層との 2 層構造のゲート絶縁層を形成する。第 1 のゲート絶縁層 4 0 2 a としては膜厚 1 0 0 nm の窒化シリコン膜または窒化酸化シリコン膜を用いる。また、第 2 のゲート絶縁層 4 0 2 b としては、膜厚 1 0 0 nm の酸化シリコン膜を用いる。

【0 2 5 2】

第 2 のゲート絶縁層 4 0 2 b 上に、膜厚 2 nm 以上 2 0 0 nm 以下の酸化物半導体膜 4 3 0 を形成する。また、酸化物半導体膜 4 3 0 の結晶構造は非晶質とする。

【0 2 5 3】

本実施の形態では、酸化物半導体膜 4 3 0 の形成後に脱水化または脱水素化のための加熱

10

20

30

40

50

処理を行う。この加熱処理後の酸化物半導体膜430の結晶状態が非晶質の状態を維持させるために、その膜厚を50nm以下と薄くすることが好ましい。酸化物半導体膜430の膜厚を薄くすることで、酸化物半導体膜430の形成後に加熱処理により結晶化することを抑制することができる。

【0254】

なお、酸化物半導体膜430をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、第2のゲート絶縁層402bの表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴンに代えて、窒素、ヘリウム、酸素等の雰囲気ですパッタ処理を行うこともできる。

10

【0255】

酸化物半導体膜430は、In-Ga-Zn-O系非単結晶膜、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、In-Ga-Zn-O系酸化物半導体ターゲットを用いて、スパッタ法により、酸化物半導体膜430を成膜する。また、酸化物半導体膜430は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）および酸素雰囲気下においてスパッタ法により形成することができる。また、スパッタ法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体膜430に結晶化を阻害するSiO_x（X>0）を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

20

【0256】

次いで、酸化物半導体膜430を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソマスクを使用しないため、製造コストを低減できる。

【0257】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、350℃以上基板の歪み点未満、好ましくは400℃以上とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、酸化物半導体層が所定の温度以下に冷えるまで大気に触れさせないようにして、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層431、432を得る（図38B参照。）。本実施の形態では、電気炉において、酸化物半導体層の脱水化または脱水素化を行うための窒素雰囲気下で、温度Tでの加熱処理を行った後、再び水が入らないような十分な温度まで（具体的には、温度Tから100℃以上下がるまで）、同じ炉内で基板を徐冷する。また、窒素雰囲気に限定されず、ヘリウム、ネオン、アルゴン等の雰囲気下において加熱処理を行うこともできる。

30

【0258】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素等が含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

40

【0259】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶膜または多結晶膜となる場合もある。

【0260】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物

50

半導体膜 430 に行うこともできる。その場合には、第 1 の加熱処理後に、加熱処理装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0261】

また、酸化物半導体膜 430 の成膜前に、不活性ガス雰囲気（窒素、またはヘリウム、ネオン、アルゴン等）下、酸素雰囲気下において加熱処理（400℃以上基板の歪み点未満）を行い、層内に含まれる水素および水等の不純物を除去したゲート絶縁層としてもよい。

【0262】

次いで、第 2 のゲート絶縁層 402b、および酸化物半導体層 431、432 上に、金属導電膜を形成した後、第 3 のフォトリソグラフィ工程によりレジストマスク 433a、およびレジストマスク 433b を形成し、選択的にエッチングを行って金属電極層 434、および金属電極層 435 を形成する（図 38C 参照）。

10

【0263】

金属導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等がある。金属導電膜としては、チタン層上にアルミニウム層と、該アルミニウム層上にチタン層が積層された三層の積層構造、またはモリブデン層上にアルミニウム層と、該アルミニウム層上にモリブデン層を積層した三層の積層構造とすることが好ましい。勿論、金属導電膜として単層、または 2 層構造、または 4 層以上の積層構造としてもよい。

【0264】

また、金属電極層 434、435 を形成するためのレジストマスク 433a、433b をインクジェット法で形成してもよい。レジストマスク 433a、433b をインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

【0265】

次いで、レジストマスク 433a、433b を除去し、第 4 のフォトリソグラフィ工程によりレジストマスク 436a、レジストマスク 436b を形成し、選択的にエッチングを行ってソース電極層 415a、およびドレイン電極層 415b を形成する（図 38D 参照）。なお、第 4 のフォトリソグラフィ工程では、酸化物半導体層 431 は一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層 437 となる。また、酸化物半導体層 431 に溝部（凹部）を形成するためのレジストマスク 436a、436b をインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0266】

次いで、レジストマスク 436a、436b を除去し、第 5 のフォトリソグラフィ工程により酸化物半導体層 437 を覆うレジストマスク 438 を形成し、酸化物半導体層 432 上の金属電極層 435 を除去する（図 38E 参照。）。

【0267】

なお、第 5 のフォトリソグラフィ工程で酸化物半導体層 432 と重なる金属電極層 435 を除去するため、金属電極層 435 のエッチングの際に、酸化物半導体層 432 も除去されないようにそれぞれの材料およびエッチング条件を適宜調節する。

40

【0268】

レジストマスク 438 を除去した後、図 38F に示すように、酸化物半導体層 432 の上面および側面、および酸化物半導体層 437 の溝部（凹部）に接して、酸化物絶縁膜 439 を形成する。酸化物絶縁膜 439 は保護絶縁膜となる。

【0269】

酸化物絶縁膜 439 は、少なくとも 1nm 以上の膜厚とし、スパッタリング法等、酸化物絶縁膜 439 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、酸化物絶縁膜 439 として、スパッタリング法を用いて膜厚 300nm の酸化シリコン膜を成膜する。成膜時の基板温度は、室温以上 300℃以下とすればよく、本実施の形態では 100℃とする。酸化シリコン膜のスパッタリング法による成

50

膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）および酸素雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素、および窒素雰囲気下でスパッタリング法により酸化シリコンを形成することができる。低抵抗化した酸化物半導体層 432、437 に接して形成する酸化物絶縁膜 439 は、水分、水素イオン、および OH^- 等の不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜等を用いる。

【0270】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200℃以上400℃以下、例えば250℃以上350℃以下）を行う。例えば、窒素雰囲気下で250℃、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層 437 の溝部、酸化物半導体層 432 の上面および側面が酸化物絶縁膜 439 と接した状態で加熱される。

10

【0271】

図39Aは第2の加熱処理後の状態を示す。図39Aにおいて、酸化物半導体層 412 は、第2の加熱処理が行われた酸化物半導体層 437 であり、酸化物半導体層 422 は、第2の加熱処理が行われた酸化物半導体層 432 である。

【0272】

以上の工程を経ることで、成膜後の酸化物半導体膜 430 に対して、脱水化または脱水素化のための第1の加熱処理、および、不活性ガス雰囲気下または酸素ガス雰囲気下で第2の加熱処理が行われる。

20

【0273】

よって、酸化物半導体層 412 において、ソース電極層 415a に重なる領域には高抵抗ソース領域 414a が自己整合的に形成され、ドレイン電極層 415b に重なる領域には高抵抗ドレイン領域 414b が自己整合的に形成される。また、ゲート電極層 411 と重なる領域全体はI型の領域であり、チャンネル形成領域 413 となる。また、酸化物半導体層 432 は第2の加熱処理で、膜全体が酸素過剰な状態とされるため、全体が高抵抗化された（I型化された）酸化物半導体層 422 が形成される。

【0274】

30

第2の加熱処理後、酸化物半導体層 422 が露出している状態で、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行うと、高抵抗化された（I型化された）酸化物半導体層 422 が低抵抗化してしまう。そこで、第2の加熱処理以降の工程では、酸化物半導体層 422 が露出している状態で行う加熱処理は酸素ガス、 N_2O ガス雰囲気下、又は、超乾燥エア（露点が−40℃以下、好ましくは−60℃以下）で行う。

【0275】

なお、ドレイン電極層 415b（およびソース電極層 415a）と重畳した酸化物半導体層 412 において、高抵抗ドレイン領域 414b（又は高抵抗ソース領域 414a）を形成することにより、薄膜トランジスタ 410 が設けられている駆動回路の信頼性を高めることができる。具体的には、高抵抗ドレイン領域 414b を形成することで、ドレイン電極層 415b から高抵抗ドレイン領域 414b、チャンネル形成領域 413 にかけて、導電率を段階的に変化させようような構造とすることができる。そのため、ドレイン電極層 415b に高電源電位 VDD を供給する配線に接続して、薄膜トランジスタ 410 を動作させる場合、ゲート電極層 411 とドレイン電極層 415b との間に高電界が印加されても高抵抗ドレイン領域 414b がバッファとなり局所的な高電界が印加されず、薄膜トランジスタ 410 の耐圧を向上させることができる。

40

【0276】

また、酸化物半導体層 412 のドレイン電極層 415b（又はソース電極層 415a）と重畳している領域に、高抵抗ドレイン領域 414b（又は高抵抗ソース領域 414a）を形成することにより、駆動回路に薄膜トランジスタ 410 を設けても、そのチャンネル形成

50

領域 4 1 3 でのリーク電流の低減を図ることができる。

【0277】

次いで、図 3 9 B に示すように、第 6 のフォトリソグラフィ工程により、レジストマスク 4 4 0 a およびレジストマスク 4 4 0 b を形成し、酸化物絶縁膜 4 3 9 を選択的にエッチングして、酸化物絶縁層 4 1 6、および酸化物絶縁層 4 2 6 を形成する。酸化物絶縁層 4 2 6 は、酸化物半導体層 4 2 2 のチャンネル形成領域を形成する領域を覆い、チャンネル保護層として機能する。なお、本実施の形態のように、第 2 のゲート絶縁層 4 0 2 b として酸化物絶縁層を用いる場合、酸化物絶縁膜 4 3 9 のエッチング工程により、第 2 のゲート絶縁層 4 0 2 b の一部もエッチングされて膜厚が薄くなる（膜減りする）場合がある。第 2 のゲート絶縁層 4 0 2 b として酸化物絶縁膜 4 3 9 と選択比の高い窒化絶縁膜を用いる場合は、第 2 のゲート絶縁層 4 0 2 b がエッチングで薄くなることを防ぐことができる。

10

【0278】

レジストマスク 4 4 0 a、4 4 0 b を除去した後、酸化物半導体層 4 2 2 および酸化物絶縁層 4 2 6 上に、透光性を有する導電膜を形成する。そして、第 7 のフォトリソグラフィ工程によりレジストマスクを形成し、このレジストマスクを用いて透光性の導電膜をエッチングして、図 3 9 C に示すように、ソース電極層 4 2 5 a、およびドレイン電極層 4 2 5 b を形成する。エッチング工程後、レジストマスクを除去する。

【0279】

透光性を有する導電膜の成膜方法には、スパッタ法や真空蒸着法（電子ビーム蒸着法等）や、アーク放電イオンプレーティング法や、スプレー法を用いることができる。導電膜の材料としては、可視光に対して透光性を有する導電材料、例えば In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の金属酸化物を適用することができる。透光性を有する導電膜の膜厚は 50 nm 以上 300 nm 以下の範囲内で適宜選択する。また、スパッタ法を用いる場合、 SiO_2 を 2 重量%以上 10 重量%以下含むターゲットを用いて成膜を行い、透光性を有する導電膜に結晶化を阻害する SiO_x ($x > 0$) を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

20

【0280】

なお、ソース電極層 4 2 5 a、ドレイン電極層 4 2 5 b を形成するためのレジストマスクをフォトリソグラフィ工程ではなく、インクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0281】

次いで、図 3 9 D に示すように、酸化物絶縁層 4 1 6、4 2 6、ソース電極層 4 2 5 a、およびドレイン電極層 4 2 5 b 上に保護絶縁層 4 0 3 を形成する。本実施の形態では、RF スパッタ法を用いて、保護絶縁層 4 0 3 として窒化シリコン膜を形成する。RF スパッタ法は、量産性がよいため、保護絶縁層 4 0 3 の成膜方法として好ましい。保護絶縁層 4 0 3 は、水分や、水素イオンや、 OH^- 等の不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、酸化窒化アルミニウム膜等を用いる。勿論、保護絶縁層 4 0 3 は透光性を有する絶縁膜である。

40

【0282】

また、保護絶縁層 4 0 3 は、保護絶縁層 4 0 3 の下方に設けられている第 1 のゲート絶縁層 4 0 2 a または下地となる絶縁膜と接する構成とすることが好ましく、基板 4 0 0 の側面近傍からの水分や、水素イオンや、 OH^- 等の不純物が侵入することをブロックする。特に、保護絶縁層 4 0 3 と接する第 1 のゲート絶縁層 4 0 2 a または下地となる絶縁膜を窒化シリコン膜とすると有効である。即ち、酸化物半導体層の下面、上面、および側面を囲むように窒化シリコン膜を設けると、表示装置の信頼性が向上する。

50

【0283】

次いで、保護絶縁層403上に平坦化絶縁層404を形成する。平坦化絶縁層404としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-ε材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層404を形成してもよい。

【0284】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

10

【0285】

平坦化絶縁層404の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0286】

次に、第8のフォトリソグラフィ工程を行い、レジストマスクを形成し、平坦化絶縁層404、および保護絶縁層403のエッチングによりドレイン電極層425bに達するコンタクトホール441を形成する。また、ここでのエッチングによりゲート電極層411、421に達するコンタクトホールも形成する。また、ドレイン電極層425bに達するコンタクトホールを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

【0287】

次いで、レジストマスクを除去した後、透光性を有する導電膜を成膜する。透光性を有する導電膜の材料としては、酸化インジウム（ In_2O_3 ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する）等をスパッタ法や真空蒸着法等を用いて形成する。透光性を有する導電膜の他の材料として、窒素を含むAl-Zn-O系非単結晶膜、即ちAl-Zn-O-N系非単結晶膜や、窒素を含むZn-O系非単結晶膜や、窒素を含むSn-Zn-O系非単結晶膜を用いてもよい。なお、Al-Zn-O-N系非単結晶膜の亜鉛の組成比（原子%）は、47原子%以下とし、非単結晶膜中のアルミニウムの組成比（原子%）より大きく、非単結晶膜中のアルミニウムの組成比（原子%）は、非単結晶膜中の窒素の組成比（原子%）より大きい。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）を用いても良い。

30

【0288】

なお、透光性を有する導電膜の組成比の単位は原子%とし、電子線マイクロアナライザー（EPMA: Electron Probe X-ray Micro Analyzer）を用いた分析により評価するものとする。

40

【0289】

次に、第9のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して、図39Eに示すように、画素電極層427および導電層417を形成する。平坦化絶縁層404および保護絶縁層403に形成されたコンタクトホール441を介して、画素電極層427はドレイン電極層425bと電氣的に接続する。

【0290】

以上の工程により、9枚の露光用マスクを用いて、同一基板400上に、薄膜トランジスタ410を含む駆動回路、および薄膜トランジスタ420を含む画素部を作製することが

50

できる。駆動回路用の薄膜トランジスタ410は、高抵抗ソース領域414a、高抵抗ドレイン領域414b、およびチャネル形成領域413を含む酸化物半導体層412を含むチャネルエッチ型薄膜トランジスタである。また、画素用の薄膜トランジスタ420は、全体がI型化した酸化物半導体層422を含むチャネル保護型薄膜トランジスタである。

【0291】

また、第1のゲート絶縁層402a、第2のゲート絶縁層402bを誘電体とし容量配線層と容量電極とで形成される容量素子も同一基板400上に形成することができる。薄膜トランジスタ420と容量素子を個々の画素に対応してマトリクス状に配置して画素部を構成し、画素部の周辺に薄膜トランジスタ410を有する駆動回路を配置することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

10

【0292】

また、画素電極層427は容量電極層と電氣的に接続される。この2つの電極層を電氣的に接続するためのコンタクトホールは、コンタクトホール441と同時に形成される。また、容量電極層は、ソース電極層425a、ドレイン電極層425bと同じ透光性を有する材料、同じ工程で形成することができる。

【0293】

導電層417を酸化物半導体層412のチャネル形成領域413と重なる位置に設けることによって、薄膜トランジスタ410の信頼性を調べるためのバイアス熱ストレス試験（以下、BT試験という）において、BT試験前後における薄膜トランジスタ410のしきい値電圧の変化量を低減することができる。また、導電層417は、電位がゲート電極層411と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層417の電位がGND、0V、或いはフローティング状態であってもよい。

20

【0294】

また、導電層417及び画素電極層427を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソ法を使用しないため、製造コストを低減できる。

【0295】

（実施の形態8）

30

本実施の形態では、表示装置を備えた電子機器の例について説明する。

【0296】

図40A乃至図40H、図41A乃至図41Dは、電子機器を示す図である。これらの電子機器は、筐体5000、表示部5001、スピーカ5003、LEDランプ5004、操作キー5005（電源スイッチ、又は操作スイッチを含む）、接続端子5006、センサ5007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に於いて又は赤外線を測定する機能を含むもの）、マイクロフォン5008、等を有することができる。

【0297】

40

図40Aはモバイルコンピュータであり、上述したものの他に、スイッチ5009、赤外線ポート5010、等を有することができる。図40Bは記録媒体を備えた携帯型の画像再生装置（たとえば、DVD再生装置）であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図40Cはゴーグル型ディスプレイであり、上述したものの他に、第2表示部5002、支持部5012、イヤホン5013、等を有することができる。図40Dは携帯型遊技機であり、上述したものの他に、記録媒体読込部5011、等を有することができる。図40Eはテレビ受像機能付きデジタルカメラであり、上述したものの他に、アンテナ5014、シャッターボタン5015、受像部5016、等を有することができる。図40Fは携帯型遊技機であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。

50

図４０Ｇはテレビ受像器であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図４０Ｈは持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器５０１７、等を有することができる。

【０２９８】

図４１Ａはディスプレイであり、上述したものの他に、支持台５０１８、等を有することができる。図４１Ｂはカメラであり、上述したものの他に、外部接続ポート５０１９、シャッターボタン５０１５、受像部５０１６、等を有することができる。図４１Ｃはコンピュータであり、上述したものの他に、ポインティングデバイス５０２０、外部接続ポート５０１９、リーダ／ライタ５０２１、等を有することができる。図４１Ｄは携帯電話機であり、上述したものの他に、送信部、受信部、携帯電話・移動端末向けの１セグメント部分受信サービス用チューナ、等を有することができる。

10

【０２９９】

図４０Ａ乃至図４０Ｈ、図４１Ａ乃至図４１Ｄに示す電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻等を表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図４０Ａ乃至図４０Ｈ、図４１Ａ乃至図４１Ｄに示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

20

【０３００】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴の１つとする。

30

【０３０１】

次に、表示装置（半導体装置）の応用例を説明する。まず、移動しない物体、例えば建造物に表示装置（半導体装置）を適用する例を説明する。

【０３０２】

図４１Ｅは、表示装置（半導体装置）が組み込まれた建造物の一態様を説明する図である。半導体装置は、筐体５０２２、表示部５０２３、操作部であるリモコン装置５０２４、およびスピーカ５０２５等を含む。半導体装置は壁かけ型の表示装置として居室の壁に組み込まれている。このような態様は、広い設置スペースが必要ないため、大画面（４０インチ以上）の表示部５０２３を備えた半導体装置を建造物に組み込む方法として好適である。

40

【０３０３】

図４１Ｆは、表示装置（半導体装置）が組み込まれた建造物の一態様を説明する図である。半導体装置は表示パネル５０２６を備えている。この表示パネル５０２６はユニットバス５０２７に組み込まれており、入浴者は表示パネル５０２６で映像を鑑賞することが可能になる。

【０３０４】

なお、図４１Ｅ、図４１Ｆでは、壁、およびユニットバスに表示装置（半導体装置）を組み込む例を示したが、本実施の形態の建造物はこれらに限定されず、建造物の様々な箇所に半導体装置を組み込むことができる。

【０３０５】

50

次に、表示装置（半導体装置）が組み込まれた移動体の構成例を説明する。

【0306】

図41Gは、表示装置（半導体装置）が設けられた自動車の一態様を説明する図である。半導体装置は表示パネル5028を有する。表示パネル5028は、自動車の車体5029に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。また、半導体装置はナビゲーション機能を有していてもよい。

【0307】

図41Hは、表示装置（半導体装置）が設けられた旅客用飛行機の一態様を説明する図である。半導体装置は表示パネル5031を有する。旅客用飛行機の座席上部の天井5030に、ヒンジ部5032を介して表示パネル5031が取り付けられている。表示パネル5031は乗客が操作することで情報を表示する機能を有する。図41Hには、表示パネル5031の使用時の状態を示している。ヒンジ部5032の伸縮により乗客は、表示パネル5031の映像の鑑賞が可能になる。

【0308】

なお、図41G、図41Hでは、移動体として自動車、および旅客用飛行機の例を示したが、本実施の形態は、これらに限定されず、自動二輪車、自動四輪車（自動車、バス、トラック等を含む）、鉄道車両、船舶、および航空機等、様々な移動体に適用することができる。

【0309】

（実施の形態9）

本実施の形態では、本明細書に開示されている発明に係る半導体装置、および表示装置などについて説明をする。

【0310】

本明細書において、表示装置とは、表示素子を有する装置のことを言う。本明細書に開示されている発明が適用される表示装置としては、電気磁気的作用により、コントラスト、輝度、反射率、透過率等が変化する表示媒体を有するものが挙げられる。本明細書で開示されている表示装置が備える表示素子としては、EL（エレクトロルミネッセンス）素子（有機物および無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LED等）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマチューブ、デジタルマイクロミラーデバイス（DMD）、圧電セラミック素子、カーボンナノチューブ、等が挙げられる。EL素子を用いた表示装置の一例としては、ELディスプレイ等がある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）又はSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）等がある。液晶素子を用いた表示装置の一例としては、液晶表示装置（透過型液晶表示装置、半透過型液晶表示装置、反射型液晶表示装置、直視型液晶表示装置、投射型液晶表示装置）等がある。電子インク又は電気泳動素子を用いた表示装置の一例としては、電子ペーパー等がある。なお、EL素子やLEDなど光を発する発光素子を備えた装置は、表示装置と呼ばれることもあり、また、発光装置と呼ばれることもある。表示素子として発光素子を有する発光装置は、表示装置の具体例の一つである。

【0311】

EL素子の一例としては、陽極と、陰極と、陽極と陰極との間に挟まれたEL層と、を有する素子等がある。EL層の一例としては、1重項励起子からの発光（蛍光）を利用するもの、3重項励起子からの発光（燐光）を利用するもの、1重項励起子からの発光（蛍光）を利用するものと3重項励起子からの発光（燐光）を利用するものを含むもの、有機物によって形成されたもの、無機物によって形成されたもの、有機物によって形成されたものと無機物によって形成されたものを含むもの、高分子の材料を含むもの、低分子の材料を含むもの、又は高分子の材料と低分子の材料とを含むもの、等がある。ただし、これに限定されず、EL素子として様々なものを用いることができる。

【0312】

電子放出素子の一例としては、陰極に高電界を集中して電子を引き出す素子等がある。具体的には、電子放出素子の一例としては、スピント型、カーボンナノチューブ（CNT）型、金属―絶縁体―金属を積層したMIM（Metal-Insulator-Metal）型、金属―絶縁体―半導体を積層したMIS（Metal-Insulator-Semiconductor）型、MOS型、シリコン型、薄膜ダイオード型、ダイヤモンド型、金属―絶縁体―半導体―金属型等の薄膜型、HEED型、EL型、ポーラスシリコン型、又は表面伝導（SCE）型等がある。ただし、これに限定されず、電子放出素子として様々なものを用いることができる。

【0313】

本明細書において、液晶表示装置とは、液晶素子を有する表示装置をいう。液晶表示装置には、画像の表示方法により直視型、投写型などに分類される。また、照明光が画素を透過するか、反射するかで、透過型、反射型、半透過型で分類することができる。液晶素子の一例としては、液晶の光学的変調作用によって光の透過又は非透過を制御する素子がある。その素子是一对の電極と液晶層により構造されることが可能である。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。液晶素子に適用される液晶としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC）、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、バナナ型液晶等が挙げられる。

【0314】

また、液晶表示装置の表示方式としては、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、MVA（Multi-domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）モード、ASV（Advanced Super View）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optically Compensated Birefringence）モード、ECB（Electrically Controlled Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）モード、PDLC（Polymer Dispersed Liquid Crystal）モード、PNLC（Polymer Network Liquid Crystal）モード、ゲストホストモード、および、ブルー相（Blue Phase）モード等がある。

【0315】

もちろん、本明細書に開示される発明には、上記の構成例に限定されず、様々な構成例の液晶表示装置を適用できる。

【0316】

電子ペーパーの一例としては、分子により表示されるもの（光学異方性、染料分子配向等）、粒子により表示されるもの（電気泳動、粒子移動、粒子回転、相変化等）、フィルム的一端が移動することにより表示されるもの、分子の発色／相変化により表示されるもの、分子の光吸収により表示されるもの、又は電子とホールが結合して自発光により表示されるもの等を用いることができる。具体的には、電子ペーパーの一例としては、マイクロカプセル型電気泳動、水平移動型電気泳動、垂直移動型電気泳動、球状ツイストボール、磁気ツイストボール、円柱ツイストボール方式、帯電トナー、電子粉流体、磁気泳動型、磁気感熱式、エレクトロウェットティング、光散乱（透明／白濁変化）、コレステリック液晶／光導電層、コレステリック液晶、双安定性ネマチック液晶、強誘電性液晶、2色性色素・液晶分散型、可動フィルム、ロイコ染料による発消色、フォトクロミック、エレクト

ロクロミック、エレクトロデポジション、フレキシブル有機EL等がある。ただし、これに限定されず、電子ペーパーとして様々なものを用いることができる。ここで、マイクロカプセル型電気泳動を用いることによって、電気泳動方式の欠点である泳動粒子の凝集、沈殿を解決することができる。電子粉流体は、高速応答性、高反射率、広視野角、低消費電力、メモリ性等のメリットを有する。

【0317】

プラズマディスプレイの一例としては、電極を表面に形成した基板と、電極および微小な溝を表面に形成し且つ溝内に蛍光体層を形成した基板と、を狭い間隔で対向させて、希ガスを封入した構造を有するもの等がある。他にも、プラズマディスプレイの一例としては、プラズマチューブを上下からフィルム状の電極で挟み込んだ構造を有するもの等がある。プラズマチューブとは、ガラスチューブ内に、放電ガス、RGBそれぞれの蛍光体等を封止したものである。電極間に電圧をかけることによって紫外線を発生させ、蛍光体を光らせることで、表示を行うことができる。本明細書に開示される発明には、上記の構成例に限定されず、様々な構成例のプラズマディスプレイを適用できる。

10

【0318】

また、照明装置を必要とする表示装置がある。例えば、液晶表示装置、グレーティングライツバルブ(GLV)を用いた表示装置、デジタルマイクロミラーデバイス(DMD)を用いた表示装置等である。これらの照明装置としては、例えば、EL素子を適用した照明装置、冷陰極管、熱陰極管、LED、レーザー光源、水銀ランプ等を用いることができる。

20

【0319】

また、表示装置としては、表示素子を含む複数の画素を備えた表示装置が挙げられる。この場合、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでも良い。表示装置の周辺駆動回路は、複数の画素と同一基板上に形成された回路でもよく、別の基板に形成された回路でもよい。その双方の回路を周辺駆動回路として設けることもできる。画素と別の基板に形成されている回路としては、ワイヤボンディングやバンプ等によって画素が存在する基板上に配置された回路、いわゆる、チップオンガラス(COG)で接続されたICチップ、または、TAB等で接続されたICチップが上げられる。

【0320】

回路の一部が画素部と同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。特に、駆動電圧が大きい部分の回路、又は駆動周波数が高い部分の回路等は、消費電力が大きくなるおそれがある。そこで、このような回路を、画素部とは別の基板(例えば単結晶基板)に形成して、ICチップを構成する。このICチップを用いることによって、消費電力の増加を防ぐことができる。

30

【0321】

また、表示装置は、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタ等が取り付けられたフレキシブルプリントサーキット(FPC)を含んでもよい。また、表示装置は、フレキシブルプリントサーキット(FPC)等を介して接続され、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタ等が取り付けられたプリント配線基板(PWB)を含んでもよい。また、表示装置は、偏光板または位相差板等の光学シートを含んでもよい。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサ等を含んでもよい。

40

【0322】

本明細書において、一画素とは、明るさを制御できる要素一つ分を示すものとする。例えば、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R(赤)G(緑)B(青)の色要素を有するカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。ただし、色要素は、三色に限定されず、三色以上を用いても良いし、RGB以外の色を用いても良い。例えば、白色を加えて、RGBW(Wは白)としても可能である。ま

50

たは、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色等を一色以上追加することが可能である。または、RGBの中の少なくとも一色に類似した色を、RGBに追加することが可能である。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、少し波長が異なっている。同様に、R1、R2、G、Bとすることも可能である。このような色要素を用いることにより、より実物に近い表示を行うことができる。このような色要素を用いることにより、消費電力を低減することができる。

【0323】

一つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素とすることが可能である。例えば、面積階調を行う場合または副画素（サブ画素）を有する場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現することがある。その場合、明るさを制御する領域の一つ分を一画素とすることが可能である。つまり、一つの色要素は、複数の画素で構成されることとなる。ただし、明るさを制御する領域が一つの色要素の中に複数あっても、それらをまとめて、一つの色要素を1画素としてもよい。その場合は、一つの色要素は、一つの画素で構成されることとなる。また、一つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって、表示に寄与する領域の大きさが異ならせてもよい。また、一つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、一つの色要素について、複数個ある領域が各々有する画素電極の電位が、各々異なっていることも可能である。その結果、液晶分子などの表示素子に加わる電圧が各画素電極によって各々異なる。よって、液晶表示装置の場合は視野角を広くすることができる。また、色要素毎に表示に寄与する領域の大きさが異なってもよい。これにより、低消費電力化、又は表示素子の長寿命化を図ることができる。

【0324】

なお、一画素（三色分）と明示的に記載する場合は、RとGとBの三画素分を一画素と見なすことができる。一画素（一色分）と明示的に記載する場合は、一つの色要素につき、複数の領域がある場合、それらをまとめて一画素と見なすことができる。

【0325】

複数の画素は、例えば、マトリクス状に配置（配列）することができる。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んでいる場合限定されない。例えば三色の色要素（例えばRGB）でフルカラー表示を行う表示装置において、画素の配列としては、例えば、ストライプ配置、三つの色要素のドットでなるデルタ配置、ベイヤー配置などが挙げられる。

【0326】

（実施の形態10）

【0327】

本明細書に開示されている発明には、様々な構造のトランジスタを用いることができる。つまり、トランジスタの構成に特段の制約はない。例えば、実施の形態7を適用することで、高開口率の画素を備えた表示装置を作製することができる。本実施の形態では、トランジスタのいくつかの構成例について説明する。

【0328】

トランジスタの一例としては、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコン等に代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）等を用いることができる。TFTを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。または、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透光性を有する基板上にトランジスタを製造できる。ま

たは、透光性を有する基板上のトランジスタを用いて表示素子での光の透過を制御することができる。または、トランジスタが薄いため、トランジスタを形成する膜の一部は、光を透過させることができる。そのため、開口率を向上させることができる。

【0329】

なお、多結晶シリコンを製造するときに、触媒（ニッケル等）を用いることにより、結晶性をさらに向上させ、電気特性の良いトランジスタを製造することが可能となる。その結果、ゲートドライバ回路（走査線駆動回路）、ソースドライバ回路（信号線駆動回路）、および信号処理回路（信号生成回路、ガンマ補正回路、DA変換回路等）を基板上に一体形成することができる。

【0330】

なお、微結晶シリコンを製造するときに、触媒（ニッケル等）を用いることにより、結晶性をさらに向上させ、電気特性の良いトランジスタを製造することが可能となる。このとき、レーザー照射を行うことなく、熱処理を加えるだけで、結晶性を向上させることも可能である。その結果、ソースドライバ回路の一部（アナログスイッチ等）およびゲートドライバ回路（走査線駆動回路）を基板上に一体形成することができる。なお、結晶化のためにレーザー照射を行わない場合は、シリコンの結晶性のムラを抑えることができる。そのため、画質の向上した画像を表示することができる。ただし、触媒（ニッケル等）を用いずに、多結晶シリコン又は微結晶シリコンを製造することは可能である。

【0331】

なお、シリコンの結晶性を、多結晶又は微結晶等へと向上させることは、パネル全体で行うことが望ましいが、それに限定されない。パネルの一部の領域のみにおいて、シリコンの結晶性を向上させてもよい。選択的に結晶性を向上させることは、レーザー光を選択的に照射すること等により可能である。例えば、画素以外の領域である周辺回路領域にのみ、ゲートドライバ回路およびソースドライバ回路等の領域にのみ、又はソースドライバ回路の一部（例えば、アナログスイッチ）の領域にのみ、にレーザー光を照射してもよい。その結果、回路を高速に動作させる必要がある領域にのみ、シリコンの結晶化を向上させることができる。画素領域は、高速に動作させる必要性が低いため、結晶性が向上されなくても、問題なく画素回路を動作させることができる。こうすることによって、結晶性を向上させる領域が少なくて済むため、製造工程も短くすることができる。そのため、スループットが向上し、製造コストを低減させることができる。または、必要とされる製造装置の数も少ない数で製造できるため、製造コストを低減させることができる。

【0332】

なお、トランジスタの一例としては、 ZnO 、 a-InGaZnO 、 SiGe 、 GaAs 、 IZO 、 ITO 、 SnO 、 TiO 、 AlZnSnO （ AZTO ）等の化合物半導体又は酸化物半導体を有するトランジスタ又は、これらの化合物半導体又は酸化物半導体を薄膜化した薄膜トランジスタ等を用いることができる。これらにより、製造温度を低くできるので、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板又はフィルム基板等に直接トランジスタを形成することができる。なお、これらの化合物半導体又は酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることもできる。例えば、これらの化合物半導体又は酸化物半導体を配線、抵抗素子、画素電極、又は透光性を有する電極等として用いることができる。それらをトランジスタの作製過程で形成することが可能なため、コストを低減できる。

【0333】

なお、トランジスタの一例としては、インクジェット法又は印刷法を用いて形成したトランジスタ等を用いることができる。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。よって、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することができる。または、レジストを用いずに製造することが可能なため、材料費が安くなり、工程数を削減できる。または、必要な部分にのみ膜を付けることが可能なため、全面に成膜した後でエッ

10

20

30

40

50

チングする、という製法よりも、材料が無駄にならず、低コストにできる。

【0334】

トランジスタの一例としては、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することができる。このような基板を用いた半導体装置は、衝撃に強くすることができる。

【0335】

トランジスタとしては、他にも様々な構造のトランジスタを用いることができる。例えば、トランジスタとして、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ等を用いることができる。トランジスタとしてMOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることができる。よって、トランジスタの集積度を高くすることができる。トランジスタとしてバイポーラトランジスタを用いることにより、大きな電流を流すことができる。よって、高速に回路を動作させることができる。なお、MOS型トランジスタとバイポーラトランジスタとを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作等を実現することができる。

【0336】

トランジスタの一例としては、ゲート電極が2個以上のマルチゲート構造のトランジスタを用いることができる。マルチゲート構造にすると、チャネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構造となる。よって、マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。または、マルチゲート構造により、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレインとソースとの間の電流があまり変化せず、電圧・電流特性の傾きをフラットにすることができる。電圧・電流特性の傾きがフラットである特性を利用すると、理想的な電流源回路、又は非常に高い抵抗値をもつ能動負荷を実現することができる。その結果、特性のよい差動回路又はカレントミラー回路等を実現することができる。

【0337】

トランジスタの一例としては、チャネルの上下にゲート電極が配置されている構造のトランジスタを適用することができる。チャネルの上下にゲート電極が配置される構造にすることにより、複数のトランジスタが並列に接続されたような回路構成となる。よって、チャネル領域が増えるため、電流値の増加を図ることができる。または、チャネルの上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S値（subthreshold swing value）の改善を図ることができる。

【0338】

トランジスタの一例としては、チャネル領域の上にゲート電極が配置されている構造、チャネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャネル領域を複数の領域に分けた構造、チャネル領域を並列に接続した構造、又はチャネル領域が直列に接続する構造等のトランジスタを用いることができる。

【0339】

なお、トランジスタの一例としては、チャネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造のトランジスタを用いることができる。チャネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることによって、チャネル領域の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。

【0340】

トランジスタの一例としては、高抵抗領域を設けた構造を適用できる。高抵抗領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上（信頼性の向上）を図ることができる。または、高抵抗領域を設けることにより、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレイン電流があまり変化せず、電圧・電流特性の傾きがフラットな特性にすることができる。

【0341】

様々な基板を用いて、トランジスタを形成することができる。基板の種類は、特定のもの

10

20

30

40

50

に限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルム等がある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラス等がある。可撓性基板の一例としては、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルフォン（ＰＥＳ）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂等がある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、又は塩化ビニル等がある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、又は紙類等がある。特に、半導体基板、単結晶基板、又はＳＯＩ基板等を用いてトランジスタを製造することによって、特性、サイズ、又は形状等のばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【０３４２】

ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）等を含む）、皮革基板、又はゴム基板等がある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

【０３４３】

ここで、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことができるものである。ここで、ソースとドレインとは、トランジスタの構造又は動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソースとして機能する領域、およびドレインとして機能する領域を、ソース又はドレインと叫ばない場合がある。その場合、一例として、ソースとドレインとの一方を、第１端子、第１電極、又は第１領域と表記し、ソースとドレインとの他方を、第２端子、第２電極、又は第２領域と表記する場合がある。

【０３４４】

また、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、一例として、エミッタとコレクタとの一方を、第１端子、第１電極、又は第１領域と表記し、エミッタとコレクタとの他方を、第２端子、第２電極、又は第２領域と表記する場合がある。なお、トランジスタとしてバイポーラトランジスタが用いられる場合、ゲートという表記をベースと言い換えることが可能である。

【０３４５】

ゲートとは、ゲート電極とゲート配線（ゲート線、ゲート信号線、走査線、走査信号線等とも言う）とを含んだ全体、又は、それらの一部のことを言う。ゲート電極とは、チャンネル領域を形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。ただし、ゲート電極の一部は、高抵抗領域、又はソース領域（またはドレイン領域）と、ゲート絶縁膜を介してオーバーラップしていることが可能である。ゲート配線とは、各トランジスタのゲート電極の間を接続するための配線、各画素の有するゲート電極の間を接続するための配線、又はゲート電極と別の配線とを接続するための配線のことを言う。

【0346】

ゲート電極としても機能し、且つゲート配線としても機能するような部分（領域、導電膜、配線等）も存在する。そのような部分（領域、導電膜、配線等）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線の一部とチャンネル領域がオーバーラップしている場合、その部分（領域、導電膜、配線等）はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線等）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【0347】

ゲート電極と同じ材料で形成され、ゲート電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線等）も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線等）も、ゲート配線と呼んでも良い。このような部分（領域、導電膜、配線等）は、厳密な意味では、チャンネル領域とオーバーラップしていない場合、又は別のゲート電極と接続させる機能を有していない場合がある。しかし、製造時の仕様等の関係で、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線等）がある。よって、そのような部分（領域、導電膜、配線等）もゲート電極またはゲート配線と呼んでも良い。

【0348】

例えば、マルチゲート構造のトランジスタにおいて、1つのゲート電極と、別のゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。このような場合は、ゲート電極とゲート電極とを接続させるための部分（領域、導電膜、配線等）は、ゲート配線と呼んでも良い。あるいは、マルチゲート構造のトランジスタを1つのトランジスタと見なすこともできるため、ゲート電極と呼んでも良い。つまり、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線等）は、ゲート電極やゲート配線と呼んでも良い。別の例として、ゲート電極とゲート配線とを接続させている部分の導電膜であって、ゲート電極またはゲート配線とは異なる材料で形成された導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【0349】

また、ゲート端子とは、ゲート電極の部分（領域、導電膜、配線等）、又はゲート電極と電氣的に接続されている部分（領域、導電膜、配線等）について、その一部分のことを言う。

【0350】

ある配線を、ゲート配線、ゲート線、ゲート信号線、走査線、又は走査信号線等と呼ぶ場合、その配線にトランジスタのゲートが接続されていない場合もある。この場合、ゲート配線、ゲート線、ゲート信号線、走査線、又は走査信号線は、トランジスタのゲートと同じ層で形成された配線、トランジスタのゲートと同じ材料で形成された配線、又はトランジスタのゲートと同時に形成された配線等を意味している場合がある。その一例としては、保持容量用配線、電源線、基準電位供給配線等がある。

【0351】

ソースとは、ソース領域とソース電極とソース配線（ソース線、ソース信号線、データ線、データ信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウム等）又はN型不純物（リンやヒ素等）が多く含まれる半導体領域のことを言う。従って、P型不純物やN型不純物の濃度が低い低濃度不純物領域が、抵抗が高い高抵抗領域である場合、ソース領域には含まれないと見なすことが多い。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース

領域も含んでソース電極と呼ぶこともある。ソース配線とは、各トランジスタのソース電極の間を接続するための配線、各画素の有するソース電極の間を接続するための配線、又はソース電極と別の配線とを接続するための配線のことを言う。

【0352】

また、ソース電極としても機能し、ソース配線としても機能するような部分（領域、導電膜、配線等）も存在する。そのような部分（領域、導電膜、配線等）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線の一部とソース領域とがオーバーラップしている場合、その部分（領域、導電膜、配線等）はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線等）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

10

【0353】

また、ソース電極と同じ材料で形成され、ソース電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線等）、ソース電極とソース電極とを接続する部分（領域、導電膜、配線等）、および、ソース領域とオーバーラップしている部分（領域、導電膜、配線等）も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線と同じ島（アイランド）を形成してつながっている領域も、ソース配線と呼んでも良い。このような部分（領域、導電膜、配線等）は、厳密な意味では、別のソース電極と接続させる機能を有していない場合がある。しかし、製造時の仕様等の関係で、ソース電極またはソース配線と同じ材料で形成され、ソース電極またはソース配線とつながっている部分（領域、導電膜、配線等）がある。よって、そのような部分（領域、導電膜、配線等）もソース電極またはソース配線と呼んでも良い。

20

【0354】

例えば、ソース電極とソース配線とを接続させている部分の導電膜であって、ソース電極またはソース配線とは異なる材料で形成された導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0355】

なお、ソース端子とは、ソース領域や、ソース電極や、ソース電極と電氣的に接続されている部分（領域、導電膜、配線等）について、その一部分のことを言う。

30

【0356】

なお、ある配線を、ソース配線、ソース線、ソース信号線、データ線、データ信号線等と呼ぶ場合、その配線にトランジスタのソース（ドレイン）が接続されていない場合もある。この場合、ソース配線、ソース線、ソース信号線、データ線およびデータ信号線は、トランジスタのソース（ドレイン）と同じ層で形成された配線、トランジスタのソース（ドレイン）と同じ材料で形成された配線、またはトランジスタのソース（ドレイン）と同時に形成された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線等がある。

【0357】

ドレインの説明はソースと同様であるので、その説明を準用する。

40

【符号の説明】

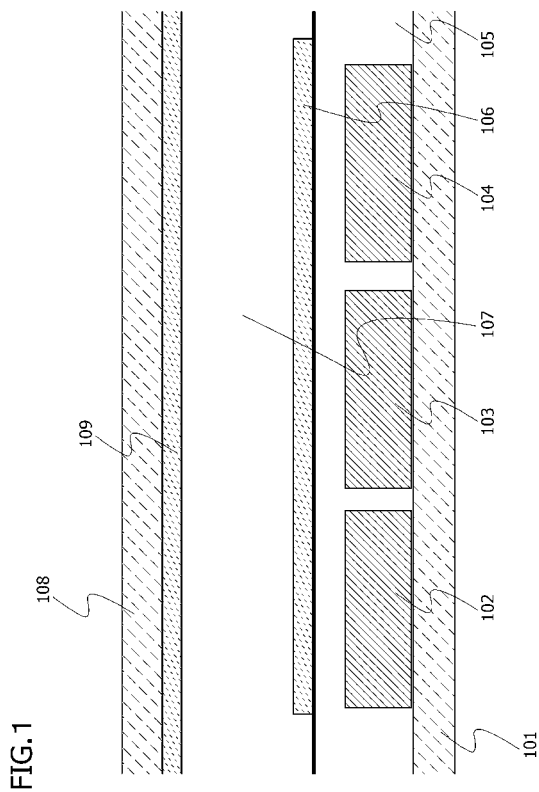
【0358】

- 101 基板
- 102 回路
- 103 回路
- 104 回路
- 105 絶縁層
- 106 導電層
- 107 媒質
- 108 基板

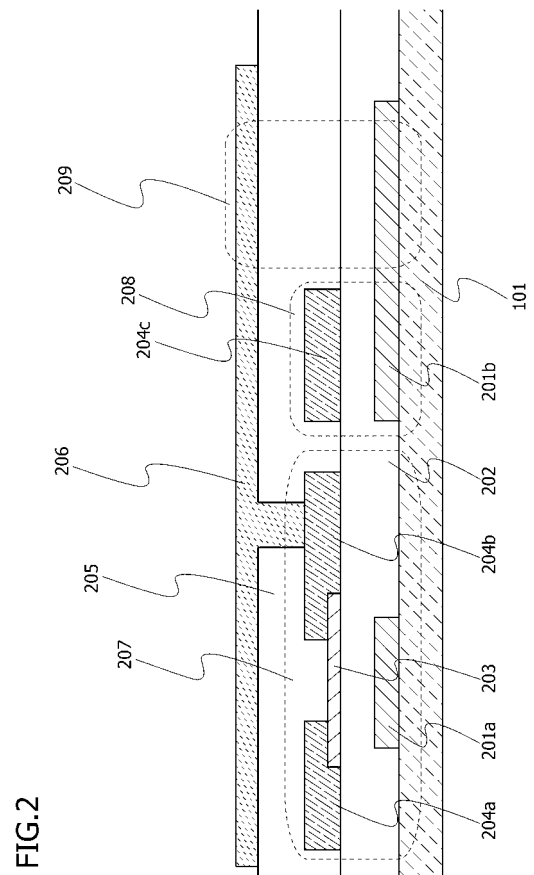
50

109	導電層	
202	絶縁層	
203	半導体層	
205	絶縁層	
206	導電層	
207	トランジスタ	
208	容量素子	
209	容量素子	
201a、201aa、201ab、201b、201ba、201bb、201c、201ca、201cb、201da、201db、201eb、201fb	導電層	10
203a	半導体層	
204a、204aa、204ab、204b、204ba、204bb、204c、204ca、204cb、204d、204da、204db、204e、204ea、204eb、204fb、204gb、204hb	導電層	
206a	導電層	

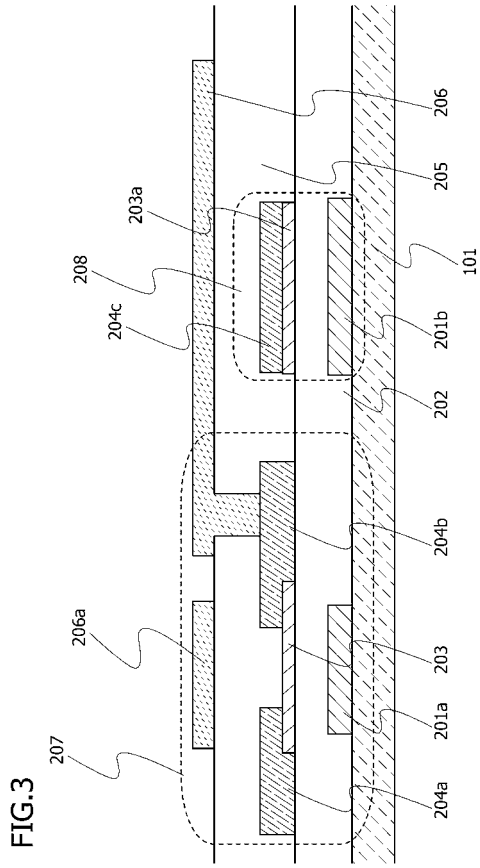
【図1】



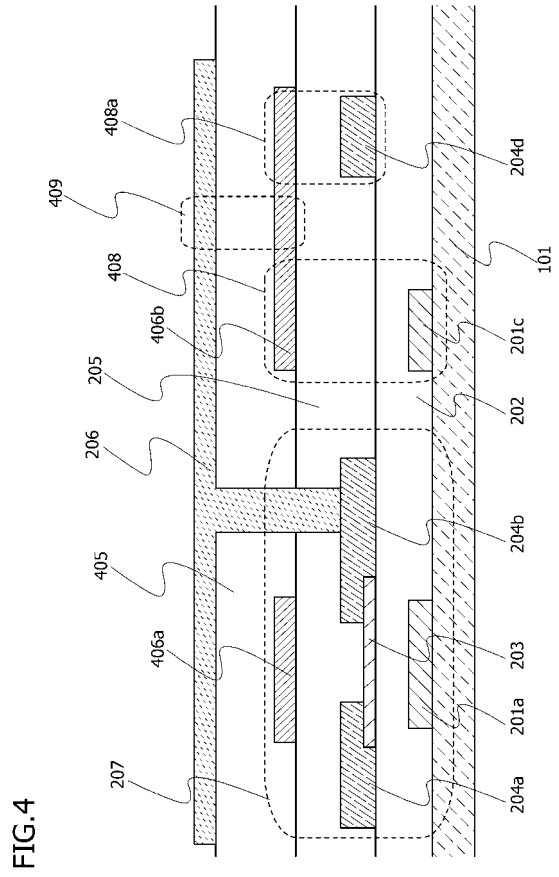
【図2】



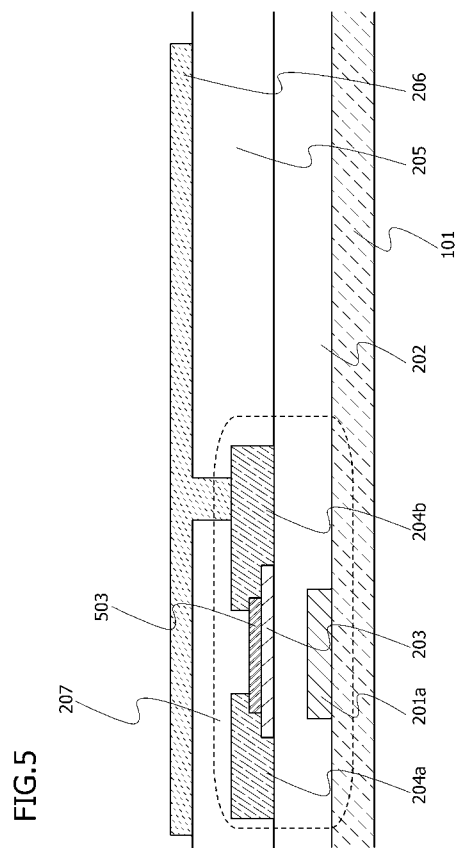
【図 3】



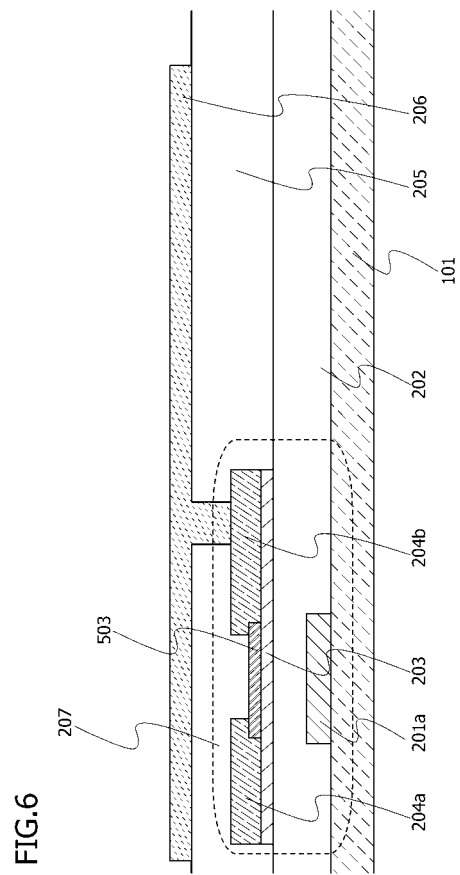
【図 4】



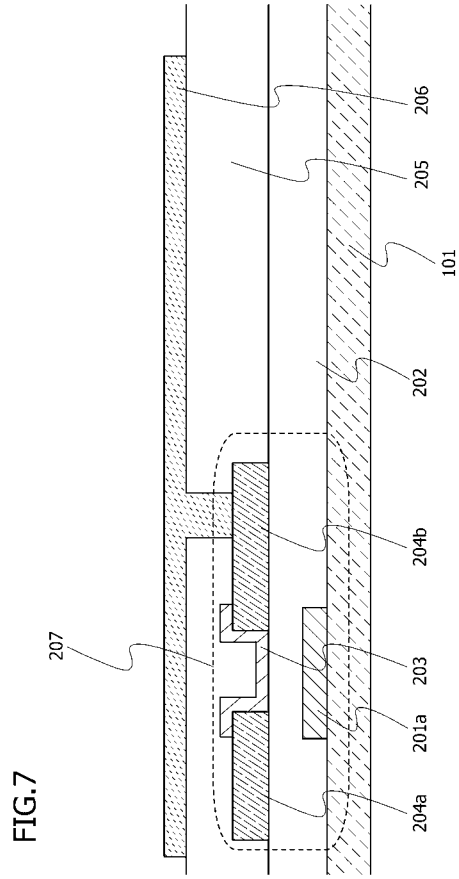
【図 5】



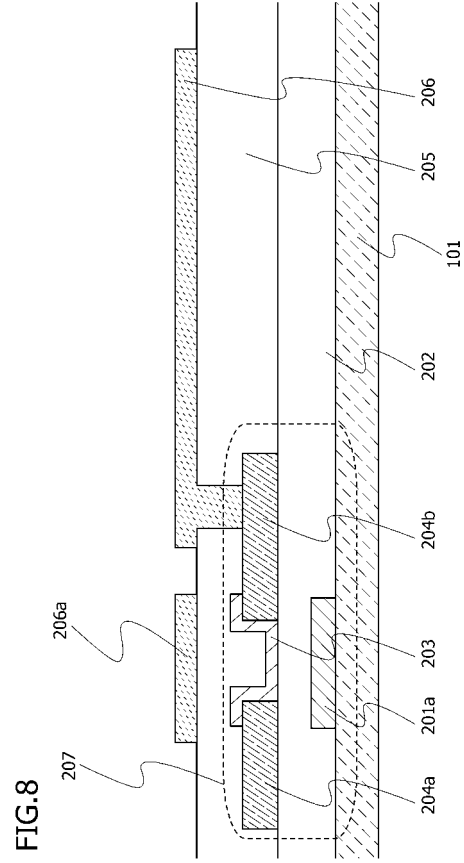
【图 6】



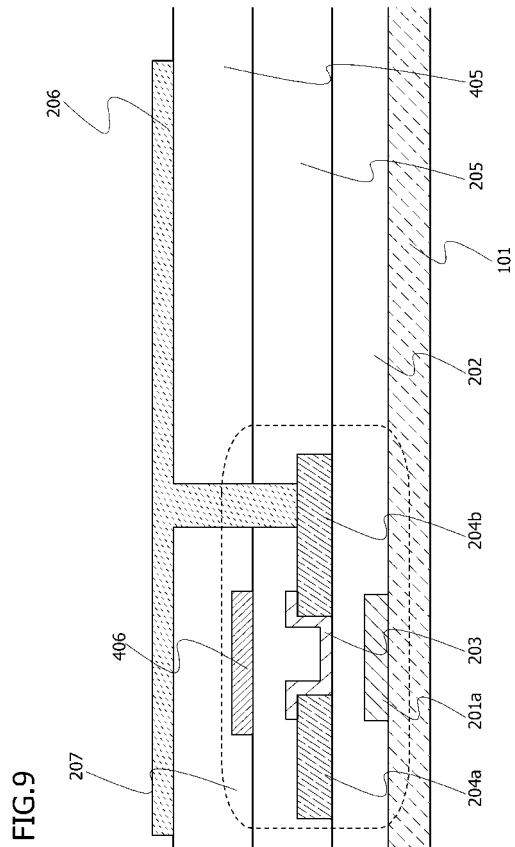
【図 7】



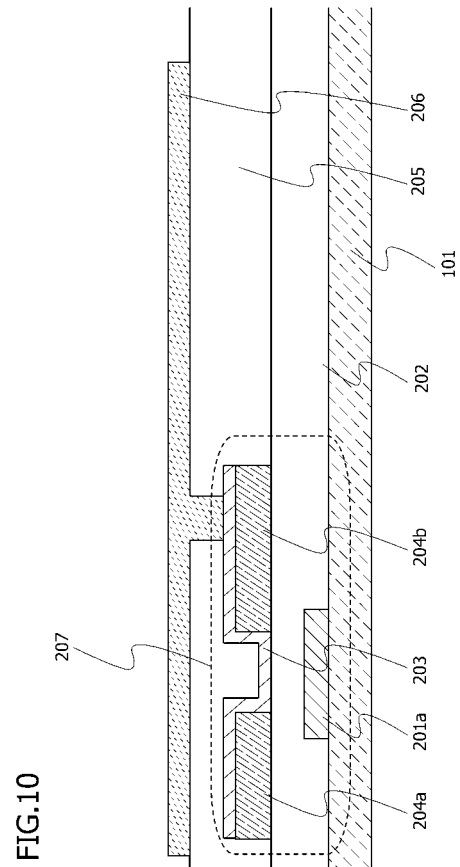
【図 8】



【図 9】

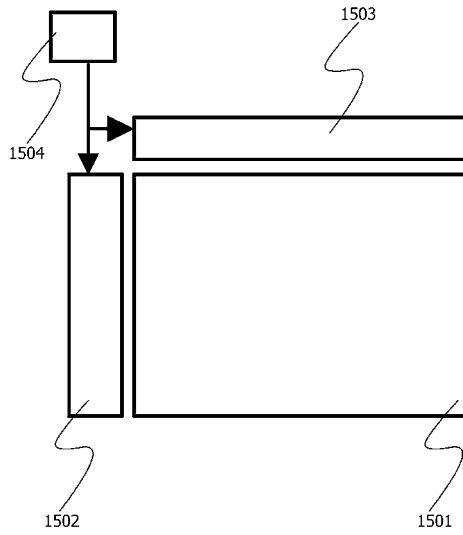


【図 10】



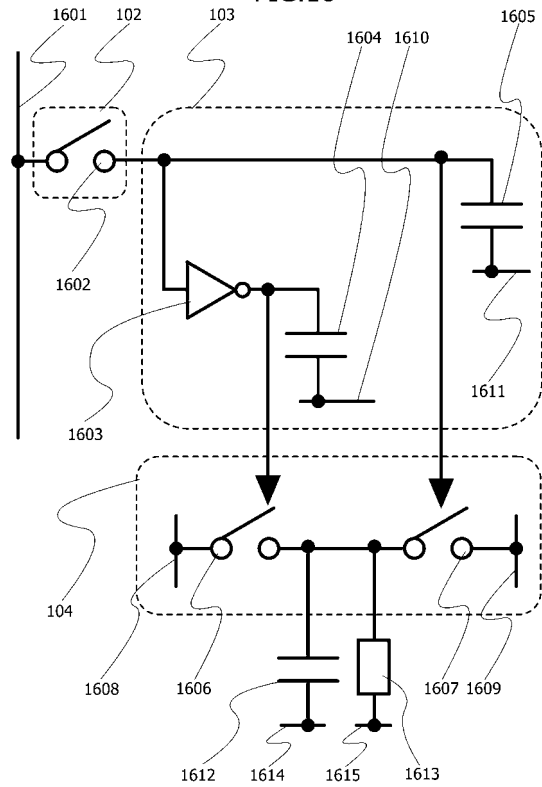
【図 15】

FIG.15



【図 16】

FIG.16



【図 17】

FIG.17A

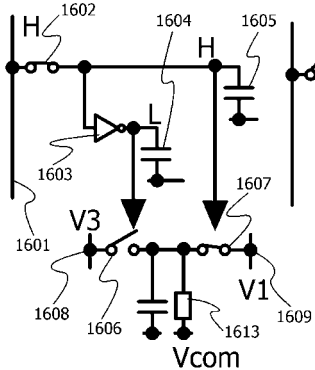


FIG.17B

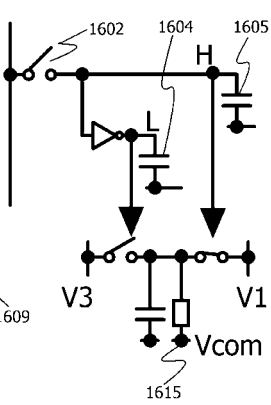
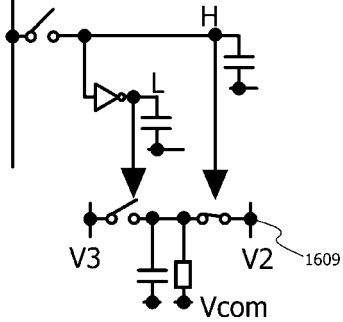


FIG.17C



【図 18】

FIG.18A

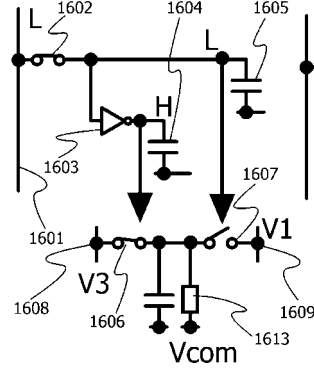


FIG.18B

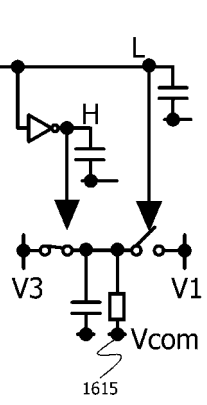
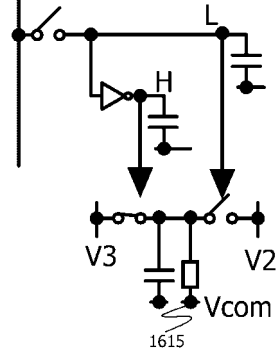
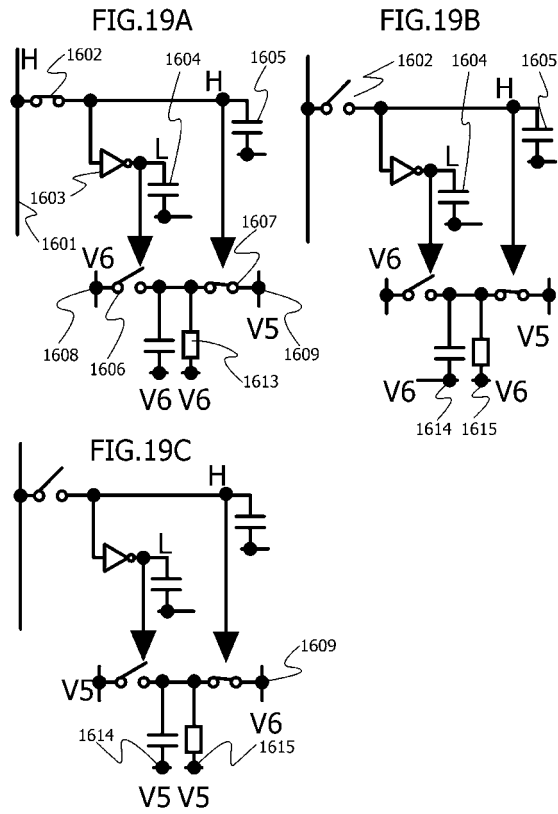


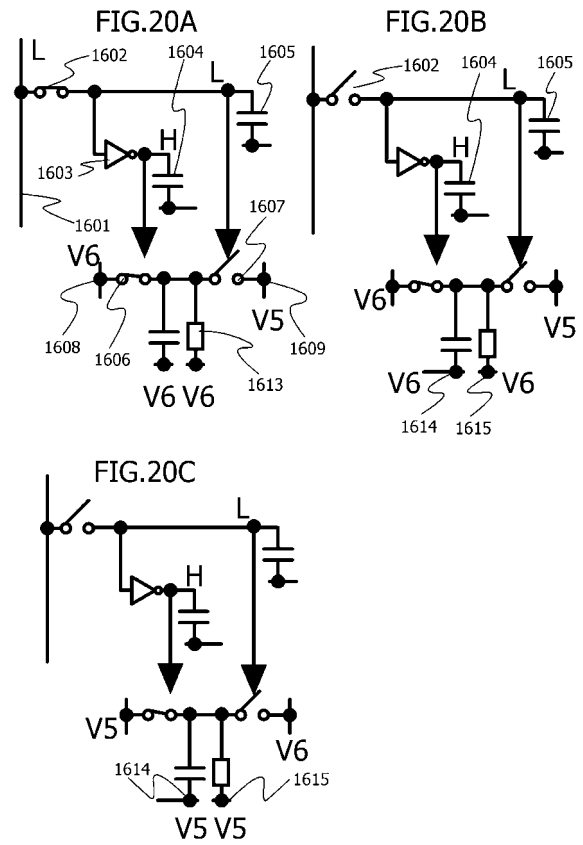
FIG.18C



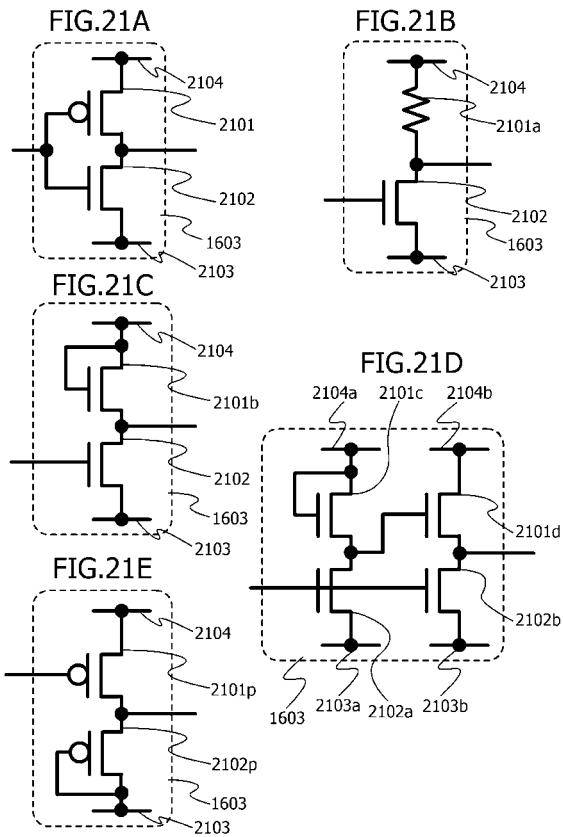
【図 19】



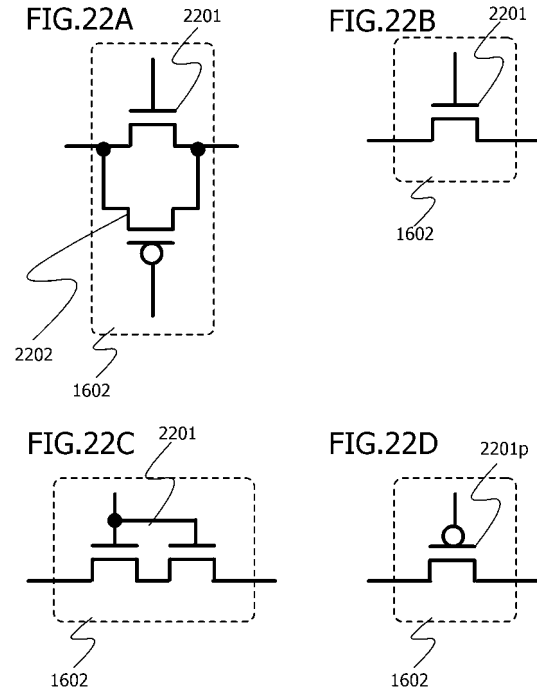
【図 20】



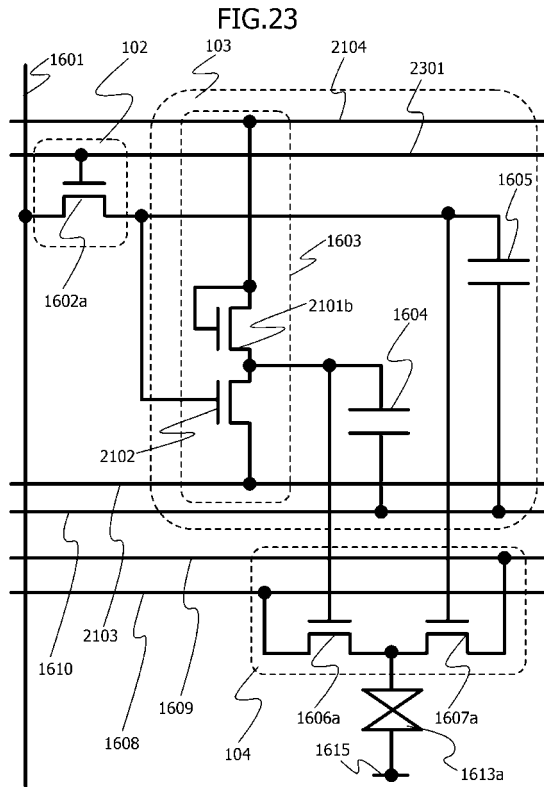
【図 21】



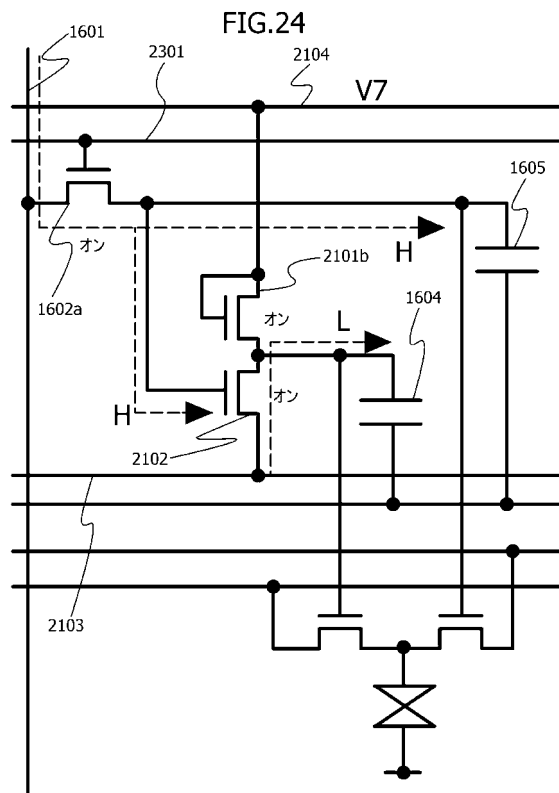
【図 22】



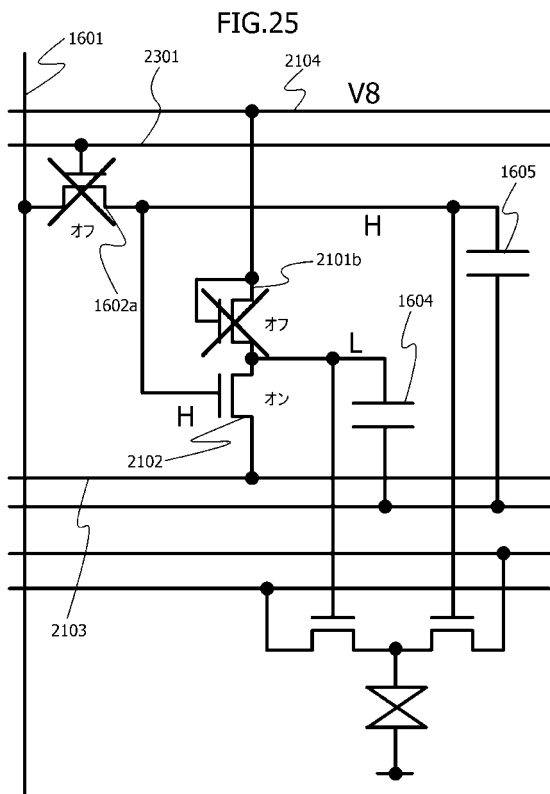
【図 2 3】



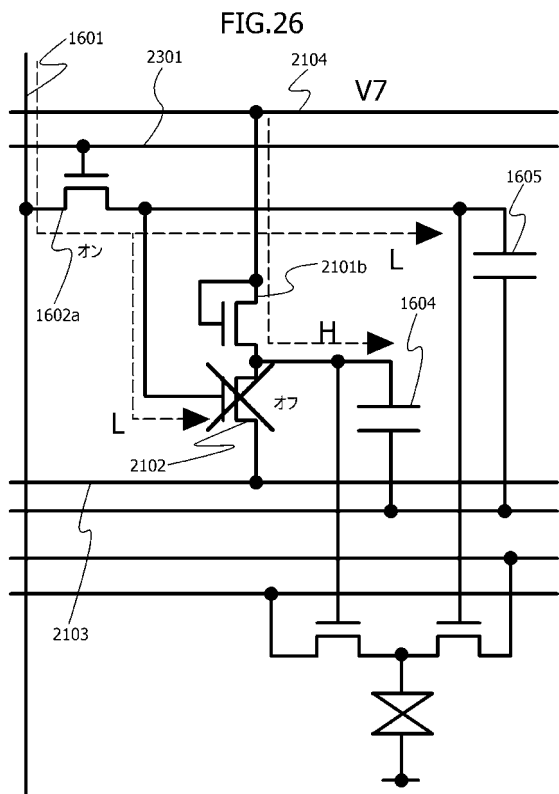
【図 2 4】



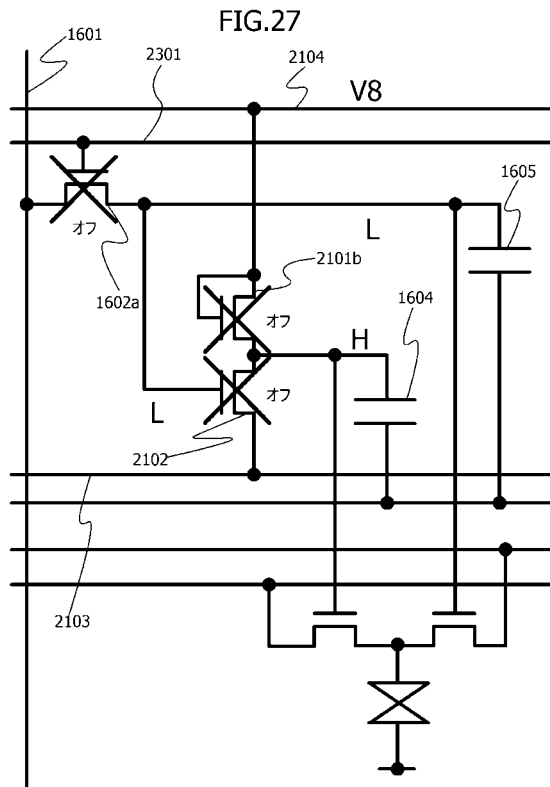
【図 2 5】



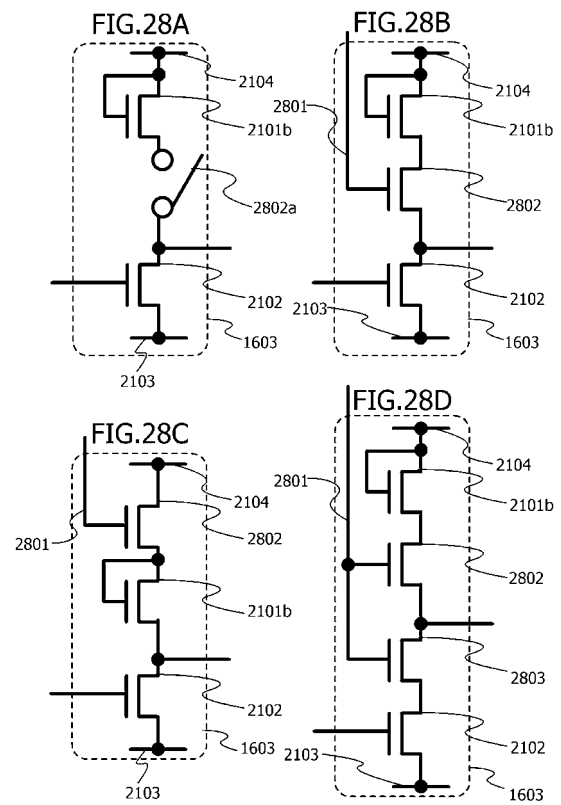
【図 2 6】



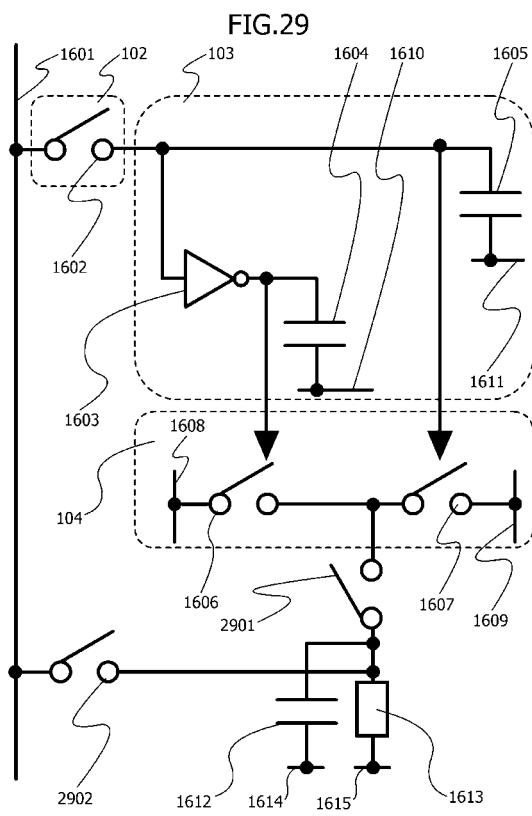
【図 27】



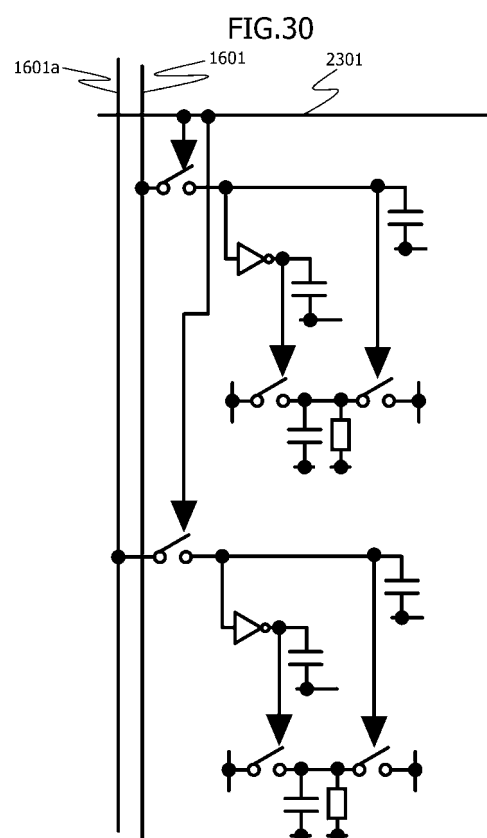
【図 28】



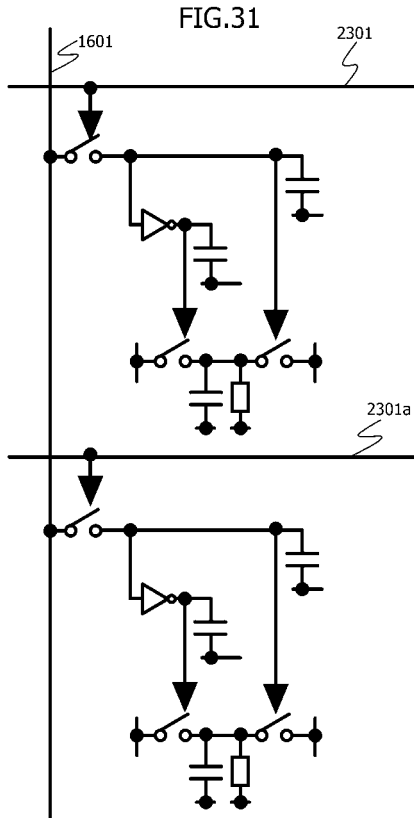
【図 29】



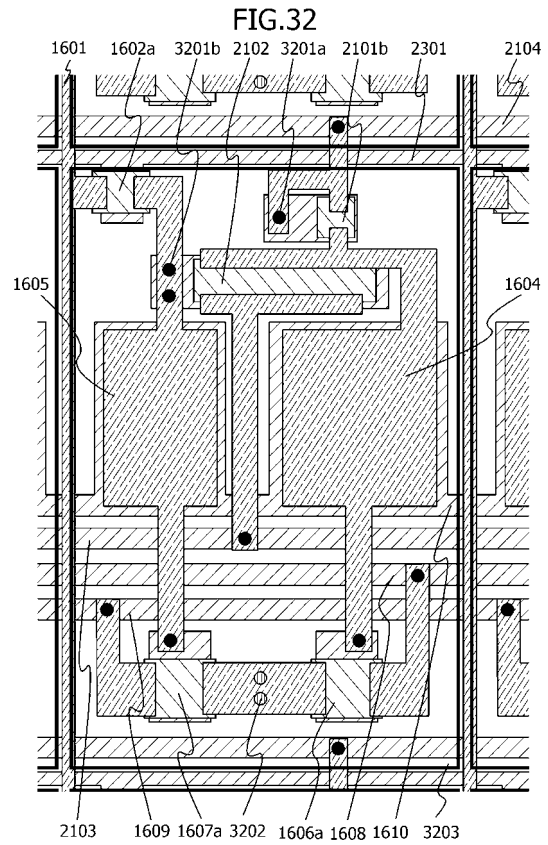
【図 30】



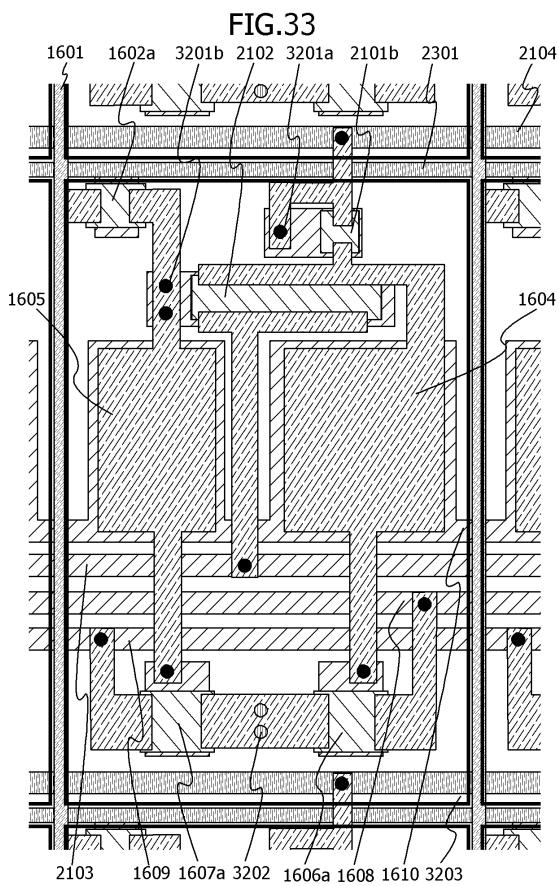
【図 3 1】



【図 3 2】



【図 3 3】



【図 3 4】

FIG.34A

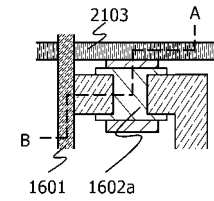


FIG.34B

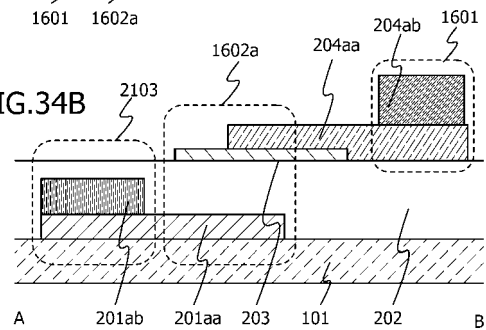
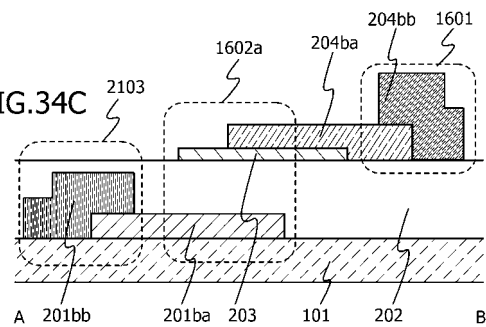
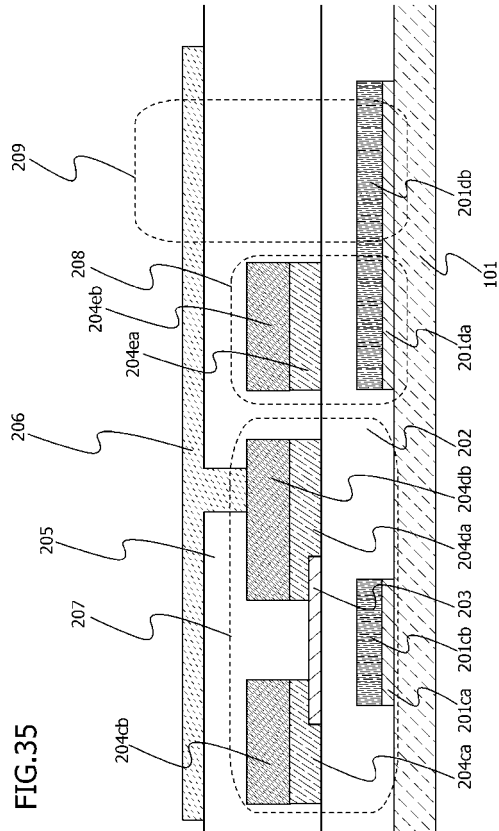


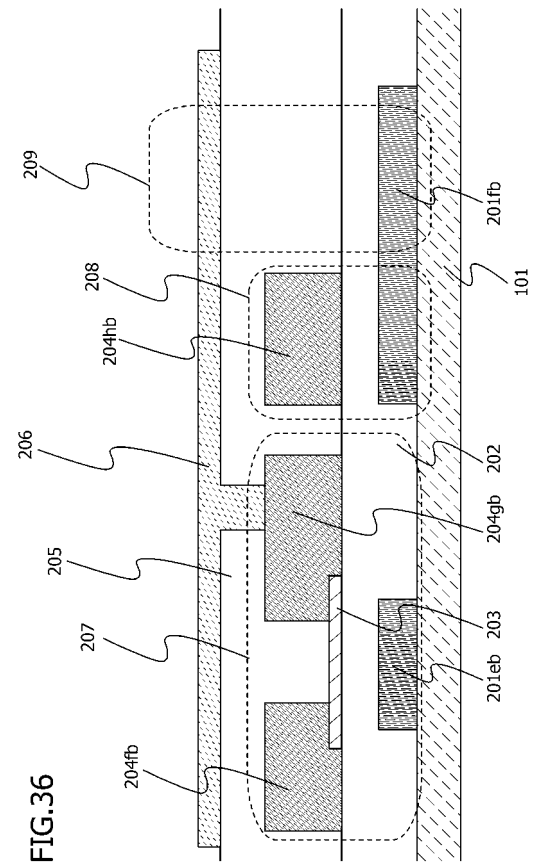
FIG.34C



【図 35】



【図 36】



【図 37】

FIG. 37A1

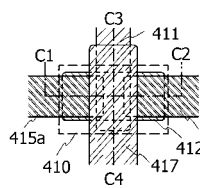


FIG. 37A2

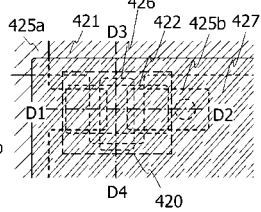


FIG. 37B

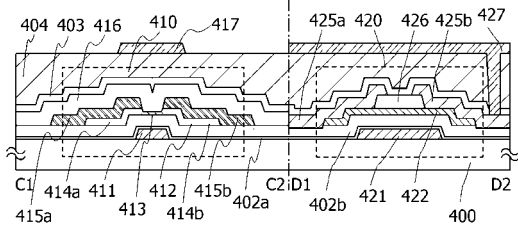
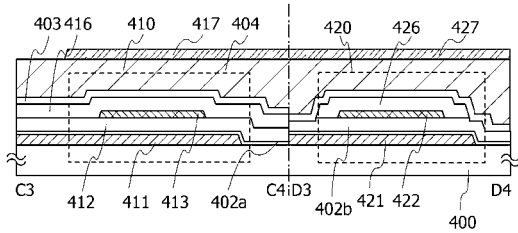


FIG. 37C



【図 38】

FIG. 38A

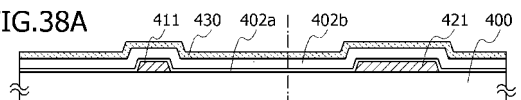


FIG. 38B

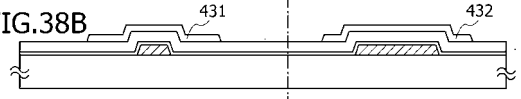


FIG. 38C

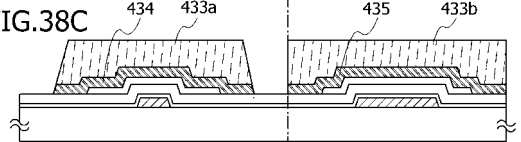


FIG. 38D

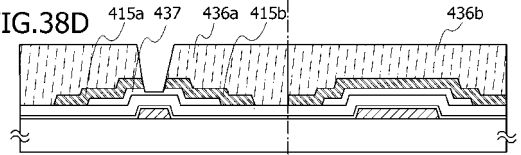


FIG. 38E

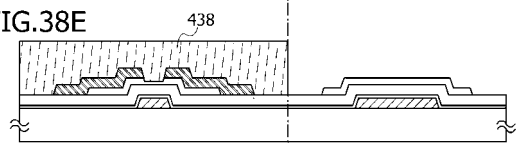
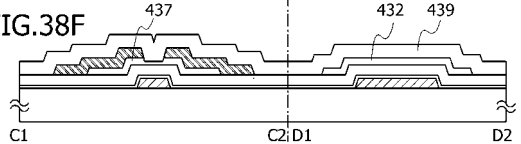
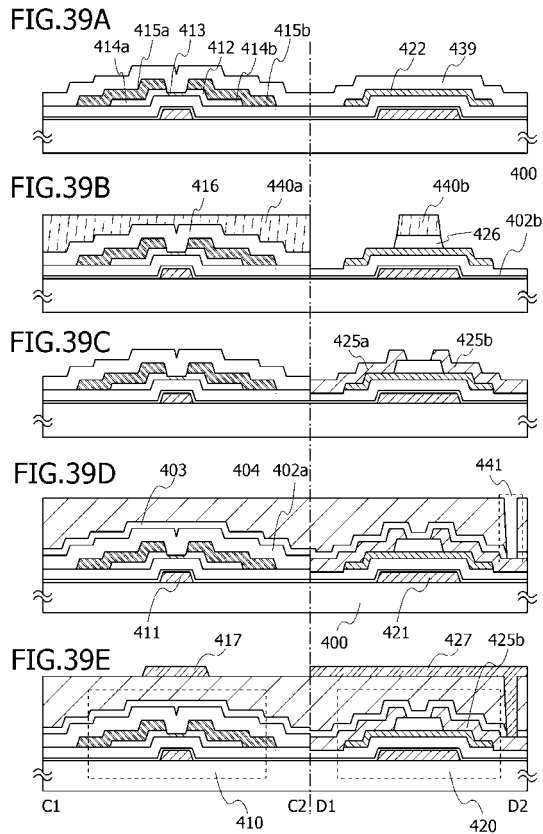


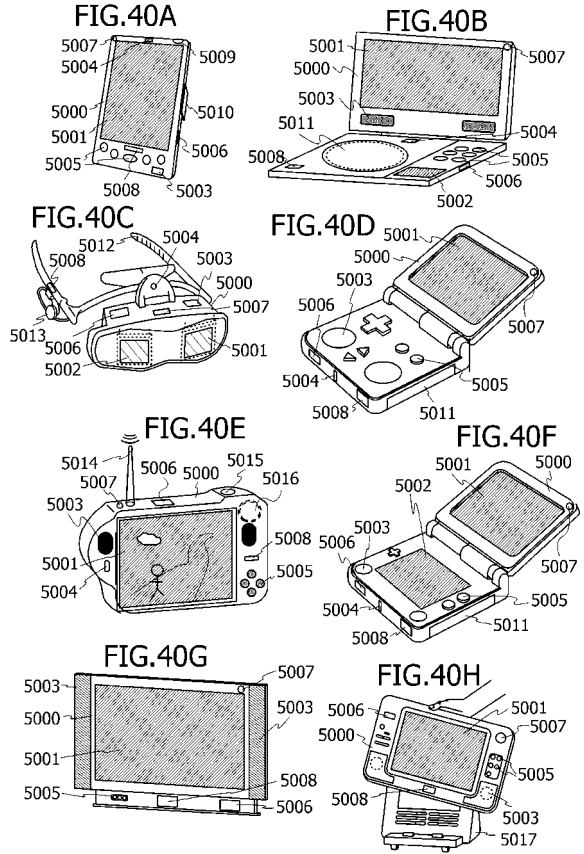
FIG. 38F



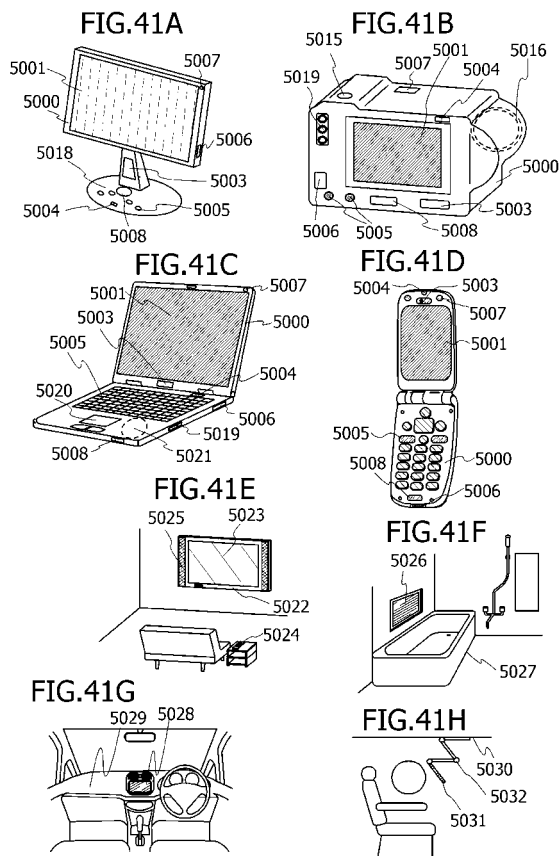
【図 39】



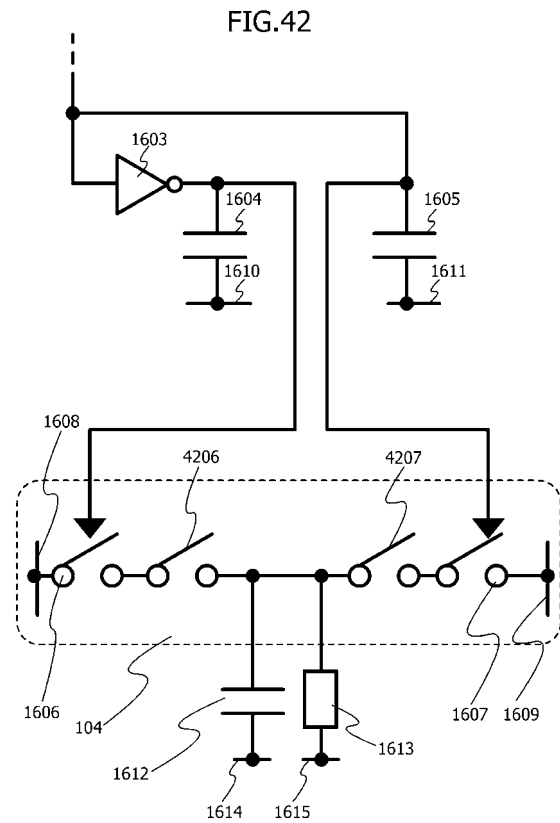
【図 40】



【図 41】

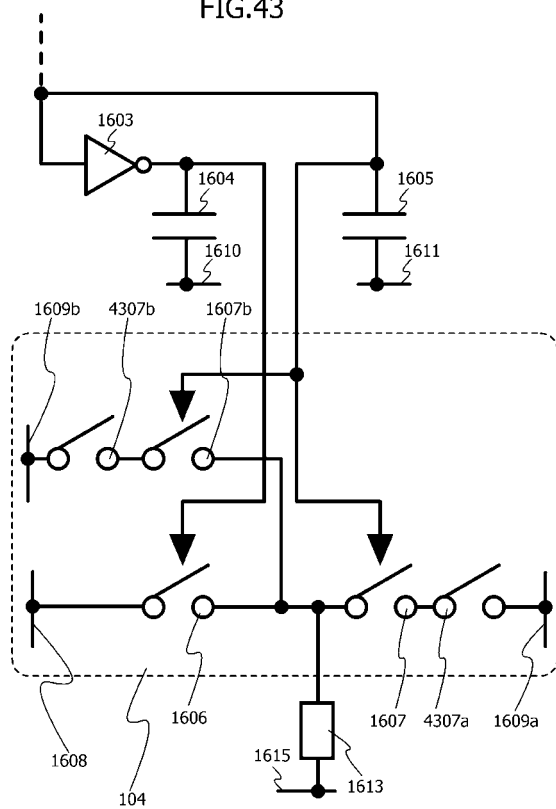


【図 42】



【図 4 3】

FIG.43



フロントページの続き

(51)Int.Cl. F I
G 0 9 F 9/30 3 3 8

審査官 山口 裕之

(56)参考文献 特開2007-298602 (JP, A)
特開昭58-198084 (JP, A)
特開平07-253764 (JP, A)
特開2006-165532 (JP, A)
特開2010-085817 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1/1368