

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007年1月18日 (18.01.2007)

PCT

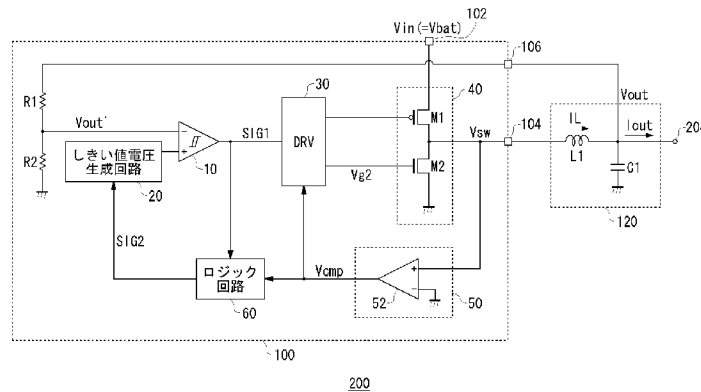
(10) 国際公開番号
WO 2007/007752 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2006/313768
- (22) 国際出願日: 2006年7月11日 (11.07.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-201091 2005年7月11日 (11.07.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1 Kyoto (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 福森 啓貴 (FUKU-MORI, Yoshitaka) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 森下 賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西2-1-12 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) Title: STEP-DOWN SWITCHING REGULATOR, ITS CONTROL CIRCUIT, AND ELECTRONIC DEVICE USING SAME

(54) 発明の名称: 降圧型スイッチングレギュレータおよびその制御回路ならびにそれを用いた電子機器



20... THRESHOLD VOLTAGE GENERATING CIRCUIT
60... LOGIC CIRCUIT

(57) Abstract: A step-down switching regulator of synchronous commutation type using a hysteresis comparator used for reducing the ripple of the output voltage when the load is light. The step-down switching regulator (200) comprises a control circuit (100) for turning on/off the switching element. The control circuit (100) has a hysteresis comparator (10), a light-load detecting circuit (50), and a driver circuit (30). The hysteresis comparator (10) compares the detection voltage V_{out}' corresponding to the output voltage V_{out} of the step-down switching regulator (200) with first and second threshold voltages V_{th1} , V_{th2} ($V_{th2} < V_{th1}$). The light-load detecting circuit (50) detects if the load is light. The driver circuit (30) turns on/off the switching element according to a pulse signal SIG1 outputted from the hysteresis comparator (10). When the light-load detecting circuit (50) detects that the load is light, the hysteresis comparator (10) shifts the second threshold voltage V_{th2} by a predetermined voltage width toward the high potential side.

(57) 要約: 軽負荷時の出力電圧のリップルを低減するための、ヒステリシスコンパレータを用いた同期整流方式の降圧型スイッチングレギュレータが提供される。同期整流方式の降圧型スイッチングレギュレータ200のスイッチング素子をオンオフする制御回路100において、ヒステリシスコンパレータ10は、降圧型スイッチングレギュレータ200の出力電圧 V_{out} に応じた検出電圧 V_{out}' を、第1しきい値電圧 V_{th1} および第

[続葉有]



WO 2007/007752 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

2しきい値電圧 V_{th2} ($V_{th2} < V_{th1}$)と比較する。軽負荷検出回路50は、負荷が軽負荷状態であることを検出する。ドライバ回路30は、ヒステリシスコンパレータ10から出力されるパルス信号SIG1にもとづき、スイッチング素子をオンオフする。ヒステリシスコンパレータ10は、軽負荷検出回路50による軽負荷状態の検出を契機として、第2しきい値電圧 V_{th2} を所定電圧幅だけ高電位側にシフトする。

明 細 書

降圧型スイッチングレギュレータおよびその制御回路ならびにそれを用いた電子機器

技術分野

[0001] 本発明は、降圧型スイッチングレギュレータに関し、特に同期整流方式のスイッチングレギュレータの制御技術に関する。

背景技術

[0002] 近年の携帯電話、PDA(Personal Digital Assistant)、ノート型パーソナルコンピュータなどのさまざまな電子機器に、デジタル信号処理を行うマイクロプロセッサが搭載されている。こうしたマイクロプロセッサの駆動に必要とされる電源電圧は、半導体製造プロセスの微細化に伴って低下しており、1.5V以下の低電圧で動作するものがある。

[0003] 一方、こうした電子機器にはリチウムイオン電池などが電源として搭載される。リチウムイオン電池から出力される電圧は、3V～4V程度であり、この電圧をそのままマイクロプロセッサに供給したのでは、無駄な電力消費が発生するため、降圧型のスイッチングレギュレータや、シリースレギュレータなどを用いて電池電圧を降圧し、定電圧化してマイクロプロセッサに供給するのが一般的である。

[0004] 降圧型のスイッチングレギュレータは、整流用のダイオードを用いる方式(以下、ダイオード整流方式という)と、ダイオードの代わりに、整流用トランジスタを用いる方式(以下、同期整流方式という)が存在する。前者の場合、負荷に流れる負荷電流が低いときに高効率を得られるという利点を有するが、制御回路の外部に、インダクタ、キャパシタに加えてダイオードが必要となるため、回路面積が大きくなる。後者の場合、負荷に供給する電流が小さいときの効率は、前者に比べて劣るが、ダイオードの代わりにトランジスタを用いるため、LSIの内部に集積化することができ、周辺部品を含めた回路面積としては小型化が可能となる。携帯電話などの電子機器において、小型化が要求される場合には、整流用トランジスタを用いたスイッチングレギュレータ(以下、同期整流方式スイッチングレギュレータという)が用いられることが多い。

[0005] ここで、上述の電子機器に用いられるマイクロプロセッサに着目すると、演算処理を行う動作時においては、ある程度の電流が流れる一方、待機時にはわずかな電流しか流れない。図6(a)、(b)はそれぞれ、同期整流方式の降圧型スイッチングレギュレータの重負荷および軽負荷時の電流の時間波形を示す図である。同図において、 I_L は、出力インダクタに流れる電流(以下、インダクタ電流 I_L ともいう)を、 I_{out} は負荷電流を表しており、インダクタ電流 I_L の時間平均値が負荷電流 I_{out} となる。図6(a)に示すように、重負荷時においては、負荷電流 I_{out} が大きいため、インダクタ電流 I_L は常に正の値となる。ここで、インダクタ電流 I_L は、負荷に向かって流れる方向が正である。ところが、図6(b)に示すように、軽負荷時において負荷電流 I_{out} が減少すると、インダクタ電流 I_L が斜線部のように負となり、インダクタ電流 I_L の向きが反転する。その結果、同期整流方式では、軽負荷時において、出力インダクタから同期整流用トランジスタを介して接地に対して電流が流れることになる。この電流は、負荷に供給されず、出力キャパシタから供給されるものであるため、電力を無駄に消費していることになる。

[0006] たとえば、特許文献1から3には、負荷電流に応じて同期整流方式とダイオード整流方式とを切り替えるスイッチングレギュレータが開示されている。特許文献2、3に記載される技術では、インダクタ電流 I_L をモニタし、その向きが正から負に反転すると、同期整流用トランジスタをオフしてスイッチング動作を停止することにより、高効率化を図っている。

特許文献1:特開2004-32875号公報

特許文献2:特開2002-252971号公報

特許文献3:特開2003-319643号公報

発明の開示

発明が解決しようとする課題

[0007] 本発明者は、スイッチングレギュレータの出力電圧に応じた検出電圧を、ヒステリシスコンパレータを用いて高低2つの第1しきい値電圧および第2しきい値電圧と比較し、その比較結果にもとづいて、スイッチングトランジスタおよび同期整流用トランジスタを駆動するスイッチングレギュレータについて考察した結果、以下の課題を認識する

に至った。

[0008] ヒステリシスコンパレータを用いたスイッチングレギュレータにおいて、出力電圧の変動幅を小さくするためには、第1しきい値電圧と第2しきい値電圧の差、すなわちヒステリシス幅はなるべく狭く設定することが望ましい。しかしながら、ヒステリシス幅を狭くしすぎると、ノイズなどがスイッチング制御に影響をおよぼすおそれがある。また、プロセスばらつきなどによってヒステリシス幅は変動するため、ヒステリシス幅を狭くしすぎると、プロセスばらつきによってスイッチング制御に影響を受けてしまう。このような事情から、ヒステリシス幅は、所定の大きさ以上に設定する必要がある。

[0009] 上記特許文献に記載されるように、軽負荷状態においてスイッチング動作を停止すると、出力電圧の低下にともなって検出電圧も徐々に低下する。そこで、検出電圧がヒステリシスコンパレータの第2しきい値電圧まで低下すると、再びスイッチング動作を再開して出力電圧を上昇させる必要がある。一方、軽負荷状態においてスイッチング動作を停止すると、スイッチング動作を再開する際に、ある程度の遅延が発生してしまう。その結果、検出電圧が第2しきい値電圧まで低下したことを契機としてスイッチング動作を再開しようとしても、検出電圧はこの遅延時間の間、低下し続けてしまうため、出力電圧のリプルが大きくなってしまう。

[0010] 本発明はかかる課題に鑑みてなされたものであり、その包括的な目的は、ヒステリシスコンパレータを用いた同期整流方式の降圧型スイッチングレギュレータにおいて、軽負荷時の出力電圧のリプルを低減することにある。

課題を解決するための手段

[0011] 本発明のある態様の制御回路は、同期整流方式の降圧型スイッチングレギュレータのスイッチング素子をオンオフする制御回路に関する。この制御回路は、降圧型スイッチングレギュレータの出力電圧に応じた検出電圧を、第1しきい値電圧および第1しきい値電圧より低い第2しきい値電圧と比較するヒステリシスコンパレータと、降圧型スイッチングレギュレータに接続される負荷が軽負荷状態であることを検出する軽負荷検出回路と、ヒステリシスコンパレータから出力されるパルス信号にもとづき、スイッチング素子をオンオフするドライバ回路と、を備える。ヒステリシスコンパレータは、軽負荷検出回路による軽負荷状態の検出を契機として、第2しきい値電圧を所定電

圧幅だけ高電位側にシフトする。ドライバ回路は、軽負荷検出回路によって軽負荷状態が検出されると、検出電圧が第1しきい値電圧まで上昇してからシフト後の第2しきい値電圧まで下降するまでの期間、スイッチング素子のオンオフを停止する。

[0012] この態様によると、軽負荷状態において、スイッチング素子のスイッチング動作を停止した場合に、スイッチング動作を再開するのに要する時間を考慮して、第2しきい値電圧を上昇させることにより、スイッチングレギュレータの出力電圧が低下しすぎるのを防止し、リップルを抑制することができる。

[0013] ヒステリシスコンパレータは、軽負荷状態の検出から所定の遅延時間経過後に、第2しきい値電圧を高電位側にシフトしてもよい。

この場合、軽負荷状態が検出され、ドライバ回路がスイッチング動作を停止した後、すぐに負荷が重くなった場合に、シフト前の第2しきい値電圧にもとづいてスイッチング素子を駆動することができる。

[0014] ヒステリシスコンパレータは、第2しきい値電圧を高電位側にシフトした後、検出電圧がシフト後の第2しきい値電圧まで降下したことを契機として、第2しきい値電圧を所定電圧幅だけ低電位側に再シフトしてもよい。

[0015] ヒステリシスコンパレータは、その出力端子と、検出電圧が入力される端子間に直列に接続された帰還抵抗および帰還キャパシタを備えてもよい。

[0016] ヒステリシスコンパレータは、検出電圧と第1しきい値電圧とを比較する第1コンパレータと、検出電圧と第2しきい値電圧とを比較する第2コンパレータと、第1コンパレータおよび第2コンパレータの出力信号によりセット、リセットされるフリップフロップ回路と、を含み、フリップフロップ回路の出力信号をパルス信号として出力してもよい。

また、制御回路は、第1、第2しきい値電圧を生成するしきい値電圧生成回路をさらに備えてもよい。このしきい値電圧生成回路は、所定の基準電圧が印加される基準電圧端子と接地間に直列に接続された複数の分圧抵抗と、を含み、複数の分圧抵抗の接続点に現れる電圧のいずれかを選択して第1、第2しきい値電圧として出力してもよい。

ヒステリシスコンパレータを上記構成とすることにより、ヒステリシスコンパレータのしきい値電圧を必要に応じて好適に制御することができる。

[0017] 軽負荷検出回路は、スイッチング素子であるスイッチングトランジスタおよび同期整流用トランジスタの接続点に現れるスイッチング電圧を、接地電位と比較する軽負荷検出コンパレータを含み、同期整流用トランジスタがオンの期間において、スイッチング電圧が接地電位を上回ったとき、軽負荷状態と判定してもよい。

軽負荷状態において、出力インダクタに流れる電流の向きが反転すると、同期整流用トランジスタには、接地に向かって電流が流れるため、スイッチング電圧は正電圧となる。したがって、スイッチング電圧を監視することにより、軽負荷状態を好適に検出することができる。

[0018] 制御回路は、1つの半導体基板上に一体集積化されてもよい。なお、「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。

[0019] 本発明の別の態様は、降圧型スイッチングレギュレータである。この降圧型スイッチングレギュレータは、一端が接地された出力キャパシタおよび出力キャパシタの他端にその一端が接続された出力インダクタを含むスイッチングレギュレータ出力回路と、スイッチングレギュレータ出力回路に、スイッチング電圧を供給する上述の制御回路と、を備え、出力キャパシタの他端の電圧を出力する。

[0020] この態様によると、降圧型スイッチングレギュレータの出力電圧が軽負荷状態において低下しすぎるのを防止し、リップルを低減することができる。

[0021] 本発明のさらに別の態様は、電子機器である。この電子機器は、電池と、マイクロプロセッサと、電池から出力される電池電圧を降圧してマイクロプロセッサに供給する上述の降圧型スイッチングレギュレータと、を備える。

[0022] この態様によると、降圧型スイッチングレギュレータの出力電圧のリップルを低減されるため、マイクロプロセッサを安定に動作させることができる。

[0023] なお、以上の構成要素の任意の組合せや本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。
発明の効果

[0024] 本発明に係るヒステリシスコンパレータを用いた降圧型スイッチングレギュレータお

よびその制御回路によれば、軽負荷時の出力電圧のリップルを低減することができる。

図面の簡単な説明

[0025] [図1]実施の形態に係る降圧型スイッチングレギュレータの構成を示す回路図である。

。

[図2]図1の降圧型スイッチングレギュレータを搭載した電子機器の構成を示すブロック図である。

[図3]ヒステリシスコンパレータおよびしきい値電圧生成回路の構成を示す回路図である。

[図4]図4(a)、(b)は、重負荷時における図1の降圧型スイッチングレギュレータの動作状態を示すタイムチャートである。

[図5]図5(a)～(d)は、軽負荷時における図1の降圧型スイッチングレギュレータの動作状態を示すタイムチャートである。

[図6]図6(a)、(b)はそれぞれ、同期整流方式の降圧型スイッチングレギュレータの重負荷および軽負荷時の電流の時間波形を示す図である。

符号の説明

[0026] 10 ヒステリシスコンパレータ、12 第1コンパレータ、14 第2コンパレータ、20 しきい値電圧生成回路、30 ドライバ回路、50 軽負荷検出回路、52 軽負荷検出コンパレータ、100 制御回路、120 スwitchングレギュレータ出力回路、200 降圧型スイッチングレギュレータ、204 出力端子、300 電子機器、310 電池、350 マイクロプロセッサ、M1 スwitchングトランジスタ、M2 同期整流用トランジスタ、C1 出力キャパシタ、L1 出力インダクタ、Cfb 帰還キャパシタ、Rfb 帰還抵抗、SIG1 パルス信号。

発明を実施するための最良の形態

[0027] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずし

も発明の本質的なものであるとは限らない。

[0028] 図1は、実施の形態に係る降圧型スイッチングレギュレータ200の構成を示す回路図である。図2は、図1の降圧型スイッチングレギュレータ200を搭載した電子機器300の構成を示すブロック図である。電子機器300は、たとえば携帯電話端末やCDプレーヤ、PDAなどの電池駆動型の小型情報端末である。以下の実施の形態では、電子機器300は携帯電話端末として説明する。

[0029] 電子機器300は、電池310、電源装置320、アナログ回路330、デジタル回路340、マイクロプロセッサ350、LED360を含む。電池310は、たとえばリチウムイオン電池であり、電池電圧 V_{bat} として3～4V程度を出力する。アナログ回路330は、パワーアンプや、アンテナスイッチ、LNA (Low Noise Amplifier)、ミキサやPLL (Phase Locked Loop) などの高周波回路を含み、電源電圧 $V_{cc}=3.4V$ 程度で安定動作する回路ブロックを含む。また、デジタル回路340は、各種DSP (Digital Signal Processor) などを含み、電源電圧 $V_{dd}=3.4V$ 程度で安定動作する回路ブロックを含む。マイクロプロセッサ350は、電子機器300全体を統括的に制御するブロックであり、電源電圧1.5Vで動作する。LED360は、RGB3色のLED (Light Emitting Diode) を含み、液晶のバックライトや、照明として用いられ、その駆動には、4V以上の駆動電圧が要求される。

[0030] 電源装置320は、多チャンネルのスイッチング電源であり、各チャンネルごと必要に応じて、電池電圧 V_{bat} を降圧、または昇圧する複数のスイッチングレギュレータを備え、アナログ回路330、デジタル回路340、マイクロプロセッサ350、LED360に対して適切な電源電圧を供給する。

[0031] 本実施の形態に係る図1の降圧型スイッチングレギュレータ200は、たとえば1.5Vで動作するマイクロプロセッサ350のように、消費電流が動作状態に応じて変化する負荷に対して、安定な電圧を駆動する用途に好適に用いられる。以下、図1に戻り、本実施の形態に係る降圧型スイッチングレギュレータ200の構成について詳細に説明する。

[0032] 降圧型スイッチングレギュレータ200は、同期整流方式の降圧型スイッチングレギュレータであり、制御回路100、スイッチングレギュレータ出力回路120を含む。制御回

路100は、ひとつの半導体基板に集積化されたLSIチップであり、スイッチング素子として機能するスイッチングトランジスタM1、同期整流用トランジスタM2は、この制御回路100に内蔵される。スイッチングトランジスタM1、同期整流用トランジスタM2は、ディスクリット素子を用いて制御回路100の外部に設けてもよい。

[0033] スイッチングレギュレータ出力回路120は、出力インダクタL1、出力キャパシタC1を含む。出力キャパシタC1は一端が接地され、他端が出力インダクタL1の一端に接続される。出力インダクタL1の他端は、制御回路100と接続される。降圧型スイッチングレギュレータ200は、出力キャパシタC1に現れる電圧を出力電圧Voutとして、図示しない負荷に出力する。本実施の形態において、負荷は、図2のマイクロプロセッサ350に相当する。

[0034] この降圧型スイッチングレギュレータ200は、制御回路100によって出力インダクタL1に流れる電流を制御してエネルギー変換を行い、入力電圧Vinを降圧する。降圧された電圧は、出力キャパシタC1により平滑化され、出力端子204に接続される負荷に出力電圧Voutとして供給される。以下、負荷に流れる電流を負荷電流Iout、出力インダクタL1に流れる電流をインダクタ電流ILという。また、インダクタ電流ILは、負荷に向かって流れる向きを正方向とする。

[0035] 制御回路100は、入力・出力端子として、入力端子102、スイッチング端子104、電圧帰還端子106を備える。入力端子102には電池310が接続され、入力電圧Vinとして電池電圧Vbatが入力される。また、スイッチング端子104は、出力インダクタL1に接続され、制御回路100の内部で生成したスイッチング電圧Vswを出力する。また、電圧帰還端子106は、図示しない負荷に印加される出力電圧Voutが帰還される端子である。

[0036] 制御回路100は、ヒステリシスコンパレータ10、しきい値電圧生成回路20、ドライバ回路30、出力段40、軽負荷検出回路50、第1抵抗R1、第2抵抗R2を含む。

[0037] 出力段40は、スイッチング素子であるスイッチングトランジスタM1、同期整流用トランジスタM2を含む。スイッチングトランジスタM1は、PチャンネルMOSトランジスタであって、ソースは入力端子102に接続され、ドレインはスイッチング端子104に接続される。スイッチングトランジスタM1のバックゲートは入力端子102と接続される。

- [0038] 同期整流用トランジスタM2は、NチャンネルMOSトランジスタであって、ソースは接地され、ドレインはスイッチングトランジスタM1のドレインおよびスイッチング端子104と接続される。また、同期整流用トランジスタM2のバックゲートは接地されている。
- [0039] スwitchングトランジスタM1、同期整流用トランジスタM2は、入力電圧 V_{in} が印加される入力端子102と接地間に直列に接続されており、2つのトランジスタの接続点の電圧を、スイッチング電圧 V_{sw} として本制御回路100の外部に接続される出力インダクタL1の一端に印加する。
- [0040] 第1抵抗R1、第2抵抗R2は、電圧帰還端子106に帰還された出力電圧 V_{out} を分圧し、出力電圧 V_{out} に比例した検出電圧 $V_{out}' = R2 / (R1 + R2) \times V_{out}$ を出力する。ヒステリシスコンパレータ10は、降圧型スイッチングレギュレータ200の出力電圧 V_{out} に応じた検出電圧 V_{out}' を、高低2つしきい値電圧と比較する。以下、2つのしきい値電圧のうち、高い方を第1しきい値電圧 V_{th1} 、低い方を第2しきい値電圧 V_{th2} という。第1しきい値電圧 V_{th1} 、第2しきい値電圧 V_{th2} は、しきい値電圧生成回路20によって生成される。
- [0041] 図3は、ヒステリシスコンパレータ10およびしきい値電圧生成回路20の構成を示す回路図である。
- しきい値電圧生成回路20は、複数の分圧抵抗R20～R23、第1スイッチSW1、第2スイッチSW2を含む。しきい値電圧生成回路20は、その第1出力端子20aから第1しきい値電圧 V_{th1} を出力し、第2出力端子20bから第2しきい値電圧 V_{th2} を出力する。
- [0042] 分圧抵抗R20～R23は、所定の基準電圧 V_{ref} が印加される基準電圧端子22と接地間に直列に接続される。分圧抵抗R23と分圧抵抗R22の接続点に現れる電圧は、第1出力端子20aから第1しきい値電圧 V_{th1} として出力される。
- また、分圧抵抗R20および分圧抵抗R21の接続点は、第1スイッチSW1を介して第2出力端子20bと接続される。分圧抵抗R21と分圧抵抗R22の接続点は、第2スイッチSW2を介して第2出力端子20bと接続される。本実施の形態においては、制御信号SIG2がローレベルのとき第1スイッチSW1がオンし、ハイレベルのとき第2スイッチSW2がオンするものとする。したがって、第2出力端子20bから出力される第2しき

い値電圧 V_{th2} は、電圧値 V_{th2L} と、これを所定電圧幅 ΔV だけ高電位側にシフトした電圧値 V_{th2H} の2値で切り替えられるようになっている。

[0043] ヒステリシスコンパレータ10は、第1コンパレータ12、第2コンパレータ14、RSフリップフロップ16、帰還キャパシタ C_{fb} 、帰還抵抗 R_{fb} を備える。

第1コンパレータ12は、入力端子10aに入力された検出電圧 V_{out}' と、第1しきい値電圧 V_{th1} と、を比較する。第2コンパレータ14は、検出電圧 V_{out}' と、第2しきい値電圧 V_{th2} と、を比較する。RSフリップフロップ16のセット端子には第2コンパレータ14の出力が接続され、リセット端子には第1コンパレータ12の出力が接続される。ヒステリシスコンパレータ10は、RSフリップフロップ16の出力信号をパルス信号SIG1として出力端子10bから出力する。また、ヒステリシスコンパレータ10の入力端子10aと出力端子10b間には、帰還キャパシタ C_{fb} 、帰還抵抗 R_{fb} が直列に接続されている。

[0044] 図1に戻る。ドライバ回路30は、ヒステリシスコンパレータ10から出力されるパルス信号SIG1にもとづき、スイッチングトランジスタM1および同期整流用トランジスタM2を相補的にオンオフする。ドライバ回路30は、パルス信号SIG1がハイレベルのときスイッチングトランジスタM1をオン、パルス信号SIG1がローレベルのとき、同期整流用トランジスタM2をオンとする。

[0045] 軽負荷検出回路50は、降圧型スイッチングレギュレータに接続される負荷が軽負荷状態であることを検出する。軽負荷検出回路50は、軽負荷検出コンパレータ52を含む。軽負荷検出コンパレータ52は、スイッチングトランジスタM1および同期整流用トランジスタM2の接続点に現れるスイッチング電圧 V_{sw} と、接地電位を比較する。軽負荷検出コンパレータ52から出力される比較信号 V_{cmp} は、 $V_{sw} > 0V$ のときハイレベル、 $V_{sw} < 0V$ のときローレベルとなる。比較信号 V_{cmp} は、ロジック回路60およびドライバ回路30へと出力される。

[0046] ドライバ回路30は、同期整流用トランジスタM2がオンの期間、すなわちそのゲート電圧 V_{g2} がハイレベルの期間に、スイッチング電圧 V_{sw} が接地電位を上回り、ハイレベルの比較信号 V_{cmp} が出力されると、同期整流用トランジスタM2のゲート電圧 V_{g2} を強制的にローレベルに固定する。その結果、検出電圧 V_{out}' が第2しきい値電圧

Vth2まで降下し、ヒステリシスコンパレータ10から出力されるパルス信号SIG1がハイレベルとなるまでの期間、スイッチングトランジスタM1、同期整流用トランジスタM2のスイッチング動作は停止されることになる。すなわち、ドライバ回路30は、軽負荷検出回路50によって軽負荷状態が検出されると、検出電圧Vout'が第1しきい値電圧Vth1から第2しきい値電圧Vth2に降下するまでの期間、スイッチング素子のオンオフを停止する。

[0047] ロジック回路60には、ヒステリシスコンパレータ10から出力されるパルス信号SIG1、軽負荷検出回路50から出力される比較信号Vcmpが入力される。ロジック回路60は、入力された2つの信号にもとづいて制御信号SIG2を生成する。ロジック回路60は、ハイレベルの比較信号Vcmpが入力されると、所定の遅延時間 τ 経過後に、制御信号SIG2をハイレベルとする。また、ロジック回路60は、パルス信号SIG1がハイレベルからローレベルとなると、制御信号SIG2をローレベルとする。

[0048] 以上のように構成された降圧型スイッチングレギュレータ200の動作について図4(a)、(b)および図5(a)～(d)に示すタイミングチャートを参照しながら説明する。これらのタイミングチャートは、説明を簡潔にするため、縦軸および横軸を適宜拡大、縮小して示している。

[0049] まず、図4(a)、(b)を参照して重負荷時の降圧型スイッチングレギュレータ200の動作について説明する。図4(a)、(b)は、重負荷時における図1の降圧型スイッチングレギュレータ200の動作状態を示すタイムチャートである。図4(a)は、検出電圧Vout'を、図4(b)は、パルス信号SIG1を示す。

[0050] 重負荷時には、軽負荷検出回路50による軽負荷状態の検出はなされず、制御信号SIG2はローレベルとなっている。したがって、しきい値電圧生成回路20により生成される第2しきい値電圧Vth2は、 $Vth2 = Vth2L$ となる。また、ドライバ回路30はヒステリシスコンパレータ10から出力されるパルス信号SIG1にもとづいてスイッチングトランジスタM1、同期整流用トランジスタM2を相補的にオンオフする。

[0051] 重負荷時には、パルス信号SIG1がハイレベルとなると、スイッチングトランジスタM1がオンし、出力電圧Voutが上昇する。これにともなって、検出電圧Vout'が第1しきい値電圧Vth1まで上昇すると、パルス信号SIG1はローレベルとなる。パル

ス信号SIG1がローレベルとなると、ドライバ回路30は、スイッチングトランジスタM1がオフし、同期整流用トランジスタM2をオンする。同期整流用トランジスタM2がオンとなると、出力電圧Voutは低下し、これにともなって検出電圧Vout'も低下し、第2しきい値電圧Vth2(=Vth2L)まで降下する。

[0052] 検出電圧Vout'が第2しきい値電圧Vth2(=Vth2L)まで降下すると、パルス信号SIG1は再びハイレベルとなり、スイッチングトランジスタM1がオン、同期整流用トランジスタM2がオフする。このように、重負荷時には、検出電圧Vout'は、第1しきい値電圧Vth1と第2しきい値電圧Vth2(=Vth2L)の2値の間で安定化される。

[0053] つぎに図5(a)～(d)を参照して軽負荷時の降圧型スイッチングレギュレータ200の動作について説明する。図5(a)～(d)は、軽負荷時における図1の降圧型スイッチングレギュレータ200の動作状態を示すタイムチャートであり、図5(a)は、検出電圧Vout'および第1、第2しきい値電圧Vth1、Vth2を、図5(b)は、パルス信号SIG1を、図5(c)は比較信号Vcmpを、図5(d)は制御信号SIG2を示す。

[0054] 軽負荷状態のある時刻T0において、パルス信号SIG1はローレベルからハイレベルに遷移する。上述したように、ヒステリシスコンパレータ10には帰還キャパシタCfb、帰還抵抗Rfbによる帰還経路が設けられているため、パルス信号SIG1の遷移が入力端子側に帰還される。その結果、帰還キャパシタCfbおよび帰還抵抗Rfbの容量値、抵抗値で決まる所定時間経過後に、ヒステリシスコンパレータ10の反転入力端子側の電圧が、ヒステリシスコンパレータ10のしきい値電圧を跨ぎ、パルス信号SIG1はローレベルとなる。パルス信号SIG1がハイレベルからローレベルに遷移すると、この遷移が帰還キャパシタCfb、帰還抵抗Rfbを介して反転入力端子に帰還され、パルス信号SIG1は再度ハイレベルとなる。このように、軽負荷状態においては、ヒステリシスコンパレータ10から出力されるパルス信号SIG1は、帰還キャパシタCfb、帰還抵抗Rfbにより、ハイレベルとローレベルを交互に繰り返す。

[0055] ドライバ回路30は、パルス信号SIG1にもとづいて、スイッチングトランジスタM1、同期整流用トランジスタM2を相補的にオンオフする。その結果、出力電圧Voutは徐々に上昇していき、検出電圧Vout'も徐々に上昇していく。時刻T1に検出電圧Vout'が第1しきい値電圧Vth1に達する。ここでコンパレータの有する遅延時間を Δ

T1とすると、パルス信号SIG1は、時刻T1から遅延時間 $\Delta T1$ 経過後の時刻T2にローレベルとなる。検出電圧 V_{out}' が第1しきい値電圧 V_{th1} を超えると、パルス信号SIG1の遷移が帰還キャパシタ C_{fb} および帰還抵抗 R_{fb} により帰還されても、しきい値電圧を跨ぐことはなくなる。その結果、帰還キャパシタ C_{fb} 、帰還抵抗 R_{fb} によるパルス信号SIG1の変動は停止し、検出電圧 V_{out}' が第2しきい値電圧 V_{th2} まで低下するまでの期間、ローレベルを維持し続ける。

[0056] 時刻T2にパルス信号SIG1がローレベルとなると、ドライバ回路30は同期整流用トランジスタM2をオン、スイッチングトランジスタM1をオフする。同期整流用トランジスタM2がオンすると、正の向きに流れていたインダクタ電流 I_L が徐々に減少する。やがて、インダクタ電流 I_L の向きが正から負に反転する時刻T3に、軽負荷検出回路50の出力である比較信号 V_{cmp} がハイレベルとなる。比較信号 V_{cmp} がハイレベルとなると、ドライバ回路30は同期整流用トランジスタM2を強制的にオフしてスイッチング動作を停止する。スイッチングトランジスタM1、同期整流用トランジスタM2のスイッチング動作が停止すると、出力キャパシタ C_1 への電荷供給が停止するため、検出電圧 V_{out}' は、緩やかに低下していく。

[0057] ロジック回路60は、時刻T3に比較信号 V_{cmp} がハイレベルとなってから、すなわち、軽負荷状態を検出してから所定の遅延時間 τ 経過後の時刻T4に、制御信号SIG2をハイレベルとする。制御信号SIG2がハイレベルとなると、しきい値電圧生成回路20は、第2しきい値電圧 V_{th2} を、もとのしきい値電圧 V_{th2L} から所定電圧幅 ΔV だけ高電位側のしきい値電圧 V_{th2H} にシフトする。検出電圧 V_{out}' は、緩やかに下降を続け、時刻T5に、高電位側にシフトされた第2しきい値電圧 $V_{th2}(=V_{th2H})$ まで低下する。時刻T5に $V_{out}' < V_{th2H}$ となってから、ヒステリシスコンパレータ10の遅延時間 $\Delta T1$ 経過後の時刻T6に、パルス信号SIG1はハイレベルとなる。

[0058] ここで、スイッチング動作を停止しているドライバ回路30のスイッチング動作を再開するためには、ある程度の時間を必要とする。この時間を $\Delta T2$ とすると、時刻T6にパルス信号SIG1がハイレベルとなってから、時間 $\Delta T2$ 経過後の時刻T7に、スイッチング動作が再開される。すなわち、検出電圧 V_{out}' が第2しきい値電圧 V_{th2H} まで低下してから、スイッチング動作が再開されるまでには、 $\Delta T = \Delta T1 + \Delta T2$ の遅延が

発生し、この間、検出電圧 V_{out}' は電圧幅 δV だけ低下する。

[0059] もし、第2しきい値電圧 V_{th2} を一定値 V_{th2L} に固定した場合、すなわち $\Delta V = 0V$ に設定した場合、軽負荷時において検出電圧 V_{out}' は $(V_{th2L} - \delta V)$ まで低下することになるため、出力電圧 V_{out} のリプルが大きくなる。

そこで、本実施の形態に係る降圧型スイッチングレギュレータ200では、しきい値電圧生成回路20において、 $\Delta V \simeq \delta V$ が成り立つように、電圧幅 ΔV を設定する。このように電圧幅 ΔV を設定することにより、遅延時間 ΔT の間に、検出電圧 V_{out}' が第2しきい値電圧 V_{th2L} を下回るのを好適に防止し、出力電圧 V_{out} のリプルを抑えることができる。

[0060] 時刻 T_6 にパルス信号SIG1がローレベルとなると、ロジック回路60は制御信号SIG2をローレベルとする。制御信号SIG2がローレベルとなると、しきい値電圧生成回路20は第2しきい値電圧 V_{th2} を低電圧側に所定電圧幅 ΔV だけ再シフトする。

[0061] 時刻 T_7 にドライバ回路30によってスイッチングトランジスタM1がオンされる。スイッチングトランジスタM1がオンすると、検出電圧 V_{out}' は上昇する。その後、ヒステリシスコンパレータ10において、帰還キャパシタ C_{fb} 、帰還抵抗 R_{fb} による期間によってパルス信号SIG1がハイレベルとローレベルを繰り返すことにより、検出電圧 V_{out}' は上昇していく。

[0062] 以上のように、本実施の形態に係る降圧型スイッチングレギュレータ200によれば、軽負荷時において、ヒステリシスコンパレータ10の第2しきい値電圧 V_{th2} を所定電圧幅 ΔV だけ上昇させることにより、出力電圧 V_{out} (検出電圧 V_{out}') のリプルを低減することができる。

[0063] また、軽負荷状態を検出してから遅延時間 τ 経過後に第2しきい値電圧 V_{th2} をシフトさせることにより、軽負荷状態となった直後に重負荷に戻った場合に、スイッチング動作を直ちに再開することができる。

[0064] 上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

[0065] 実施の形態では、ヒステリシスコンパレータ10を図3に示す構成とした場合につい

て説明したが、これには限定されず、一般的なヒステリシスコンパレータのように、正帰還をかけることによってヒステリシスコンパレータを構成してもよい。

[0066] 実施の形態では、制御回路100を含む降圧型スイッチングレギュレータ200により駆動される負荷としてマイクロプロセッサを例に説明したが、これには限定されず、負荷電流が減少して軽負荷状態で動作するさまざまな負荷に対して、駆動電圧を供給することができる。

[0067] 実施の形態では、制御回路100がひとつのLSIに一体集積化される場合について説明したが、これには限定されず、一部の構成要素がLSIの外部にディスクリート素子あるいはチップ部品として設けられ、あるいは複数のLSIにより構成されてもよい。

[0068] また、本実施の形態において、ハイレベル、ローレベルの論理値の設定は一例であって、インバータなどによって適宜反転させることにより自由に変更することが可能である。

[0069] 実施の形態にもとづき、本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎないことはいうまでもなく、実施の形態には、請求の範囲に規定された本発明の思想を離脱しない範囲において、多くの変形例や配置の変更が可能であることはいうまでもない。

産業上の利用可能性

[0070] 本発明に係るヒステリシスコンパレータを用いた降圧型スイッチングレギュレータおよびその制御回路は、さまざまな電子機器の電源供給に利用することができる。

請求の範囲

- [1] 同期整流方式の降圧型スイッチングレギュレータのスイッチング素子をオンオフする制御回路であって、
- 前記降圧型スイッチングレギュレータの出力電圧に応じた検出電圧を、第1しきい値電圧および前記第1しきい値電圧より低い第2しきい値電圧と比較するヒステリシスコンパレータと、
- 前記降圧型スイッチングレギュレータに接続される負荷が軽負荷状態であることを検出する軽負荷検出回路と、
- 前記ヒステリシスコンパレータから出力されるパルス信号にもとづき、前記スイッチング素子をオンオフするドライバ回路と、を備え、
- 前記ヒステリシスコンパレータは、前記軽負荷検出回路による軽負荷状態の検出を契機として、前記第2しきい値電圧を所定電圧幅だけ高電位側にシフトし、かつ、
- 前記ドライバ回路は、前記軽負荷検出回路によって軽負荷状態が検出されると、前記検出電圧が前記第1しきい値電圧まで上昇してからシフト後の前記第2しきい値電圧まで下降するまでの期間、前記スイッチング素子のオンオフを停止することを特徴とする制御回路。
- [2] 前記ヒステリシスコンパレータは、前記軽負荷状態の検出から所定の遅延時間経過後に、前記第2しきい値電圧を高電位側にシフトすることを特徴とする請求項1に記載の制御回路。
- [3] 前記ヒステリシスコンパレータは、前記第2しきい値電圧を高電位側にシフトした後、前記検出電圧がシフト後の前記第2しきい値電圧まで降下したことを契機として、前記第2しきい値電圧を前記所定電圧幅だけ低電位側に再シフトすることを特徴とする請求項1に記載の制御回路。
- [4] 前記ヒステリシスコンパレータは、その出力端子と、前記検出電圧が入力される端子間に直列に接続された帰還抵抗および帰還キャパシタを備えることを特徴とする請求項1に記載の制御回路。
- [5] 前記ヒステリシスコンパレータは、
- 前記検出電圧と、前記第1しきい値電圧と、を比較する第1コンパレータと、

前記検出電圧と、前記第2しきい値電圧と、を比較する第2コンパレータと、

前記第1コンパレータおよび前記第2コンパレータの出力信号によりセット、リセットされるフリップフロップ回路と、

を含み、前記フリップフロップ回路の出力信号を前記パルス信号として出力することを特徴とする請求項1から4のいずれかに記載の制御回路。

[6] 前記第1、第2しきい値電圧を生成するしきい値電圧生成回路をさらに備え、

当該しきい値電圧生成回路は、

所定の基準電圧が印加される基準電圧端子と接地間に直列に接続された複数の分圧抵抗と、

を含み、前記複数の分圧抵抗の接続点に現れる電圧のいずれかを選択して前記第1、第2しきい値電圧として出力することを特徴とする請求項5に記載の制御回路。

[7] 前記軽負荷検出回路は、

前記スイッチング素子であるスイッチングトランジスタおよび同期整流用トランジスタの接続点に現れるスイッチング電圧を、接地電位と比較する軽負荷検出コンパレータを含み、前記同期整流用トランジスタがオンの期間において、前記スイッチング電圧が接地電位を上回ったとき、軽負荷状態と判定することを特徴とする請求項1から4のいずれかに記載の制御回路。

[8] 1つの半導体基板上に一体集積化されることを特徴とする請求項1から4のいずれかに記載の制御回路。

[9] 一端が接地された出力キャパシタおよび前記出力キャパシタの他端にその一端が接続された出力インダクタを含むスイッチングレギュレータ出力回路と、

前記スイッチングレギュレータ出力回路に、スイッチング電圧を供給する請求項1から4のいずれかに記載の制御回路と、

を備え、前記出力キャパシタの他端の電圧を出力することを特徴とする降圧型スイッチングレギュレータ。

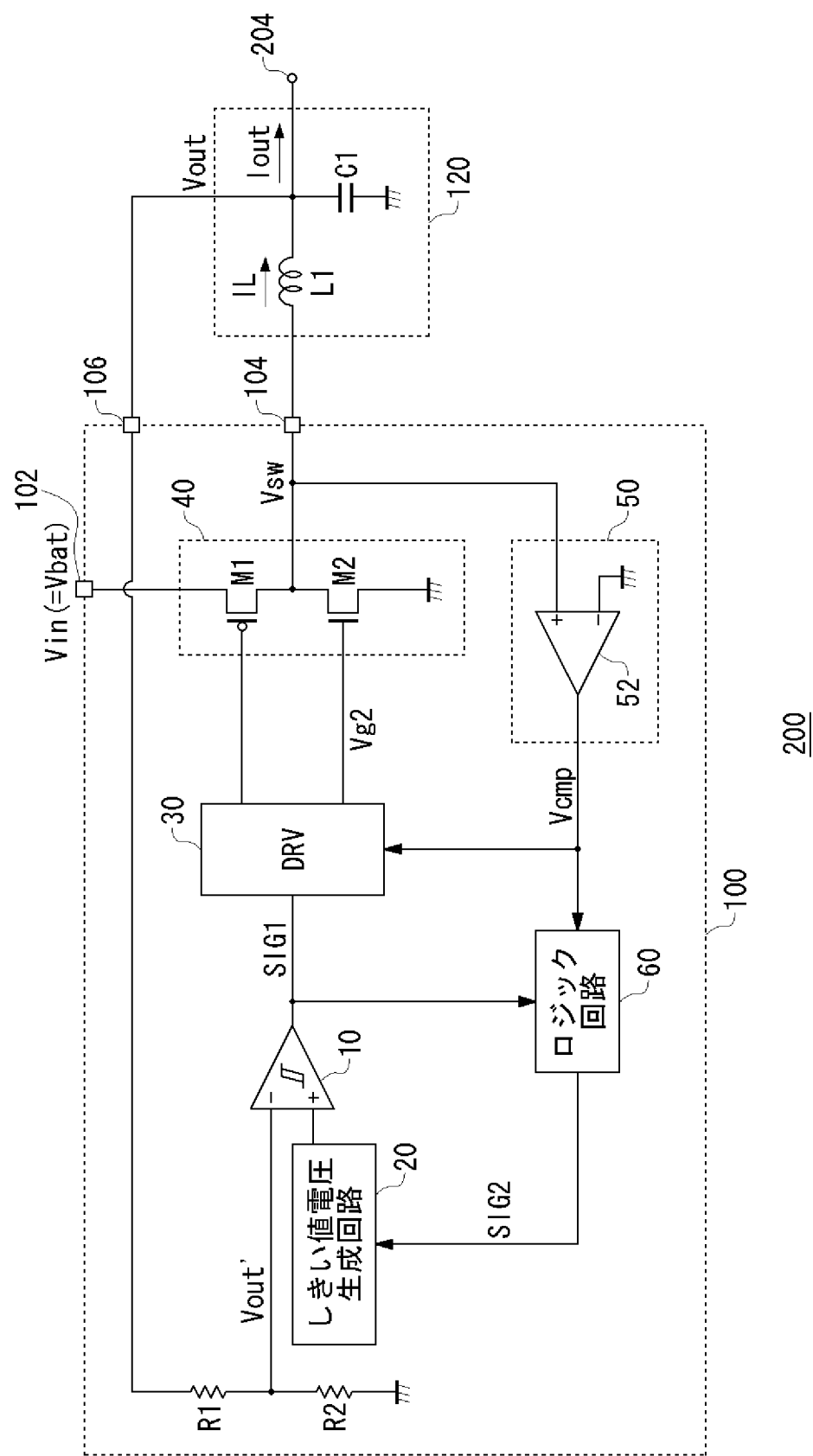
[10] 電池と、

マイクロプロセッサと、

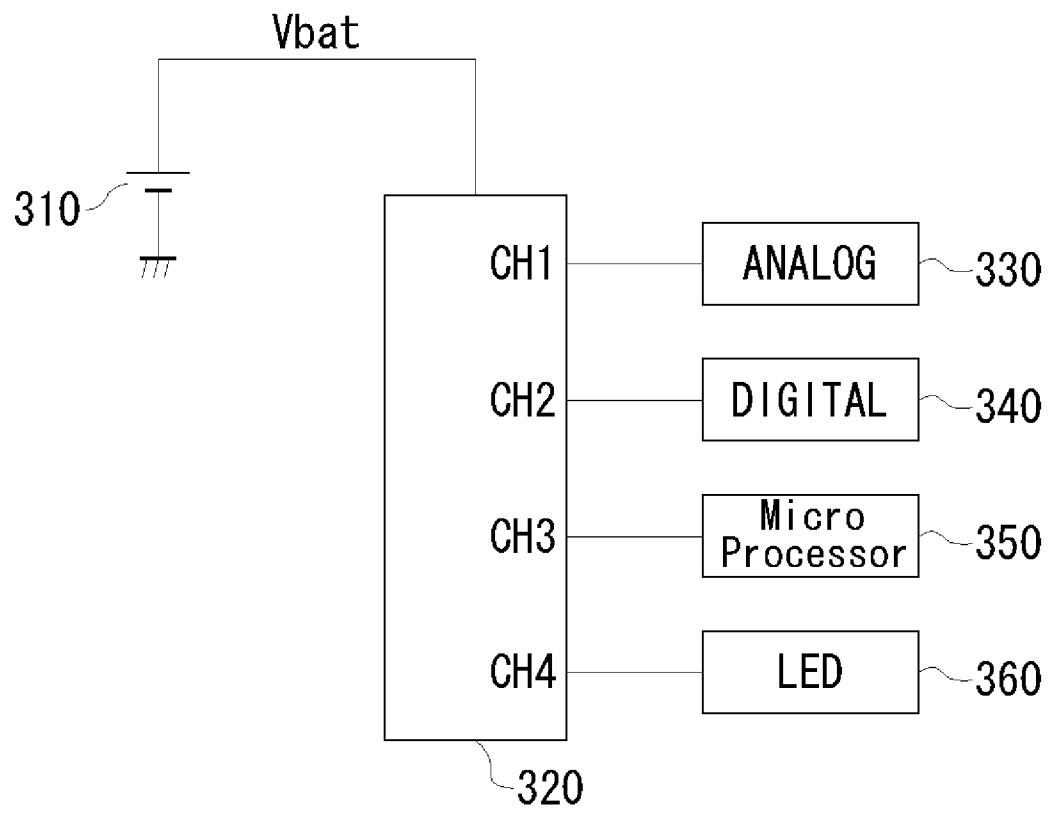
前記電池から出力される電池電圧を降圧して前記マイクロプロセッサに供給する請

求項9に記載の降圧型スイッチングレギュレータと、
を備えることを特徴とする電子機器。

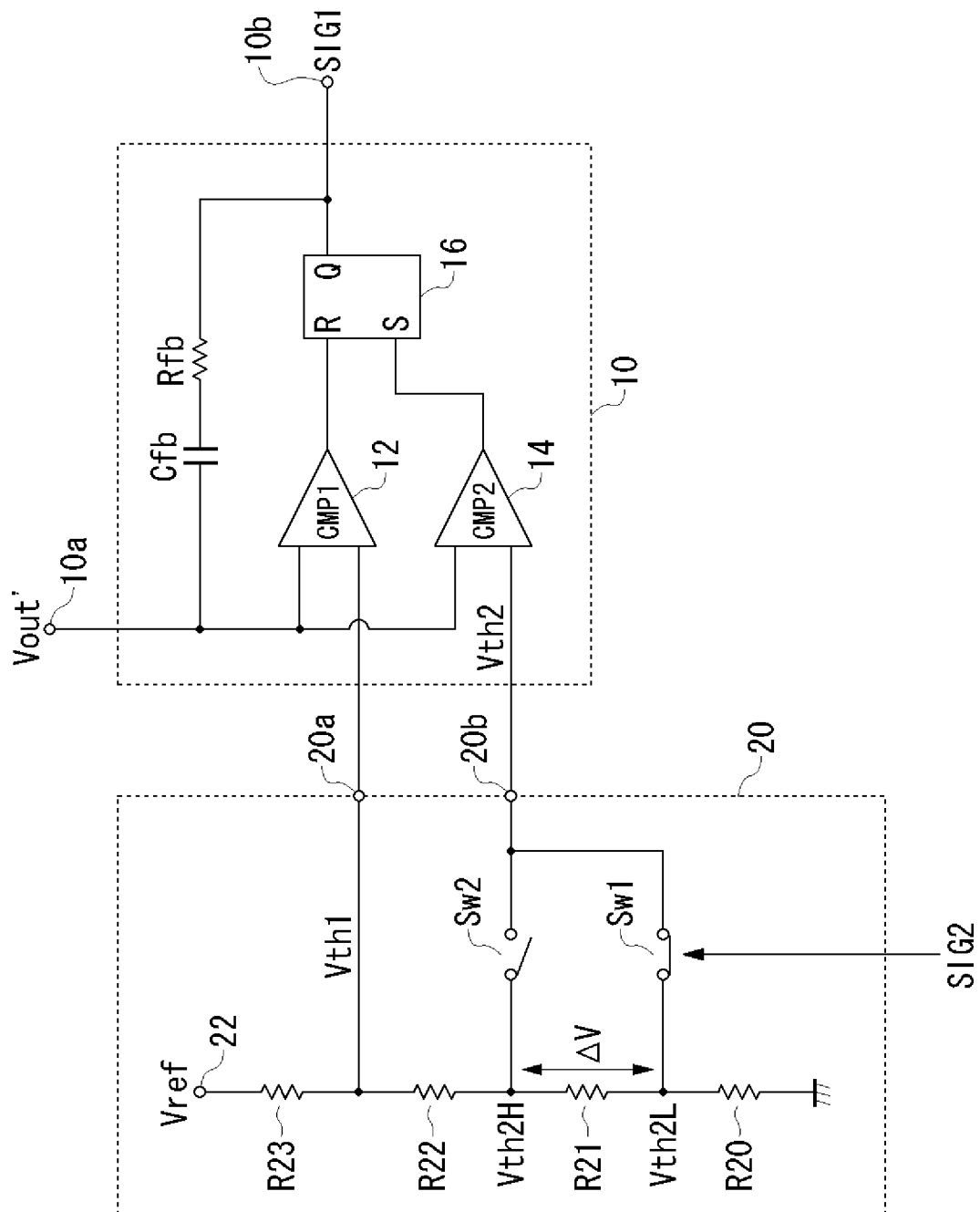
[図1]



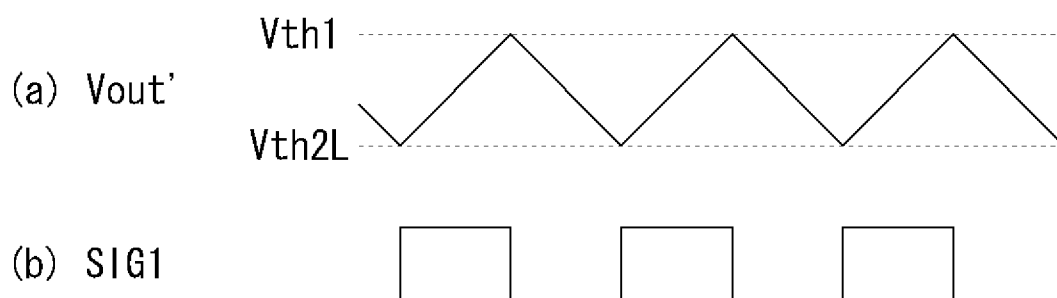
[図2]

300

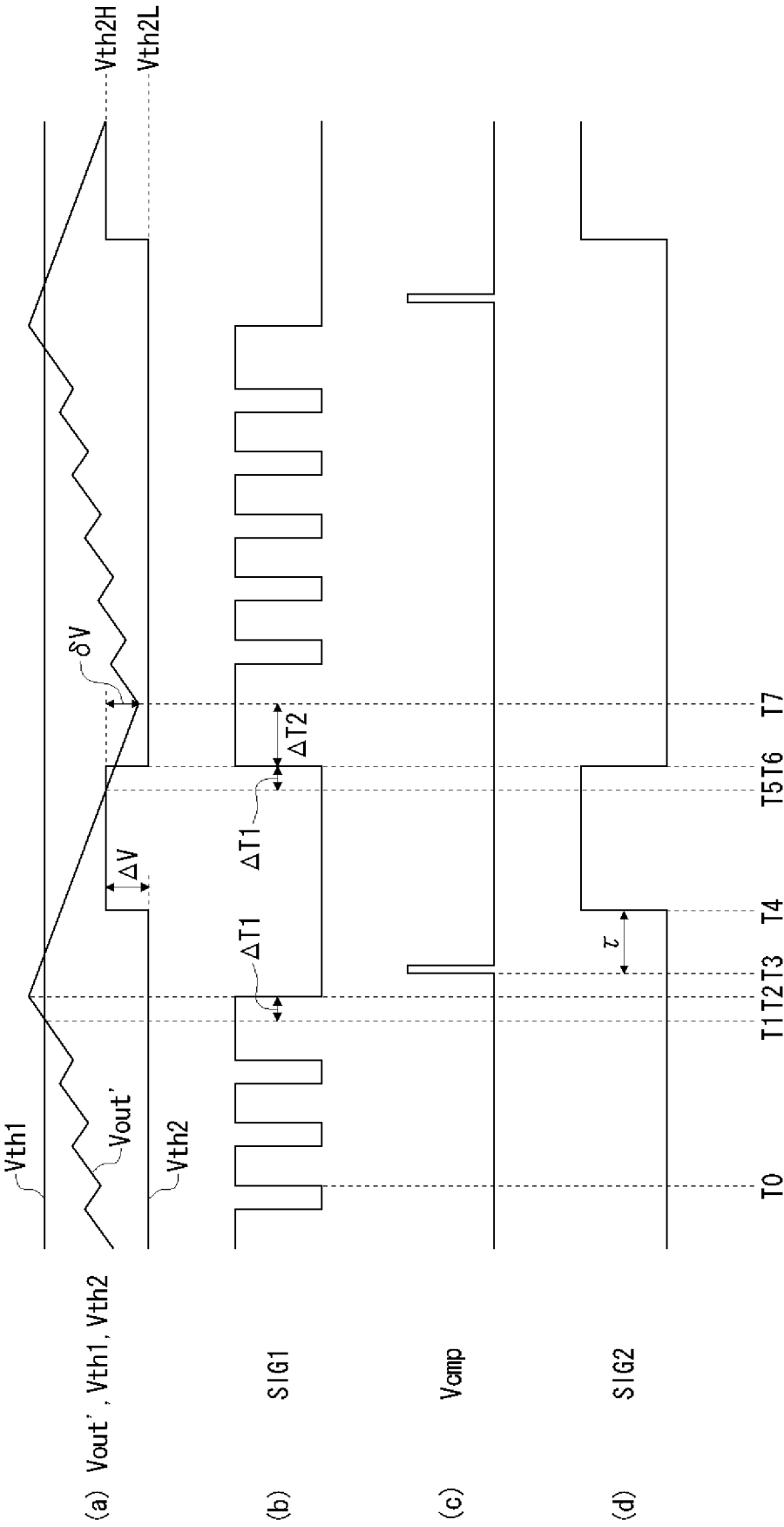
[図3]



[図4]

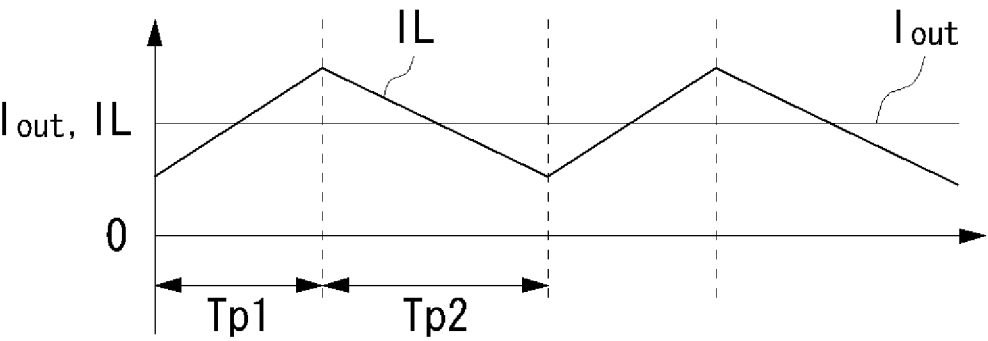


[図5]

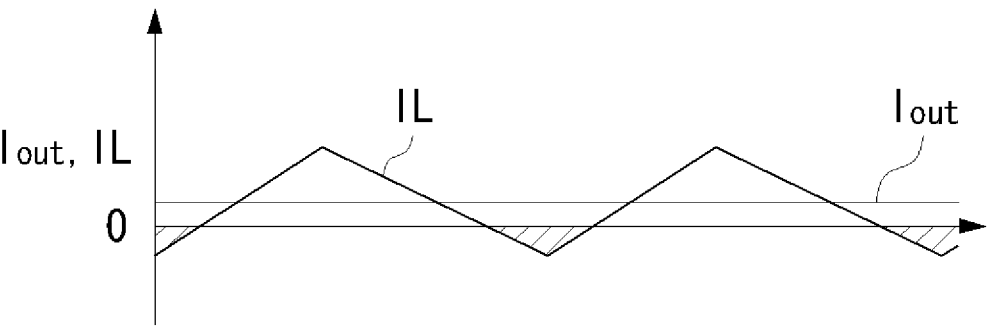


[図6]

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/313768

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-201475 A (Texas Instruments Japan Ltd.), 18 July, 2000 (18.07.00), Par. Nos. [0040] to [0067]; Figs. 1 to 3 (Family: none)	1-10
A	JP 2005-39907 A (Fuji Electric Device Technology Co., Ltd.), 10 February, 2005 (10.02.05), Par. Nos. [0017] to [0061]; Figs. 1 to 9 (Family: none)	1-10
A	JP 10-225105 A (Toyoda Automatic Loom Works, Ltd.), 21 August, 1998 (21.08.98), Par. Nos. [0002] to [0016]; Figs. 7, 8 & US 5912552 A	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 October, 2006 (03.10.06)

Date of mailing of the international search report
10 October, 2006 (10.10.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/313768

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-281744 A (NEC Kansai, Ltd.), 27 September, 2002 (27.09.02), Par. Nos. [0002] to [0024]; Figs. 1 to 4 (Family: none)	1-10
A	JP 6-14533 A (Seiko Epson Corp.), 21 January, 1994 (21.01.94), Par. Nos. [0002] to [0010]; Figs. 1 to 6 (Family: none)	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M3/155(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 0 - 2 0 1 4 7 5 A (日本テキサス・インスツルメンツ株式会社) 18.07.2000, 【0040】 - 【0067】, 図1-3 (ファミリーなし)	1-10
A	J P 2 0 0 5 - 3 9 9 0 7 A (富士電機デバイステクノロジー株式会社) 10.02.2005, 【0017】 - 【0061】, 図1-9 (ファミリーなし)	1-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

03.10.2006

国際調査報告の発送日

10.10.2006

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3357

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 1 0 - 2 2 5 1 0 5 A (株式会社豊田自動織機製作所) 2 1 . 0 8 . 1 9 9 8 , 【 0 0 0 2 】 - 【 0 0 1 6 】 , 図 7 , 8 & U S 5 9 1 2 5 5 2 A	1 - 1 0
A	J P 2 0 0 2 - 2 8 1 7 4 4 A (関西日本電気株式会社) 2 7 . 0 9 . 2 0 0 2 , 【 0 0 0 2 】 - 【 0 0 2 4 】 , 図 1 - 4 (ファミリーなし)	1 - 1 0
A	J P 6 - 1 4 5 3 3 A (セイコーエプソン株式会社) 2 1 . 0 1 . 1 9 9 4 , 【 0 0 0 2 】 - 【 0 0 1 0 】 , 図 1 - 6 (ファミリーなし)	1 - 1 0