



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA NUMERO	101998900717391
Data Deposito	13/11/1998
Data Pubblicazione	13/05/2000

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	11	C		

Titolo

CIRCUITO DI LETTURA ANALOGICO AD ALTA PRECISIONE PER CELLE DI MEMORIA NON VOLATILE, IN PARTICOLARE ANALOGICHE O MULTILIVELLO FLASH O EEPROM.

DESCRIZIONE

del brevetto per invenzione industriale
di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventori: PASOTTI Marco, CANEGALLO Roberto, GUAITINI
Giovanni, ROLANDI Pier Luigi

*** **

TO 98A 000962

La presente invenzione si riferisce ad un circuito di lettura analogico ad alta precisione per celle di memoria non volatile, in particolare analogiche o multivello flash o EEPROM.

Come è noto e illustrato in figura 1, una matrice 1 di memoria flash comprende una pluralità di celle 2 disposte su righe e colonne. I terminali di porta delle celle disposte su una stessa riga sono collegati ad una rispettiva linea di parola 3, mentre i terminali di pozzo delle celle appartenenti ad una stessa colonna sono collegati ad una rispettiva linea di bit 4. Le linee di parola 3 sono collegate ad un decodificatore di riga 5 e le linee di bit 4 sono collegate ad un decodificatore di colonna 6. Una unità di comando 7, collegata con i decodificatori 5 e 6, trasmette ai decodificatori segnali di indirizzo e di comando per selezionare, di volta in volta, una sola linea di parola 3 e una sola linea di bit

CERRARO Elettro
Iscrizione Albo nr 426/BMI



4. In questo modo è quindi possibile accedere alla cella 2 collegata con la linea di parola e la linea di bit selezionate.

In particolare, la lettura di una cella 2 può essere effettuata ponendo la linea di parola 3 selezionata ad un prefissato potenziale V_{cpk} (ad esempio 6-7 V) e forzando nella linea di bit 4 selezionata una corrente di polarizzazione I_f . Polarizzando inoltre la cella selezionata in modo che questa operi in zona lineare, il valore della corrente I_f è espresso dalla seguente equazione:

$$I_f = K \cdot (W/L) \cdot [(V_{cpk} - V_{th}) \cdot V_{DS} - V_{DS}^2/2] \quad (1)$$

in cui K è una costante legata al processo di fabbricazione della cella, W/L è il rapporto dimensionale larghezza/lunghezza della cella, V_{th} è la tensione di soglia della cella (ovvero la minima differenza di potenziale da applicare fra i terminali di porta e di sorgente della cella perché la stessa inizi a condurre corrente), V_{DS} è la caduta di tensione pozzo-sorgente della cella e il termine $(V_{cpk} - V_{th})$ è l'overdrive della cella.

Polarizzando opportunamente la cella, la differenza di potenziale V_{DS} risulta costante e il termine $V_{DS}^2/2$ è trascurabile. Pertanto, nelle condizioni descritte, la corrente I_f fluente attraverso la cella dipende linearmente dalla tensione di soglia V_{th} .

La linea di bit 4 è a sua volta collegata con un circuito amplificatore ("sense amplifier") avente il compito di rilevare la corrente I_f fluente nella cella e, nel caso di lettura analogica, è in grado di fornire in uscita un segnale correlato alla tensione di soglia della cella 2.

Sono note diverse soluzioni per la realizzazione di circuiti amplificatori per la lettura di celle di memoria flash.

Una prima soluzione è relativa ai cosiddetti circuiti amplificatori a lettura diretta, in cui il terminale di pozzo della cella da leggere è collegato ad un elemento di carico attraverso un transistor di polarizzazione. In questo caso, l'uscita del circuito amplificatore è data dal potenziale esistente su un terminale dell'elemento di carico, normalmente costituito da un transistor MOS collegato a diodo (ossia con i terminali di porta e di pozzo collegati in corto circuito). Il transistor di polarizzazione limita la caduta di potenziale fra i terminali di pozzo e di sorgente della cella da leggere, in modo che la cella stessa lavori in zona lineare e sia inoltre evitato il fenomeno del "soft programming", cioè della scrittura indesiderata della cella durante la fase di lettura.

Circuiti amplificatori di questo genere sono di sem-

CERRARO Elett
(iscrittione 1/80 Nr 426/BM)

plice realizzazione, ma sono soggetti a inconvenienti che ne limitano la precisione. In particolare, essi, oltre a risentire di variazioni di processo, e essere sensibili a variazioni di temperatura e di tensione di alimentazione, presentano una dinamica ridotta e scarsa linearità a causa della presenza di un transistor MOS in configurazione a diodo.

Una seconda soluzione comprende circuiti amplificatori con architettura differenziale. In questo caso, la corrente che fluisce nella cella da leggere viene confrontata con la corrente di un ramo di riferimento, che comprende una cella flash, vergine, identica a quelle della matrice di memoria. La cella da leggere e la cella di riferimento vengono polarizzate in modo da presentare tensioni porta-sorgente e pozzo-sorgente rispettivamente uguali. Le celle sono collegate a rispettivi carichi attraverso transistori di polarizzazione, con topologia analoga a quella degli amplificatori a lettura diretta. Le tensioni presenti sui nodi di collegamento dei carichi alle rispettive celle, la cui differenza dipende dalla differenza fra la tensione di soglia della cella di riferimento e la tensione di soglia della cella da leggere, vengono alimentate in ingresso ad un amplificatore operazionale. L'uscita di quest'ultimo può essere pertanto posta in relazione con la tensione di soglia

CERTIFICATO ELENCO
Iscrizione Albo nr 426/BW

della cella da leggere.

Questa seconda soluzione ha il vantaggio di ridurre la dipendenza dalla temperatura e dalle variazioni di processo, ma mal si presta alla lettura di tipo analogico a causa dell'amplificatore operazionale che lavora in anello aperto; inoltre, essa presenta un ingombro considerevole a causa della presenza del ramo di riferimento e, specificamente, della cella flash di riferimento. Infatti, per ottenere prestazioni affidabili è necessario utilizzare una cella interna di una piccola matrice di celle flash, poiché una cella singola risente di effetti di bordo.

Una terza soluzione è descritta nella domanda di brevetto europeo N. 97830172.9 depositata il 15.4.97 a nome della richiedente, dal titolo "Circuito di lettura analogico ad alta precisione per matrici di memoria, in particolare matrici di memoria analogiche flash", ove viene descritto un circuito ad anello chiuso che presenta un primo ramo comprendente la cella da leggere ed un secondo ramo comprendente una cella di riferimento. Per mezzo di uno specchio di corrente, nei due rami vengono forzate correnti uguali. Le tensioni dei terminali di pozzo dei transistori dello specchio di corrente vengono alimentate in ingresso ad un amplificatore operazionale, la cui uscita è collegata con il terminale di porta del-

CORRADO Bland
Inventore, Bo nr 426/BM

la cella di riferimento. La configurazione circuitale descritta impone che la cella da leggere e la cella di riferimento abbiano la stessa tensione di overdrive, per cui la tensione sul terminale di uscita dell'amplificatore operazionale (e quindi sul terminale di porta della cella di riferimento) dipende linearmente dalla tensione di soglia della cella da leggere. Questa soluzione presenta gli stessi inconvenienti legati alla presenza di transistori di carico in configurazione a diodo dei circuiti realizzati secondo la prima soluzione e alla presenza di celle di riferimento dei circuiti realizzati secondo la seconda soluzione.

Scopo della presente invenzione è realizzare un circuito di lettura di celle di memoria non volatili che risulti privo degli inconvenienti descritti.

Secondo la presente invenzione viene realizzato un circuito di lettura analogico ad alta precisione per celle di memoria non volatile, come definito nella rivendicazione 1.

Per una migliore comprensione dell'invenzione, viene ora descritta una sua forma preferita di realizzazione, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 illustra uno schema circuitale semplificato di una matrice di memoria analogica flash di

CAT. 30. Elena
Inventore / Ab. Nr. 426/BNJ

tipo noto;

- la figura 2 presenta uno schema circuitale semplificato di lettura per matrici di memoria realizzato secondo la presente invenzione; e

- la figura 3 illustra uno schema circuitale più dettagliato del circuito di figura 2.

In figura 2 è mostrato un circuito di lettura 10 per una cella di memoria 2 appartenente alla matrice di memoria 1 di figura 1, non mostrata completamente in fig. 2.

La cella da leggere 2 presenta un terminale di pozzo 2a, un terminale di porta 2b collegato ad un primo generatore di tensione 12, fornente la tensione di lettura V_{cpv} , e un terminale di sorgente 2c collegato a massa.

Un primo transistor di polarizzazione 13, di tipo NMOS, presenta un terminale di pozzo 13a collegato ad un nodo 24, un terminale di porta 13b e un terminale di sorgente 13c collegato al terminale di pozzo 2a della cella da leggere 2.

Un primo buffer analogico 14 presenta un ingresso invertente collegato ad un secondo generatore di tensione 15, fornente una tensione di polarizzazione V_{Bn} , ed un ingresso non invertente collegato con il terminale di sorgente 13c del transistor di polarizzazione 13; il buffer 14 presenta, inoltre, un'uscita collegata con il

CERTIFICATO ELENCO
Iscrittione Aldo nr 426/BM

terminale di porta 13b del transistorore di polarizzazione 13.

Un secondo transistorore di polarizzazione 16, di tipo PMOS, presenta un terminale di pozzo 16a collegato al nodo 24, un terminale di porta 16b ed un terminale di sorgente 16c.

Un secondo buffer analogico 17 presenta un ingresso non invertente collegato con un terzo generatore di tensione 18, fornente una tensione di polarizzazione V_{Bp} , ed un ingresso invertente collegato con il terminale di sorgente 16c del transistorore di polarizzazione 16; il buffer 17 presenta, inoltre, un'uscita collegata con il terminale di porta 16c del transistorore di polarizzazione 16.

Un transistorore di uscita 19, di tipo PMOS, presenta un terminale di pozzo 19a collegato con il terminale di sorgente 16c, un terminale di porta 19b collegato ad un morsetto di uscita 23 del circuito di lettura 10 e un terminale di sorgente 19c collegato con una linea di alimentazione 20.

Un amplificatore operativo 21 presenta un ingresso non invertente 21a collegato con il terminale di pozzo 13a del primo transistorore di polarizzazione 13, un ingresso invertente 21b collegato con un quarto generatore di tensione 22, fornente una tensione di riferimen-

to V_R , ed un'uscita 21c collegata al morsetto di uscita 23 fornente una tensione di uscita V_o .

In pratica, l'amplificatore operazionale 21, il transistor di uscita 19 e il secondo transistor di polarizzazione 16 definiscono un anello di retroazione 25.

Il funzionamento del circuito di lettura 10 di fig. 2 è il seguente.

I circuiti di polarizzazione formati dagli elementi 13, 14 e 15 e dagli elementi 16, 17 e 18 hanno la funzione di mantenere in zona lineare rispettivamente la cella da leggere 2 e il transistor di uscita 19; inoltre il potenziale del terminale di pozzo 2a deve essere mantenuto ad un livello sufficientemente basso da evitare il citato fenomeno del "soft programming" della cella 2. A tale scopo, i terminali di pozzo 2a della cella 2 e 19a del transistor di uscita 19 sono polarizzati alle tensioni V_{Bn} e V_{Bp} , fornite rispettivamente dal secondo e dal terzo generatore di tensione 15 e 18. In particolare, il terminale di pozzo 2a della cella 2 è collegato al secondo generatore di tensione 15 attraverso il buffer analogico 14 e il primo transistor di polarizzazione 13, mentre il terminale di pozzo 19a del transistor di uscita 19 è collegato al terzo generatore di tensione 18 attraverso il secondo buffer analogico 17 e il secondo transistor di polarizzazione 16. Le tensioni V_{Bn}

CERVARO Elettro
Raccontano / 150 nr 426/BW

e V_{Bp} vengono scelte in modo che le differenze di potenziale fra il terminale di pozzo 2a della cella 2 e la massa e fra il terminale di pozzo 19a del transistor di uscita 19 e l'alimentazione 20 siano, in valore assoluto, uguali e preferibilmente pari all'incirca a 0,2 V. Supponendo ad esempio che la tensione di alimentazione V_s sia di 10 V, vantaggiosamente V_{Bn} è scelta pari a 0,2 V, mentre V_{Bp} è scelta pari a 9,8 V.

Durante la fase di lettura, il primo generatore di tensione 12 fornisce al terminale di porta 2b della cella 2 la tensione V_{cpx} , pari ad esempio a 6 V. Di conseguenza, nella cella 2 fluisce una corrente il cui valore è dato dalla seguente equazione:

$$I_f = K_f \cdot (W/L)_f \cdot [(V_{cpx} - V_{thf}) \cdot V_{Dsf} - V_{Dsf}^2/2] \quad (2)$$

in cui K_f è una costante legata al processo di fabbricazione, $(W/L)_f$ è il rapporto dimensionale larghezza/lunghezza, V_{thf} è la tensione di soglia, V_{Dsf} è la caduta di tensione pozzo-sorgente e il termine $(V_{cpx} - V_{thf})$ è l'overdrive della cella da leggere 2.

Nelle condizioni di polarizzazione imposte, il termine $V_{Dsf}^2/2$ risulta trascurabile rispetto al termine $(V_{cpx} - V_{thf}) \cdot V_{Dsf}$ e la (2) si riduce a:

$$I_f = K_f \cdot (W/L)_f \cdot (V_{cpx} - V_{thf}) \cdot V_{Dsf} \quad (3)$$

L'amplificatore operazionale 21, agendo in retroazione sul terminale di porta 19b del transistor di

uscita 19, ne modifica la tensione porta-sorgente, in modo che in esso fluisca una corrente I_{19} pari alla corrente I_f portata dalla cella da leggere 2. La corrente del transistor di uscita 19 è data dall'equazione:

$$I_{19} = K_{19} \cdot (W/L)_{19} \cdot [(V_0 - V_S - V_{th19}) \cdot V_{DS19} - V_{DS19}^2/2] \quad (4)$$

in cui i termini hanno lo stesso significato sopra indicato, a parte il pedice 19 riferito al transistor di uscita 19.

Nuovamente, per le condizioni di polarizzazione del transistor 19, il termine $V_{DS19}^2/2$ risulta trascurabile rispetto al termine $(V_S - V_0 - V_{th19}) \cdot V_{DS19}$ e la (4) si riduce a:

$$I_{19} = K_{19} \cdot (W/L)_{19} \cdot (V_0 - V_S - V_{th19}) \cdot V_{DS19} \quad (5)$$

Inoltre, per effetto delle condizioni di polarizzazione imposte al circuito, le tensioni pozzo-sorgente V_{DSf} della cella 2 e V_{DS19} del transistor 19 sono note e risultano costanti.

Pertanto, dal momento che le correnti I_f e I_{19} sono di pari valore, uguagliando i secondi membri della (3) e della (5) e ponendo

$$\alpha = [V_{DS19} \cdot K_{19} \cdot (W/L)_{19}] / [V_{DSf} \cdot K_f \cdot (W/L)_f] \quad (6)$$

si ottiene l'equazione

$$\alpha \cdot (V_0 - V_S - V_{th19}) = V_{cpx} - V_{thf} \quad (7)$$

Dalla (7) si ricava l'espressione che fornisce il valore della tensione di soglia V_{thf} della cella 2 in

CERAMIC FILM
Isolamento / Iso n. 426/BW

funzione della tensione di uscita V_o del circuito di lettura 10, secondo la seguente relazione:

$$V_{thf} = V_{cpx} - \alpha \cdot (V_o - V_s - V_{th19}) \quad (8)$$

Ne consegue che la lettura della tensione V_o fornisce il valore V_{thf} di soglia cercato, dato che la tensione di soglia V_{th19} del transistor di uscita 19, così come V_{cpx} e V_s , sono noti.

In pratica, il circuito di lettura 10 di figura 2 è un amplificatore a due stadi, in cui, in particolare, il primo stadio è rappresentato dall'amplificatore operazionale 21 e il secondo dal transistor di uscita 19 ed entrambi sono contenuti nell'anello di retroazione 25. Inoltre, l'anello di retroazione 25 comprende il transistor di polarizzazione 16, che agisce come elemento cascode, fornendo elevata impedenza all'ingresso non invertente 21a dell'amplificatore operazionale 21.

L'amplificatore a due stadi può essere compensato secondo lo schema circuitale più dettagliato mostrato in figura 3.

In dettaglio, il circuito di lettura 10 comprende gli stessi componenti di figura 2 ed inoltre un condensatore di compensazione 30, un transistor di compensazione 31 e un generatore di corrente 32. Il condensatore 30 è collegato fra il morsetto di uscita 23 ed un nodo 33; il transistor di compensazione 31, di tipo NMOS,

CERRARO Elena
Iscrizione A.B.O. nr 426/BW

presenta terminale di pozzo 31a collegato con la linea di alimentazione 20, terminale di porta 31b collegato con il terminale di pozzo 13a del primo transistor di polarizzazione 13, e terminale di sorgente 31c collegato con il nodo 33; mentre il generatore di corrente 32 è collegato fra il nodo 33 e massa.

Il condensatore di compensazione 30, in accordo con il teorema di Miller, modifica la funzione di trasferimento dell'amplificatore formato dagli elementi 16, 19, 21 e 30 (si trascura per ora l'elemento 31). Pertanto, tale funzione di trasferimento presenta frequenza a guadagno unitario F_{COMP} pari a:

$$F_{COMP} = \frac{1}{2\pi} \frac{G_{m_{OP_AMP}}}{C_{COMP}}$$

dove $G_{m_{OP_AMP}}$ è la transconduttanza dell'amplificatore operazionale 21 e C_{COMP} è la capacità del condensatore di compensazione 30.

La funzione di trasferimento dell'amplificatore presenta, inoltre, un secondo polo alla frequenza

$$F_{II} = \frac{1}{2\pi} \frac{G_{m_{19}}}{C_{24}}$$

dove $G_{m_{19}}$ è la transconduttanza del transistor di uscita 19 e C_{24} è la capacità associata al nodo 24.

Per ragioni di stabilità del circuito di lettura 10, la frequenza a guadagno unitario F_{COMP} può al massimo assumere un valore pari alla metà della frequenza F_{II} del secondo polo che, pertanto, risulta essere l'effettivo

CERCAO FILM
(sezione filo n° 426/BW)

elemento che limita la velocità del circuito. La transconduttanza del transistor di uscita 19 è bassa rispetto alla transconduttanza dell'amplificatore operazionale 21, ma, dal momento che il terminale di pozzo 19a non presenta alcun carico, anche la capacità C_{24} associata al nodo 24 è molto bassa. Di conseguenza, il circuito permette di ottenere velocità di lettura elevate.

Il condensatore di compensazione 30 dà origine anche ad uno zero nel semipiano destro ad una frequenza F_z pari a

$$F_z = \frac{1}{2\pi} \frac{G_{m_{19}}}{C_{COMP}}$$

Come è noto al tecnico del ramo, tale zero causa un ritardo di 90° nell'anello di retroazione 25, che perciò diverrebbe instabile. Il problema viene risolto grazie al transistor di compensazione 31, che, operando come buffer in configurazione ad inseguimento di sorgente (source follower), disaccoppia il secondo stadio di amplificazione (transistor di uscita 19) dal condensatore di compensazione 30.

Il circuito di lettura descritto permette di ottenere i seguenti vantaggi. In primo luogo, rispetto ai circuiti noti a lettura diretta, il transistor di uscita 19 non è in configurazione a diodo, ma, in base alla (5), opera come elemento amplificatore lineare facente

parte dell'anello di retroazione 25. Da ciò derivano una maggiore linearità e una maggiore dinamica del circuito di lettura 10. Inoltre, in tali circuiti noti, il transistor MOS in configurazione a diodo presenta capacità parassite che devono essere caricate durante la fase di lettura della cella, allungando i tempi di lettura. L'eliminazione di tale transistor MOS nel circuito di lettura 10 consente dunque di migliorare anche la velocità di lettura.

Rispetto alla soluzione descritta nella citata domanda di brevetto europeo N. 97830172.9, il circuito di lettura 10 descritto risulta più veloce dato che esso presenta un ramo in meno e la cella flash (e la relativa linea di bit 4) non sono comprese nell'anello di retroazione. Inoltre, la struttura descritta è circuitalmente più semplice, dato che non sono presenti rami di riferimento, e presenta ingombro ridotto, dato che non è necessario prevedere una matrice di celle di riferimento.

Risulta infine evidente che al circuito di lettura descritto possono essere apportate modifiche e varianti, senza uscire dall'ambito della presente invenzione.

In particolare, i circuiti di polarizzazione formati dagli elementi 13, 14 e 15 e dagli elementi 16, 17 e 18, la cui funzione è sostanzialmente quella di fissare le tensioni dei terminali di pozzo 2a e 19a per mantenere

CERAPRO Elord
/iscrizione Albo nr 426/BMI

re in zona lineare la cella 2 e, rispettivamente, il transistor di uscita 19, possono essere sostituiti con generatori di tensione di diverso tipo. Ad esempio, i buffer analogici 14 e 17 possono essere sostituiti da porte di somma logica invertente o porte NOR, presentanti uscita collegata con il terminale di porta del relativo transistor di polarizzazione, un primo ingresso collegato con il terminale di sorgente del transistor di polarizzazione stesso e riceventi, ad un secondo ingresso, segnali costanti e corrispondenti, rispettivamente, ad uno 0 e ad un 1 logici.

CENTRO Studi
Ricerca Albo nr 426/BW

R I V E N D I C A Z I O N I

1. Circuito di lettura (10) analogico ad alta precisione per una cella di memoria (2) avente un primo ed un secondo terminale (2a, 2c) ed un terminale di controllo (2b), comprendente un anello di retroazione negativa (25) includente un circuito amplificatore (21) definente un primo ed un secondo ingresso ed un'uscita (23) definente un'uscita di detto circuito di lettura, caratterizzato dal fatto che detto anello di retroazione comprende inoltre mezzi amplificatori lineari di uscita (19) aventi un primo terminale (19a) collegato con detto primo terminale (2a) di detta cella di memoria (2), un secondo terminale (19c) collegato con una prima linea a potenziale di riferimento (20) ed un terminale di comando (19b) collegato a detta uscita (23) e dal fatto che detto primo ingresso (21a) di detto circuito amplificatore (21) è collegato a detto primo terminale (2a) di detta cella di memoria (2) e detto secondo ingresso (21b) di detto circuito amplificatore (21) è collegato ad un terminale di riferimento (22).

2. Circuito secondo la rivendicazione 1, caratterizzato dal fatto che detta cella di memoria (2) è collegata esternamente a detto anello di retroazione (25).

3. Circuito secondo la rivendicazione 1 o 2, caratterizzato dal fatto che detti mezzi amplificatori linea-

CARABO Eina
Iscrizione Albo nr 426/BMI

ri di uscita (19) comprendono un primo transistor MOS.

4. Circuito secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detto circuito amplificatore (21) comprende un amplificatore operazionale avente un ingresso non invertente (21a) collegato a detto primo terminale (2a) di detta cella di memoria (2) ed un ingresso invertente (21b) collegato a detto terminale di riferimento (22).

5. Circuito secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto di comprendere primi mezzi generatori di tensione (13), collegati fra detto primo ingresso (21a) di detto circuito amplificatore (21) e detto primo terminale (2a) di detta cella di memoria (2) e secondi mezzi generatori di tensione (16), collegati fra detto primo ingresso (21a) di detto circuito amplificatore (21) e detto primo terminale (19a) di detti mezzi amplificatori lineari di uscita (19).

6. Circuito secondo la rivendicazione 5, caratterizzato dal fatto che detti primi e secondi mezzi generatori di tensione (13, 16) comprendono rispettivamente un secondo e, rispettivamente, un terzo transistor MOS aventi terminali di porta collegati a rispettive tensioni di polarizzazione (V_{Bn} , V_{Bp}) costanti.

7. Circuito secondo una qualsiasi delle rivendica-

CERARO Elena
Iscrizione Albo nr 426/BMJ

zioni precedenti, caratterizzato dal fatto che detto secondo transistor (13) è di tipo NMOS, detto terzo transistor (16) è di tipo PMOS e detti mezzi amplificatori lineari di uscita (19) comprendono un transistor PMOS.

8. Circuito secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto di comprendere un circuito di compensazione (30-32) interposto fra detto primo terminale (2a) di detta cella di memoria (2) e detta uscita (23) di detto circuito amplificatore (21).

9. Circuito secondo la rivendicazione 8, caratterizzato dal fatto che detto circuito di compensazione (30-32) comprende un condensatore di compensazione (30) ed un transistor di compensazione (31); detto condensatore di compensazione (30) essendo interposto fra detta uscita (23) detto circuito amplificatore (21) ed un primo terminale (31c) di detto transistor di compensazione (31); detto transistor di compensazione (31) presentando un secondo terminale (31b) collegato a detto primo ingresso (21a) di detto circuito amplificatore (21).

10. Circuito di lettura analogico ad alta precisione, sostanzialmente come descritto con riferimento alle figure allegate.

p.i.: STMICROELECTRONICS S.R.L.

CERTIFICATO ELENCO
ALBO n° 426/BMI



CERTIFICATO ELENCO
ALBO n° 426/BMI

TO 000 000 02

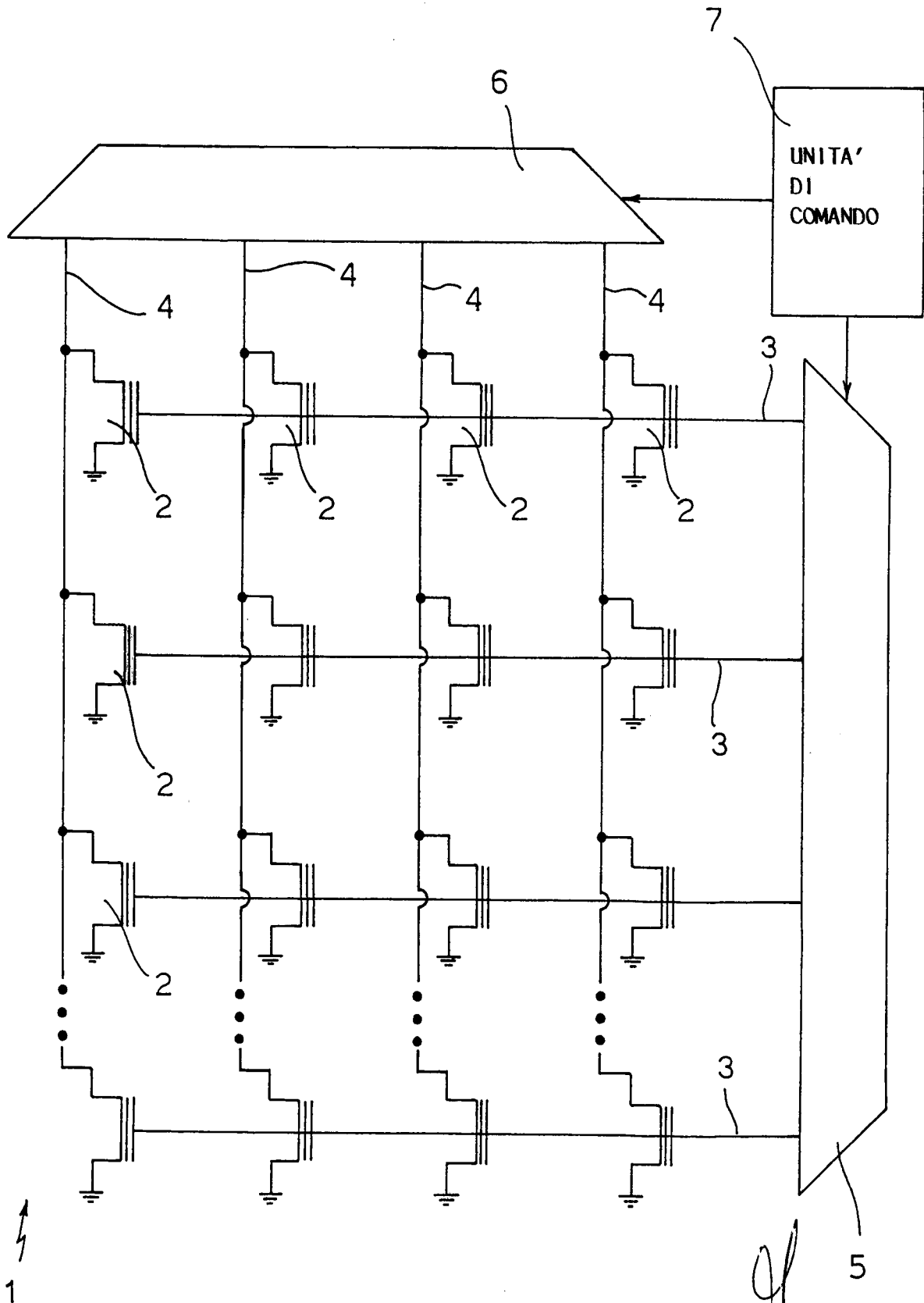


Fig.1

p.i.: STMICROELECTRONICS S.R.L.

Plus
(BREVETTO N. 426/BM)

Fig.2

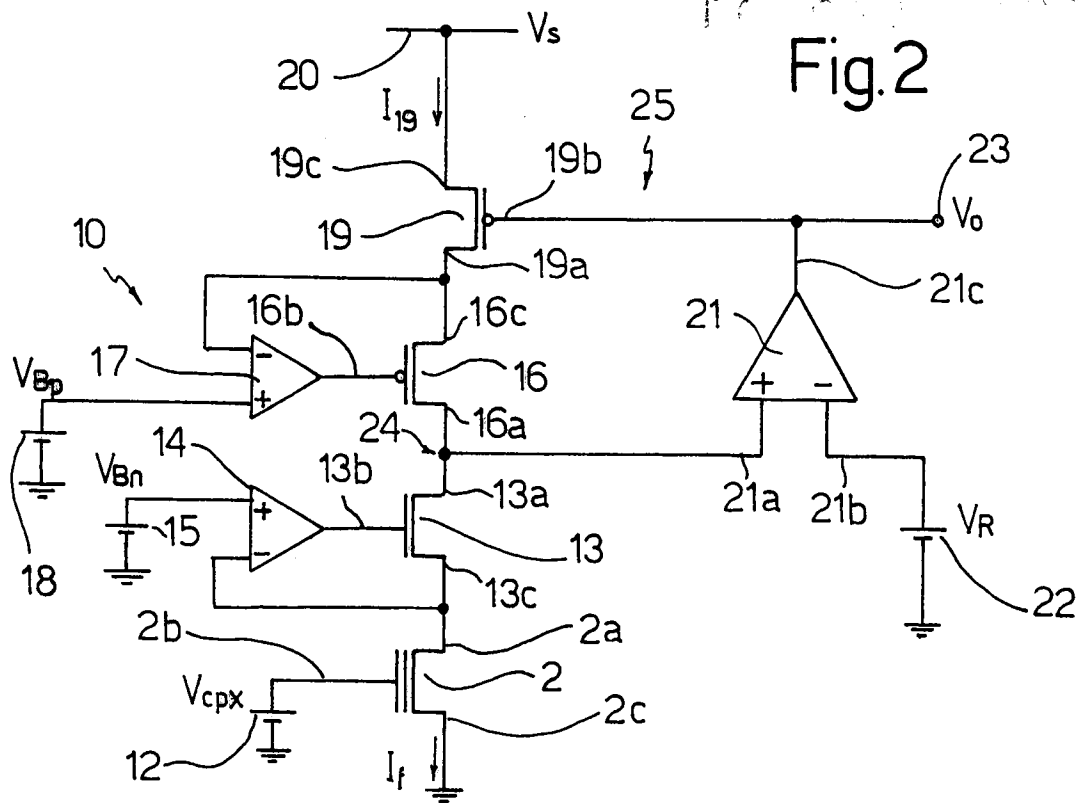


Fig.3

