

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 12 月 3 日 (03.12.2015)



(10) 国际公布号
WO 2015/180214 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01) *G11C 19/00* (2006.01)
- (21) 国际申请号: PCT/CN2014/079928
- (22) 国际申请日: 2014 年 6 月 16 日 (16.06.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410226117.1 2014 年 5 月 26 日 (26.05.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。
- (72) 发明人: 虞晓江 (YU, Xiaojiang); 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。 李长晔 (LEE, Chang Yeh); 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。 赖梓杰 (LAI, Tzu-Chieh); 中国

广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。

- (74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区天安数码城数码时代大厦 A 座 1409, Guangdong 518040 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,

[见续页]

(54) Title: ARRAY SUBSTRATE ROW DRIVING CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 发明名称: 阵列基板行驱动电路及液晶显示装置

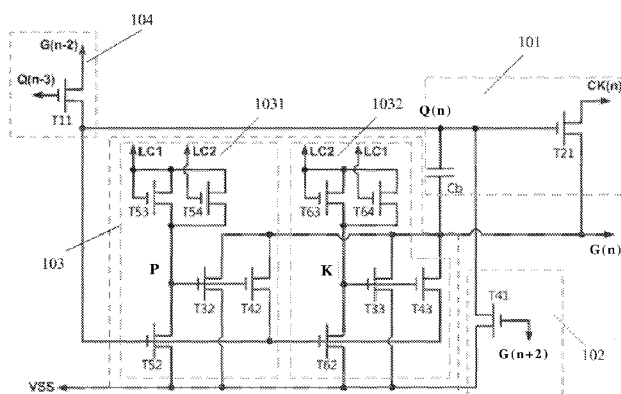


图 1 / Fig. 1

(57) Abstract: Provided is an array substrate row driving circuit, comprising array substrate row driving units connected in multiple stages, wherein an array substrate row driving unit of the n th stage comprises: a signal input end of the $(n-3)$ th stage, a signal input end of the $(n-2)$ th stage and a pull-up control unit (104). The pull-up control unit (104) is a first thin film transistor (T11), and is connected separately to the signal input end of the $(n-2)$ th stage and the signal input end of the $(n-3)$ th stage. The peak voltage of a signal of the signal input end of the $(n-3)$ th stage is twice as much as the peak voltage of a signal of the signal input end of the $(n-2)$ th stage, thereby avoiding threshold voltage drift of a TFT element in the array substrate row driving circuit, and improving output stability.

(57) 摘要: 提供了一种阵列基板行驱动电路, 包括多级连接的阵列基板行驱动单元, 其中, 第 n 级阵列基板行驱动单元包括: 第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端及上拉控制单元(104), 上拉控制单元(104)为第一薄膜晶体管(T11), 分别与第 $n-2$ 级信号输入端和第 $n-3$ 级信号输入端连接, 第 $n-3$ 级信号输入端的信号的峰值电压为第 $n-2$ 级信号输入端的信号的峰值电压的两倍, 避免阵列基板行驱动电路中 TFT 元件阈值电压漂移, 提高输出的稳定性。



WO 2015/180214 A1



BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

说明书

发明名称：阵列基板行驱动电路及液晶显示装置

技术领域

- [1] 本发明涉及显示面板技术领域，特别涉及一种阵列基板行驱动电路及液晶显示装置。

背景技术

- [2] 传统的显示面板一般采用窄边框设计的技术方案。
- [3] 传统的窄边框设计的技术方案一般采用多层金属走线或GOA（Gate driver On array）二种技术来实现。其中，多层金属走线的技术方案并不能显著地实现窄边框，相反，其会增加面板短路的几率，使得良率下降以及成本上升。而GOA技术可以使用显示面板的现有制程，将控制水平扫描线的驱动电路制作在面板显示区域周围的基板上，使之替代IC来完成水平扫描线的驱动。GOA技术能简化显示面板的制作工序，降低成本，使显示面板更适合制作窄边框或无边框的显示产品，近年来在平板显示领域受到广泛关注。
- [4] 在实践中，发明人发现目前大部分的GOA电路也具有一定局限性：比如，组成GOA电路的TFT元件会由于应力阻抗stress效应而出现阈值电压漂移，从而使GOA电路输出的稳定性受到影响。
- [5] 因此，需解决现有技术GOA电路中，存在的TFT元件阈值电压漂移，影响GOA电路输出的稳定性的技术问题。

对发明的公开

技术问题

- [6] 本发明的目的在于提供一种阵列基板行驱动电路及液晶显示装置，其能避免GOA电路中TFT元件阈值电压漂移，从而提高GOA电路输出的稳定性。

问题的解决方案

技术解决方案

- [7] 一种阵列基板行驱动电路，包括多级连接的阵列基板行驱动单元，其中对于所述阵列基板行驱动电路中的第n级阵列基板行驱动单元，包括：

- [8] 第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端、第 $n+2$ 级信号输入端、第一输出端、第二输出端、低电平输入端以及高频时钟信号输入端， n 为大于3的正整数；
- [9] 其中，所述第 $n-3$ 级信号输入端与第 $n-3$ 级的阵列基板行驱动单元的第二输出端相连；所述第 $n-2$ 级信号输入端与第 $n-2$ 级的阵列基板行驱动单元的第一输出端相连；所述第 $n+2$ 级信号输入端与第 $n+2$ 级的阵列基板行驱动单元的第一输出端相连；所述第二输出端与第 $n+3$ 级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连；所述第一输出端与第 $n+2$ 级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连，且与第 $n-2$ 级的阵列基板行驱动单元的第 $n+2$ 级信号输入端相连，用于向显示区域的第 n 级水平扫描线提供扫描信号；
- [10] 所述第 n 级阵列基板行驱动单元还包括：
- [11] 一上拉控制单元，包括一第一薄膜晶体管，所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极，所述第一栅极电性连接至所述第 $n-3$ 级信号输入端，所述第一源极电性连接至所述第 $n-2$ 级信号输入端，所述第一漏极与一下拉控制单元电性连接，并与一下拉单元及一上拉单元共同连接于所述第二输出端；其中，所述第 $n-3$ 级信号输入端的信号的峰值电压为所述第 $n-2$ 级信号输入端的信号的峰值电压的两倍，用于上拉所述第二输出端的电位；
- [12] 所述上拉单元，包括一电容和第二薄膜晶体管，所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极，所述电容包括第一极板和第二极板；所述第二栅极与所述上拉控制单元和所述电容的第一极板共同连接于所述第二输出端，所述第二源极与所述高频时钟信号输入端电性连接，所述第二漏极与第一输出端电性连接，用于对所述第一输出端的信号进行充电，以使所述第二输出端达到更高的电位；
- [13] 所述下拉控制单元，分别与低电平输入端、所述上拉控制单元及所述上拉单元连接，用于在所述第一输出端的信号处于非充电状态时，控制所述第二输出端和所述第一输出端保持低电位；
- [14] 所述下拉单元，分别与所述第 $n+2$ 级信号输入端、所述低电平输入端、所述下拉控制单元连接，并与所述上拉单元及所述上拉控制单元共同连接于所述第二输出端，用于下拉所述第二输出端的电位。

- [15] 在上述阵列基板行驱动电路中，其中所述下拉控制单元包括第一下拉控制子单元；
- [16] 所述第一下拉控制子单元包括第三薄膜晶体管，所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极；
- [17] 所述第三栅极与所述第一漏极连接，第三漏极与所述低电平输入端连接；
- [18] 所述第一下拉控制子单元还包括第四薄膜晶体管和第五薄膜晶体管，所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极，所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极；
- [19] 所述第四栅极与所述第五栅极连接至所述第三源极，所述第四源极与第五源极连接至所述电容的第二极板，且与第一输出端连接；所述第四漏极与所述低电平输入端连接，所述第五漏极与第三栅极连接。
- [20] 在上述阵列基板行驱动电路中，其中所述第n级阵列基板行驱动单元还包括低频时钟信号第一输入端和低频时钟信号第二输入端；
- [21] 所述第一下拉控制子单元还包括第六薄膜晶体管和第七薄膜晶体管，所述第六薄膜晶体管具有第六栅极、第六源极及第六漏极，所述第七薄膜晶体管具有第七栅极、第七源极及第七漏极；
- [22] 所述第六栅极、第六源极与第七源极连接至所述低频时钟信号第一输入端，所述第七栅极与所述低频时钟信号第二输入端连接；所述第六漏极与所述第七漏极连接至所述第四栅极。
- [23] 在上述阵列基板行驱动电路中，其中所述第n级阵列基板行驱动单元还包括第二下拉控制子单元；
- [24] 所述第二下拉控制子单元包括第八薄膜晶体管，所述第八薄膜晶体管具有第八栅极、第八源极及第八漏极；
- [25] 所述第八栅极与所述第一漏极连接，所述第八漏极与所述低电平输入端连接；
- [26] 所述第二下拉控制子单元还包括第九薄膜晶体管和第十薄膜晶体管，所述第九薄膜晶体管具有第九栅极、第九源极及第九漏极，所述第十薄膜晶体管具有第十栅极、第十源极及第十漏极；
- [27] 所述第九栅极与所述第十栅极连接至所述第八源极，所述第九源极与第十源极

均与所述第四源极和第五源极连接，并连接至所述电容的第二极板，且与所述第一输出端连接；所述第九漏极与所述低电平输入端连接，所述第十漏极与所述第八栅极连接。

[28] 在上述阵列基板行驱动电路中，其中所述第二下拉控制子单元还包括第十一薄膜晶体管和第十二薄膜晶体管，所述第十一薄膜晶体管具有第十一栅极、第十一源极及第十一漏极；所述第十二薄膜晶体管具有第十二栅极、第十二源极及第十二漏极；

[29] 所述第十一栅极、第十一源极与第十二源极连接至所述低频时钟信号第二输入端，所述第十二栅极与所述低频时钟信号第一输入端连接；所述第十一漏极与所述第十二漏极连接至第九栅极。

[30] 在上述阵列基板行驱动电路中，所述下拉单元为一第十三薄膜晶体管，所述第十三薄膜晶体管具有第十三栅极、第十三源极及第十三漏极；

[31] 所述第十三栅极与所述第 $n+2$ 级信号输入端连接，所述第十三漏极与所述低电平输入端连接，所述第十三源极与所述第二栅极连接。

[32] 一种阵列基板行驱动电路，包括多级连接的阵列基板行驱动单元，其中，对于所述阵列基板行驱动电路中的第 n 级阵列基板行驱动单元，包括第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端、第 $n+2$ 级信号输入端、第一输出端、第二输出端、低电平输入端以及高频时钟信号输入端， n 为大于3的正整数；

[33] 其中，所述第 $n-3$ 级信号输入端与第 $n-3$ 级的阵列基板行驱动单元的第二输出端相连；所述第 $n-2$ 级信号输入端与第 $n-2$ 级的阵列基板行驱动单元的第一输出端相连；所述第 $n+2$ 级信号输入端与第 $n+2$ 级的阵列基板行驱动单元的第一输出端相连；所述第二输出端与第 $n+3$ 级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连；所述第一输出端与第 $n+2$ 级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连，且与第 $n-2$ 级的阵列基板行驱动单元的第 $n+2$ 级信号输入端相连，用于向显示区域的第 n 级水平扫描线提供扫描信号；

[34] 所述第 n 级阵列基板行驱动单元还包括：

[35] 上拉控制单元，包括一第一薄膜晶体管，分别与所述第 $n-2$ 级信号输入端、所述第 $n-3$ 级信号输入端以及所述第二输出端连接，其中，所述第 $n-3$ 级信号输入端

的信号峰值电压为所述第 $n-2$ 级信号输入端的信号的峰值电压的两倍，用于上拉所述第二输出端的电位；

[36] 上拉单元，分别与所述高频时钟信号输入端、所述第一输出端连接，并与所述上拉控制单元共同连接于所述第二输出端，用于对所述第一输出端的信号进行充电，以使所述第二输出端达到更高的电位；

[37] 下拉控制单元，分别与低电平输入端、所述上拉控制单元及所述上拉单元连接，用于在所述第一输出端的信号处于非充电状态时，控制所述第二输出端和所述第一输出端保持低电位；

[38] 下拉单元，分别与所述第 $n+2$ 级信号输入端、所述低电平输入端、所述下拉控制单元连接，并与所述上拉单元及所述上拉控制单元共同连接于所述第二输出端，用于下拉所述第二输出端的电位。

[39] 在上述阵列基板行驱动电路中，所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极；

[40] 所述第一栅极电性连接至所述第 $n-3$ 级信号输入端，所述第一源极电性连接至所述第 $n-2$ 级信号输入端，所述第一漏极分别与所述下拉控制单元电性连接，并与所述下拉单元及所述上拉单元共同连接于所述第二输出端。

[41] 在上述阵列基板行驱动电路中，所述上拉单元包括一电容和第二薄膜晶体管，所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极，所述电容包括第一极板和第二极板；

[42] 所述第二栅极通过第二输出端分别与所述上拉控制单元和所述电容的第一极板电性连接，所述第二源极与所述高频时钟信号输入端电性连接，所述第二漏极与第一输出端电性连接。

[43] 在上述阵列基板行驱动电路中，所述下拉控制单元包括第一下拉控制子单元；

[44] 所述第一下拉控制子单元包括第三薄膜晶体管，所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极；

[45] 所述第三栅极与所述第一漏极连接，第三漏极与所述低电平输入端连接；

[46] 所述第一下拉控制子单元还包括第四薄膜晶体管和第五薄膜晶体管，所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极，所述第五薄膜晶体管具有第

五栅极、第五源极及第五漏极；

[47] 所述第四栅极与所述第五栅极连接至所述第三源极，所述第四源极与第五源极连接至所述电容的第二极板，且与第一输出端连接；所述第四漏极与所述低电平输入端连接，所述第五漏极与第三栅极连接。

[48] 在上述阵列基板行驱动电路中，所述第n级阵列基板行驱动单元还包括低频时钟信号第一输入端和低频时钟信号第二输入端；

[49] 所述第一下拉控制子单元还包括第六薄膜晶体管和第七薄膜晶体管，所述第六薄膜晶体管具有第六栅极、第六源极及第六漏极，所述第七薄膜晶体管具有第七栅极、第七源极及第七漏极；

[50] 所述第六栅极、第六源极与第七源极连接至所述低频时钟信号第一输入端，所述第七栅极与所述低频时钟信号第二输入端连接；第六漏极与第七漏极连接至第四栅极。

[51] 在上述阵列基板行驱动电路中，所述第n级阵列基板行驱动单元还包括第二下拉控制子单元；

[52] 所述第二下拉控制子单元包括第八薄膜晶体管，所述第八薄膜晶体管具有第八栅极、第八源极及第八漏极；

[53] 所述第八栅极与第一漏极连接，所述第八漏极与所述低电平输入端连接；

[54] 所述第二下拉控制子单元还包括第九薄膜晶体管和第十薄膜晶体管，所述第九薄膜晶体管具有第九栅极、第九源极及第九漏极，所述第十薄膜晶体管具有第十栅极、第十源极及第十漏极；

[55] 所述第九栅极与所述第十栅极连接至所述第八源极，所述第九源极与第十源极均和所述第四源极与第五源极连接，并连接至所述电容的第二极板，且与第一输出端连接；所述第九漏极与所述低电平输入端连接，所述第十漏极与第八栅极连接。

[56] 在上述阵列基板行驱动电路中，所述第二下拉控制子单元还包括第十一薄膜晶体管和第十二薄膜晶体管，所述第十一薄膜晶体管具有第十一栅极、第十一源极及第十一漏极；所述第十二薄膜晶体管具有第十二栅极、第十二源极及第十二漏极；

- [57] 所述第十一栅极、第十一源极与第十二源极连接至所述低频时钟信号第二输入端，所述第十二栅极与所述低频时钟信号第一输入端连接；第十一漏极与第十二漏极连接至第九栅极。
- [58] 在上述阵列基板行驱动电路中，所述下拉单元为一第十三薄膜晶体管，所述第十三薄膜晶体管具有第十三栅极、第十三源极及第十三漏极；
- [59] 所述第十三栅极与所述第 $n+2$ 级信号输入端连接，所述第十三漏极与所述低电平输入端连接，所述第十三源极与所述第二栅极连接。
- [60] 一种液晶显示装置，包括阵列基板行驱动电路，以及与所述阵列基板行驱动电路连接的显示区域，所述阵列基板行驱动电路，包括多级连接的阵列基板行驱动单元；
- [61] 其中对于所述阵列基板行驱动电路中的第 n 级阵列基板行驱动单元，包括：第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端、第 $n+2$ 级信号输入端、第一输出端、第二输出端、低电平输入端以及高频时钟信号输入端， n 为大于3的正整数；
- [62] 其中，所述第 $n-3$ 级信号输入端与第 $n-3$ 级的阵列基板行驱动单元的第二输出端相连；所述第 $n-2$ 级信号输入端与第 $n-2$ 级的阵列基板行驱动单元的第一输出端相连；所述第 $n+2$ 级信号输入端与第 $n+2$ 级的阵列基板行驱动单元的第一输出端相连；所述第二输出端与第 $n+3$ 级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连；所述第一输出端与第 $n+2$ 级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连，且与第 $n-2$ 级的阵列基板行驱动单元的第 $n+2$ 级信号输入端相连，用于向显示区域的第 n 级水平扫描线提供扫描信号；
- [63] 所述第 n 级阵列基板行驱动单元还包括：
- [64] 上拉控制单元，包括一第一薄膜晶体管，分别与所述第 $n-2$ 级信号输入端、所述第 $n-3$ 级信号输入端以及所述第二输出端连接，其中，所述第 $n-3$ 级信号输入端的信号的峰值电压为所述第 $n-2$ 级信号输入端的信号的峰值电压的两倍，用于上拉所述第二输出端的电位；
- [65] 上拉单元，分别与所述高频时钟信号输入端、所述第一输出端连接，并与所述上拉控制单元共同连接于所述第二输出端，用于对所述第一输出端的信号进行

充电，以使所述第二输出端达到更高的电位；

[66] 下拉控制单元，分别与低电平输入端、所述上拉控制单元及所述上拉单元连接，用于在所述第一输出端的信号处于非充电状态时，控制所述第二输出端和所述第一输出端保持低电位；

[67] 下拉单元，分别与所述第 $n+2$ 级信号输入端、所述低电平输入端、所述下拉控制单元连接，并与所述上拉单元及所述上拉控制单元共同连接于所述第二输出端，用于下拉所述第二输出端的电位。

[68] 在上述液晶显示装置中，所述显示区域具有水平扫描线，每条所述水平扫描线的两端各连接一个所述阵列基板行驱动单元，所述水平扫描线与所述阵列基板行驱动单元的第一输出端连接。

发明的有益效果

有益效果

[69] 相对现有技术，本发明利用一个峰值电压更高的前级信号来控制负责GOA电路的上、下级之间的信号传递的第一薄膜晶体管的接通，使GOA电路上、下级之间的信号传递受TFT元件阈值电压漂移的影响较现有的GOA电路更小，从而使GOA电路的输出受TFT元件阈值电压漂移的影响变小，提高GOA电路输出的稳定性。

对附图的简要说明

附图说明

[70] 图1为本发明提供的阵列基板行驱动电路的结构示意图；

[71] 图2为本发明提供的阵列基板行驱动电路的驱动时序示意图；

[72] 图3为本发明提供的阵列基板行驱动电路的另一结构示意图；

[73] 图4为本发明提供的液晶显示装置的结构示意图；

[74] 图5a至图5c为本发明提供的GOA电路与一现有GOA电路的输出对比示意图。

实施该发明的最佳实施例

本发明的最佳实施方式

[75] 请参照图式，其中相同的组件符号代表相同的组件，本发明的原理是以实施在

一适当的运算环境中来举例说明。以下的说明是基于所例示的本发明具体实施例，其不应被视为限制本发明未在此详述的其它具体实施例。

[76] 参考图1，图1为本发明提供的阵列基板行驱动电路的第一实施例的示意图。

[77] 本实施例的阵列基板行驱动电路包括多级连接的阵列基板行驱动单元，其中，对于所述阵列基板行驱动电路中的第 n 级阵列基板行驱动单元，包括第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端、第 $n+2$ 级信号输入端、第一输出端、第二输出端、低电平输入端以及高频时钟信号输入端， n 为大于3的正整数；

[78] 其中，对于所述第 n 级阵列基板行驱动单元，所述第 $n-3$ 级信号输入端与第 $n-3$ 级的阵列基板行驱动单元的第二输出端相连；所述第 $n-2$ 级信号输入端与第 $n-2$ 级的阵列基板行驱动单元的第一输出端相连；所述第 $n+2$ 级信号输入端与第 $n+2$ 级的阵列基板行驱动单元的第一输出端相连；所述第二输出端与第 $n+3$ 级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连；所述第一输出端与第 $n+2$ 级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连，且与第 $n-2$ 级的阵列基板行驱动单元的第 $n+2$ 级信号输入端相连，所述第一输出端用于向显示区域的第 n 级水平扫描线提供扫描信号；

[79] 可以理解的是，本发明实施例对于第 n 级阵列基板行驱动单元，所述第 $n-3$ 级信号输入端的信号为 $Q(n-3)$ ，同时，所述 $Q(n-3)$ 为第 $n-3$ 级阵列基板行驱动单元的第二输出端的信号；所述第 $n-2$ 级信号输入端的信号为 $G(n-2)$ ，同时所述 $G(n-2)$ 为第 $n-2$ 级阵列基板行驱动单元的第一输出端的信号；所述第 $n+2$ 级信号输入端的信号为 $G(n+2)$ ，同时，所述 $G(n+2)$ 为第 $n+2$ 级阵列基板行驱动单元的第一输出端的信号；所述第一输出端的信号为 $G(n)$ ，所述第二输出端的信号为 $Q(n)$ ，所述低电平输入端的信号为 V_{ss} ，所述高频时钟信号输入端的信号为 $CK(n)$ 。

[80] 所述第 n 级阵列基板行驱动单元还包括：

[81] 上拉控制单元104，包括一第一薄膜晶体管，分别与所述第 $n-2$ 级信号输入端、所述第 $n-3$ 级信号输入端以及所述第二输出端连接，其中，所述第 $n-3$ 级信号输入端的信号的峰值电压为所述第 $n-2$ 级信号输入端的信号的峰值电压的两倍，用于上拉所述第二输出端的电位；

- [82] 上拉单元101, 分别与所述高频时钟信号输入端、所述第一输出端连接, 并与所述上拉控制单元104共同连接于所述第二输出端, 用于对所述第一输出端的信号进行充电, 以使所述第二输出端达到更高的电位;
- [83] 下拉控制单元103, 分别与所述低电平输入端、所述上拉控制单元104及所述上拉单元101连接, 用于在所述第一输出端的信号处于非充电状态时, 控制所述第二输出端和所述第一输出端保持低电位;
- [84] 下拉单元102, 分别与所述第 $n+2$ 级信号输入端、所述低电平输入端、所述下拉控制单元103连接, 并与所述上拉单元104及所述上拉控制单元104共同连接于所述第二输出端, 用于下拉所述第二输出端的电位。
- [85] 可以理解的是, 对于第1级阵列基板行驱动单元, 所述第 $n-3$ 级信号输入端和所述第 $n-2$ 级信号输入端均用于输入一脉冲激活信号, 所述第 $n+2$ 级信号输入端与第3级的阵列基板行驱动单元的第一输出端相连, 所述第二输出端与第4级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连; 所述第一输出端与第3级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连, 用于向显示区域第1级水平扫描线提供扫描信号; 同理, 对于第2级的阵列基板行驱动单元和第3级的阵列基板行驱动单元可以采用类似的处理, 此处不作具体描述。
- [86] 容易想到的是, 对于倒数第1级, 所述第 $n+2$ 级信号输入端用于输入一脉冲激活信号, 所述第二输出端可以设置为悬空, 同理对于倒数第2级和倒数3级的阵列基板行驱动单元可以采用类似的处理, 此处不作具体描述。
- [87] 以下分别对所述上拉控制单元104、所述上拉单元101、所述下拉控制单元103以及所述下拉单元102的内部连接结构进行具体分析:
- [88] 所述上拉控制单元104为一第一薄膜晶体管T11, 所述第一薄膜晶体管T11具有第一栅极、第一源极及第一漏极;
- [89] 所述第一栅极电性连接至所述第 $n-3$ 级信号输入端, 所述第一源极电性连接至所述第 $n-2$ 级信号输入端, 所述第一漏极分别与所述下拉控制单元103电性连接, 并与所述下拉单元102及所述上拉单元101共同连接于所述第二输出端。
- [90] 所述上拉单元101包括一电容Cb和第二薄膜晶体管T21, 所述第二薄膜晶体管T21具有第二栅极、第二源极及第二漏极, 所述电容Cb包括第一极板和第二极板

- ;
- [91] 所述第二栅极通过第二输出端与上拉控制单元104和电容Cb的第一极板电性连接, 所述第二源极与所述高频时钟信号输入端电性连接, 第二漏极与第一输出端电性连接。
- [92] 所述下拉控制单元103包括第一下拉控制子单元1031;
- [93] 所述第一下拉控制子单元1031包括第三薄膜晶体管T52, 所述第三薄膜晶体管T52具有第三栅极、第三源极及第三漏极;
- [94] 所述第三栅极与第一漏极连接, 第三漏极与所述低电平输入端连接;
- [95] 所述第一下拉控制子单元1031还包括第四薄膜晶体管T32和第五薄膜晶体管T42, 所述第四薄膜晶体管T32具有第四栅极、第四源极及第四漏极, 所述第五薄膜晶体管T42具有第五栅极、第五源极及第五漏极;
- [96] 所述第四栅极与所述第五栅极连接至所述第三源极, 所述第四源极与第五源极连接至所述电容Cb的第二极板, 且与第一输出端连接; 所述第四漏极与所述低电平输入端连接, 所述第五漏极与第三栅极连接。
- [97] 如图1所示, 所述第n级阵列基板行驱动单元还包括低频时钟信号第一输入端和低频时钟信号第二输入端;
- [98] 其中, 所述低频时钟信号第一输入端的信号为LC1, 所述低频时钟信号第二输入端的信号为LC2;
- [99] 所述第一下拉控制子单元1031还包括第六薄膜晶体管T53和第七薄膜晶体管T54, 所述第六薄膜晶体管T53具有第六栅极、第六源极及第六漏极, 所述第七薄膜晶体管T54具有第七栅极、第七源极及第七漏极;
- [100] 所述第六栅极、第六源极与第七源极连接至所述低频时钟信号第一输入端, 所述第七栅极与所述低频时钟信号第二输入端连接; 所述第六漏极与第七漏极连接至所述第四栅极。
- [101] 所述第n级阵列基板行驱动单元还包括第二下拉控制子单元1032;
- [102] 所述第二下拉控制子单元1032包括第八薄膜晶体管T62、所述第八薄膜晶体管T62具有第八栅极、第八源极及第八漏极;
- [103] 所述第八栅极与所述第一漏极连接, 所述第八漏极与所述低电平输入端连接;

- [104] 所述第二下拉控制子单元1032还包括第九薄膜晶体管T33和第十薄膜晶体管T43，所述第九薄膜晶体管T33具有第九栅极、第九源极及第九漏极，所述第十薄膜晶体管T43具有第十栅极、第十源极及第十漏极；
- [105] 所述第九栅极与所述第十栅极连接至所述第八源极，所述第九源极与第十源极均和所述第四源极与第五源极连接，并连接至所述电容Cb的第二极板，且与所述第一输出端连接；所述第九漏极与所述低电平输入端连接，所述第十漏极与第八栅极连接。
- [106] 所述第二下拉控制子单元1032还包括第十一薄膜晶体管T63和第十二薄膜晶体管T64，所述第十一薄膜晶体管T63具有第十一栅极、第十一源极及第十一漏极；所述第十二薄膜晶体管T64具有第十二栅极、第十二源极及第十二漏极；
- [107] 所述第十一栅极、第十一源极与第十二源极连接至所述低频时钟信号第二输入端，所述第十二栅极与所述低频时钟信号第一输入端连接；所述第十一漏极与第十二漏极连接至第九栅极。
- [108] 所述下拉单元102为一第十三薄膜晶体管T41、所述第十三薄膜晶体管T41具有第十三栅极、第十三源极及第十三漏极；
- [109] 所述第十三栅极与所述第 $n+2$ 级信号输入端连接，所述第十三漏极与所述低电平输入端连接，所述第十三源极与所述第二栅极连接。
- [110] 可以理解的是，各薄膜晶体管的接通或断开分别对应其源极和其漏极之间的电流通道的接通或断开。
- [111] 进一步的，本发明实施例中，所述第一薄膜晶体管T11、所述第二薄膜晶体管T21、所述第三薄膜晶体管T52、所述第四薄膜晶体管T32、所述第五薄膜晶体管T42、所述第六薄膜晶体管T53、所述第七薄膜晶体管T54、所述第八薄膜晶体管T62、所述第九薄膜晶体管T33、所述第十薄膜晶体管T43、所述第十一薄膜晶体管T63、所述第十二薄膜晶体管T64以及所述第十三薄膜晶体管T41均为N型的薄膜晶体管，显然，上述各薄膜晶体管在其他实施例中还可以为P型的薄膜晶体管，其类型可以根据具体场景进行确定，此处举例不构成对本发明的限定。
- [112] 为了更好地理解本发明技术方案，以下基于如图1所示的阵列基板行驱动电路（GOA），为本发明GOA电路的单级架构的一个实例，对该单级GOA电路进行

简单介绍:

- [113] 所述单级GOA电路包含控制给显示区域第 n 级水平扫描线进行充电的第二薄膜晶体管T21（对应图1所示的上拉单元101），其中第一输出端（即G(n)信号输出端）与第 n 级水平扫描线相连接，第二薄膜晶体管T21的第二源级和第二漏极分别连接第一输出端和高频时钟信号输入端（即CK(n)信号输入端），所述第二薄膜晶体管T21的第二栅极与所述第二输出端相连，Q(n)的电位可直接影响CK(n)对G(n)充电；GOA电路还包含在G(n)充电结束时对Q(n)进行放电的第十三薄膜晶体管T41（对应图1的下拉单元104）。
- [114] 进一步地，图1所示的下拉控制单元103为GOA的下拉电路区，可以在非充电时期维持G(n)和Q(n)的低电位。下拉控制单元103中P点和K点交替受低频时钟信号第一输入端（即LC1信号输入端）和低频时钟信号第二输入端（即LC2信号输入端）的充电而处于高电位，从而交替控制第四薄膜晶体管T32和第五薄膜晶体管T42，或者，第九薄膜晶体管T33和第十薄膜晶体管T43的打开，以便交替维持G(n)和Q(n)在非充电时期的低电位，从而避免薄膜晶体管长时间受栅极电压应力的影响。
- [115] 另外，第三薄膜晶体管T52连接P点和低电平输入端（即Vss信号输入端），第八薄膜晶体管T62连接K点和低电平输入端，所述第三薄膜晶体管T52和所述第八薄膜晶体管T62可在Q(n)处于高电位时打开而将P点、K点电位拉低以关闭第四薄膜晶体管T32、第五薄膜晶体管T42、第九薄膜晶体管T33、第十薄膜晶体管T43使之不影响G(n)充电。
- [116] 第一薄膜晶体管T11（对应图1的上拉控制单元104）可以控制将前级GOA电路输出的信号传递给本级GOA电路，使GOA信号可以逐级传递；Q(n)和G(n)之间连接有自举功能的电容Cb，可在G(n)电位提升时通过Cb的耦合效应使Q(n)电位提升，从而获得更高的Q(n)电位及更小的GOA充电信号。
- [117] 以下实施例中，各开关管均以N型的薄膜晶体管为例，对如图1所示的单级GOA电路的工作原理进行分析：
- [118] 可一并参考图2，图2为所述阵列基板行驱动电路的驱动时序示意图；该驱动时序分为三个阶段，其中，t1~t4为G(n)充电前的准备时间，t4~t5为G(n)的充电时间

, t_5 后 $G(n)$ 被放电。

[119] 具体地, t_1 时, $CK(n-3)$ 为高电位, $Q(n-3)$ 自举到高电位, 其中, $Q(n-3)$ 自举的高电位约为两倍 $G(n-2)$ 的高电位。 t_1 时 $G(n-2)$ 为低电位, $Q(n)$ 未充电, 则 $Q(n)$ 为低电位。

[120] 其中, $CK(n-3)$ 为第 $n-3$ 级阵列基板行驱动单元的高频时钟信号, 当其为高电位时, 对应地 $Q(n-3)$ 自举到高电位。

[121] t_2 时, $CK(n-2)$ 的电位抬升, $G(n-2)$ 也抬升为高电位, $Q(n-3)$ 仍维持高的自举电位(仍高于 $G(n-2)$ 的高电位), 第一薄膜晶体管 T_{11} 接通并给 $Q(n)$ 充电, 则 $Q(n)$ 电位抬升。

[122] 其中, $CK(n-2)$ 为第 $n-2$ 级阵列基板行驱动单元的高频时钟信号。

[123] 进一步地, $Q(n)$ 电位抬升后, 可第三薄膜晶体管 T_{52} 和第八薄膜晶体管 T_{62} 接通, 从而拉低P、K点电位以关闭第四薄膜晶体管 T_{32} 、第五薄膜晶体管 T_{42} 、第九薄膜晶体管 T_{33} 和第十薄膜晶体管 T_{43} , 使之不影响 $G(n)$ 后续充电。

[124] 可以理解的是, 如果P点或K点是高电位, 那么起下拉作用的第四薄膜晶体管 T_{32} 与第五薄膜晶体管 T_{42} 的开关组合, 或者, 第九薄膜晶体管 T_{33} 与第十薄膜晶体管 T_{43} 的开关组合就会打开, 就会下拉 $G(n)$ 和 $Q(n)$ 的电位而影响充电。

[125] t_3 时, $CK(n-3)$ 的电位开始下降, $Q(n-3)$ 的电位也下降, $G(n-2)$ 维持高电位, $Q(n)$ 电位基本保持不变。

[126] t_4 时, $CK(n)$ 的电位开始抬升, 第二薄膜晶体管 T_{21} 接通, $Q(n)$ 自举到更高电位并控制第二薄膜晶体管 T_{21} 给 $G(n)$ 充电, $G(n)$ 电位抬升。

[127] t_5 时, $CK(n)$ 电位开始下降, $Q(n)$ 电位并未立即被拉低, 第二薄膜晶体管 T_{21} 在 t_5 后的短时间内仍保持导通, 将 $G(n)$ 电位拉低。

[128] 之后, $G(n+2)$ 电位抬升, 第十三薄膜晶体管 T_{41} 接通, 以确保 $Q(n)$ 被拉至低电位; 所述第三薄膜晶体管 T_{52} 和第八薄膜晶体管 T_{62} 在 $Q(n)$ 电位拉低后关闭, 第四薄膜晶体管 T_{32} 与第五薄膜晶体管 T_{42} 的开关组合和第九薄膜晶体管 T_{33} 与第十薄膜晶体管 T_{43} 的开关组合可正常交替打开, 以维持 $G(n)$ 和 $Q(n)$ 在非充电时期的低电位。

[129] 可以理解的是, 在所述第三薄膜晶体管 T_{52} 和第八薄膜晶体管 T_{62} 关闭后, P点

和K点的电位可以受低频信号LC1和LC2的影响。假设，LC1为高电位而LC2为低电位时，第六薄膜晶体管T53打开而第七薄膜晶体管T54关闭，P点可为高电位，P点为高电位就可打开起下拉作用的第四薄膜晶体管T32与第五薄膜晶体管T42；假设，LC2为高电位而LC1为低电位时，第十一薄膜晶体管T63打开而第十二薄膜晶体管T64关闭，K点可为高电位，K点为高电位就可打开起下拉作用的第九薄膜晶体管T33与第十薄膜晶体管T43。这一设计的目的是避免第四薄膜晶体管T32与第五薄膜晶体管T42，或者第九薄膜晶体管T33与第十薄膜晶体管T43长时间受单一栅极应力的影响，从而可以延长器件的寿命。

[130] 需要说明的是，如图1所示本发明GOA电路中负责上、下级间讯号传递的第一薄膜晶体管T11，其第一栅极、第一漏极、第一源极分别连接第n-3级信号输入端（Q(n-3)信号）、第n-2级信号输入端（G(n-2)信号）、第二输出端（Q(n)信号）。根据半导体器件导通原则，如果要使Q(n)接受到来自第一薄膜晶体管T11的充电，第一栅极和第一源极间的电压差 V_{gs} 须不小于其阈值电压 V_{th} ，即 $V_{gs}-V_{th} \geq 0$ 。本发明中第一栅极的Q(n-3)信号在自举后的电位约是G(n-2)高电位 $V_{G(n-2)}$ 的2倍，即 $2 V_{G(n-2)}$ 。因此Q(n)可被第一薄膜晶体管T11充至 $V_{G(n-2)}$ ，Q(n)在自举前可被充至的电位不易受到第一薄膜晶体管T11阈值电压 V_{th} 漂移的影响。而对于目前大部分的GOA电路，如上拉控制单元104中第一薄膜晶体管T11的栅极的峰值电位约等于G(n-2)的电位 $V_{G(n-2)}$ ，因此Q(n)可被第一薄膜晶体管T11充至的电位约等于 $V_{G(n-2)}-V_{th}$ ，Q(n)在自举前可被充至的电位易受到第一薄膜晶体管T11阈值电压 V_{th} 漂移的影响。

[131] 综上所述，本发明GOA电路用一个峰值电压更高的Q(n-3)信号来控制负责GOA电路的上、下级之间信号传递的第一薄膜晶体管T11的接通，使GOA电路上、下级之间的信号传递受TFT元件阈值电压漂移的影响较现有的GOA电路更小，从而使GOA电路的输出受TFT元件阈值电压漂移的影响变小，提高GOA电路输出的稳定性。

[132] 为便于更好的实施本发明实施例提供的阵列基板行驱动电路，本发明实施例还提供一种包含阵列基板行驱动电路的液晶显示装置。其中名词的含义与上述阵列基板行驱动电路中相同，具体实现细节可以参考阵列基板行驱动电路实施例

中的说明。

- [133] 本发明实施例提供一种液晶显示装置，包括阵列基板行驱动电路，以及与所述阵列基板行驱动电路连接的显示区域，所述阵列基板行驱动电路，包括多级连接的阵列基板行驱动单元；
- [134] 其中，对于所述阵列基板行驱动电路中的第 n 级阵列基板行驱动单元，包括第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端、第 $n+2$ 级信号输入端、第一输出端、第二输出端、低电平输入端以及高频时钟信号输入端， n 为大于3的正整数；
- [135] 其中，所述第 $n-3$ 级信号输入端与第 $n-3$ 级的阵列基板行驱动单元的第二输出端相连；所述第 $n-2$ 级信号输入端与第 $n-2$ 级的阵列基板行驱动单元的第一输出端相连；所述第 $n+2$ 级信号输入端与第 $n+2$ 级的阵列基板行驱动单元的第一输出端相连；所述第二输出端与第 $n+3$ 级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连；所述第一输出端与第 $n+2$ 级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连，且与第 $n-2$ 级的阵列基板行驱动单元的第 $n+2$ 级信号输入端相连，用于向显示区域的第 n 级水平扫描线提供扫描信号；
- [136] 可以理解的是，本发明实施例对于第 n 级阵列基板行驱动单元，所述第 $n-3$ 级信号输入端的信号为 $Q(n-3)$ ，同时，所述 $Q(n-3)$ 为第 $n-3$ 级阵列基板行驱动单元的第二输出端的信号；所述第 $n-2$ 级信号输入端的信号为 $G(n-2)$ ，同时所述 $G(n-2)$ 为第 $n-2$ 级阵列基板行驱动单元的第一输出端的信号；所述第 $n+2$ 级信号输入端的信号为 $G(n+2)$ ，同时，所述 $G(n+2)$ 为第 $n+2$ 级阵列基板行驱动单元的第一输出端的信号；所述第一输出端的信号为 $G(n)$ ，所述第二输出端的信号为 $Q(n)$ ，所述低电平输入端的信号为 V_{ss} ，所述高频时钟信号输入端的信号为 $CK(n)$ 。
- [137] 所述第 n 级阵列基板行驱动单元还包括：
- [138] 上拉控制单元104，包括一第一薄膜晶体管，分别与所述第 $n-2$ 级信号输入端、所述第 $n-3$ 级信号输入端以及所述第二输出端连接，其中，所述第 $n-3$ 级信号输入端的信号的峰值电压为所述第 $n-2$ 级信号输入端的信号的峰值电压的两倍，用于上拉所述第二输出端的电位；

- [139] 上拉单元101，分别与所述高频时钟信号输入端、所述第一输出端连接，并与所述上拉控制单元104共同连接于所述第二输出端，用于对所述第一输出端的信号进行充电，以使所述第二输出端达到更高的电位；
- [140] 下拉控制单元103，分别与所述低电平输入端、所述上拉控制单元104及所述上拉单元101连接，用于在所述第一输出端的信号处于非充电状态时，控制所述第二输出端和所述第一输出端保持低电位；
- [141] 下拉单元102，分别与所述第 $n+2$ 级信号输入端、所述低电平输入端、所述下拉控制单元103连接，并与所述上拉单元104及所述上拉控制单元104共同连接于所述第二输出端，用于下拉所述第二输出端的电位。
- [142] 可一并参考图3，图3为本发明的GOA电路的一种多级连接结构示意图，所述显示区域具有水平扫描线，每条所述水平扫描线的两端各连接一个所述阵列基板行驱动单元，所述水平扫描线与所述阵列基板行驱动单元的第一输出端连接。
- [143] 可以理解的是，GOA电路可以从左右两边分别对水平扫描线gate line进行充电和放电，以获得均匀的充电效果。低频时钟信号LC1和LC2、直流低电压Vss、以及CK1~CK4的4个高频时钟信号的金属线放置于各级GOA电路的外围。第 n 级GOA电路分别接受LC1、LC2、Vss、CK1~CK4中的1个CK信号、第 $n-2$ 级GOA电路产生的G($n-2$)信号、第 $n-3$ 级GOA电路产生的Q($n-3$)信号、第 $n+2$ 级GOA电路产生的G($n+2$)信号，并产生G(n)信号和Q(n)信号。如图3所示的电路多级连接结构可以保证GOA讯号能逐级传递，并且各级GOA电路可以逐级从左、右两边分别对显示区域的水平扫描线进行充电和放电。
- [144] 以下分别对所述上拉控制单元104、所述上拉单元101、所述下拉控制单元103以及所述下拉单元102的结构进行具体分析：
- [145] 所述上拉控制单元104为一第一薄膜晶体管T11，所述第一薄膜晶体管T11具有第一栅极、第一源极及第一漏极；
- [146] 所述第一栅极电性连接至所述第 $n-3$ 级信号输入端，所述第一源极电性连接至所述第 $n-2$ 级信号输入端，所述第一漏极分别与所述下拉控制单元103电性连接，并与所述下拉单元102及所述上拉单元101共同连接于所述第二输出端。
- [147] 所述上拉单元101包括一电容Cb和第二薄膜晶体管T21，所述第二薄膜晶体管T

21具有第二栅极、第二源极及第二漏极，所述电容Cb包括第一极板和第二极板；

[148] 所述第二栅极通过第二输出端与上拉控制单元104和电容Cb的第一极板电性连接，所述第二源极与所述高频时钟信号输入端电性连接，第二漏极与第一输出端电性连接。

[149] 所述下拉控制单元103包括第一下拉控制子单元1031；

[150] 所述第一下拉控制子单元1031包括第三薄膜晶体管T52，所述第三薄膜晶体管T52具有第三栅极、第三源极及第三漏极；

[151] 所述第三栅极与第一漏极连接，第三漏极与所述低电平输入端连接；

[152] 所述第一下拉控制子单元1031还包括第四薄膜晶体管T32和第五薄膜晶体管T42，所述第四薄膜晶体管T32具有第四栅极、第四源极及第四漏极，所述第五薄膜晶体管T42具有第五栅极、第五源极及第五漏极；

[153] 所述第四栅极与所述第五栅极连接至所述第三源极，所述第四源极与第五源极连接至所述电容Cb的第二极板，且与第一输出端连接；所述第四漏极与所述低电平输入端连接，所述第五漏极与第三栅极连接。

[154] 如图1所示，所述第n级阵列基板行驱动单元还包括低频时钟信号第一输入端和低频时钟信号第二输入端；

[155] 其中，所述低频时钟信号第一输入端的信号为LC1，所述低频时钟信号第二输入端的信号为LC2；

[156] 所述第一下拉控制子单元1031还包括第六薄膜晶体管T53和第七薄膜晶体管T54，所述第六薄膜晶体管T53具有第六栅极、第六源极及第六漏极，所述第七薄膜晶体管T54具有第七栅极、第七源极及第七漏极；

[157] 所述第六栅极、第六源极与第七源极连接至所述低频时钟信号第一输入端，所述第七栅极与所述低频时钟信号第二输入端连接；所述第六漏极与第七漏极连接至所述第四栅极。

[158] 所述第n级阵列基板行驱动单元还包括第二下拉控制子单元1032；

[159] 所述第二下拉控制子单元1032包括第八薄膜晶体管T62、所述第八薄膜晶体管T62具有第八栅极、第八源极及第八漏极；

- [160] 所述第八栅极与所述第一漏极连接，所述第八漏极与所述低电平输入端连接；
- [161] 所述第二下拉控制子单元1032还包括第九薄膜晶体管T33和第十薄膜晶体管T43，所述第九薄膜晶体管T33具有第九栅极、第九源极及第九漏极，所述第十薄膜晶体管T43具有第十栅极、第十源极及第十漏极；
- [162] 所述第九栅极与所述第十栅极连接至所述第八源极，所述第九源极与第十源极均和所述第四源极与第五源极连接，并连接至所述电容Cb的第二极板，且与所述第一输出端连接；所述第九漏极与所述低电平输入端连接，所述第十漏极与第八栅极连接。
- [163] 所述第二下拉控制子单元1032还包括第十一薄膜晶体管T63和第十二薄膜晶体管T64，所述第十一薄膜晶体管T63具有第十一栅极、第十一源极及第十一漏极；所述第十二薄膜晶体管T64具有第十二栅极、第十二源极及第十二漏极；
- [164] 所述第十一栅极、第十一源极与第十二源极连接至所述低频时钟信号第二输入端，所述第十二栅极与所述低频时钟信号第一输入端连接；所述第十一漏极与第十二漏极连接至第九栅极。
- [165] 所述下拉单元102为一第十三薄膜晶体管T41、所述第十三薄膜晶体管T41具有第十三栅极、第十三源极及第十三漏极；
- [166] 所述第十三栅极与所述第n+2级信号输入端连接，所述第十三漏极与所述低电平输入端连接，所述第十三源极与所述第二栅极连接。
- [167] 可一并参考图2，其中， $t_1 \sim t_4$ 为G(n)充电前的准备时间， $t_4 \sim t_5$ 为G(n)的充电时间， t_5 后G(n)被放电；
- [168] 具体地， t_1 时，CK(n-3)为高电位，Q(n-3)自举到高电位，其中，Q(n-3)自举的高电位约为两倍G(n-2)的高电位。 t_1 时G(n-2)为低电位，Q(n)未充电，则Q(n)为低电位。
- [169] t_2 时，CK(n-2)的电位抬升，G(n-2)也抬升为高电位，Q(n-3)仍维持高的自举电位（仍高于G(n-2)的高电位），第一薄膜晶体管T11接通并给Q(n)充电，则Q(n)电位抬升。进一步地，Q(n)电位抬升后，可第三薄膜晶体管T52和第八薄膜晶体管T62接通，从而拉低P、K点电位以关闭第四薄膜晶体管T32、第五薄膜晶体管T42、第九薄膜晶体管T33和第十薄膜晶体管T43，使之不影响G(n)后续充电。

- [170] t_3 时, $CK(n-3)$ 的电位开始下降, $Q(n-3)$ 的电位也下降, $G(n-2)$ 维持高电位, $Q(n)$ 电位基本保持不变。
- [171] t_4 时, $CK(n)$ 的电位开始抬升, 第二薄膜晶体管T21接通, $Q(n)$ 自举到更高电位并控制第二薄膜晶体管T21给 $G(n)$ 充电, $G(n)$ 电位抬升。
- [172] t_5 时, $CK(n)$ 电位开始下降, $Q(n)$ 电位并未立即被拉低, 第二薄膜晶体管T21在 t_5 后的短时间内仍保持导通, 将 $G(n)$ 电位拉低。
- [173] 之后, $G(n+2)$ 电位抬升, 第十三薄膜晶体管T41接通, 以确保 $Q(n)$ 被拉至低电位; 所述第三薄膜晶体管T52和第八薄膜晶体管T62在 $Q(n)$ 电位拉低后关闭, 第四薄膜晶体管T32与第五薄膜晶体管T42的开关组合和第九薄膜晶体管T33与第十薄膜晶体管T43的开关组合可正常交替打开, 以维持 $G(n)$ 和 $Q(n)$ 在非充电时期的低电位。
- [174] 在上述实施例中, 对各个实施例的描述都各有侧重, 某个实施例中未详述的部分, 可以参见上文单级GOA电路的详细描述, 此处不再赘述。
- [175] 可以理解的是, 在本实施例中, 所述GOA电路用一个峰值电压更高的 $Q(n-3)$ 信号来控制负责GOA电路的上、下级之间信号传递的第一薄膜晶体管T11的接通; 即上级的GOA电路的输出可以用作下级驱动电路的输入, 上级的GOA电路的输入为上一行上级的GOA电路的输出, 从而使得GOA电路上、下级之间的信号传递受TFT元件阈值电压漂移的影响较现有的GOA电路更小, 从而使GOA电路的输出受TFT元件阈值电压漂移的影响变小, 提高GOA电路输出的稳定性。
- [176] 本发明的GOA电路可以利用平板显示面板的原有制程制备在显示面板的基板上, 能替代外接IC来完成各级水平扫描线的驱动, 尤其适合制作窄边框或无边框的平板显示产品。可一并参考图4, 图4为本发明提供的液晶显示装置的结构示意图。其中, 显示基板(即显示区域403)上方的x+c board为显示基板提供驱动和控制讯号, 402区域为显示装置外壳, 显示基板左边401区域和右边404区域制作GOA电路, 可从左、右两个方向驱动显示区域403的水平扫描线。GOA电路接受x+c board的输入讯号并逐级产生水平扫描线的控制讯号, 可以控制显示区域403中的pixel逐行打开。

[177] 为了更好地理解本发明提供的GOA电路，以下将所述GOA电路与一现有的GOA电路进行对比分析：

[178] 可一并参考图5a至图5c为本发明提供的GOA电路与一现有GOA电路的输出对比示意图；比如，一现有的GOA电路，其上拉控制单元104中第一薄膜晶体管T11的栅极的峰值电位约等于 $G(n-2)$ 的电位 $V_{G(n-2)}$ ， $Q(n)$ 可被第一薄膜晶体管T11充至的电位约等于 $V_{G(n-2)} - V_{th}$ ；其中，图5a为本发明的GOA电路和现有GOA电路在电路中TFT的阈值电压发生漂移前后的比对，其中虚线为BTS前的示意，实线为BTS后的示意，由图5a可以发现，在BTS（bias temperature stress，偏压温度应力）后，TFT的阈值电压 V_{th} 会发生右移。采集BTS前、后TFT的电性参数并将其进行模拟，可参考图5b和图5c，由图5b可以发现现有GOA电路在其TFT阈值电压漂移后其输出 $Q(n)$ 和 $G(n)$ 的变化较大，由图5c可以发现本发明的GOA电路在其TFT阈值电压漂移后其输出 $Q(n)$ 和 $G(n)$ 的变化较小。

[179] 综上所述，本发明GOA电路用一个峰值电压更高的 $Q(n-3)$ 信号来控制负责GOA电路的上、下级之间信号传递的第一薄膜晶体管T11的接通，使GOA电路上、下级之间的信号传递受TFT元件阈值电压漂移的影响较现有的GOA电路更小，从而使GOA电路的输出受TFT元件阈值电压漂移的影响变小，提高GOA电路输出的稳定性。并且，所述GOA电路可以利用平板显示面板的原有制程制备在显示面板的基板上，能替代外接IC来完成各级水平扫描线的驱动，简化显示面板的制作工序，降低成本，尤其适合制作窄边框或无边框的平板显示产品。

[180] 在上述实施例中，对各个实施例的描述都各有侧重，某个实施例中未详述的部分，可以参见上文相关的详细描述，此处不再赘述。

[181] 本领域技术人员将认识到，本文所使用的词语“优选的”意指用作实例、示例或例证。奉文描述为“优选的”任意方面或设计不必被解释为比其他方面或设计更有利。相反，词语“优选的”的使用旨在以具体方式提出概念。如本申请中所使用的术语“或”旨在意指包含的“或”而非排除的“或”。即，除非另外指定或从上下文中清楚，“X使用101或102”意指自然包括排列的任意一个。即，如果X使用101；X使用102；或X使用101和102二者，则“X使用101或102”在前述任一示例中得到满

足。

[182] 而且，尽管已经相对于一个或多个实现方式示出并描述了本公开，但是本领域技术人员基于对本说明书和附图的阅读和理解将会想到等价变型和修改。本公开包括所有这样的修改和变型，并且仅由所附权利要求的范围限制。特别地关于由上述组件（例如元件、资源等）执行的各种功能，用于描述这样的组件的术语旨在对应于执行所述组件的指定功能（例如其在功能上是等价的）的任意组件（除非另外指示），即使在结构上与执行本文所示的本公开的示范性实现方式中的功能的公开结构不等同。此外，尽管本公开的特定特征已经相对于若干实现方式中的仅一个被公开，但是这种特征可以与如可以对给定或特定应用而言是期望和有利的其他实现方式的一个或多个其他特征组合。而且，就术语“包括”、“具有”、“含有”或其变形被用在具体实施方式或权利要求中而言，这样的术语旨在以与术语“包含”相似的方式包括。

[183] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1]

一种阵列基板行驱动电路，包括多级连接的阵列基板行驱动单元，其中对于所述阵列基板行驱动电路中的第 n 级阵列基板行驱动单元，包括：

第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端、第 $n+2$ 级信号输入端、第一输出端、第二输出端、低电平输入端以及高频时钟信号输入端， n 为大于3的正整数；

其中，所述第 $n-3$ 级信号输入端与第 $n-3$ 级的阵列基板行驱动单元的第二输出端相连；所述第 $n-2$ 级信号输入端与第 $n-2$ 级的阵列基板行驱动单元的第一输出端相连；所述第 $n+2$ 级信号输入端与第 $n+2$ 级的阵列基板行驱动单元的第一输出端相连；所述第二输出端与第 $n+3$ 级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连；所述第一输出端与第 $n+2$ 级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连，且与第 $n-2$ 级的阵列基板行驱动单元的第 $n+2$ 级信号输入端相连，用于向显示区域的第 n 级水平扫描线提供扫描信号；

所述第 n 级阵列基板行驱动单元还包括：

一上拉控制单元，包括一第一薄膜晶体管，所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极，所述第一栅极电性连接至所述第 $n-3$ 级信号输入端，所述第一源极电性连接至所述第 $n-2$ 级信号输入端，所述第一漏极与一下拉控制单元电性连接，并与一下拉单元及一上拉单元共同连接于所述第二输出端；其中，所述第 $n-3$ 级信号输入端的信号的峰值电压为所述第 $n-2$ 级信号输入端的信号的峰值电压的两倍，用于上拉所述第二输出端的电位；

所述上拉单元，包括一电容和第二薄膜晶体管，所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极，所述电容包括第一极板和第二极板；所述第二栅极与所述上拉控制单元和所述电容的第一极板共同连接于所述第二输出端，所述第二源极与所述高频时钟信号输入端电性连接，所述第二漏极与第一输出端电性连接

，用于对所述第一输出端的信号进行充电，以使所述第二输出端达到更高的电位；

所述下拉控制单元，分别与低电平输入端、所述上拉控制单元及所述上拉单元连接，用于在所述第一输出端的信号处于非充电状态时，控制所述第二输出端和所述第一输出端保持低电位；

所述下拉单元，分别与所述第 $n+2$ 级信号输入端、所述低电平输入端、所述下拉控制单元连接，并与所述上拉单元及所述上拉控制单元共同连接于所述第二输出端，用于下拉所述第二输出端的电位。

[权利要求 2]

根据权利要求1所述的阵列基板行驱动电路，其中所述下拉控制单元包括第一下拉控制子单元；

所述第一下拉控制子单元包括第三薄膜晶体管，所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极；

所述第三栅极与所述第一漏极连接，第三漏极与所述低电平输入端连接；

所述第一下拉控制子单元还包括第四薄膜晶体管和第五薄膜晶体管，所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极，所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极；

所述第四栅极与所述第五栅极连接至所述第三源极，所述第四源极与第五源极连接至所述电容的第二极板，且与第一输出端连接；所述第四漏极与所述低电平输入端连接，所述第五漏极与第三栅极连接。

[权利要求 3]

根据权利要求2所述的阵列基板行驱动电路，其中所述第 n 级阵列基板行驱动单元还包括低频时钟信号第一输入端和低频时钟信号第二输入端；

所述第一下拉控制子单元还包括第六薄膜晶体管和第七薄膜晶体管，所述第六薄膜晶体管具有第六栅极、第六源极及第六漏极，所述第七薄膜晶体管具有第七栅极、第七源极及第七漏极；

所述第六栅极、第六源极与第七源极连接至所述低频时钟信号第一输入端，所述第七栅极与所述低频时钟信号第二输入端连接；
所述第六漏极与第七漏极连接至所述第四栅极。

[权利要求 4]

根据权利要求3所述的阵列基板行驱动电路，其中所述第 n 级阵列基板行驱动单元还包括第二下拉控制子单元；

所述第二下拉控制子单元包括第八薄膜晶体管，所述第八薄膜晶体管具有第八栅极、第八源极及第八漏极；

所述第八栅极与所述第一漏极连接，所述第八漏极与所述低电平输入端连接；

所述第二下拉控制子单元还包括第九薄膜晶体管和第十薄膜晶体管，所述第九薄膜晶体管具有第九栅极、第九源极及第九漏极，
所述第十薄膜晶体管具有第十栅极、第十源极及第十漏极；

所述第九栅极与第十栅极连接至所述第八源极，所述第九源极与第十源极均与所述第四源极和第五源极连接，并连接至所述电容的第二极板，且与所述第一输出端连接；所述第九漏极与
所述低电平输入端连接，所述第十漏极与第八栅极连接。

[权利要求 5]

根据权利要求4所述的阵列基板行驱动电路，其中所述第二下拉控制子单元还包括第十一薄膜晶体管和第十二薄膜晶体管，所述第十一薄膜晶体管具有第十一栅极、第十一源极及第十一漏极；
所述第十二薄膜晶体管具有第十二栅极、第十二源极及第十二漏极；

所述第十一栅极、第十一源极与第十二源极连接至所述低频时钟信号第二输入端，所述第十二栅极与所述低频时钟信号第一输入端连接；
所述第十一漏极与第十二漏极连接至第九栅极。

[权利要求 6]

根据权利要求5所述的阵列基板行驱动电路，其中所述下拉单元为一第十三薄膜晶体管，所述第十三薄膜晶体管具有第十三栅极、第十三源极及第十三漏极；

所述第十三栅极与所述第 $n+2$ 级信号输入端连接，所述第十三漏极

与所述低电平输入端连接，所述第十三源极与所述第二栅极连接。

[权利要求 7]

一种阵列基板行驱动电路，包括多级连接的阵列基板行驱动单元，其中对于所述阵列基板行驱动电路中的第 n 级阵列基板行驱动单元，包括：

第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端、第 $n+2$ 级信号输入端、第一输出端、第二输出端、低电平输入端以及高频时钟信号输入端， n 为大于3的正整数；

其中，所述第 $n-3$ 级信号输入端与第 $n-3$ 级的阵列基板行驱动单元的第二输出端相连；所述第 $n-2$ 级信号输入端与第 $n-2$ 级的阵列基板行驱动单元的第一输出端相连；所述第 $n+2$ 级信号输入端与第 $n+2$ 级的阵列基板行驱动单元的第一输出端相连；所述第二输出端与第 $n+3$ 级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连；所述第一输出端与第 $n+2$ 级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连，且与第 $n-2$ 级的阵列基板行驱动单元的第 $n+2$ 级信号输入端相连，用于向显示区域的第 n 级水平扫描线提供扫描信号；

所述第 n 级阵列基板行驱动单元还包括：

上拉控制单元，包括一第一薄膜晶体管，分别与所述第 $n-2$ 级信号输入端、所述第 $n-3$ 级信号输入端以及所述第二输出端连接，其中，所述第 $n-3$ 级信号输入端的信号的峰值电压为所述第 $n-2$ 级信号输入端的信号的峰值电压的两倍，用于上拉所述第二输出端的电位；

上拉单元，分别与所述高频时钟信号输入端、所述第一输出端连接，并与所述上拉控制单元共同连接于所述第二输出端，用于对所述第一输出端的信号进行充电，以使所述第二输出端达到更高的电位；

下拉控制单元，分别与低电平输入端、所述上拉控制单元及所述上拉单元连接，用于在所述第一输出端的信号处于非充电状态时

，控制所述第二输出端和所述第一输出端保持低电位；

下拉单元，分别与所述第 $n+2$ 级信号输入端、所述低电平输入端、所述下拉控制单元连接，并与所述上拉单元及所述上拉控制单元共同连接于所述第二输出端，用于下拉所述第二输出端的电位。

[权利要求 8]

根据权利要求7所述的阵列基板行驱动电路，其中所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极；

所述第一栅极电性连接至所述第 $n-3$ 级信号输入端，所述第一源极电性连接至所述第 $n-2$ 级信号输入端，所述第一漏极分别与所述下拉控制单元电性连接，并与所述下拉单元及所述上拉单元共同连接于所述第二输出端。

[权利要求 9]

根据权利要求7所述的阵列基板行驱动电路，其中所述上拉单元包括一电容和第二薄膜晶体管，所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极，所述电容包括第一极板和第二极板；

所述第二栅极通过第二输出端分别与所述上拉控制单元和所述电容的第一极板电性连接，所述第二源极与所述高频时钟信号输入端电性连接，所述第二漏极与第一输出端电性连接。

[权利要求 10]

根据权利要求8所述的阵列基板行驱动电路，其中所述下拉控制单元包括第一下拉控制子单元；

所述第一下拉控制子单元包括第三薄膜晶体管，所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极；

所述第三栅极与所述第一漏极连接，第三漏极与所述低电平输入端连接；

所述第一下拉控制子单元还包括第四薄膜晶体管和第五薄膜晶体管，所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极，所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极；

所述第四栅极与所述第五栅极连接至所述第三源极，所述第四源极与第五源极连接至所述电容的第二极板，且与第一输出端连接；所述第四漏极与所述低电平输入端连接，所述第五漏极与第三

栅极连接。

[权利要求 11]

根据权利要求10所述的阵列基板行驱动电路，其中所述第n级阵列基板行驱动单元还包括低频时钟信号第一输入端和低频时钟信号第二输入端；

所述第一下拉控制子单元还包括第六薄膜晶体管和第七薄膜晶体管，所述第六薄膜晶体管具有第六栅极、第六源极及第六漏极，所述第七薄膜晶体管具有第七栅极、第七源极及第七漏极；

所述第六栅极、第六源极与第七源极连接至所述低频时钟信号第一输入端，所述第七栅极与所述低频时钟信号第二输入端连接；所述第六漏极与所述第七漏极连接至所述第四栅极。

[权利要求 12]

根据权利要求11所述的阵列基板行驱动电路，其中所述第n级阵列基板行驱动单元还包括第二下拉控制子单元；

所述第二下拉控制子单元包括第八薄膜晶体管，所述第八薄膜晶体管具有第八栅极、第八源极及第八漏极；

所述第八栅极与所述第一漏极连接，所述第八漏极与所述低电平输入端连接；

所述第二下拉控制子单元还包括第九薄膜晶体管和第十薄膜晶体管，所述第九薄膜晶体管具有第九栅极、第九源极及第九漏极，所述第十薄膜晶体管具有第十栅极、第十源极及第十漏极；

所述第九栅极与所述第十栅极连接至所述第八源极，所述第九源极与第十源极均与所述第四源极和第五源极连接，并连接至所述电容的第二极板，且与所述第一输出端连接；所述第九漏极与所述低电平输入端连接，所述第十漏极与所述第八栅极连接。

[权利要求 13]

根据权利要求12所述的阵列基板行驱动电路，其中所述第二下拉控制子单元还包括第十一薄膜晶体管和第十二薄膜晶体管，所述第十一薄膜晶体管具有第十一栅极、第十一源极及第十一漏极；所述第十二薄膜晶体管具有第十二栅极、第十二源极及第十二漏极；

所述第十一栅极、第十一源极与第十二源极连接至所述低频时钟信号第二输入端，所述第十二栅极与所述低频时钟信号第一输入端连接；所述第十一漏极与第十二漏极连接至第九栅极。

[权利要求 14]

根据权利要求13所述的阵列基板行驱动电路，其中所述下拉单元为一第十三薄膜晶体管，所述第十三薄膜晶体管具有第十三栅极、第十三源极及第十三漏极；

所述第十三栅极与所述第 $n+2$ 级信号输入端连接，所述第十三漏极与所述低电平输入端连接，所述第十三源极与所述第二栅极连接。

[权利要求 15]

一种液晶显示装置，包括阵列基板行驱动电路，以及与所述阵列基板行驱动电路连接的显示区域，其中所述阵列基板行驱动电路，包括多级连接的阵列基板行驱动单元，其中，

对于所述阵列基板行驱动电路中的第 n 级阵列基板行驱动单元，包括：第 $n-3$ 级信号输入端、第 $n-2$ 级信号输入端、第 $n+2$ 级信号输入端、第一输出端、第二输出端、低电平输入端以及高频时钟信号输入端， n 为大于3的正整数；

其中，所述第 $n-3$ 级信号输入端与第 $n-3$ 级的阵列基板行驱动单元的第二输出端相连；所述第 $n-2$ 级信号输入端与第 $n-2$ 级的阵列基板行驱动单元的第一输出端相连；所述第 $n+2$ 级信号输入端与第 $n+2$ 级的阵列基板行驱动单元的第一输出端相连；所述第二输出端与第 $n+3$ 级的阵列基板行驱动单元的第 $n-3$ 级信号输入端相连；所述第一输出端与第 $n+2$ 级的阵列基板行驱动单元的第 $n-2$ 级信号输入端相连，且与第 $n-2$ 级的阵列基板行驱动单元的第 $n+2$ 级信号输入端相连，用于向显示区域的第 n 级水平扫描线提供扫描信号；

所述第 n 级阵列基板行驱动单元还包括：

上拉控制单元，包括一第一薄膜晶体管，分别与所述第 $n-2$ 级信号输入端、所述第 $n-3$ 级信号输入端以及所述第二输出端连接，其中，所述第 $n-3$ 级信号输入端的信号的峰值电压为所述第 $n-2$ 级信号输

入端的信号的峰值电压的两倍，用于上拉所述第二输出端的电位；

上拉单元，分别与所述高频时钟信号输入端、所述第一输出端连接，并与所述上拉控制单元共同连接于所述第二输出端，用于对所述第一输出端的信号进行充电，以使所述第二输出端达到更高的电位；

下拉控制单元，分别与低电平输入端、所述上拉控制单元及所述上拉单元连接，用于在所述第一输出端的信号处于非充电状态时，控制所述第二输出端和所述第一输出端保持低电位；

下拉单元，分别与所述第 $n+2$ 级信号输入端、所述低电平输入端、所述下拉控制单元连接，并与所述上拉单元及所述上拉控制单元共同连接于所述第二输出端，用于下拉所述第二输出端的电位。

[权利要求 16]

根据权利要求15所述的液晶显示装置，其中所述显示区域具有水平扫描线，每条所述水平扫描线的两端各连接一个所述阵列基板行驱动单元，所述水平扫描线与所述阵列基板行驱动单元的第一输出端连接。

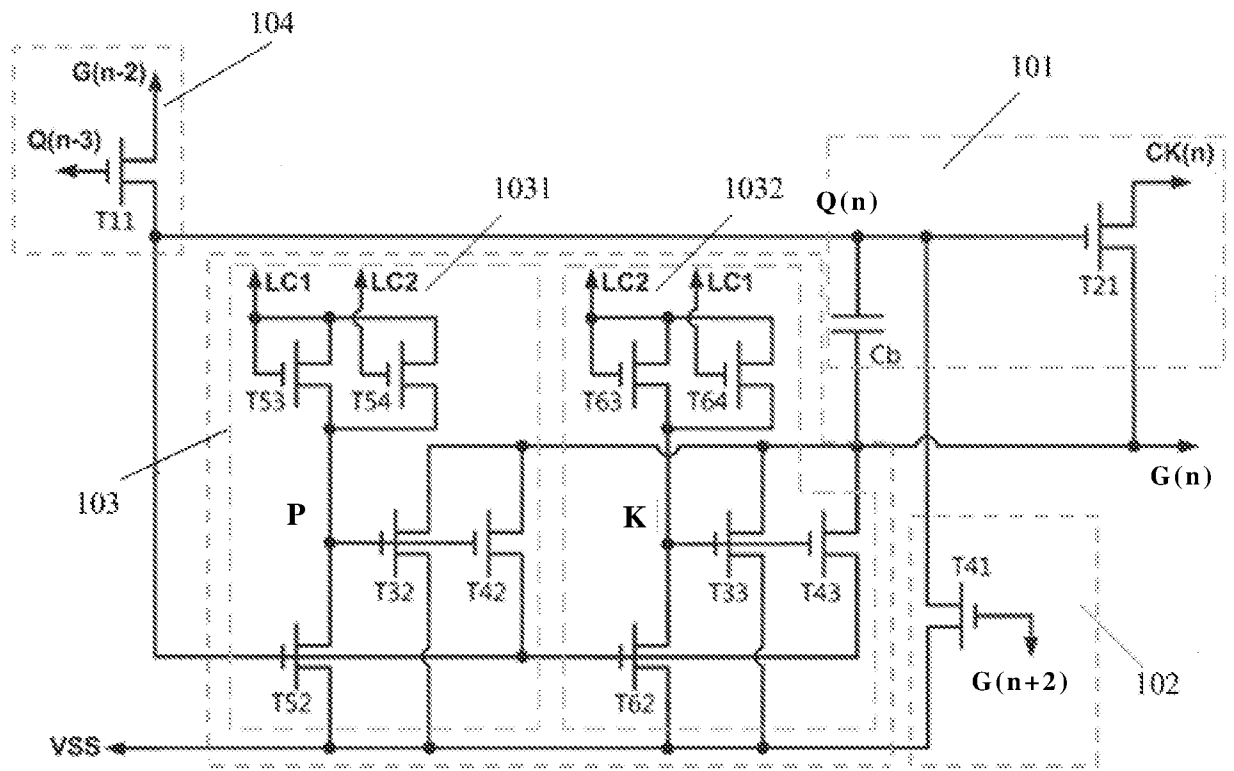


图 1

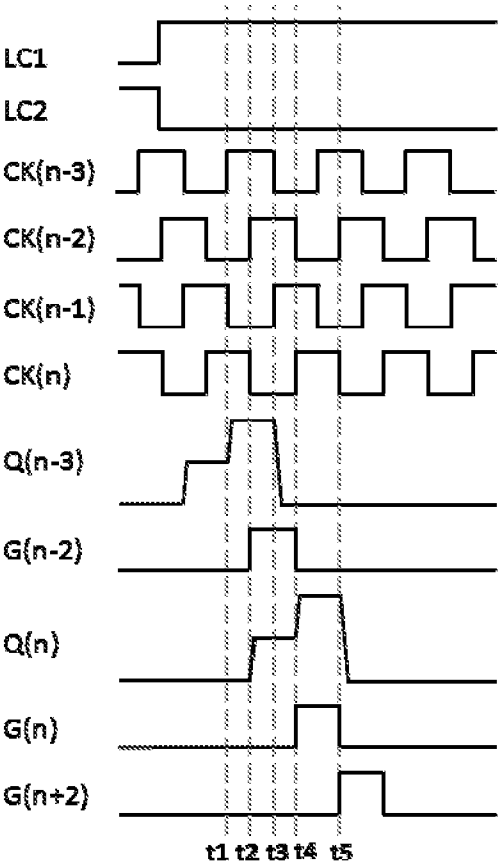


图 2

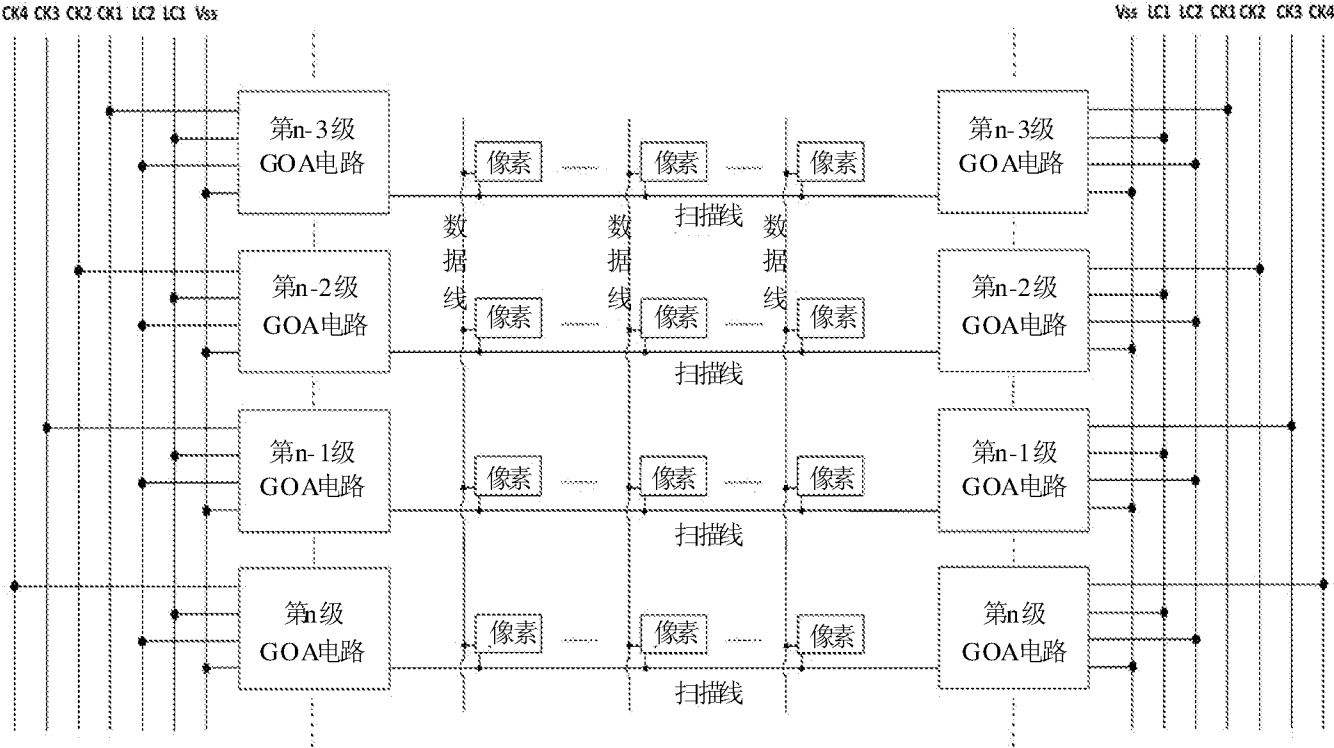


图 3

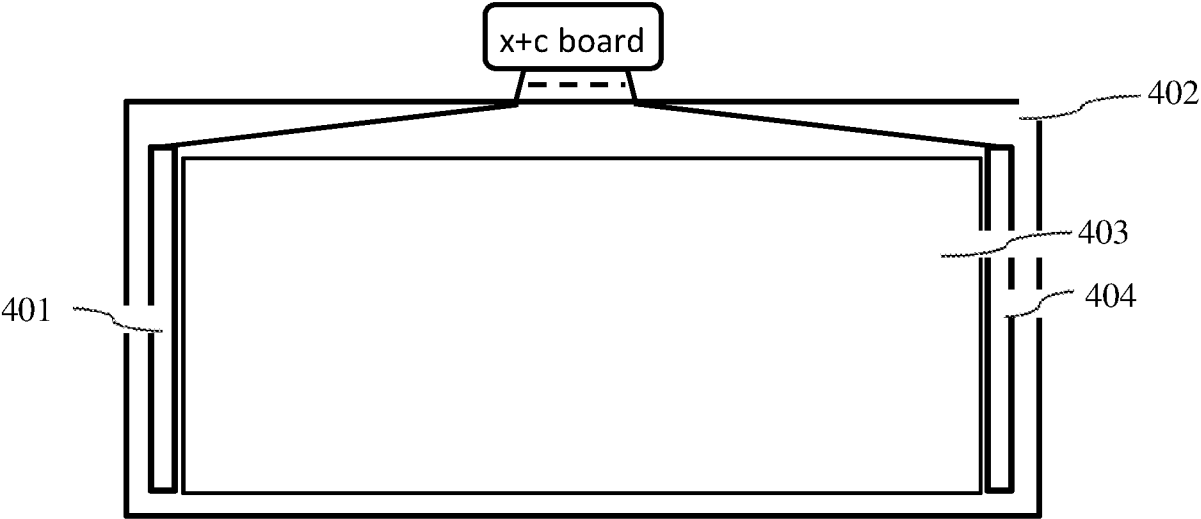


图 4

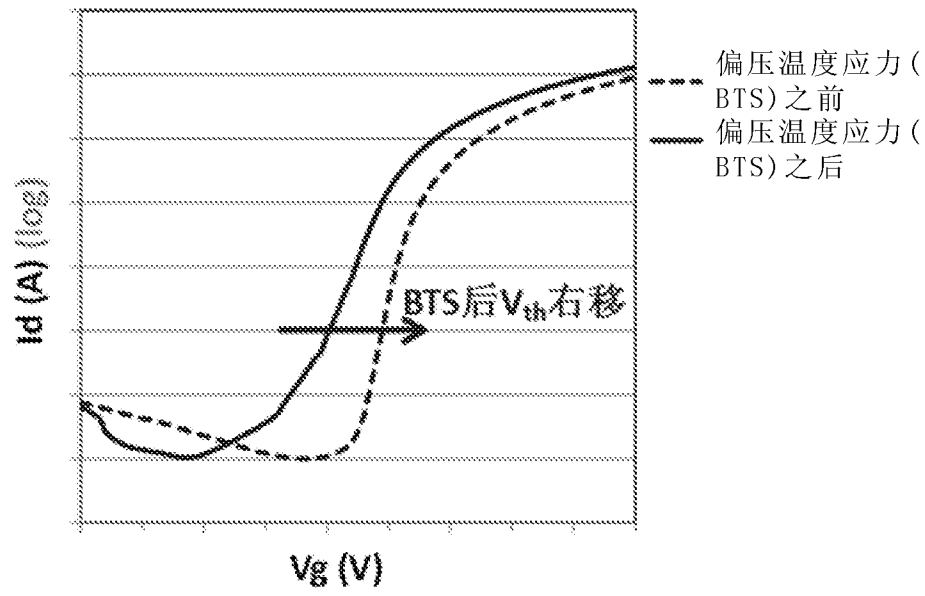


图 5a

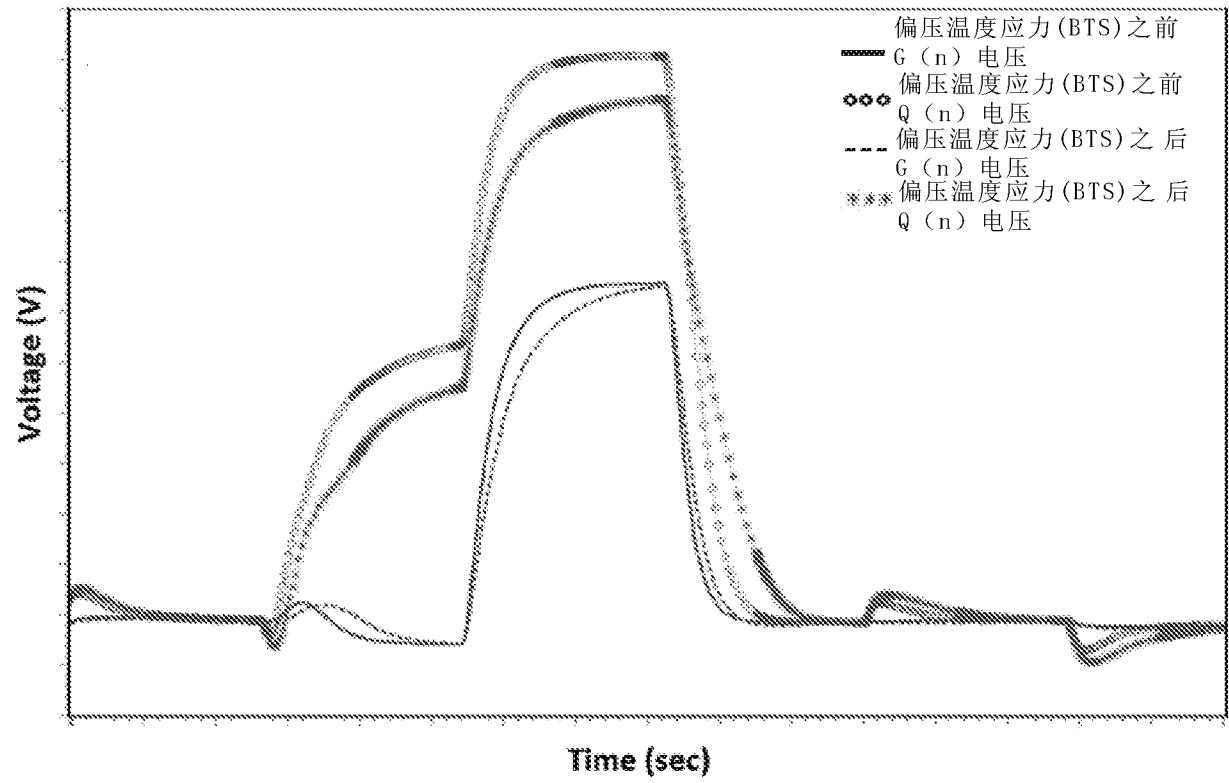


图 5b

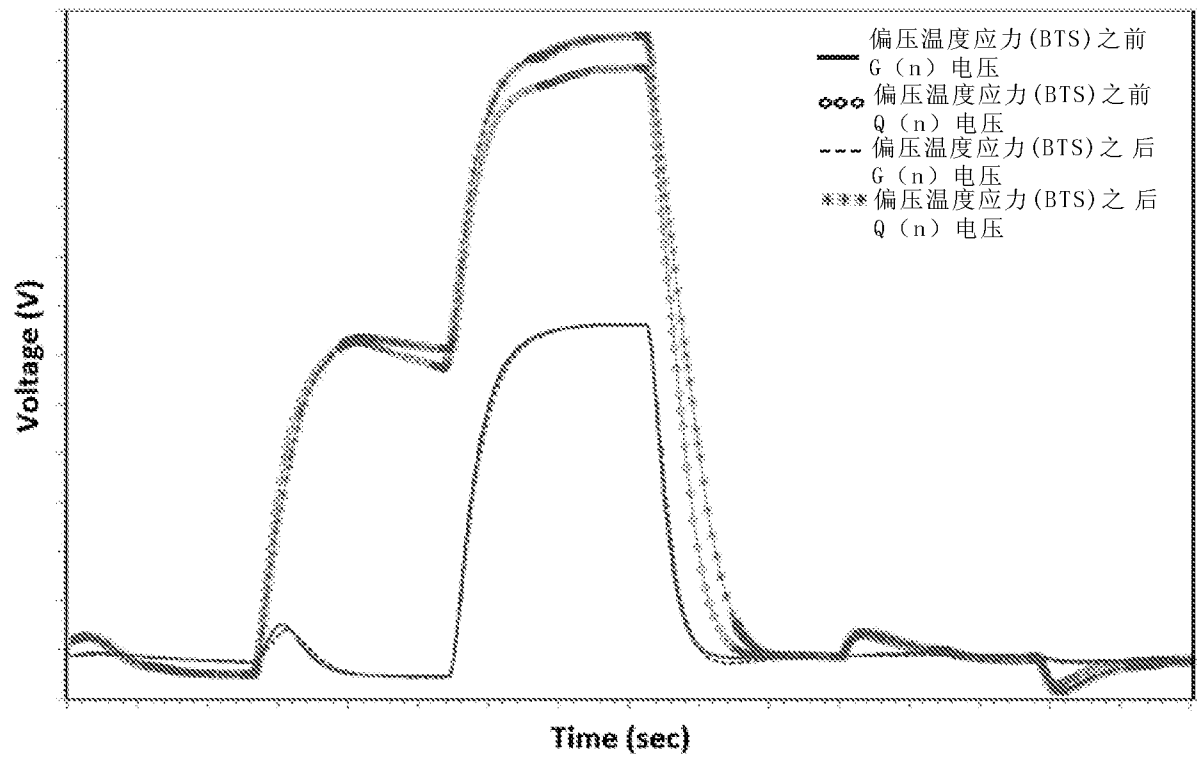


图 5c

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/079928

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i, G11C 19/00 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-; G11C 19/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTEXT, CNABS, TWABS, TWTXT, WPI, EPODOC, CNKI: GOA, gate, scan, row, driv+, voltage, double, high+, threshold, Vth, transistor?, switch+, TFT, yu xiaojiang, li change, lai zijie, hoaxing, double

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103680386 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD) 26 March 2014 (26.03.2014) description, paragraphs [0002], [0040]-[0049], [0051]-[0054] and figures 1-4	1-16
A	CN 103680451 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD) 26 March 2014 (26.03.2014) the whole document	1-16
A	CN 103680388 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD) 26 March 2014 (26.03.2014) the whole document	1-16
A	CN 102629463 A (BOE TECHNOLOGY GROUP CO LTD) 08 August 2012 (08.08.2012) the whole document	1-16
A	CN 101026012 A (MITSUBISHI ELECTRIC CORP) 29 August 2007 (29.08.2007) the whole document	1-16

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 09 February 2015	Date of mailing of the international search report 02 March 2015
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WANG, Shaowei Telephone No. (86-10) 82245658

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2014/079928

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010182227 A1 (TSOU, YUAN-HSIN) 22 July 2010 (22.07.2010) the whole document	1-16
A	US 2011091006 A1 (LIU, CHIN-WEI et al.) 21 April 2011 (21.04.2011) the whole document	1-16
A	KR 20110109473 A (LG DISPLAY CO., LTD.) 06 October 2011 (06.10.2011) the whole document	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/079928

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103680386 A	26 March 2014	None	
CN 103680451 A	26 March 2014	None	
CN 103680388 A	26 March 2014	None	
CN 102629463 A	08 August 2012	WO 2013143316 A1	03 October 2013
		US 2014104153 A1	17 April 2014
		CN 102629463 B	09 October 2013
CN 101026012 A	29 August 2007	US 7627076 B2	01 December 2009
		KR 20070087520 A	28 August 2007
		US 2007195920 A1	23 August 2007
		CN 101026012 B	22 December 2010
		JP 4912121 B2	11 April 2012
		JP 2007257813 A	04 October 2007
		KR 100838650 B1	16 June 2008
		TW 200733033 A	01 September 2007
US 2010182227 A1	22 July 2010	US 8049706 B2	01 November 2011
		TW 201028978 A	01 August 2010
		TW 1402814 B	21 July 2013
US 2011091006 A1	06 October 2011	TW 201114181 A	16 April 2011
KR 20110109473 A	06 October 2011	None	

国际检索报告

国际申请号

PCT/CN2014/079928

A. 主题的分类

G09G 3/36(2006.01)i; G11C 19/00(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3/-; G11C19/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

中国期刊网全文数据库, CNTXT, CNABS, TWABS, TWTXT, WPI, EPODOC: 虞晓江, 李长晔, 赖梓杰, 华星光电, 驱动, 栅极, 扫描, 扫描, 闸极, 行, N-3, 电压, 两倍, 2倍, 高, 阈值, 晶体管, 开关, GOA, gate, scan, row, driv+, voltage, double, high+, threshold, Vth, transistor?, switch+, TFT

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103680386 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014 - 03 - 26) 说明书第[0002]段, 第[0040]-[0049]段, 第[0051]-[0054]段、附图1-4	1-16
A	CN 103680451 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文	1-16
A	CN 103680388 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文	1-16
A	CN 102629463 A (京东方科技集团股份有限公司) 2012年 8月 8日 (2012 - 08 - 08) 全文	1-16
A	CN 101026012 A (三菱电机株式会社) 2007年 8月 29日 (2007 - 08 - 29) 全文	1-16
A	US 2010182227 A1 (TSOU, YUAN-HSIN) 2010年 7月 22日 (2010 - 07 - 22) 全文	1-16
A	US 2011091006 A1 (LIU, CHIN-WEI 等) 2011年 4月 21日 (2011 - 04 - 21) 全文	1-16

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 2月 9日

国际检索报告邮寄日期

2015年 3月 2日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

王少伟

电话号码 (86-10)82245658

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	KR 20110109473 A (LG DISPLAY CO., LTD.) 2011年 10月 6日 (2011 - 10 - 06) 全文	1-16

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/079928

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103680386	A	2014年 3月 26日	无			
CN	103680451	A	2014年 3月 26日	无			
CN	103680388	A	2014年 3月 26日	无			
CN	102629463	A	2012年 8月 8日	WO	2013143316	A1	2013年 10月 3日
				US	2014104153	A1	2014年 4月 17日
				CN	102629463	B	2013年 10月 9日
CN	101026012	A	2007年 8月 29日	US	7627076	B2	2009年 12月 1日
				KR	20070087520	A	2007年 8月 28日
				US	2007195920	A1	2007年 8月 23日
				CN	101026012	B	2010年 12月 22日
				JP	4912121	B2	2012年 4月 11日
				JP	2007257813	A	2007年 10月 4日
				KR	100838650	B1	2008年 6月 16日
				TW	200733033	A	2007年 9月 1日
US	2010182227	A1	2010年 7月 22日	US	8049706	B2	2011年 11月 1日
				TW	201028978	A	2010年 8月 1日
				TW	I402814	B	2013年 7月 21日
US	2011091006	A1	2011年 4月 21日	TW	201114181	A	2011年 4月 16日
KR	20110109473	A	2011年 10月 6日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)