

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 4 月 24 日 (24.04.2014)



(10) 国际公布号
WO 2014/059563 A1

(51) 国际专利分类号:

H01L 29/06 (2006.01) H01L 21/336 (2006.01)
H01L 29/417 (2006.01) H01L 21/426 (2006.01)
H01L 29/78 (2006.01)

(21) 国际申请号: PCT/CN2012/001538

(22) 国际申请日: 2012 年 11 月 13 日 (13.11.2012)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201210393780.1 2012 年 10 月 16 日 (16.10.2012) CN

(71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(72) 发明人: 梁擎擎 (LIANG, Qingqing); 美国纽约州拉格朗日镇瑞吉路 28 号, New York 12540 (US)。 秦长亮 (QIN, Changliang); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 钟汇才 (ZHONG, Huicai); 美国加利福尼亚州圣荷西市威尔明顿大道 1089 号, CA 95129 (US)。 尹海洲 (YIN, Haizhou);

美国纽约州波基普西市洛克科劳斯特街 11#, NY 12603 (US)。 朱慧珑 (ZHU, Huilong); 美国纽约州波基普西市奥特姆路 93#, NY 12603 (US)。

(74) 代理人: 中国专利代理(香港)有限公司 (CHINA PATENT AGENT(H.K.) LTD); 中国香港特别行政区湾仔港湾道 23 号鹰君中心 22 字楼, Hong kong 100011 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH,

[见续页]

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 半导体器件及其制造方法

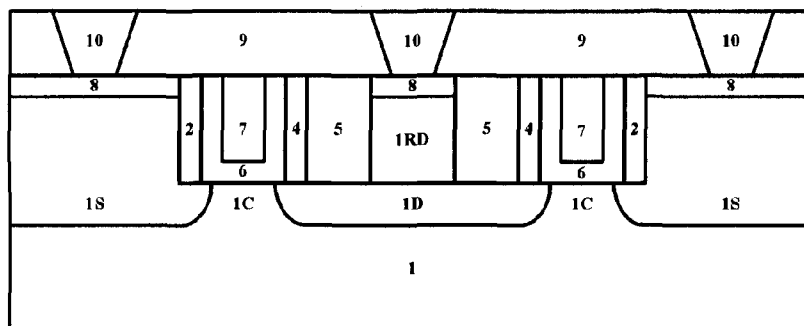


图12 / Fig. 12

(57) Abstract: A semiconductor device includes a substrate (1), a source region (1S) and a drain region (1D) in the substrate (1), a gate stack structure (6/7) between the source region (1S) and the drain region (1D) on the substrate (1), and offset spacers (2/4) surrounding the gate stack structure (6/7), and is characterized in that the source region (1S) and the gate stack structure (6/7) are symmetrically disposed about the drain region (1D). A method for manufacturing the semiconductor device, by using a double spacer structure of the offset spacers (2/4) and the gate sidewall spacer (3) to form a fine dummy gate line and using a source (1S) - drain (1D) - source (1S) symmetrical structure to improve processing accuracy of the device, increases reliability of the device in whole and improves performance.

(57) 摘要: 一种半导体器件, 包括衬底 (1)、衬底 (1) 中的源区 (1S) 和漏区 (1D)、源区 (1S) 与漏区 (1D) 之间的衬底 (1) 上的栅极堆叠结构 (6/7)、位于栅极堆叠结构 (6/7) 周围的偏移侧墙 (2/4), 其特征在于: 源区 (1S) 以及栅极堆叠结构 (6/7) 关于漏区 (1D) 对称分布。半导体器件制造方法, 利用偏移侧墙 (2/4) 和栅极侧墙 (3) 的双重侧墙结构形成精细的假栅极线条, 并利用源极 (1S)-漏极 (1D)-源极 (1S) 的对称结构提高了器件加工的精度, 整体上提高了器件可靠性, 改进了性能。



WO 2014/059563 A1



CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,
IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

半导体器件及其制造方法

优先权要求

本申请要求了2012年10月16日提交的、申请号为201210393780.1、
5 发明名称为“半导体器件及其制造方法”的中国专利申请的优先权，
其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体集成电路制造领域，更具体地，涉及一种后栅
10 工艺制造的具有对称结构的新型MOSFET及其制造方法。

背景技术

随着器件尺寸持续缩减，MOSFET中栅极绝缘层日益减薄，其绝缘
隔离效果趋向退化。此外，传统的掺杂多晶硅栅极无法有效精确控
15 制栅极功函数来调整阈值电压。为此，现有技术中采用了高k材料作为
栅极绝缘层并且采用金属材料作为栅极、以及金属氮化物来调节功函
数。

这种高k-金属栅（HK-MG）的栅极堆叠结构的一种制造方法是所谓
后栅工艺，也即先在衬底上沉积并刻蚀形成多晶硅等材质的假栅极，
20 然后沉积低k介质的层间介质层（ILD）覆盖整个器件，刻蚀ILD形成栅
极沟槽，在栅极沟槽中再依次沉积高k材料的栅极绝缘层以及金属的栅
极导电层。

然而，由于器件特征尺寸已降至45nm乃至22nm以下，受限于光刻
精度，沉积/刻蚀假栅极以及刻蚀栅极沟槽的加工精度无法有效提高，
25 除了难以形成小尺寸假栅极线条之外，还存在线条失真、歪曲等问题，
使得最终形成的金属栅极线条可能弯曲甚至断裂，由此使得器件可靠性
严重下降。

发明内容

30 有鉴于此，本发明的目的在于克服上述难题，突破光刻精度对于
栅极图案化的限制，形成精确的、严格对称的MOSFET器件结构，提高
器件的可靠性。

实现本发明的上述目的，是通过提供一种半导体器件，包括衬底、衬底中的源区和漏区、源区与漏区之间的衬底上的栅极堆叠结构、位于栅极堆叠结构周围的偏移侧墙，其特征在于：源区以及栅极堆叠结构关于漏区对称分布。

- 5 其中，源区和/或漏区的顶部与栅极堆叠结构的顶部齐平，或者源区和/或漏区的顶部低于栅极堆叠结构的顶部。

其中，源区与漏区上还包括金属硅化物，以及与金属硅化物接触并电连接的源漏接触塞。

- 10 其中，偏移侧墙的材质选自氧化硅、氮化硅、氮氧化硅、高k材料及其组合。

其中，漏区上还包括提升漏区。

其中，偏移侧墙和/或栅极堆叠结构为分离的，或者连接为环状。

- 15 本发明还提供了一种半导体器件制造方法，包括：在衬底中形成沟槽；在沟槽侧面形成第一偏移侧墙；在第一偏移侧墙的侧面依次形成假栅极以及第二偏移侧墙；以第一偏移侧墙、假栅极、第二偏移侧墙为掩模，执行离子注入并且随后退火，形成源区和漏区，其中源区关于漏区对称分布；去除假栅极，形成栅极沟槽，在栅极沟槽中填充形成栅极堆叠结构，其中栅极堆叠结构关于漏区对称分布。

- 20 其中，衬底的表面具有源漏注入区，源漏注入区的导电类型与衬底的导电类型不同。

其中，第一偏移侧墙与第二偏移侧墙材质相同，并且与假栅极材质不同。

- 25 其中，第一偏移侧墙和/或第二偏移侧墙材质选自氧化硅、氮化硅、氮氧化硅、高k材料及其组合，假栅极材质选自多晶硅、非晶硅、微晶硅、非晶碳、氮化硅、氧化硅、氮氧化硅及其组合。

其中，形成漏区之后进一步包括：在沟槽中形成绝缘介质层；刻蚀绝缘介质层形成漏区沟槽，直至暴露漏区；在漏区沟槽中外延形成提升漏区，或者沉积填充金属，使得提升漏区或者金属与假栅极顶部齐平。

- 30 其中，形成提升源漏或者填充金属之后进一步包括：平坦化或者刻蚀使得源区和/或漏区的顶部低于假栅极顶部。

其中，形成栅极堆叠结构之后进一步包括：在源区和漏区上形成

金属层；退火使得金属层与源区和漏区反应形成金属硅化物，位于源区和漏区上；去除未反应金属层。

其中，形成金属硅化物之后进一步包括：形成层间介质层；刻蚀层间介质层形成源漏接触孔，直至暴露源区和漏区上的金属硅化物；

5 在源漏接触孔中沉积金属/金属氮化物，形成源漏接触塞。

其中，第一偏移侧墙、第二偏移侧墙、假栅极、栅极堆叠结构为分离的，或者各自分别连接为环状。

依照本发明的半导体器件制造方法，利用偏移侧墙和栅极侧墙的双重侧墙结构形成精细的假栅极线条，并利用源极-漏极-源极的对称结
10 构提高了器件加工的精度，整体上提高了器件可靠性，改进了性能。

附图说明

以下参照附图来详细说明本发明的技术方案，其中：

图1至图12为根据本发明一个实施例的半导体器件制造方法各个
15 步骤的剖视图；

图13至图16为根据本发明另一实施例的半导体器件制造方法的各步骤的剖视图。

具体实施方式

20 以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果。需要指出的是，类似的附图标记表示类似的结构，本申请中所用的术语“第一”、“第二”、“上”、“下”、“厚”、“薄”等等可用于修饰各种器件结构。这些修饰除非特别说明并非暗示所修饰器件结构的空间、次序或层级关系。

25 图1至图12为根据本发明一个实施例的半导体器件制造方法各个步骤的剖视图。

参照图1，在衬底中形成源漏注入区（阱区），涂覆光刻胶并图案化，露出源漏注入区的一部分，对应于栅极区和漏极区。提供衬底1，其材质例如是体Si、体Ge、SOI、GeOI、GaAs、SiGe、GeSn、InP、InSb、
30 GaN等等，并且优选体Si（例如单晶Si晶片）或者SOI以便与现有CMOS工艺兼容。优选地，衬底1具有轻掺杂的第一导电类型，例如p-。对衬底1进行源漏离子注入，使得衬底1靠近表面的一部分区域构成源漏注

入区1A，具有不同于第一导电类型的第二导电类型，并且其掺杂浓度更高，例如为n⁺。虽然图1中所示的源漏注入区1A位于整个衬底1的顶部附近，但是实际上其周边可以被例如浅沟槽隔离（STI）的绝缘介质环绕而构成阱区，也即p-衬底1中的n⁺阱区，该阱区对应于器件的有源区。在衬底1（源漏注入区1A）顶部涂覆光刻胶PR，并且曝光/显影使其图案化，露出了位于源漏注入区（阱区或者有源区）中部的一部分，该中部将对应于器件的栅极区1G和漏极区1D，被光刻胶PR覆盖的源漏注入区部分将对应于器件的源极区1S。虽然图中源极区1S位于栅极区1G和漏极区1D的两侧，但是在平视图（未示出）中源极区1S实际上可以是环绕包围了栅极区1G和漏极区1D。各个部分的宽度、厚度依照器件版图设计需要而设定，在此不再赘述。此外，虽然源漏注入区（阱区、有源区）是注入形成的，但是实际上也可以采取外延的方式形成外延源漏区，并且可以在外延的同时进行原位掺杂而具有n⁺的导电类型。

参照图2，以光刻胶图案为掩模，刻蚀源漏注入区，形成沟槽，直至暴露衬底。对于Si材质的衬底1以及源漏注入区1A而言，可以采用TMAH湿法腐蚀，也可以采用碳氟基等离子体干法刻蚀，垂直刻蚀了光刻胶图案PR暴露的源漏注入区1A部分，直至暴露了p-型的衬底1，形成了栅极和漏极沟槽1B。其中，图2中所示，栅极和漏极沟槽1B刻蚀过程中具有部分过刻蚀，也即沟槽1B的底面可以略低于源漏注入区（阱区、有源区）1A的底面，例如低1~5nm。沟槽的宽度应该是大于等于栅极宽度与漏极宽度之和，例如为50~500nm。

参照图3，在栅极和漏极沟槽1B的侧面形成第一偏移侧墙2。通过LPCVD、PECVD、HDPCVD、热氧化（例如快速热氧化RTO）等常规方式，在栅极和漏极沟槽1B的侧面以及底部形成了绝缘介质层，其材质例如为氧化硅、氮氧化硅、氮化硅，甚至可以是高k材料。处于成本以及工艺简易性考虑，优选采用氧化硅或者氮化硅。在本发明的一个实施例中，绝缘介质层为氧化硅。之后采用常规的光刻/刻蚀对绝缘介质层的底部和侧部进行各向异性的刻蚀，使得底部的绝缘介质层被完全去除并且暴露衬底1，而侧部的绝缘介质层保留在栅极和漏极沟槽1B的侧壁从而构成第一偏移侧墙2。该第一偏移侧墙2稍后将作为与源极之间的隔离侧墙，并且用于限定栅极的分布。第一偏移侧墙2的厚度较

薄以便精确控制器件线条，例如仅为1~10nm。图3中所示第一偏移侧墙2为左右两个，实际上在顶视图中其除了间隔对称分布的两个之外，还可以是一个分布在沟槽1B内壁上的（圆）环。

参照图4，在第一偏移侧墙2的侧面依次形成假栅极3和第二偏移侧墙4。与第一偏移侧墙2的形成类似，也即先沉积后刻蚀，在第一偏移侧墙2的侧面（具体为内侧面）形成了假栅极3（因其实质上是用作限定栅极形状的侧墙结构，也称作栅极侧墙），其材质例如为多晶硅、非晶硅、微晶硅、非晶碳、氮化硅、氧化硅、氮氧化硅等及其组合，并且假栅极3的材料与第一偏移侧墙2的材质不同以便使得两者之间具有较高的刻蚀选择性。具体地，在本发明一个实施例中，第一偏移侧墙2为氧化硅时，假栅极3可以为氮化硅。假栅极3的宽度依照器件栅极宽度需要而设定，例如为10~50nm。假栅极3在图4中显示为左右侧对称的两个结构，实质上也可以在顶视图中是一个分布在（圆）环状的第一偏移侧墙（圆）环内侧的同样是环状的结构，也即假栅极3可以是（圆）环状。之后，类似地，在假栅极3内侧再形成第二偏移侧墙4，其材质可以与第一偏移侧墙2相同并且与假栅极3材质不同，其厚度也可以是1~10nm。在本发明一个实施例中，第一和第二偏移侧墙的材质是氧化硅，而假栅极3材质是氮化硅。同理地，第二偏移侧墙4不限于图4中所示左右对称的分离结构，而是可以为（圆）环状。值得注意的是，第一偏移侧墙2、假栅极3、第二偏移侧墙4并未完全填充栅极和漏极沟槽1B，假栅极3对应的区域将用于形成栅极，而暴露的衬底1区域将用于形成漏区。此后，再次执行离子注入，可以是垂直的多次离子注入以形成轻掺杂源漏区（LDD结构）以及重掺杂源漏区，也可以是倾斜的离子注入以形成晕状（Halo）源漏掺杂区（以上均未示出）。

参照图5，执行驱动退火，使得源漏注入区1A中的杂质纵向以及横向扩散，从而在衬底中分别形成源区1S和漏区1D。图5中所示的漏区1D位于两个源区1S之间，但是实际上也可以是漏区1D位于环状的源区1S内侧。漏区1D与源区1S之间的衬底1构成沟道区1C，其可以是分离的多个，也可以是连接为（圆）环状。

参照图6，在沟槽1B中填充绝缘介质层5，并采用CMP、回刻等方法平坦化绝缘介质层5直至暴露第一偏移侧墙2、假栅极3和第二偏移侧墙4。绝缘介质层5的材质优选地与第一偏移侧墙2和/或第二偏移侧墙4

材质相同，也即为氧化硅、氮化硅、氮氧化硅及其组合，并且与假栅极3材质不同。在本发明一个实施例中，绝缘介质层5是以TEOS为反应剂通过中温LPCVD或者低温PECVD法制备的氧化硅。此外，绝缘介质层5还可以是掺杂的氧化硅，例如BSG、PSG、BPSG、掺F玻璃、掺C玻璃等，此外还可以是其他低k材质，其形成方法可以是旋涂、喷涂、丝网印刷等等。

参照图7，刻蚀绝缘介质层5，形成漏极沟槽5A，直至露出漏区1D。针对氧化硅材质的绝缘介质层5，可以采用HF基湿法腐蚀液刻蚀，或者碳氟基等离子体干法刻蚀，例如 CF_4 、 CH_3F 、 CHF_3 、 CH_2F_2 、 C_3F_6 、 C_4F_8 等，并且优选碳氟比较大的刻蚀气体。漏极沟槽5A的宽度例如是20~100nm。

参照图8，在漏极沟槽5A中形成提升漏区1RD。通过PECVD、MBE、ALD等方法在漏极沟槽5A中外延生长与衬底1相同或者不同材质的半导体材料，构成提升漏区1RD。提升漏区1RD的材质例如是Si，或者SiGe、SiC等其他高迁移率材质以便提高沟道区应力，进一步提高器件性能。之后，采用CMP等工艺平坦化提升漏区1RD直至露出假栅极3。此外，还可以在漏极沟槽5A中沉积金属，直接形成漏极接触塞（也同样标记为1RD）。

参照图9，去除假栅极3，形成栅极沟槽3A，直至露出衬底1中的沟道区1C。对于氮化硅材质的假栅极3，可以采用热磷酸、或者强氧化剂+强酸的湿法刻蚀液（例如硫酸+双氧水）来刻蚀去除，也可以采用碳氟基等离子体干法刻蚀。其他材质的假栅极3，可以采用等离子体干法刻蚀，刻蚀气体可以是稀有气体（He、Ne、Ar、Kr、Xe）等，还可以包括氧气、氯气、溴蒸汽等调节刻蚀速率的气体。栅极沟槽3A的宽度等于假栅极3（也即栅极侧墙）的宽度，与最终器件的栅极宽度相同，例如10~50nm。

参照图10，在栅极沟槽3A中依次沉积高k材料的栅极绝缘层6和金属材料的栅极导电层7，形成栅极堆叠结构。栅极绝缘层6的高k材料包括但不限于氮化物（例如SiN、AlN、TiN）、金属氧化物（主要为副族和镧系金属元素氧化物，例如 Al_2O_3 、 Ta_2O_5 、 TiO_2 、 ZnO 、 ZrO_2 、 HfO_2 、 CeO_2 、 Y_2O_3 、 La_2O_3 ）、钙钛矿相氧化物（例如 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ （PZT）、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ （BST））。栅极导电层7的材质例如是Cu、Al、Ti、Ta、

W、Mo等及其组合。栅极绝缘层6与栅极导电层7之间还优选地具有功
函数调节层/扩散阻挡层（未示出），用于调节器件栅极功函数进而控
制阈值电压，并且可以防止栅极的金属元素扩散进入沟道区而降低器
件性能，其材料可以是TiN、TaN等氮化物及其组合。随后CMP平坦化
5 各个层直至露出栅极导电层7。

参照图11，在源区1S和漏区1D（提升漏区1RD）上形成金属硅化
物8，用于降低接触电阻。在源区1S和漏区1D上通过蒸发、溅射等方式
形成金属薄层（未示出），其材质包括Ni、Pt、Co、Ti及其组合，厚度
例如1~5nm。在450~850°C下退火1s~2min，使得金属薄层与源漏区
10 中的Si反应形成金属硅化物8，其厚度例如1~10nm。随后剥离未反应
的金属薄层。金属硅化物8可以是单金属硅化物，也可以是多元金属硅
化物。

参照图12，在整个器件上形成层间介质层（ILD）9，ILD9材质例
如是低k材料，包括但不限于有机低k材料（例如含芳基或者多元环的
15 有机聚合物）、无机低k材料（例如无定形碳氮薄膜、多晶硼氮薄膜、
氟硅玻璃、BSG、PSG、BPSG）、多孔低k材料（例如二硅三氧烷（SSQ）
基多孔低k材料、多孔二氧化硅、多孔SiOCH、掺C二氧化硅、掺F多孔
无定形碳、多孔金刚石、多孔有机聚合物）。刻蚀ILD 9直至暴露金属
硅化物8，形成源漏接触孔（未示出），在源漏接触孔中填充金属/金属
20 氮化物形成了源漏接触塞10。

依照本发明第一实施例形成的最终器件结构如图12所示，包括衬
底1、衬底1中的源区1S和漏区1D、源区1S与漏区1D之间的栅极堆叠结
构6/7、位于栅极堆叠结构周围的偏移侧墙2/4，其特征在于：源区1S以
及栅极堆叠结构6/7关于漏区1D对称分布。源区1S与漏区1D上还包括金
25 属硅化物8，以及与金属硅化物接触并电连接的源漏接触塞10。特别地，
源区1S和/或漏区1D顶部与栅极堆叠结构6/7顶部齐平。其余各个部件的
材质和几何形状、尺寸在制造方法描述中已详述，在此不再赘述。

图13至图16为根据本发明另一实施例的半导体器件制造方法的各
步骤的剖视图。其中，该第二实施例与实施例的相同部分在图1至图8
30 中已描述，也即第二实施例在形成提升漏区1RD该步骤之前与第一实施
例是相同的，因此不再赘述该相同部分。以下参照图13至图16着重描
述第二实施例的不同部分。并且特别地，以下如未特别说明，各个标

记相同的部件所采用的材料和制造方法与第一实施例相同，区别仅在于制造工艺的先后顺序以及相对位置关系。

参照图13，CMP平坦化或者回刻蚀，使得源区1S和漏区1D（包括提升漏区1RD）顶面低于假栅极3的顶面。可以采用TMAH湿法刻蚀液刻蚀Si材质的源区1S、漏区1D等，该刻蚀液基本不刻蚀氧化硅、氮化硅、氮氧化硅等材质的偏移侧墙2/4、假栅极3、绝缘介质层5。

参照图14，在源区1S、漏区1D上形成金属硅化物8。在整个器件上形成ILD 9。随后CMP平坦化ILD 9直至暴露假栅极3。

参照图15，去除假栅极3，留下栅极沟槽（未示出）。在栅极沟槽中沉积填充栅极绝缘层6、栅极导电层7。CMP平坦化各层直至暴露ILD 9。

参照图16，刻蚀ILD9 形成源漏接触孔（未示出）。在源漏接触孔中沉积金属/金属氮化物形成源漏接触塞10。

依照本发明第二实施例形成的最终器件结构如图16所示，包括衬底1、衬底1中的源区1S和漏区1D、源区1S与漏区1D之间的栅极堆叠结构6/7、位于栅极堆叠结构周围的偏移侧墙2/4，其特征在于：源区1S以及栅极堆叠结构6/7关于漏区1D对称分布。源区1S与漏区1D上还包括金属硅化物8，以及与金属硅化物接触并电连接的源漏接触塞10。特别地，源区1S和/或漏区1D顶部低于栅极堆叠结构6/7顶部。其余各个部件的材质和几何形状、尺寸在制造方法描述中已详述，在此不再赘述。

依照本发明的半导体器件制造方法，利用偏移侧墙和栅极侧墙的双重侧墙结构形成精细的假栅极线条，并利用源极-漏极-源极的对称结构提高了器件加工的精度，整体上提高了器件可靠性，改进了性能。

尽管已参照一个或多个示例性实施例说明本发明，本领域技术人员可以知晓无需脱离本发明范围而对形成器件结构的方法做出各种合适的改变和等价方式。此外，由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此，本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例，而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

权 利 要 求

1. 一种半导体器件，包括衬底、衬底中的源区和漏区、源区与漏区之间的衬底上的栅极堆叠结构、位于栅极堆叠结构周围的偏移侧墙，
5 其特征在于：源区以及栅极堆叠结构关于漏区对称分布。

2. 如权利要求1的半导体器件，其中，源区和/或漏区的顶部与栅极堆叠结构的顶部齐平，或者源区和/或漏区的顶部低于栅极堆叠结构的顶部。

3. 如权利要求1的半导体器件，其中，源区与漏区上还包括金属
10 硅化物，以及与金属硅化物接触并电连接的源漏接触塞。

4. 如权利要求1的半导体器件，其中，偏移侧墙的材质选自氧化硅、氮化硅、氮氧化硅、高k材料及其组合。

5. 如权利要求1的半导体器件，其中，漏区上还包括提升漏区。

6. 如权利要求1的半导体器件，其中，偏移侧墙和/或栅极堆叠结
15 构为分离的，或者连接为环状。

7. 一种半导体器件制造方法，包括：

在衬底中形成沟槽；

在沟槽侧面形成第一偏移侧墙；

在第一偏移侧墙的侧面依次形成假栅极以及第二偏移侧墙；

20 以第一偏移侧墙、假栅极、第二偏移侧墙为掩模，执行离子注入并且随后退火，形成源区和漏区，其中源区关于漏区对称分布；

去除假栅极，形成栅极沟槽，在栅极沟槽中填充形成栅极堆叠结构，其中栅极堆叠结构关于漏区对称分布。

8. 如权利要求7的半导体器件制造方法，其中，衬底的表面具有
25 源漏注入区，源漏注入区的导电类型与衬底的导电类型不同。

9. 如权利要求7的半导体器件制造方法，其中，第一偏移侧墙与第二偏移侧墙材质相同，并且与假栅极材质不同。

10. 如权利要求9的半导体器件制造方法，其中，第一偏移侧墙和/或第二偏移侧墙材质选自氧化硅、氮化硅、氮氧化硅、高k材料及其组合，假栅极材质选自多晶硅、非晶硅、微晶硅、非晶碳、氮化硅、氧化硅、氮氧化硅及其组合。
30

11. 如权利要求7的半导体器件制造方法，其中，形成漏区之后进

一步包括：在沟槽中形成绝缘介质层；刻蚀绝缘介质层形成漏区沟槽，直至暴露漏区；在漏区沟槽中外延形成提升漏区，或者沉积填充金属，使得提升漏区或者金属与假栅极顶部齐平。

12. 如权利要求11的半导体器件制造方法，其中，形成提升源漏或者填充金属之后进一步包括：平坦化或者刻蚀使得源区和/或漏区的顶部低于假栅极顶部。

13. 如权利要求7的半导体器件制造方法，其中，形成栅极堆叠结构之后进一步包括：在源区和漏区上形成金属层；退火使得金属层与源区和漏区反应形成金属硅化物，位于源区和漏区上；去除未反应金属层。

14. 如权利要求13的半导体器件制造方法，其中，形成金属硅化物之后进一步包括：形成层间介质层；刻蚀层间介质层形成源漏接触孔，直至暴露源区和漏区上的金属硅化物；在源漏接触孔中沉积金属/金属氮化物，形成源漏接触塞。

15. 如权利要求7的半导体器件制造方法，其中，第一偏移侧墙、第二偏移侧墙、假栅极、栅极堆叠结构为分离的，或者各自分别连接为环状。

1/4

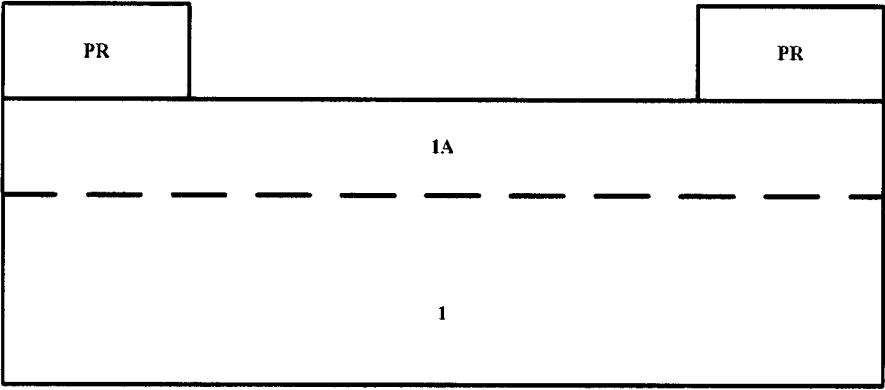


图1

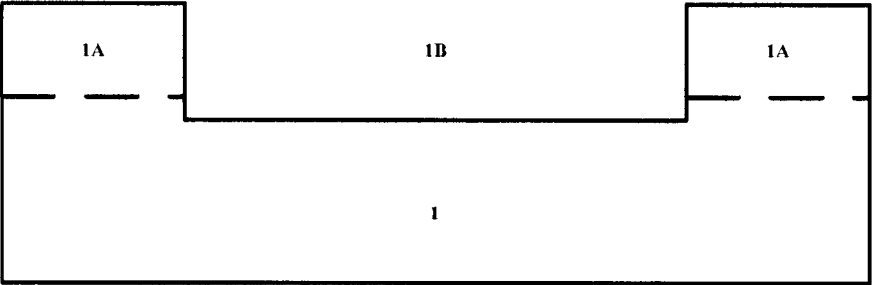


图2

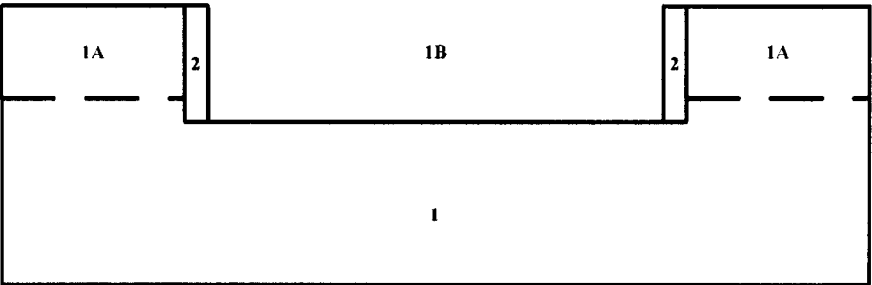


图3

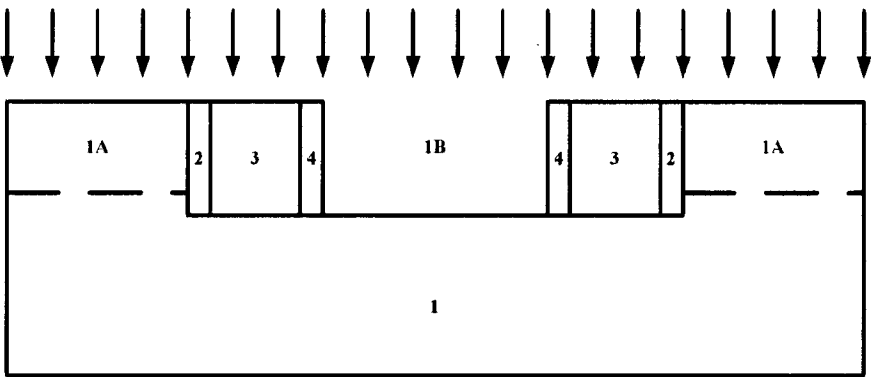


图4

2/4

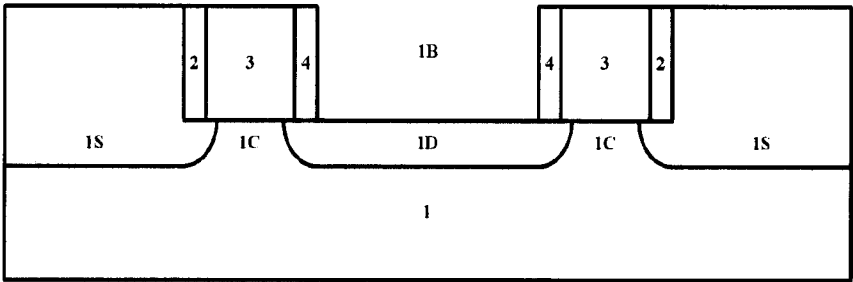


图5

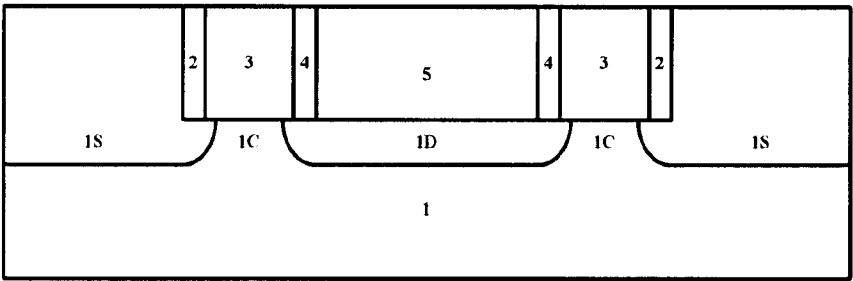


图6

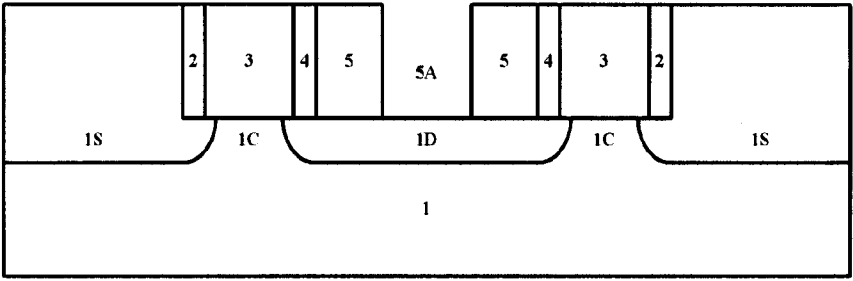


图7

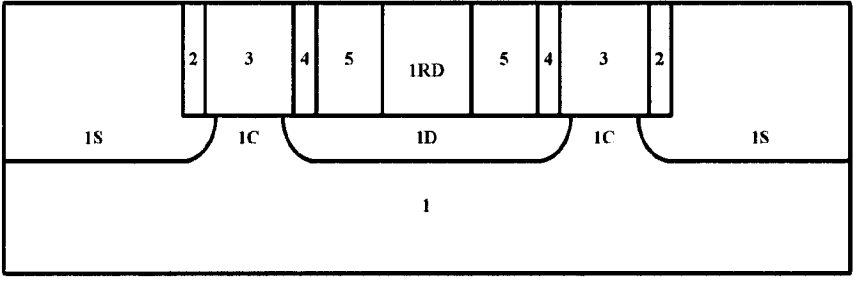


图8

3/4

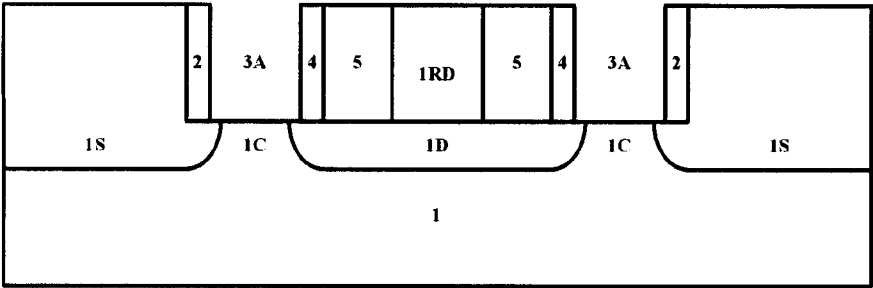


图9

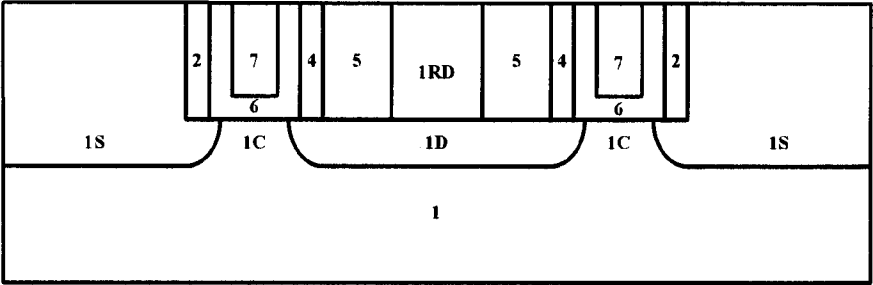


图10

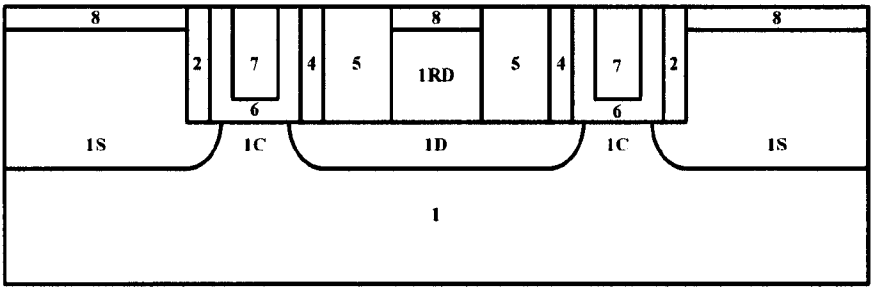


图11

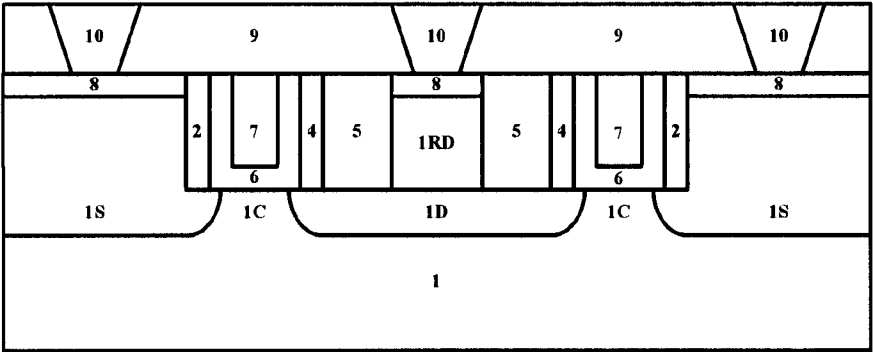


图12

4/4

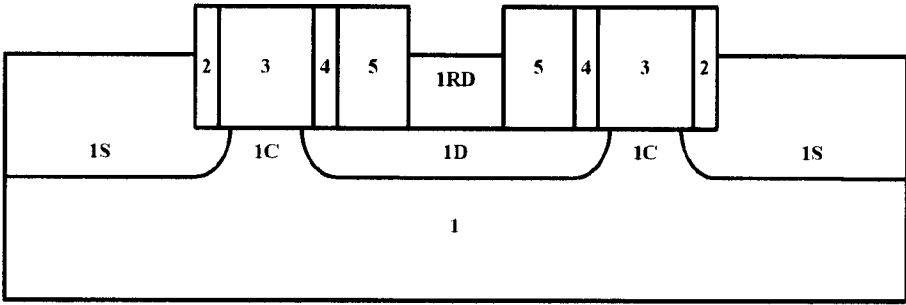


图13

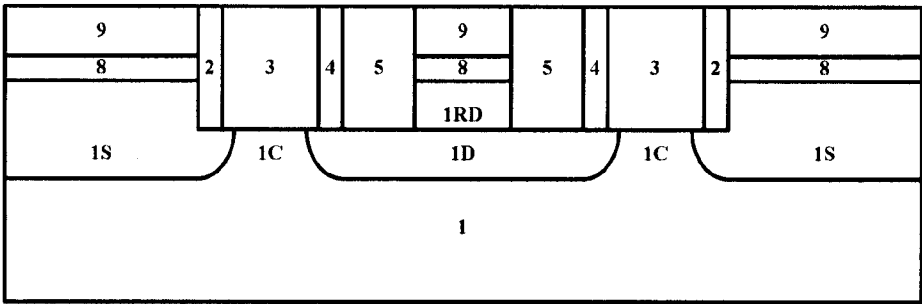


图14

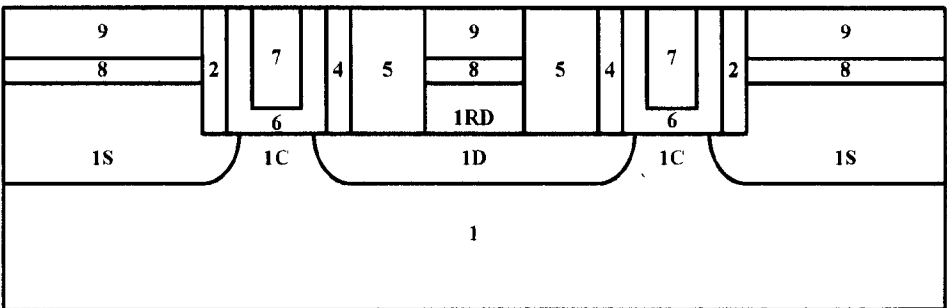


图15

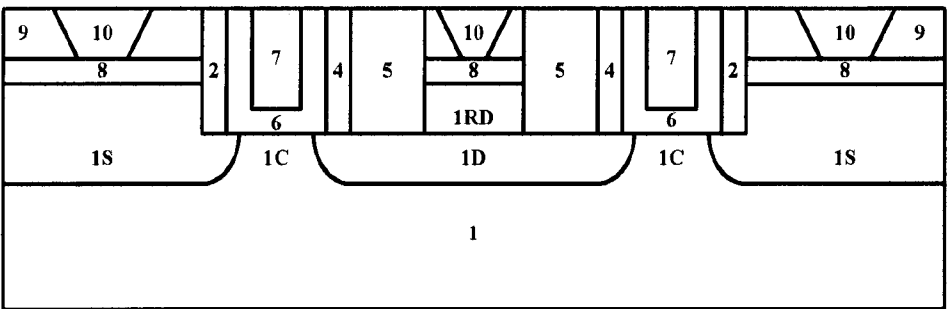


图16

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/001538

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN, USTXT, WOTXT, EPTXT, CATXT: gate, source, drain, symmetr+, ring, round, communal, landscape orientation, enclose, spacer?, sidewall?, dummy gate?, replac+ gate?, sacrific+ gate?, pseudo w gate?, cavity, cavities, groove?, recess??. trench??. gap, hollow?, void?, pocket?

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102446912 A (SHANGHAI HUAHONG NEC ELECTRONICS CO LTD) 09 May 2012 (09.05.2012) description, paragraphs [0011] to [0015] and figures 1 to 3	1, 2, 5, 6
Y		3, 4, 6
A		7-15
X	CN 101452936 A (SHANGHAI HUAHONG NEC ELECTRONICS CO LTD) 10 June 2009 (10.06.2009) description, page 3, line 1 to page 5, line 16 and figures 2(a) to 6(b)	1, 5, 6

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 12 July 2013 (12.07.2013)	Date of mailing of the international search report 25 July 2013 (25.07.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WANG, Wenjie Telephone No. (86-10) 62412092

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/001538

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2012139062 A1 (IBM) 07 June 2012 (07.06.2012) description, paragraphs [0028] to [0095] and figures 1 to 17	3, 4
A		1, 2, 5-15
Y	US 4142197 A (RCA CORP.) 27 February 1979 (27.02.1979) description, column 2, lines 32 to 68 and figures 1 and 2	6
A	CN 102034831 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD) 27 April 2011 (27.04.2011) the whole document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/001538

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102446912 A	09.05.2012	None	
US 2012139062 A1	07.06.2012	None	
US 4142197 A	27.02.1979	FR 2423868 A	21.12.1979
		GB 1588401 A	23.04.1981
		SE 7804247 A	06.11.1978
CN 101452936 A	10.06.2009	CN 101452936 B	14.12.2011
CN 102034831 A	27.04.2011	US 2011163369 A1	07.07.2011
		CN 102034831 B	12.12.2012

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/001538

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/06 (2006.01) i

H01L 29/417 (2006.01) i

H01L 29/78 (2006.01) i

H01L 21/336 (2006.01) i

H01L 21/426 (2006.01) i

国际检索报告

国际申请号

PCT/CN2012/001538

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, VEN, USTXT, WOTXT, EPTXT, CATXT: 栅,漏,源,对称,环,圆,公用,共用,共享,合用,横向,包围,间隙壁,侧壁,侧墙,伪栅,假栅,虚设栅,临时栅,虚置栅,牺牲栅,虚栅,替代栅,后栅,沟槽,槽,沟,渠,开口,gate, source, drain, symmetr+, spacer?, sidewall?, dummy gate?, replac+ gate?, sacrific+ gate?, pseudo w gate?, cavity, cavities, groove?, recess??. trench??. gap, hollow?, void?, pocket?

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN102446912A (上海华虹 NEC 电子有限公司) 09.5 月 2012(09.05.2012) 说明书第 11-15 段以及附图 1-3	1-2,5-6
Y		3-4,6
A		7-15
X	CN101452936A (上海华虹 NEC 电子有限公司)10.6 月 2009(10.06.2009) 说明书第 3 页第 1 行-第 5 页第 16 行以及附图 2(a)-6(b)	1,5-6

☒ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
12.7 月 2013(12.07.2013)

国际检索报告邮寄日期
25.7 月 2013 (25.07.2013)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

授权官员

王文杰
电话号码: (86-10) **62412092**

C(续). 相关文件

类 型	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US2012139062A1 (IBM) 07.6 月 2012(07.06.2012) 说明书第 28-95 段、附图 1-17	3-4
A		1-2,5-15
Y	US4142197A (RCA Corp.)27.2 月 1979(27.02.1979) 说明书第 2 栏第 32-68 行、附图 1-2	6
A	CN102034831 A (中芯国际集成电路制造(上海)有限公司) 27.4 月 2011(27.04.2011)全文	1-15

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/001538

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102446912A	09.05.2012	无	
US2012139062A1	07.06.2012	无	
US4142197A	27.02.1979	FR2423868A	21.12.1979
		GB1588401A	23.04.1981
		SE7804247A	06.11.1978
CN101452936A	10.06.2009	CN101452936B	14.12.2011
CN102034831A	27.04.2011	US2011163369A1	07.07.2011
		CN102034831B	12.12.2012

续 A. 主题的分类

H01L29/06(2006.01) i

H01L29/417(2006.01) i

H01L29/78(2006.01) i

H01L21/336(2006.01) i

H01L21/426(2006.01) i