

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年6月18日(18.06.2015)



(10) 国際公開番号
WO 2015/087413 A1

- (51) 国際特許分類:
H01L 27/10 (2006.01) *H01L 27/088* (2006.01)
H01L 21/8234 (2006.01) *H01L 27/112* (2006.01)
H01L 21/8246 (2006.01)
- (21) 国際出願番号: PCT/JP2013/083204
- (22) 国際出願日: 2013年12月11日(11.12.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ
サンティス エレクトロニクス シンガポール
プライベート リミテッド(UNISANTIS ELEC-
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098
ノースブリッジロード 111、ペニンシュラ
プラザ #16-04 Singapore (SG).
- (72) 発明者: および
- (71) 出願人(米国についてのみ): 舩岡 富士雄(MAS-
UOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九
段北1-15-2 九段坂パークビル4F S
emicon Consulting株式会社
内 Tokyo (JP). 浅野 正通(ASANO Masamichi)
[JP/JP]; 〒1020073 東京都千代田区九段北1-1
5-2 九段坂パークビル4F S emico

n Consulting株式会社内 Tokyo
(JP).

- (74) 代理人: 辻居 幸一, 外(TSUJII Koichi et al.); 〒
1008355 東京都千代田区丸の内3丁目3番1号
新東京ビル 中村合同特許法律事務所 Tokyo
(JP).

- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

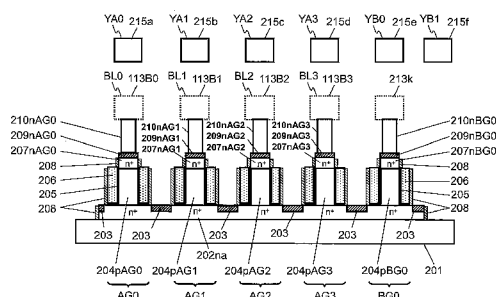
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図2a]





(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, 添付公開書類:
MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

縦型トランジスタである Surrounding Gate Transistor (SGT) を用いて、列選択ゲートデコーダを構成する半導体装置を小さい面積で提供する。複数のビット線と共通データ線を選択的に接続する NMOS トランジスタあるいは PMOS トランジスタにより構成される列選択ゲートデコーダにおいて、前記 MOS トランジスタは、基板上に形成された平面状シリコン層上に形成され、ドレイン、ゲート、ソースが垂直方向に配置され、ゲートがシリコン柱を取り囲む構造を有し、前記平面状シリコン層は第 1 の導電型を持つ第 1 の活性化領域と第 2 の導電型を持つ第 2 の活性化領域からなり、それらが平面状シリコン層表面に形成されたシリコン層を通して互いに接続されることにより小さい面積の半導体装置を提供する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 昨今、半導体集積回路は大規模化されており、最先端のMPU（Micro-processing Unit）では、トランジスタの数が1 G（ギガ）個にも達する半導体チップが開発されている。一般に、このMPUでは、プロトコル制御用に固定データの内蔵メモリとして、マスクROM（Mask Programmable Read Only Memory）あるいはフラッシュメモリ（Flash Memory）が用いられている。これらの最先端MPUおよびメモリは、非特許文献1に示すように、従来技術である平面形成トランジスタ、いわゆるCMOSプレーナー型プロセスを用いて製造されており、従来の平面状の微細化だけでは大容量化、低価格化に限界が見えてきている。

[0003] この課題を解決する手段として、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲートが島状半導体層を取り囲む構造のSurrounding Gate Transistor（SGT）が提案され、SGTの製造方法、SGTを用いたCMOSインバータ、NAND回路が開示されている。例えば、特許文献1、特許文献2、特許文献3を参照。

先行技術文献

特許文献

[0004] 特許文献1：特許第5 1 3 0 5 9 6号公報

特許文献2：特許第5 0 3 1 8 0 9号公報

特許文献3：特許第4 7 5 6 2 2 1号公報

非特許文献

[0005] 非特許文献1：吉澤浩和著、CMOS OPアンプ回路実務設計の基礎、CQ

出版社、2007年8月1日、p. 23

発明の開示

発明が解決しようとする課題

[0006] 図9、図10a、図10bに、従来のSGTを用いたインバータの回路図とレイアウト図を示す。

図9は、インバータの回路図であり、 Q_p はPチャネルMOSトランジスタ（以下PMOSトランジスタと称す）、 Q_n はNチャネルMOSトランジスタ（以下NMOSトランジスタと称す）、 I_N は入力信号、 OUT は出力信号、 V_{cc} は電源、 V_{ss} は基準電源である。

図10aには、一例として、図9のインバータをSGTで構成したレイアウトの平面図を示す。また、図10bには、図10aの平面図におけるカットラインA-A'方向の断面図を示す。

[0007] 図10a、図10bにおいて、基板上に形成された埋め込み酸化膜層（BOX）1などの絶縁膜上に平面状シリコン層2p、2nが形成され、前記平面状シリコン層2p、2nは不純物注入等により、それぞれp+拡散層、n+拡散層から構成される。3は、平面状シリコン層（2p、2n）の表面に形成されるシリサイド層であり、前記平面状シリコン層2p、2nを接続する。4nはn型シリコン柱、4pはp型シリコン柱、5は、シリコン柱4n、4pを取り囲むゲート絶縁膜、6はゲート電極、6aはゲート配線である。シリコン柱4n、4pの最上部には、それぞれp+拡散層7p、n+拡散層7nが不純物注入等により形成される。8はゲート絶縁膜5等を保護するためのシリコン窒化膜、9p、9nはp+拡散層7p、n+拡散層7nに接続されるシリサイド層、10p、10nは、シリサイド層9p、9nとメタル配線13a、13bとをそれぞれ接続するコンタクト、11は、ゲート配線6aとメタル配線13cを接続するコンタクトである。

[0008] シリコン柱4n、下部拡散層2p、上部拡散層7p、ゲート絶縁膜5、ゲート電極6により、PMOSトランジスタ Q_p を構成し、シリコン柱4p、下部拡散層2n、上部拡散層7n、ゲート絶縁膜5、ゲート電極6により、N

MOSトランジスタ Q_n を構成する。上部拡散層 7_p 、 7_n はソース、下部拡散層 2_p 、 2_n はドレインとなる。メタル配線 $13a$ には電源 V_{cc} が供給され、メタル配線 $13b$ には基準電源 V_{ss} が供給され、メタル配線 $13c$ には、入力信号 I_N が接続される。また、PMOSトランジスタ Q_p のドレイン拡散層 2_p とNMOSトランジスタ Q_n のドレイン拡散層 2_n を接続するシリサイド層 3 が出力 OUT となる。

[0009] 図9、図10a、図10bで示したSGTを用いたインバータは、PMOSトランジスタ、NMOSトランジスタが構造上完全に分離されており、プレーナトランジスタのように、 w_{ell} 分離が必要なく、さらに、シリコン柱はフローティングボディとなるため、プレーナトランジスタのように、 w_{ell} へ電位を供給するボディ端子も必要なく、非常にコンパクトにレイアウト（配置）ができることが特徴である。

[0010] 図11に、代表的なメモリとして、マスクROMの全体回路を示す。

100は、1トランジスタとコンタクトから構成されるマスクROMセル $M(0, 0) \sim M(m, n)$ をマトリックス状に配置したメモリアレイであり、 m 行、 n 列のメモリアレイを構成する。

これらのマスクROMセルは、行方向に、行選択線（ワード線） WL_g ($g = 0 \sim m$) を共通接続して横方向に配置され、列方向に、ビット線 BL_h ($h = 0 \sim n$) を共通接続して縦方向に配置される。

200は、行選択デコーダを示す。行選択デコーダ200は、行アドレス信号 $XADD$ を受けて、行選択信号 WL_g を出力する。

300a、300bおよび300cは、それぞれ列アドレス信号 $YADDa$ 、 $YADDb$ および $YADDc$ を受けて、列選択信号 YA_i 、 YB_j および YC_k を出力する列選択デコーダ、400は列選択ゲートデコーダであり、列選択デコーダ300a、300bおよび300cの出力 YA_i 、 YB_j および YC_k を受けて、ビット線 BL_h ($h = 0 \sim n$) を選択的にデータ線 DL に接続する。500は、データ線 DL に出力されたメモリセルの微小データを増幅するセンスアンプ、600はセンスアンプの出力をさらに増幅して

、チップの外部に出力信号DOUTを出力する出力回路である。

[0011] なお、メモリアレイ100に示すメモリセルM(0, 0)を構成するトランジスタのソースは基準電源Vssに接続され、ドレインは図のAの破線で示すコンタクトによりビット線BL0に接続される。この状態では、行選択信号WL0が選択され、選択トランジスタがオンすると、コンタクト(A)を介してビット線BL0から基準電源Vssに電流が流れる。これをデータ“1”と定義する。一方、M(1, 0)のコンタクト領域Bには、コンタクトが存在せず、ビット線BL0と接続されておらず、行選択線WL1が選択されて選択トランジスタがオンしても電流は流れない。この状態をデータ“0”と定義する。すなわち、選択トランジスタとビット線を接続するコンタクトがあるかないかにより、データを記憶する、いわゆるコンタクトプログラム方式のマスクROMである。他のメモリセルにおいても同様である。

[0012] 図12a、図12b、図12c、図12d、および図12eに、図11のマスクROMのメモリアレイを、SGTを用いて構成した図を示す。

図12aは、マスクROMセルのメモリアレイのレイアウト（配置）の平面図、図12bは、図12aにおけるカットラインA-A'に沿った断面図、図12cは、図12aにおけるカットラインB-B'に沿った断面図、図12dは、図12aにおけるカットラインC-C'に沿った断面図、図12eは、図12aにおけるカットラインD-D'に沿った断面図を示す。

図12aにおいて、代表的なメモリセルM(0, 0)～M(0, 7)が、1行目（図の上の行）、に配置され、M(1, 0)～M(1, 7)が2行目に配置され、同様にして、M(3, 0)～M(3, 7)が最下位の行に配置されている。

行方向に配置されたメモリセルM(0, 0)～M(0, 7)はトランジスタのシリコン柱が加工上の最小最ピッチにて配置されており、第1のメタル配線層の配線により構成されたビット線BL0～BL7は、同様に加工上の最小ピッチにて配置される。他のメモリセルにおいても同様である。なお、図12a、図12b、図12c、図12d、および図12eにおいて、図10

a、図10bと同じ構造の箇所については、100番台の対応する記号で示してある。

[0013] これらのメモリセルがマトリックス状に配置されたメモリアレイは、基板上に形成された埋め込み酸化膜層（BOX）101などの絶縁膜上に平面状シリコン層102Mnが形成され、この平面状シリコン層102Mnは不純物注入等により、n+拡散層から構成される。103Mは、平面状シリコン層102Mnの表面に形成されるシリサイド層である。104Mpはp型シリコン柱、105Mはシリコン柱104Mpを取り囲むゲート絶縁膜、106Mはゲート電極、106Wa0、106Wa1、106Wa3は、それぞれゲート配線である。104Mpの最上部には、n+拡散層107Mが不純物注入等により形成される。108Mはゲート絶縁膜105Mを保護するためのシリコン窒化膜、109Mは、n+拡散層107Mに接続されるシリサイド層、110Mは、シリサイド層109Mと第1のメタル配線層の配線113Mを接続するコンタクトである。

シリコン柱104Mp、下部拡散層102Mn、上部拡散層107M、ゲート絶縁膜105M、ゲート電極106Mにより、メモリセルの選択トランジスタM(p, q) (p=0~3、q=0~7)を構成する。

[0014] 111Wa0は、ゲート配線106Wa0と第1のメタル配線層の配線113Wa0を接続するコンタクトである。また、ゲート配線106Wa0は、行方向に配置されるメモリセルM(0, 0)~M(0, n)のゲート電極106Mに接続される。また、コンタクト114Wa0は、第1のメタル配線層の配線113Wa0と第2のメタル配線層の配線115Wa0を接続するコンタクトである。ここで、第2のメタル配線層の配線115Wa0は、行選択線WL0となる。なお、第2のメタル配線層の配線115Wa0は、コンタクト114Wb0、第1のメタル配線層の配線113Wb0、コンタクト111Wb0、ゲート電極106Wb0を介して、メモリセルのゲート電極106Mに接続される。図では、メモリセル8個おきに接続される。これは、ゲート電極106Mの抵抗が高くないように、行方向に延在したゲ

ート電極の一定間隔毎に、第2のメタル配線層の配線にてシャント（短絡）させる目的である。

他の行選択線についても、同様の接続となる。

[0015] ここで、図12bに示すように、メモリセルM(0, 0)のドレイン拡散層107Mとその表面を覆うシリサイド層109Mと第1のメタル配線層の配線であるビット線113B0は、コンタクト110M(0, 0)を介して接続され、メモリセルとして、データ“1”が記憶される。一方、メモリセルM(0, 1)は、同様の位置に、架空のコンタクト110zが示されている。これは、本図では、この位置にコンタクトは存在せず、このメモリセルにはデータ“0”が記憶されるが、もし、このメモリセルにデータ“1”を記憶したい時には、この位置にコンタクトを配置することを示している。

同様に、メモリセルM(0, 2)、M(0, 4)、M(0, 6)には、コンタクトが存在し、データ“1”が記憶され、メモリセルM(0, 3)、M(0, 5)、M(0, 7)には、架空のコンタクト110zが配置され、データ“0”が記憶されている。

以上のように、SGTを用いたマスクROMの特徴は、メモリセルの基準電源Vssが下部拡散層により供給されており、基準電源の配線領域が必要ないことである。このことにより、全てのメモリセルは、加工上の最小間隔である寸法を用いて配置が可能となり、面積の縮小されたメモリが提供でき、ビット線も最小間隔にて配置が可能となる。

[0016] 上述したように、SGTの最大の特徴は、構造原理的に、シリコン柱下部の基板側に存在するシリサイド層による下層配線と、シリコン柱上部のコンタクト接続による上部配線が利用できる点にある。本発明は、このSGTの特徴を利用して、1トランジスタで構成されるメモリセルアレイに配置可能な列選択ゲートデコーダであり、最小面積で低価格な半導体装置を提供することが目的である。

課題を解決するための手段

[0017] (1) 本発明によれば、ソース、ドレインおよびゲートが、基板と垂直な

方向に階層的に配置される複数のトランジスタを、基板上に配列することによりデコーダ回路を構成する半導体装置であって、

前記複数のトランジスタの各々は、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部または下部に配置されるソース領域と、

前記シリコン柱の上部または下部に配置されるドレイン領域であって、

前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記デコーダ回路は、少なくとも、

第1～第 n (n は自然数)の入力／出力信号線と、

複数の選択信号線と、

第1～第 i (i は自然数)の群からなる第1～第 n の前記トランジスタを具備し、第 k ($k=1\sim n$)の入力／出力信号線は、第 k のトランジスタのソース領域およびドレイン領域のうちの一方に接続され、

前記第 k のトランジスタのゲート電極は、前記複数の選択信号線のうちの1つに接続され、

前記第1～第 n のトランジスタのうちの第 i の群のトランジスタのドレイン領域およびソース領域のうちの他方は、前記シリコン柱の下部に配置され、前記シリコン柱より基板側に配置されたシリサイド層を介して共通接続されたことを特徴とする半導体装置が提供される。

[0018] (2) 本発明の好ましい態様では、前記第1～第 n の入力／出力線は、少なくとも部分的に第1の方向に延在し、順に前記第1の方向と直交する第2の方向に配置され、

前記複数の選択信号線は、少なくとも部分的に前記第2の方向に延在し、

前記第1～第 n のトランジスタは、前記第1～第 n の入力／出力線と前記複数の選択信号線の交点に配置される。

[0019] (3) また、別の態様では、前記第1～第nのうちの第iの群のトランジスタは、番号の小さい順に前記第2の方向に対して斜めの方向に配置される。

[0020] (4) さらに別の態様では、前記第1～第nの入力／出力線は、少なくとも部分的に第1の方向に延在し、順に前記第1の方向と直交する第2の方向に配置され、

前記複数の選択信号線は、少なくとも部分的に前記第2の方向に延在し、

前記第1～第nのトランジスタのうち、前記第1～第nの入力／出力線のうちの隣接する第2h-1 (hは自然数) の入力／出力線と第2hの入力／出力線に対応する第2h-1のトランジスタと第2hのトランジスタは、前記第1の方向に、前記複数の選択信号線のうちの少なくとも1つを挟んで配置され、

前記第1～第nのトランジスタのうちの、前記第2h-1のトランジスタと前記第2hのトランジスタ以外のトランジスタの少なくとも1つは、該第2h-1のトランジスタの前記第1の方向の位置と該第2hのトランジスタの前記第1の方向の位置との間の前記第1の方向の位置を有する。

[0021] (5) また、別の態様では、前記第kのトランジスタは、該第kのトランジスタのゲート電極が接続される選択信号線と前記第kの入力／出力線の交点の前記第1の方向の近傍に配置される。

[0022] (6) また、別の態様では、前記第1～第nの入力／出力線は、少なくとも部分的に第1の方向に延在し、順に前記第1の方向と直交する第2の方向に配置され、

前記複数の選択信号線は、少なくとも部分的に前記第2の方向に延在し、

前記第kのトランジスタと第k+1のトランジスタは、前記複数の選択信号線のうちの少なくとも1つを挟んで配置され、

前記第1～第nのトランジスタのうちの、前記第kのトランジスタと前記第k+1のトランジスタ以外のトランジスタの少なくとも1つは、該第kのトランジスタの前記第1の方向の位置と該第k+1のトランジスタの前記第1の方向の位置との間の前記第1の方向の位置を有する。

[0023] (7) また、別の態様では、前記デコーダ回路は、メモリセルがマトリックス状に配置されたメモリアレイのための列選択ゲートデコーダ回路であり、
前記第 1 ～第 n の入力／出力信号線はビット線であり、
前記複数の選択信号線は列選択信号線であり、
前記第 1 ～第 n のトランジスタは列選択ゲートトランジスタである。

[0024] (8) また、別の態様では、前記第 1 ～第 n のトランジスタは、Nチャネル MOS トランジスタである。

[0025] (9) さらに、別の態様では、前記第 1 ～第 n のトランジスタは、Pチャネル MOS トランジスタである。

[0026] (10) また、本発明によれば、ソース、ドレインおよびゲートが、基板と垂直な方向に階層的に配置される複数のトランジスタを、基板上に配列することによりデコーダ回路を構成する半導体装置であって、

前記複数のトランジスタの各々は、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部または下部に配置されるソース領域と、

前記シリコン柱の上部または下部に配置されるドレイン領域であって、

前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記デコーダ回路は、少なくとも、

第 1 ～第 n の入力／出力信号線と、

第 1 の複数の選択信号線と、

第 2 の複数の選択信号線と、

第 1 ～第 n のトランジスタと、

第 $n + 1$ ～第 $n + m$ のトランジスタと

を具備し、

第 k ($k = 1 \sim n$) の入力／出力信号線は、第 k のトランジスタのソース

領域およびドレイン領域のうちの一方に接続され、

第 j ($j = n + 1 \sim n + m$) のトランジスタのソース領域およびドレイン領域のうちの他方は、前記第 1 ～ 第 n のトランジスタのうちの第 $j - n$ の群のトランジスタのソース領域およびドレイン領域のうちの他方と接続され、

前記第 k のトランジスタのゲート電極は、前記第 1 の複数の選択信号線のうちの 1 つに接続され、

前記第 j のトランジスタのゲート電極は、前記第 2 の複数の選択信号線のうちの 1 つに接続され、

前記第 $j - n$ の群のトランジスタおよび前記第 j のトランジスタのドレイン領域およびソース領域のうちの他方は、前記シリコン柱の下部に配置され、前記シリコン柱より基板側に配置されたシリサイド層を介して共通接続され、

前記第 $n + 1 \sim$ 第 $n + m$ のトランジスタのドレイン領域およびソース領域のうちの一方は、共通に接続されたことを特徴とする半導体装置が提供される。

[0027] (1 1) また、別の態様では、前記第 1 ～ 第 n の入力／出力線は、少なくとも部分的に第 1 の方向に延在し、順に前記第 1 の方向と直交する第 2 の方向に配置され、

前記第 1 および第 2 の複数の選択信号線は、少なくとも部分的に前記第 2 の方向に延在し、

前記第 1 ～ 第 n のトランジスタは、前記第 1 ～ 第 n の入力／出力線と前記第 1 の複数の選択信号線の交点に配置される。

[0028] (1 2) また、別の態様では、前記第 $j - n$ の群のトランジスタおよび前記第 j のトランジスタは、順にかつ前記第 $j - n$ の群のトランジスタについては番号の小さい順に前記第 2 の方向に対して斜めに配置される。

[0029] (1 3) また、別の態様では、前記第 1 ～ 第 n の入力／出力線は、少なくとも部分的に第 1 の方向に延在し、順に前記第 1 の方向と直交する第 2 の方向に配置され、

前記第 1 および第 2 の複数の選択信号線は、少なくとも部分的に前記第 2 の方向に延在し、

前記第 1 の複数の選択信号線のうちの少なくとも 1 つを挟んで配置される、前記第 $j - n$ の群のトランジスタのうちの前記第 k のトランジスタと第 $k + 1$ のトランジスタ、および該第 k のトランジスタの前記第 1 の方向の位置と該第 $k + 1$ のトランジスタの前記第 1 の方向の位置との間の前記第 1 の方向の位置を有する前記第 $j - n$ の群のトランジスタのうちの他の少なくとも 1 つのトランジスタの組が少なくとも 1 つ存在し、前記第 $j - n$ の群のトランジスタの各々は、該少なくとも 1 つのトランジスタの組のうちの 1 つの組を構成するトランジスタに少なくとも該当するように配置される。

[0030] (14) さらに、別の態様では、前記デコーダ回路は、メモリセルがマトリックス状に配置されたメモリアレイのための列選択ゲートデコーダ回路であり、

前記第 1 ～第 n の入力／出力信号線はビット線であり、

前記第 1 および第 2 の複数の選択信号線は列選択信号線であり、

前記第 1 ～第 $n + m$ のトランジスタは列選択ゲートトランジスタである。

[0031] (15) また、別の態様では、前記第 1 ～第 n の入力／出力線は、少なくとも部分的に第 1 の方向に延在し、順に前記第 1 の方向と直交する第 2 の方向に配置され、

前記第 1 および第 2 の複数の選択信号線は、少なくとも部分的に前記第 2 の方向に延在し、

前記第 1 の複数の選択信号線のうちの少なくとも 1 つを挟んで配置される、前記第 $j - n$ の群のトランジスタのうちの前記第 k のトランジスタと第 $k + 1$ のトランジスタ、および該第 k のトランジスタの前記第 1 の方向の位置と該第 $k + 1$ のトランジスタの前記第 1 の方向の位置との間の前記第 1 の方向の位置を有する前記第 $j - n$ の群のトランジスタのうちの他の 1 つのトランジスタの組が少なくとも 1 つ存在し、前記第 $j - n$ の群のトランジスタの各々は、該少なくとも 1 つのトランジスタの組のうちの 1 つの組を構成する

トランジスタに少なくとも該当するように配置され、

前記第 k のトランジスタは、該第 k のトランジスタのゲート電極が接続される前記第 1 の複数の選択信号線のうちの 1 つと第 k のビット線の交点の、前記メモリセル側の前記第 1 の方向の近傍に配置され、

前記デコーダ回路は、メモリセルがマトリックス状に配置されたメモリアレイのための列選択ゲートデコーダ回路であり、

前記第 1 ～第 n の入力／出力信号線はビット線であり、

前記第 1 および第 2 の複数の選択信号線は列選択信号線であり、

前記第 1 ～第 $n + m$ のトランジスタは列選択ゲートトランジスタである。

[0032] (16) また、別の態様では、前記第 1 ～第 $n + m$ のトランジスタは、 N チャンネル MOS トランジスタである。

[0033] (17) また、別の態様では、前記第 1 ～第 $n + m$ のトランジスタは、 P チャンネル MOS トランジスタである。

図面の簡単な説明

[0034] [図1]本発明の実施例の等価回路図である。

[図2a]本発明の実施例 1 の列選択ゲートデコーダの平面図である。

[図2b]本発明の実施例 1 の列選択ゲートデコーダの断面図である。

[図2c]本発明の実施例 1 の列選択ゲートデコーダの断面図である。

[図2d]本発明の実施例 1 の列選択ゲートデコーダの断面図である。

[図2e]本発明の実施例 1 の列選択ゲートデコーダの断面図である。

[図2f]本発明の実施例 1 の列選択ゲートデコーダの断面図である。

[図3a]本発明の実施例 2 の列選択ゲートデコーダの平面図である。

[図3b]本発明の実施例 2 の列選択ゲートデコーダの断面図である。

[図3c]本発明の実施例 2 の列選択ゲートデコーダの断面図である。

[図3d]本発明の実施例 2 の列選択ゲートデコーダの断面図である。

[図3e]本発明の実施例 2 の列選択ゲートデコーダの断面図である。

[図3f]本発明の実施例 2 の列選択ゲートデコーダの平面図である。

[図3g]本発明の実施例 2 の列選択ゲートデコーダの断面図である。

[図3h]本発明の実施例2の列選択ゲートデコーダの断面図である。

[図3i]本発明の実施例2の列選択ゲートデコーダの断面図である。

[図3j]本発明の実施例2の列選択ゲートデコーダの第1のメタル配線層の配線の平面図である。

[図4a]本発明の実施例3の列選択ゲートデコーダの平面図である。

[図4b]本発明の実施例3の列選択ゲートデコーダの断面図である。

[図4c]本発明の実施例3の列選択ゲートデコーダの断面図である。

[図4d]本発明の実施例3の列選択ゲートデコーダの断面図である。

[図4e]本発明の実施例3の列選択ゲートデコーダの断面図である。

[図4f]本発明の実施例3の列選択ゲートデコーダの第1のメタル配線層の配線の平面図である。

[図5]本発明の別な実施例の等価回路図である。

[図6a]本発明の実施例4の列選択ゲートデコーダの平面図である。

[図6b]本発明の実施例4の列選択ゲートデコーダの断面図である。

[図6c]本発明の実施例4の列選択ゲートデコーダの断面図である。

[図7]本発明のさらに別な実施例の等価回路図である。

[図8a]本発明の実施例5の列選択ゲートデコーダの平面図である。

[図8b]本発明の実施例5の列選択ゲートデコーダの断面図である。

[図8c]本発明の実施例5の列選択ゲートデコーダの断面図である。

[図8d]本発明の実施例5の列選択ゲートデコーダの断面図である。

[図8e]本発明の実施例5の列選択ゲートデコーダの断面図である。

[図8f]本発明の実施例5の列選択ゲートデコーダの断面図である。

[図9]インバータの等価回路図である。

[図10a]SGTによるインバータの平面図である。

[図10b]SGTによるインバータの断面図である。

[図11]マスクROMの等価回路である。

[図12a]SGTを用いたマスクROMの平面図である。

[図12b]SGTを用いたマスクROMの断面図である。

[図12c] SGTを用いたマスクROMの断面図である。

[図12d] SGTを用いたマスクROMの断面図である。

[図12e] SGTを用いたマスクROMの断面図である。

発明を実施するための形態

[0035] 図1に1つの列選択ゲートデコーダの等価回路400を示す。

YA_i ($i=0\sim 3$)、 YB_j ($j=0\sim 1$)、 YC_k ($k=0\sim 1$)は、それぞれ図11における列デコーダ300a、300b、300cから出力される列選択信号である。

列選択ゲートとなるNMOSトランジスタAG0は、ソースがビット線BL0、ゲートが列選択信号YA0を供給する配線、ドレインが共通ノードN1に接続される。

列選択ゲートとなるNMOSトランジスタAG1は、ソースがビット線BL1、ゲートが列選択信号YA1を供給する配線、ドレインが共通ノードN1に接続される。

列選択ゲートとなるNMOSトランジスタAG2は、ソースがビット線BL2、ゲートが列選択信号YA2を供給する配線、ドレインが共通ノードN1に接続される。

列選択ゲートとなるNMOSトランジスタAG3は、ソースがビット線BL3、ゲートが列選択信号YA3を供給する配線、ドレインが共通ノードN1に接続される。

また、列選択ゲートとなるNMOSトランジスタBG0は、ソースが共通ノードN1、ゲートが列選択信号YB0を供給する配線、ドレインが共通ノードN5に接続される。

また、列選択ゲートとなるNMOSトランジスタCG0は、ソースが共通ノードN5、ゲートが列選択信号YC0を供給する配線、ドレインが共通ノードN7に接続される。ここで、共通ノードN7はデータ線DLとなる。

[0036] 同様に、NMOSトランジスタAG4、AG5、AG6、AG7は、ソースがそれぞれビット線BL4、BL5、BL6、BL7に、ドレインが共通ノ

ードN2に接続され、ゲートがそれぞれ列選択信号YA0、YA1、YA2、YA3を供給する配線に接続される。また、NMOSトランジスタBG1は、ソースが共通ノードN2に、ドレインが共通ノードN5に接続され、ゲートが列選択信号YB1を供給する配線に接続される。

NMOSトランジスタAG8～AG15、NMOSトランジスタBG2、BG3、CG1についても同様の接続が行われている。

[0037] (実施例1)

図2a、図2b、図2c、図2d、図2eおよび図2fに、実施例1を示す。図2aは、本発明の列選択ゲートデコーダのレイアウト（配置）の平面図、図2bは、図2aにおけるカットラインA-A'に沿った断面図、図2cは、図2aにおけるカットラインB-B'に沿った断面図、図2dは、図2aにおけるカットラインC-C'に沿った断面図、図2eは、図2aにおけるカットラインD-D'に沿った断面図、図2fは、図2aにおけるカットラインE-E'に沿った断面図を示す。本実施例の等価回路は、図1の回路ブロック401に従う。

図2aにおいて、図11におけるメモリセルM(0,0)～M(0,7)が、図の下部に配置され、ビット線BL0～BL7（本発明の「第1～第nの入力／出力信号線」に対応）が図の縦方向（本発明の「第1の方向」に対応）に、第1のメタル配線層の配線により延在配置される。

また、列選択信号YA0～YA3を供給する配線（本発明の「複数の選択信号線」、「第1の複数の選択信号線」に対応）、列選択信号YB0、YB1を供給する配線（本発明の「第2の複数の選択信号線」に対応）が第2のメタル配線層の配線により図の横方向（本発明の「第2の方向」に対応）に延在配置される。

第1のメタル配線層の配線により構成されるビット線BL0～BL7と、第2のメタル配線層の配線により構成される列選択信号YA0～YA3を供給する配線の交点に、列選択ゲートトランジスタAG0～AG7（本発明の「第1～第nのトランジスタ」に対応）が配置される。

ここで、本発明の大きな特徴は、後述するように、列選択ゲートトランジスタであるNMOSトランジスタAG0、AG1、AG2、AG3（本発明の「第iの群のトランジスタ」、「第j-nの群のトランジスタ」に対応）の共通ドレインとBG0（本発明の「第n+1～第n+mのトランジスタ」、「第jのトランジスタ」に対応）のソース、およびAG4、AG5、AG6、AG7（本発明の「第iの群のトランジスタ」、「第j-nの群のトランジスタ」に対応）の共通ドレインとBG1（本発明の「第n+1～第n+mのトランジスタ」、「第jのトランジスタ」に対応）のソースがそれぞれ下部拡散層により共通接続されることにより、面積縮小が達成されることである。

なお、図2a、図2b、図2c、図2d、図2eおよび図2fにおいて、図10a、図10bと同じ構造の箇所については、200番台の対応する記号で示してある。

[0038] 図2a、図2b、図2c、図2d、図2eおよび図2fにおいて、基板上に形成された埋め込み酸化膜層（BOX）201などの絶縁膜上に平面状シリコン層202na、202nbが形成され、この平面状シリコン層202na、202nbは不純物注入等により、それぞれn+拡散層から構成される。203は、平面状シリコン層（202na、202nb）の表面に形成されるシリサイド層である。204pAG0、204pAG1、204pAG2、204pAG3、204pAG4、204pAG5、204pAG6、204pAG7、204pBG0、204pBG1、はp型シリコン柱、205はシリコン柱204pAG0、204pAG1、204pAG2、204pAG3、204pAG4、204pAG5、204pAG6、204pAG7、204pBG0、204pBG1を取り囲むゲート絶縁膜、206はゲート電極、206a、206b、206c、206d、206e、206f、206g、206h、206iおよび206jは、それぞれゲート配線である。シリコン柱204pAG0、204pAG1、204pAG2、204pAG3、204pAG4、204pAG5、204pAG6、20

4 p AG 7、204 p BG 0、204 p BG 1の最上部には、それぞれn+拡散層207 n AG 0、207 n AG 1、207 n AG 2、207 n AG 3、207 n AG 4、207 n AG 5、207 n AG 6、207 n AG 7、207 n BG 0、207 n BG 1が不純物注入等により形成される。208はゲート絶縁膜205を保護するためのシリコン窒化膜、209 n AG 0、209 n AG 1、209 n AG 2、209 n AG 3、209 n AG 4、209 n AG 5、209 n AG 6、209 n AG 7、209 n BG 0、209 n BG 1はそれぞれn+拡散層207 n AG 0、207 n AG 1、207 n AG 2、207 n AG 3、207 n AG 4、207 n AG 5、207 n AG 6、207 n AG 7、207 n BG 0、207 n BG 1に接続されるシリサイド層である。

[0039] 210 n AG 0、210 n AG 1、210 n AG 2、210 n AG 3、210 n AG 4、210 n AG 5、210 n AG 6、210 n AG 7、210 n BG 0、210 n BG 1は、シリサイド層209 n AG 0、209 n AG 1、209 n AG 2、209 n AG 3、209 n AG 4、209 n AG 5、209 n AG 6、209 n AG 7、209 n BG 0、209 n BG 1と第1のメタル配線層の配線113 B 0、113 B 1、113 B 2、113 B 3、113 B 4、113 B 5、113 B 6、113 B 7、213 k、213 kをそれぞれ接続するコンタクト、211 aはゲート配線206 aと第1のメタル配線層の配線213 aを接続するコンタクト、211 bはゲート配線206 bと第1のメタル配線層の配線213 bを接続するコンタクト、211 cはゲート配線206 cと第1のメタル配線層の配線213 cを接続するコンタクト、211 dはゲート配線206 dと第1のメタル配線層の配線213 dを接続するコンタクト、211 eはゲート配線206 eと第1のメタル配線層の配線213 eを接続するコンタクト、211 fはゲート配線206 fと第1のメタル配線層の配線213 fを接続するコンタクト、211 gはゲート配線206 gと第1のメタル配線層の配線213 gを接続するコンタクト、211 hはゲート配線206 hと第1のメタル配線層の配線213 hを接

続するコンタクト、211 i はゲート配線206 i と第1のメタル配線層の配線213 i を接続するコンタクト、211 j はゲート配線206 j と第1のメタル配線層の配線213 j を接続するコンタクトである。

[0040] また、214 a は第1のメタル配線層の配線213 a と第2のメタル配線層の配線215 a を接続するコンタクト、214 b は第1のメタル配線層の配線213 b と第2のメタル配線層の配線215 b を接続するコンタクト、214 c は第1のメタル配線層の配線213 c と第2のメタル配線層の配線215 c を接続するコンタクト、214 d は第1のメタル配線層の配線213 d と第2のメタル配線層の配線215 d を接続するコンタクト、214 e は第1のメタル配線層の配線213 e と第2のメタル配線層の配線215 a を接続するコンタクト、214 f は第1のメタル配線層の配線213 f と第2のメタル配線層の配線215 b を接続するコンタクト、214 g は第1のメタル配線層の配線213 g と第2のメタル配線層の配線215 c を接続するコンタクト、214 h は第1のメタル配線層の配線213 h と第2のメタル配線層の配線213 d を接続するコンタクト、214 i は第1のメタル配線層の配線213 i と第2のメタル配線層の配線215 e を接続するコンタクト、214 j は第1のメタル配線層の配線213 j と第2のメタル配線層の配線215 f を接続するコンタクトである。

[0041] シリコン柱204 p A G 0、下部拡散層202 n a、上部拡散層207 n A G 0、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタA G 0を構成し、シリコン柱204 p A G 1、下部拡散層202 n a、上部拡散層207 n A G 1、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタA G 1を構成し、シリコン柱204 p A G 2、下部拡散層202 n a、上部拡散層207 n A G 2、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタA G 2を構成し、シリコン柱204 p A G 3、下部拡散層202 n a、上部拡散層207 n A G 3、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタA G 3を構成し、シリコン柱204 p A G 4、下部拡散層202 n b、上部拡散層207

nAG4、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタAG4を構成し、シリコン柱204pAG5、下部拡散層202nb、上部拡散層207nAG5、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタAG5を構成し、シリコン柱204pAG6、下部拡散層202nb、上部拡散層207nAG6、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタAG6を構成し、シリコン柱204pAG7、下部拡散層202nb、上部拡散層207nAG7、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタAG7を構成し、シリコン柱204pBG0、下部拡散層202na、上部拡散層207nBG0、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタBG0を構成し、シリコン柱204pBG1、下部拡散層202nb、上部拡散層207nBG1、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタBG1を構成する。

[0042] また、NMOSトランジスタAG0のゲート電極206にはゲート配線206aが接続され、NMOSトランジスタAG1のゲート電極206にはゲート配線206bが接続され、NMOSトランジスタAG2のゲート電極206にはゲート配線206cが接続され、NMOSトランジスタAG3のゲート電極206にはゲート配線206dが接続され、NMOSトランジスタAG4のゲート電極206にはゲート配線206eが接続され、NMOSトランジスタAG5のゲート電極206にはゲート配線206fが接続され、NMOSトランジスタAG6のゲート電極206にはゲート配線206gが接続され、NMOSトランジスタAG7のゲート電極206にはゲート配線206hが接続され、NMOSトランジスタBG0のゲート電極206にはゲート配線206iが接続され、NMOSトランジスタBG1のゲート電極206にはゲート配線206jが接続される。

[0043] 下部拡散層202naは、シリサイド層203を介してNMOSトランジスタAG0、AG1、AG2、AG3の共通ドレインとなり、NMOSトランジスタBG0のソースに接続され、BG0のドレインであるn+拡散層20

7 n B G 0 は、シリサイド層 2 0 9 n B G 0 およびコンタクト 2 1 0 n B G 0 を介して第 1 のメタル配線層の配線 2 1 3 k に接続される。同様に、下部拡散層 2 0 2 n b は、シリサイド層 2 0 3 を介して NMOS トランジスタ A G 4、A G 5、A G 6、A G 7 の共通ドレインとなり、NMOS トランジスタ B G 1 のソースに接続され、B G 1 のドレインである n + 拡散層 2 0 7 n B G 1 は、シリサイド層 2 0 9 n B G 1 およびコンタクト 2 1 0 n B G 1 を介して第 1 のメタル配線層の配線 2 1 3 k に接続される。ここで、NMOS トランジスタ B G 0 と B G 1 のドレインは、共通に、データ線 D L に接続される。

[0044] NMOS トランジスタ A G 0 のソースとなる上部拡散層 2 0 7 n A G 0 は、シリサイド層 2 0 9 n A G 0 およびコンタクト 2 1 0 n A G 0 を介して第 1 のメタル配線層の配線 1 1 3 B 0 と接続され、1 1 3 B 0 はビット線 B L 0 となる。NMOS トランジスタ A G 1 のソースとなる上部拡散層 2 0 7 n A G 1 は、シリサイド層 2 0 9 n A G 1 およびコンタクト 2 1 0 n A G 1 を介して第 1 のメタル配線層の配線 1 1 3 B 1 と接続され、1 1 3 B 1 はビット線 B L 1 となる。NMOS トランジスタ A G 2 のソースとなる上部拡散層 2 0 7 n A G 2 は、シリサイド層 2 0 9 n A G 2 およびコンタクト 2 1 0 n A G 2 を介して第 1 のメタル配線層の配線 1 1 3 B 2 と接続され、1 1 3 B 2 はビット線 B L 2 となる。NMOS トランジスタ A G 3 のソースとなる上部拡散層 2 0 7 n A G 3 は、シリサイド層 2 0 9 n A G 3 およびコンタクト 2 1 0 n A G 3 を介して第 1 のメタル配線層の配線 1 1 3 B 3 と接続され、1 1 3 B 3 はビット線 B L 3 となる。NMOS トランジスタ A G 4 のソースとなる上部拡散層 2 0 7 n A G 4 は、シリサイド層 2 0 9 n A G 4 およびコンタクト 2 1 0 n A G 4 を介して第 1 のメタル配線層の配線 1 1 3 B 4 と接続され、1 1 3 B 4 はビット線 B L 4 となる。NMOS トランジスタ A G 5 のソースとなる上部拡散層 2 0 7 n A G 5 は、シリサイド層 2 0 9 n A G 5 およびコンタクト 2 1 0 n A G 5 を介して第 1 のメタル配線層の配線 1 1 3 B 5 と接続され、1 1 3 B 5 はビット線 B L 5 となる。NMOS トランジスタ

AG6のソースとなる上部拡散層207nAG6は、シリサイド層209nAG6およびコンタクト210nAG6を介して第1のメタル配線層の配線113B6と接続され、113B6はビット線BL6となる。NMOSトランジスタAG7のソースとなる上部拡散層207nAG7は、シリサイド層209nAG7およびコンタクト210nAG7を介して第1のメタル配線層の配線113B7と接続され、113B7はビット線BL7となる。ここで、第1のメタル配線層の配線で構成されるビット線BL0、BL1、BL2、BL3、BL4、BL5、BL6、BL7は図2aにおいて縦方向に延在配置される。

[0045] 列選択信号YA0を供給する第2のメタル配線層の配線215aは、図2aの横方向に延在し、コンタクト214a、第1のメタル配線層の配線213a、コンタクト211aを介してゲート配線206aに接続され、ゲート配線206aはNMOSトランジスタAG0のゲート電極206に接続される。さらに、第2のメタル配線層の配線215aは、コンタクト214e、第1のメタル配線層の配線213e、コンタクト211eを介してゲート配線206eに接続され、ゲート配線206eはNMOSトランジスタAG4のゲート電極206に接続される。

列選択信号YA1を供給する第2のメタル配線層の配線215bは、図2aの横方向に延在し、コンタクト214b、第1のメタル配線層の配線213b、コンタクト211bを介してゲート配線206bに接続され、ゲート配線206bはNMOSトランジスタAG1のゲート電極206に接続される。さらに、第2のメタル配線層の配線215bは、コンタクト214f、第1のメタル配線層の配線213f、コンタクト211fを介してゲート配線206fに接続され、ゲート配線206fはNMOSトランジスタAG5のゲート電極206に接続される。

列選択信号YA2を供給する第2のメタル配線層の配線215cは、図2aの横方向に延在し、コンタクト214c、第1のメタル配線層の配線213c、コンタクト211cを介してゲート配線206cに接続され、ゲート配

線 206c は NMOS トランジスタ AG2 のゲート電極 206 に接続される。さらに、第 2 のメタル配線層の配線 215c は、コンタクト 214g、第 1 のメタル配線層の配線 213g、コンタクト 211g を介してゲート配線 206g に接続され、ゲート配線 206g は NMOS トランジスタ AG6 のゲート電極 206 に接続される。

列選択信号 YA3 を供給する第 2 のメタル配線層の配線 215d は、図 2a の横方向に延在し、コンタクト 214d、第 1 のメタル配線層の配線 213d、コンタクト 211d を介してゲート配線 206d に接続され、ゲート配線 206d は NMOS トランジスタ AG3 のゲート電極 206 に接続される。さらに、第 2 のメタル配線層の配線 215d は、コンタクト 214h、第 1 のメタル配線層の配線 213h、コンタクト 211h を介してゲート配線 206h に接続され、ゲート配線 206h は NMOS トランジスタ AG7 のゲート電極 206 に接続される。

[0046] 列選択信号 YB0 を供給する第 2 のメタル配線層の配線 215e は、図 2a の横方向に延在し、コンタクト 214i、第 1 のメタル配線層の配線 213i、コンタクト 211i を介してゲート配線 206i に接続され、ゲート配線 206i は NMOS トランジスタ BG0 のゲート電極 206 に接続される。

列選択信号 YB1 を供給する第 2 のメタル配線層の配線 215f は、図 2a の横方向に延在し、コンタクト 214j、第 1 のメタル配線層の配線 213j、コンタクト 211j を介してゲート配線 206j に接続され、ゲート配線 206j は NMOS トランジスタ BG1 のゲート電極 206 に接続される。

[0047] このような構成にすることにより、縦方向に延在した第 1 のメタル配線層の配線により構成されたビット線 BL0～BL7 を、横方向に延在した第 2 のメタル配線層の配線により構成された列選択信号 AG0～AG3 および BG0、BG1 を供給する配線により、選択的に図 1 の共通ノード N5 に接続することができる。本図により、列選択ゲートデコーダ 401a を構成する。

なお、NMOSトランジスタBG0とBG1の共通ドレインとなる第1のメタル配線層の配線213k（ノードN5）は、図2aの右に延在して、図示しないNMOSトランジスタCG0を介してデータ線DL（ノードN7）へ接続される。一方、本実施例と同様に構成されている図示しない隣接したブロックのビット線BL8～BL11およびBL12～BL15は、図示しないNMOSトランジスタAG8、AG9、AG10、AG11およびAG12、AG13、AG14、AG15を介して、それぞれノードN3あるいはノードN4に共通に接続され、ノードN3およびノードN4は、それぞれNMOSトランジスタBG2およびBG3を介して共通ドレインとなるノードN6に接続される。さらに、図示しないNMOSトランジスタCG1を介して、データ線DLに接続され、図1に示す列選択ゲートデコーダ400を構成する。

[0048] 本実施例によれば、列選択ゲートトランジスタであるNMOSトランジスタAG0、AG1、AG2、AG3の共通ドレインおよび列選択ゲートトランジスタBG0のソースを下部拡散層により共通接続させることで、配線領域をなくし、縦方向に延在配置されたビット線と、横方向に延在配置された列選択信号により、面積が縮小された、列選択ゲートデコーダが提供できる。なお、図2aでは、配置面積の縮小を図るため、トランジスタを斜めに配置して、下部拡散層領域を斜めに設けているが、これは、列選択ゲートトランジスタの配置間隔を最小にして、列選択信号の上下の配置間隔をできるだけ小さくするためである。すなわち、例として、NMOSトランジスタAG0とAG1のトランジスタ間隔を最小限にして、列選択信号YA0を供給する配線と列選択信号YA1を供給する配線の間隔を小さくするために、NMOSトランジスタAG1を右にずらしてある。他のトランジスタも同様である。本実施例では、下部拡散層領域の面積を最小にして、寄生の拡散容量を最小にするために、斜めの細長い形状にしてあるが、例えば、シリサイド層の抵抗を小さくしたい場合には、拡散領域の幅を太くする等変更は可能である。もちろん、斜めの配置をせずに、縦一列に配置することも可能である。こ

のように、下部拡散層領域の形状は、本実施例にとらわれず、目的に応じて最適形状にすることができる。

[0049] (実施例2)

図3 a、図3 b、図3 c、図3 d、図3 e、図3 f、図3 g、図3 h、図3 i および図3 j に、実施例2を示す。図3 aは、本発明の列選択ゲートデコーダのレイアウト（配置）の平面図、図3 bは、図3 aにおけるカットラインA-A' に沿った断面図、図3 cは、図3 aにおけるカットラインB-B' に沿った断面図、図3 dは、図3 aにおけるカットラインC-C' に沿った断面図、図3 eは、図3 aにおけるカットラインD-D' に沿った断面図、図3 fは、図3 aにおけるカットラインE-E' に沿った断面図、図3 gは、図3 aにおけるカットラインF-F' に沿った断面図、図3 hは、図3 aにおけるカットラインG-G' に沿った断面図、図3 i は、図3 aにおけるカットラインH-H' に沿った断面図、図3 j は、図3 aにおける第1のメタル配線層の配線のみを表示した平面図を示す。本実施例の等価回路は、図1の回路ブロック401に従う。

図3 aにおいて、図11におけるメモリセルM(0, 0)~M(0, 7)が、図の下部に配置され、ビット線BL0~BL7が図の縦方向に、第1のメタル配線層の配線により延在配置される。

[0050] 列選択信号YA0、YA2、YA1、YA3、YB0、YB1を供給する配線が図の下から順番に、第2のメタル配線層の配線により図3 aの横方向に延在配置される。

第1のメタル配線層の配線により構成されるビット線BL0~BL7と、第2のメタル配線層の配線により構成される列選択信号YA0~YA3を供給する配線の交点に、列選択ゲートトランジスタAG0~AG7が配置される。実施例1と異なるところは、列選択信号YA0~YA3を供給する配線の配置順番を変更したことである。すなわち、隣接するビット線BL0とBL1（本発明の「隣接する第2h-1の入力／出力線と第2hの入力／出力線」に対応）に対応する列選択ゲートトランジスタAG0とAG1（本発明の

「第2h-1のトランジスタと第2hのトランジスタ」に対応)を、図3aの縦方向に、列選択信号YA2を挟んで配置し、列選択ゲートトランジスタAG0とAG1以外の列選択ゲートトランジスタであるAG2が、列選択ゲートトランジスタAG0とAG1の縦方向の位置の間の縦方向の位置を有するように配置する。また、隣接するビット線BL2とBL3に対応する列選択ゲートトランジスタAG2とAG3を、図3aの縦方向に、列選択信号YA1を挟んで配置し、列選択ゲートトランジスタAG2とAG3以外の列選択ゲートトランジスタであるAG1が、列選択ゲートトランジスタAG2とAG3の縦方向の位置の間の縦方向の位置を有するように配置する。このように配置することにより、列選択ゲートトランジスタのゲート間隔により寸法が決まることがなくなる。すなわち、NMOSTランジスタAG0とAG2との間隔、あるいは、AG0とAG1との間隔は、最小間隔ではなく、余裕を持って配置でき、且つ、第2のメタル配線層の配線である列選択信号YA0、YA2、YA1を供給する配線は、最小間隔が実現できる。列選択信号YA0、YA2、YA1、YA3、YB0、YB1を供給する配線の構成する第2のメタル配線層の配線を全て最小間隔にて配置でき、縦方向にさらに縮小された列選択ゲートデコーダが提供できる。

ここで、本発明の大きな特徴である、列選択ゲートトランジスタの共通ドレインあるいはソースを下部拡散層により共通接続して配線領域を省略できることは、実施例1と同様である。

なお、図3a、図3b、図3c、図3d、図3e、図3f、図3g、図3h、図3iおよび図3jにおいて、図2a、図2b、図2c、図2d、図2eおよび図2fと同じ構造の箇所については、200番台の対応する記号で示してある。

[0051] 図3a、図3b、図3c、図3d、図3e、図3f、図3g、図3h、図3iおよび図3jにおいて、基板上に形成された埋め込み酸化膜層(BOX)201などの絶縁膜上に平面状シリコン層202na、202nbが形成され、この平面状シリコン層202na、202nbは不純物注入等により、

それぞれ n +拡散層から構成される。203は、平面状シリコン層(202 n a、202 n b)の表面に形成されるシリサイド層である。204pAG0、204pAG1、204pAG2、204pAG3、204pAG4、204pAG5、204pAG6、204pAG7、204pBG0、204pBG1は p 型シリコン柱、205はシリコン柱204pAG0、204pAG1、204pAG2、204pAG3、204pAG4、204pAG5、204pAG6、204pAG7、204pBG0、204pBG1を取り囲むゲート絶縁膜、206はゲート電極、206a、206b、206c、206d、206e、206f、206g、206h、206iおよび206jは、それぞれゲート配線である。シリコン柱204pAG0、204pAG1、204pAG2、204pAG3、204pAG4、204pAG5、204pAG6、204pAG7、204pBG0、204pBG1の最上部には、それぞれ n +拡散層207nAG0、207nAG1、207nAG2、207nAG3、207nAG4、207nAG5、207nAG6、207nAG7、207nBG0、207nBG1が不純物注入等により形成される。208はゲート絶縁膜205を保護するためのシリコン窒化膜、209nAG0、209nAG1、209nAG2、209nAG3、209nAG4、209nAG5、209nAG6、209nAG7、209nBG0、209nBG1はそれぞれ n +拡散層207nAG0、207nAG1、207nAG2、207nAG3、207nAG4、207nAG5、207nAG6、207nAG7、207nBG0、207nBG1に接続されるシリサイド層である。

[0052] 210nAG0、210nAG1、210nAG2、210nAG3、210nAG4、210nAG5、210nAG6、210nAG7、210nBG0、210nBG1は、シリサイド層209nAG0、209nAG1、209nAG2、209nAG3、209nAG4、209nAG5、209nAG6、209nAG7、209nBG0、209nBG1と第1のメタル配線層の配線113B0、113B1、113B2、113B3、1

1 3 B 4、1 1 3 B 5、1 1 3 B 6、1 1 3 B 7、2 1 3 k、2 1 3 kをそれぞれ接続するコンタクト、2 1 1 aはゲート配線2 0 6 aと第1のメタル配線層の配線2 1 3 aを接続するコンタクト、2 1 1 bはゲート配線2 0 6 bと第1のメタル配線層の配線2 1 3 bを接続するコンタクト、2 1 1 cはゲート配線2 0 6 cと第1のメタル配線層の配線2 1 3 cを接続するコンタクト、2 1 1 dはゲート配線2 0 6 dと第1のメタル配線層の配線2 1 3 dを接続するコンタクト、2 1 1 eはゲート配線2 0 6 eと第1のメタル配線層の配線2 1 3 eを接続するコンタクト、2 1 1 fはゲート配線2 0 6 fと第1のメタル配線層の配線2 1 3 fを接続するコンタクト、2 1 1 gはゲート配線2 0 6 gと第1のメタル配線層の配線2 1 3 gを接続するコンタクト、2 1 1 hはゲート配線2 0 6 hと第1のメタル配線層の配線2 1 3 hを接続するコンタクト、2 1 1 iはゲート配線2 0 6 iと第1のメタル配線層の配線2 1 3 iを接続するコンタクト、2 1 1 jはゲート配線2 0 6 jと第1のメタル配線層の配線2 1 3 jを接続するコンタクトである。

[0053] また、2 1 4 aは第1のメタル配線層の配線2 1 3 aと第2のメタル配線層の配線2 1 5 aを接続するコンタクト、2 1 4 bは第1のメタル配線層の配線2 1 3 bと第2のメタル配線層の配線2 1 5 bを接続するコンタクト、2 1 4 cは第1のメタル配線層の配線2 1 3 cと第2のメタル配線層の配線2 1 5 cを接続するコンタクト、2 1 4 dは第1のメタル配線層の配線2 1 3 dと第2のメタル配線層の配線2 1 5 dを接続するコンタクト、2 1 4 eは第1のメタル配線層の配線2 1 3 eと第2のメタル配線層の配線2 1 5 aを接続するコンタクト、2 1 4 fは第1のメタル配線層の配線2 1 3 fと第2のメタル配線層の配線2 1 5 bを接続するコンタクト、2 1 4 gは第1のメタル配線層の配線2 1 3 gと第2のメタル配線層の配線2 1 5 cを接続するコンタクト、2 1 4 hは第1のメタル配線層の配線2 1 3 hと第2のメタル配線層の配線2 1 3 dを接続するコンタクト、2 1 4 iは第1のメタル配線層の配線2 1 3 iと第2のメタル配線層の配線2 1 5 eを接続するコンタクト、2 1 4 jは第1のメタル配線層の配線2 1 3 jと第2のメタル配線層の

配線 215f を接続するコンタクトである。

[0054] シリコン柱 204pAG0、下部拡散層 202na、上部拡散層 207nAG0、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ AG0 を構成し、シリコン柱 204pAG1、下部拡散層 202na、上部拡散層 207nAG1、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ AG1 を構成し、シリコン柱 204pAG2、下部拡散層 202na、上部拡散層 207nAG2、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ AG2 を構成し、シリコン柱 204pAG3、下部拡散層 202na、上部拡散層 207nAG3、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ AG3 を構成し、シリコン柱 204pAG4、下部拡散層 202nb、上部拡散層 207nAG4、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ AG4 を構成し、シリコン柱 204pAG5、下部拡散層 202nb、上部拡散層 207nAG5、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ AG5 を構成し、シリコン柱 204pAG6、下部拡散層 202nb、上部拡散層 207nAG6、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ AG6 を構成し、シリコン柱 204pAG7、下部拡散層 202nb、上部拡散層 207nAG7、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ AG7 を構成し、シリコン柱 204pBG0、下部拡散層 202na、上部拡散層 207nBG0、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ BG0 を構成し、シリコン柱 204pBG1、下部拡散層 202nb、上部拡散層 207nBG1、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ BG1 を構成する。

[0055] また、NMOS トランジスタ AG0 のゲート電極 206 にはゲート配線 206a が接続され、NMOS トランジスタ AG1 のゲート電極 206 にはゲート配線 206b が接続され、NMOS トランジスタ AG2 のゲート電極 206 にはゲート配線 206c が接続され、NMOS トランジスタ AG3 のゲート

ト電極 206 にはゲート配線 206 d が接続され、NMOS トランジスタ AG4 のゲート電極 206 にはゲート配線 206 e が接続され、NMOS トランジスタ AG5 のゲート電極 206 にはゲート配線 206 f が接続され、NMOS トランジスタ AG6 のゲート電極 206 にはゲート配線 206 g が接続され、NMOS トランジスタ AG7 のゲート電極 206 にはゲート配線 206 h が接続され、NMOS トランジスタ BG0 のゲート電極 206 にはゲート配線 206 i が接続され、NMOS トランジスタ BG1 のゲート電極 206 にはゲート配線 206 j が接続される。

[0056] 下部拡散層 202 na は、シリサイド層 203 を介して NMOS トランジスタ AG0、AG1、AG2、AG3 の共通ドレインとなり、NMOS トランジスタ BG0 のソースに接続され、BG0 のドレインである n+ 拡散層 207 nBG0 は、シリサイド層 209 nBG0 およびコンタクト 210 nBG0 を介して第 1 のメタル配線層の配線 213 k に接続される。ここで、第 1 のメタル配線層の配線 213 k は図 1 のノード N5 となる。同様に、下部拡散層 202 nb は、シリサイド層 203 を介して NMOS トランジスタ AG4、AG5、AG6、AG7 の共通ドレインとなり、NMOS トランジスタ BG1 のソースに接続され、BG1 のドレインである n+ 拡散層 207 nBG1 は、シリサイド層 209 nBG1 およびコンタクト 210 nBG1 を介して第 1 のメタル配線層の配線 213 k に接続される。ここで、NMOS トランジスタ BG0 と BG1 のドレインは、共通にノード N5 に接続される。

[0057] NMOS トランジスタ AG0 のソースとなる上部拡散層 207 nAG0 は、シリサイド層 209 nAG0 およびコンタクト 210 nAG0 を介して第 1 のメタル配線層の配線 113 B0 と接続され、113 B0 はビット線 BL0 となる。NMOS トランジスタ AG1 のソースとなる上部拡散層 207 nAG1 は、シリサイド層 209 nAG1 およびコンタクト 210 nAG1 を介して第 1 のメタル配線層の配線 113 B1 と接続され、113 B1 はビット線 BL1 となる。NMOS トランジスタ AG2 のソースとなる上部拡散層 207 nAG2 は、シリサイド層 209 nAG2 およびコンタクト 210 nA

G 2 を介して第 1 のメタル配線層の配線 1 1 3 B 2 と接続され、1 1 3 B 2 はビット線 B L 2 となる。NMOS トランジスタ A G 3 のソースとなる上部拡散層 2 0 7 n A G 3 は、シリサイド層 2 0 9 n A G 3 およびコンタクト 2 1 0 n A G 3 を介して第 1 のメタル配線層の配線 1 1 3 B 3 と接続され、1 1 3 B 3 はビット線 B L 3 となる。NMOS トランジスタ A G 4 のソースとなる上部拡散層 2 0 7 n A G 4 は、シリサイド層 2 0 9 n A G 4 およびコンタクト 2 1 0 n A G 4 を介して第 1 のメタル配線層の配線 1 1 3 B 4 と接続され、1 1 3 B 4 はビット線 B L 4 となる。NMOS トランジスタ A G 5 のソースとなる上部拡散層 2 0 7 n A G 5 は、シリサイド層 2 0 9 n A G 5 およびコンタクト 2 1 0 n A G 5 を介して第 1 のメタル配線層の配線 1 1 3 B 5 と接続され、1 1 3 B 5 はビット線 B L 5 となる。NMOS トランジスタ A G 6 のソースとなる上部拡散層 2 0 7 n A G 6 は、シリサイド層 2 0 9 n A G 6 およびコンタクト 2 1 0 n A G 6 を介して第 1 のメタル配線層の配線 1 1 3 B 6 と接続され、1 1 3 B 6 はビット線 B L 6 となる。NMOS トランジスタ A G 7 のソースとなる上部拡散層 2 0 7 n A G 7 は、シリサイド層 2 0 9 n A G 7 およびコンタクト 2 1 0 n A G 7 を介して第 1 のメタル配線層の配線 1 1 3 B 7 と接続され、1 1 3 B 7 はビット線 B L 7 となる。ここで、第 1 のメタル配線層の配線で構成されるビット線 B L 0、B L 1、B L 2、B L 3、B L 4、B L 5、B L 6、B L 7 は図 3 a において縦方向に延在配置される。

[0058] 列選択信号 Y A 0 を供給する第 2 のメタル配線層の配線 2 1 5 a は、図の下部に横方向に延在し、コンタクト 2 1 4 a、第 1 のメタル配線層の配線 2 1 3 a、コンタクト 2 1 1 a を介してゲート配線 2 0 6 a に接続され、ゲート配線 2 0 6 a は NMOS トランジスタ A G 0 のゲート電極 2 0 6 に接続される。さらに、第 2 のメタル配線層の配線 2 1 5 a は、コンタクト 2 1 4 e、第 1 のメタル配線層の配線 2 1 3 e、コンタクト 2 1 1 e を介してゲート配線 2 0 6 e に接続され、ゲート配線 2 0 6 e は NMOS トランジスタ A G 4 のゲート電極 2 0 6 に接続される。

[0059] 列選択信号 Y A 2 を供給する第 2 のメタル配線層の配線 2 1 5 c が、列選択信号 Y A 0 である第 2 のメタル配線層の配線 2 1 5 a の図の直上に、横方向に延在し、コンタクト 2 1 4 c、第 1 のメタル配線層の配線 2 1 3 c、コンタクト 2 1 1 c を介してゲート配線 2 0 6 c に接続され、ゲート配線 2 0 6 c は N M O S トランジスタ A G 2 のゲート電極 2 0 6 に接続される。さらに、第 2 のメタル配線層の配線 2 1 5 c は、コンタクト 2 1 4 g、第 1 のメタル配線層の配線 2 1 3 g、コンタクト 2 1 1 g を介してゲート配線 2 0 6 g に接続され、ゲート配線 2 0 6 g は N M O S トランジスタ A G 6 のゲート電極 2 0 6 に接続される。このように、順番を入れ替えることで、N M O S トランジスタ A G 2 の配置位置が右にずれて、ビット線 B L 2 である、1 本離れた第 1 のメタル配線層の配線 1 1 3 B 2 の位置に配置でき、N M O S トランジスタ A G 0 と A G 2 との間隔に余裕が生じ、第 2 メタル 2 1 5 a と 2 1 5 c との上下の間隔を最小にすることができる。

[0060] 同様にして、次に、列選択信号 Y A 1 を供給する第 2 のメタル配線層の配線 2 1 5 b が配置され、図の横方向に延在し、コンタクト 2 1 4 b、第 1 のメタル配線層の配線 2 1 3 b、コンタクト 2 1 1 b を介してゲート配線 2 0 6 b に接続され、ゲート配線 2 0 6 b は N M O S トランジスタ A G 1 のゲート電極 2 0 6 に接続される。さらに、第 2 のメタル配線層の配線 2 1 5 b は、コンタクト 2 1 4 f、第 1 のメタル配線層の配線 2 1 3 f、コンタクト 2 1 1 f を介してゲート配線 2 0 6 f に接続され、ゲート配線 2 0 6 f は N M O S トランジスタ A G 5 のゲート電極 2 0 6 に接続される。

[0061] 列選択信号 Y A 3 を供給する第 2 のメタル配線層の配線 2 1 5 d が第 2 のメタル配線層の配線 2 1 5 b の上に配置され、図 3 a の横方向に延在し、コンタクト 2 1 4 d、第 1 のメタル配線層の配線 2 1 3 d、コンタクト 2 1 1 d を介してゲート配線 2 0 6 d に接続され、ゲート配線 2 0 6 d は N M O S トランジスタ A G 3 のゲート電極 2 0 6 に接続される。さらに、第 2 のメタル配線層の配線 2 1 5 d は、コンタクト 2 1 4 h、第 1 のメタル配線層の配線 2 1 3 h、コンタクト 2 1 1 h を介してゲート配線 2 0 6 h に接続され、ゲ

ート配線206hはNMOSトランジスタAG7のゲート電極206に接続される。

[0062] 列選択信号YB0を供給する第2のメタル配線層の配線215eは、図3aの横方向に延在し、コンタクト214i、第1のメタル配線層の配線213i、コンタクト211iを介してゲート配線206iに接続され、ゲート配線206iはNMOSトランジスタBG0のゲート電極206に接続される。

列選択信号YB1を供給する第2のメタル配線層の配線215fは、図3aの横方向に延在し、コンタクト214j、第1のメタル配線層の配線213j、コンタクト211jを介してゲート配線206jに接続され、ゲート配線206jはNMOSトランジスタBG1のゲート電極206に接続される。

[0063] このような構成にすることにより、列選択ゲートトランジスタAG0、AG2、AG1、AG3、BG0、BG1が左右に順次配置され（千鳥状に配置され）、縦方向に延在した第1のメタル配線層の配線により構成されたビット線BL0～BL7と、横方向に延在した第2のメタル配線層の配線により構成された列選択信号YA0～YA3およびYB0、YB1を供給する配線のそれぞれが最小間隔にて配置できる。本図により、列選択ゲートデコーダ401bを構成する。

なお、NMOSトランジスタBG0とBG1の共通ドレインとなる第1のメタル配線層の配線213k（ノードN5）は、図3aの右に延在して、図示しないNMOSトランジスタCG0を介してデータ線DL（ノードN7）へ接続される。一方、本実施例と同様に構成されている図示しない隣接したブロックのビット線BL8～BL11およびBL12～BL15は、図示しないNMOSトランジスタAG8、AG9、AG10、AG11およびAG12、AG13、AG14、AG15を介して、それぞれノードN3あるいはノードN4に共通に接続され、ノードN3およびノードN4は、それぞれNMOSトランジスタBG2およびBG3を介して共通ドレインとなるノード

N 6 に接続される。さらに、図示しない NMOS トランジスタ CG 1 を介して、データ線 DL に接続され、図 1 に示す列選択ゲートデコーダ 4 0 0 を構成する。

[0064] 本実施例によれば、列選択ゲートトランジスタである NMOS トランジスタ AG 0、AG 1、AG 2、AG 3 の共通ドレインおよび列選択ゲートトランジスタ BG 0 のソースを下部拡散層により共通接続させることで、配線領域をなくし、縦方向に延在配置されたビット線と、横方向に延在配置された列選択信号により、面積が縮小された、列選択ゲートデコーダが提供できる。さらに、列選択信号の順番を入れ替えることにより、第 2 のメタル配線層の配線の間隔を最小にでき、最小面積の列選択ゲートデコーダが提供できる。なお、本実施例における、動作時の電流経路は、それぞれ NMOS トランジスタ AG 0 と NMOS トランジスタ BG 0 の間、あるいは AG 1 と BG 0 の間、あるいは AG 2 と BG 0 の間、あるいは AG 3 と BG 0 の間であり、この間の寄生抵抗値はできるだけ小さいほうが電気的特性が良好となる。図では、NMOS トランジスタ AG 0、AG 1、BG 0 が配置される縦の列と、NMOS トランジスタ AG 2、AG 3 が配置される縦の列との間を電流が流れるので、この間隔を広げて、低抵抗であるシリサイド層 2 0 3 の幅を十分確保してある。また、ゲート配線の下にはシリサイド層は形成されずに抵抗の高い拡散層のみとなるので、上記の電流経路上にゲート配線を配置しないようにするのが好ましい。例えば、NMOS トランジスタ AG 2 のゲートコンタクト 2 1 1 c の位置を、NMOS トランジスタ AG 0 あるいは AG 1 のゲートコンタクト 2 1 1 a、2 1 1 b と同じように、図の左側に配置しても回路接続としては同じであるが、NMOS トランジスタ AG 0 と NMOS トランジスタ BG 0 の間をゲート配線 2 0 6 c が横切る形となり、ゲート配線 2 0 6 c の下にはシリサイド層 2 0 3 は存在せずに拡散層のみとなるので、余分な寄生抵抗が追加されることとなる。従って、本実施例では、NMOS トランジスタ AG 2 のゲート配線 2 0 6 c は、空き領域である隣の下部拡散層 2 0 2 n b の領域でコンタクトを取って、NMOS トランジスタ AG 0 と

NMOSトランジスタBG0との間はシリサイド層203のみで接続されるように配置している。なお、NMOSトランジスタAG4に関しては、ゲート配線206eが図の右側に配置されているが、NMOSトランジスタAG4とNMOSトランジスタBG1の電流経路から外れているので、電流経路に余分な寄生抵抗はなく、良好な特性が得られる。ちなみに、標準的には、シリサイド層のシート抵抗値 ρ_s （ローエス）は数 $\Omega/\square$ 、拡散層のシート抵抗値 ρ_s は、数十 $\Omega/\square$ であり、ゲート配線は、できるだけ電流経路を避けて配置することが好ましい。また、やむを得ず寄生抵抗が入った場合には、抵抗値を考慮することが必要である。

上記主旨の範囲において、本実施例に拠らず、他の場所にゲート配線を配置しても良い。

[0065]（実施例3）

図4a、図4b、図4c、図4d、図4eおよび図4fに、実施例3を示す。図4aは、本発明の列選択ゲートデコーダのレイアウト（配置）の平面図、図4bは、図4aにおけるカットラインA-A'に沿った断面図、図4cは、図4aにおけるカットラインB-B'に沿った断面図、図4dは、図4aにおけるカットラインC-C'に沿った断面図、図4eは、図4aにおけるカットラインD-D'に沿った断面図、図4fは、図4aにおける第1のメタル配線層の配線のみを表示した平面図を示す。本実施例の等価回路は、図1の回路ブロック401に従う。

図4aにおいて、図11におけるメモリセルM(0, 0)~M(0, 7)が、図の下部に配置され、ビット線BL0~BL7が図の縦方向に、第1のメタル配線層の配線により延在配置される。

また、列選択信号YA0、YA2、YA1、YA3、YB0、YB1を供給する配線が図の下から順番に、第2のメタル配線層の配線により図4aの横方向に延在配置される。

第1のメタル配線層の配線により構成されるビット線BL0~BL7と、第2のメタル配線層の配線により構成される列選択信号線YA0~YA3を供

給する配線の交点に、列選択ゲートトランジスタAG0～AG7が配置される。実施例2と異なるところは、列選択信号YA0～YA3、YB0およびYB1を供給する配線と列選択ゲートトランジスタAG0～AG7、BG0およびBG1のゲート電極206a、206b、206c、206d、206e、206f、206g、206h、206i、206jとの接続位置を、それぞれ対応する列選択ゲートトランジスタの第1の方向の近傍（図4aでは直上）に統一して、寄生容量等のばらつきを低減したものである。

本実施例においても、実施例2と同様に列選択信号YA0～YA3を供給する配線の配置順番を変更したことにより、列選択ゲートトランジスタのゲート間隔に余裕ができ、第2のメタル配線層の配線である列選択信号YA0、YA2、YA1、YA3、YB0、YB1を供給する配線は、最小間隔で配置することが実現できることは、実施例2と同じである。

[0066] ここで、本発明の大きな特徴である、列選択ゲートトランジスタの共通ドレインあるいはソースを下部拡散層により共通接続して配線領域を省略できることは、実施例1あるいは実施例2と同様である。

なお、図4a、図4b、図4c、図4d、図4eおよび図4fにおいて、図3a、図3b、図3c、図3d、図3e、図4f、図4g、図4h、図4iおよび図4jと同じ構造の箇所については、200番台の対応する記号で示してある。

[0067] 図4a、図4b、図4c、図4d、図4eおよび図4fにおいて、基板上に形成された埋め込み酸化膜層（BOX）201などの絶縁膜上に平面状シリコン層202na、202nbが形成され、この平面状シリコン層202na、202nbは不純物注入等により、それぞれn+拡散層から構成される。203は、平面状シリコン層（202na、202nb）の表面に形成されるシリサイド層である。204pAG0、204pAG1、204pAG2、204pAG3、204pAG4、204pAG5、204pAG6、204pAG7、204pBG0、204pBG1はp型シリコン柱、205はシリコン柱204pAG0、204pAG1、204pAG2、204

pAG3、204pAG4、204pAG5、204pAG6、204pAG7、204pBG0、204pBG1を取り囲むゲート絶縁膜、206はゲート電極、206a、206b、206c、206d、206e、206f、206g、206h、206iおよび206jは、それぞれゲート配線である。シリコン柱204pAG0、204pAG1、204pAG2、204pAG3、204pAG4、204pAG5、204pAG6、204pAG7、204pBG0、204pBG1の最上部には、それぞれn+拡散層207nAG0、207nAG1、207nAG2、207nAG3、207nAG4、207nAG5、207nAG6、207nAG7、207nBG0、207nBG1が不純物注入等により形成される。208はゲート絶縁膜205を保護するためのシリコン窒化膜、209nAG0、209nAG1、209nAG2、209nAG3、209nAG4、209nAG5、209nAG6、209nAG7、209nBG0、209nBG1はそれぞれn+拡散層207nAG0、207nAG1、207nAG2、207nAG3、207nAG4、207nAG5、207nAG6、207nAG7、207nBG0、207nBG1に接続されるシリサイド層である。

[0068] 210nAG0、210nAG1、210nAG2、210nAG3、210nAG4、210nAG5、210nAG6、210nAG7、210nBG0、210nBG1は、シリサイド層209nAG0、209nAG1、209nAG2、209nAG3、209nAG4、209nAG5、209nAG6、209nAG7、209nBG0、209nBG1と第1のメタル配線層の配線113B0、113B1、113B2、113B3、113B4、113B5、113B6、113B7、213k、213kをそれぞれ接続するコンタクト、211aはゲート配線206aと第1のメタル配線層の配線213aを接続するコンタクト、211bはゲート配線206bと第1のメタル配線層の配線213bを接続するコンタクト、211cはゲート配線206cと第1のメタル配線層の配線213cを接続するコンタ

クト、211dはゲート配線206dと第1のメタル配線層の配線213dを接続するコンタクト、211eはゲート配線206eと第1のメタル配線層の配線213eを接続するコンタクト、211fはゲート配線206fと第1のメタル配線層の配線213fを接続するコンタクト、211gはゲート配線206gと第1のメタル配線層の配線213gを接続するコンタクト、211hはゲート配線206hと第1のメタル配線層の配線213hを接続するコンタクト、211iはゲート配線206iと第1のメタル配線層の配線213iを接続するコンタクト、211jはゲート配線206jと第1のメタル配線層の配線213jを接続するコンタクトである。

[0069] また、214aは第1のメタル配線層の配線213aと第1のメタル配線層の配線215aを接続するコンタクト、214bは第1のメタル配線層の配線213bと第2のメタル配線層の配線215bを接続するコンタクト、214cは第1のメタル配線層の配線213cと第2のメタル配線層の配線215cを接続するコンタクト、214dは第1のメタル配線層の配線213dと第2のメタル配線層の配線215dを接続するコンタクト、214eは第1のメタル配線層の配線213eと第2のメタル配線層の配線215aを接続するコンタクト、214fは第1のメタル配線層の配線213fと第2のメタル配線層の配線215bを接続するコンタクト、214gは第1のメタル配線層の配線213gと第2のメタル配線層の配線215cを接続するコンタクト、214hは第1のメタル配線層の配線213hと第2のメタル配線層の配線213dを接続するコンタクト、214iは第1のメタル配線層の配線213iと第2のメタル配線層の配線215eを接続するコンタクト、214jは第1のメタル配線層の配線213jと第2のメタル配線層の配線215fを接続するコンタクトである。

[0070] シリコン柱204pAG0、下部拡散層202na、上部拡散層207nAG0、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタAG0を構成し、シリコン柱204pAG1、下部拡散層202na、上部拡散層207nAG1、ゲート絶縁膜205、ゲート電極206により、

NMOSトランジスタAG1を構成し、シリコン柱204pAG2、下部拡散層202na、上部拡散層207nAG2、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタAG2を構成し、シリコン柱204pAG3、下部拡散層202na、上部拡散層207nAG3、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタAG3を構成し、シリコン柱204pAG4、下部拡散層202nb、上部拡散層207nAG4、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタAG4を構成し、シリコン柱204pAG5、下部拡散層202nb、上部拡散層207nAG5、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタAG5を構成し、シリコン柱204pAG6、下部拡散層202nb、上部拡散層207nAG6、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタAG6を構成し、シリコン柱204pAG7、下部拡散層202nb、上部拡散層207nAG7、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタAG7を構成し、シリコン柱204pBG0、下部拡散層202na、上部拡散層207nBG0、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタBG0を構成し、シリコン柱204pBG1、下部拡散層202nb、上部拡散層207nBG1、ゲート絶縁膜205、ゲート電極206により、NMOSトランジスタBG1を構成する。

[0071] また、NMOSトランジスタAG0のゲート電極206にはゲート配線206aが接続され、NMOSトランジスタAG1のゲート電極206にはゲート配線206bが接続され、NMOSトランジスタAG2のゲート電極206にはゲート配線206cが接続され、NMOSトランジスタAG3のゲート電極206にはゲート配線206dが接続され、NMOSトランジスタAG4のゲート電極206にはゲート配線206eが接続され、NMOSトランジスタAG5のゲート電極206にはゲート配線206fが接続され、NMOSトランジスタAG6のゲート電極206にはゲート配線206gが接続され、NMOSトランジスタAG7のゲート電極206にはゲート配線2

06hが接続され、NMOSトランジスタBG0のゲート電極206にはゲート配線206iが接続され、NMOSトランジスタBG1のゲート電極206にはゲート配線206jが接続される。

ここで、本実施例が実施例2と異なるところは、ゲート配線の位置である。図のように、ゲート配線206aはNMOSトランジスタAG0の直上に配置され、配線面積を最小にすることで、配線の寄生容量を最小にしている。

[0072] 下部拡散層202naは、シリサイド層203を介してNMOSトランジスタAG0、AG1、AG2、AG3の共通ドレインとなり、NMOSトランジスタBG0のソースに接続され、BG0のドレインであるn+拡散層207nBG0は、シリサイド層209nBG0およびコンタクト210nBG0を介して第1のメタル配線層の配線213kに接続される。同様に、下部拡散層202nbは、シリサイド層203を介してNMOSトランジスタAG4、AG5、AG6、AG7の共通ドレインとなり、NMOSトランジスタBG1のソースに接続され、BG1のドレインであるn+拡散層207nBG1は、シリサイド層209nBG1およびコンタクト210nBG1を介して第1のメタル配線層の配線213kに接続される。ここで、NMOSトランジスタBG0とBG1のドレインは、共通に接続される。

[0073] NMOSトランジスタAG0のソースとなる上部拡散層207nAG0は、シリサイド層209nAG0およびコンタクト210nAG0を介して第1のメタル配線層の配線113B0と接続され、113B0はビット線BL0となる。NMOSトランジスタAG1のソースとなる上部拡散層207nAG1は、シリサイド層209nAG1およびコンタクト210nAG1を介して第1のメタル配線層の配線113B1と接続され、113B1はビット線BL1となる。NMOSトランジスタAG2のソースとなる上部拡散層207nAG2は、シリサイド層209nAG2およびコンタクト210nAG2を介して第1のメタル配線層の配線113B2と接続され、113B2はビット線BL2となる。NMOSトランジスタAG3のソースとなる上部拡散層207nAG3は、シリサイド層209nAG3およびコンタクト2

1 0 n A G 3 を介して第 1 のメタル配線層の配線 1 1 3 B 3 と接続され、1 1 3 B 3 はビット線 B L 3 となる。NMOS トランジスタ A G 4 のソースとなる上部拡散層 2 0 7 n A G 4 は、シリサイド層 2 0 9 n A G 4 およびコンタクト 2 1 0 n A G 4 を介して第 1 のメタル配線層の配線 1 1 3 B 4 と接続され、1 1 3 B 4 はビット線 B L 4 となる。NMOS トランジスタ A G 5 のソースとなる上部拡散層 2 0 7 n A G 5 は、シリサイド層 2 0 9 n A G 5 およびコンタクト 2 1 0 n A G 5 を介して第 1 のメタル配線層の配線 1 1 3 B 5 と接続され、1 1 3 B 5 はビット線 B L 5 となる。NMOS トランジスタ A G 6 のソースとなる上部拡散層 2 0 7 n A G 6 は、シリサイド層 2 0 9 n A G 6 およびコンタクト 2 1 0 n A G 6 を介して第 1 のメタル配線層の配線 1 1 3 B 6 と接続され、1 1 3 B 6 はビット線 B L 6 となる。NMOS トランジスタ A G 7 のソースとなる上部拡散層 2 0 7 n A G 7 は、シリサイド層 2 0 9 n A G 7 およびコンタクト 2 1 0 n A G 7 を介して第 1 のメタル配線層の配線 1 1 3 B 7 と接続され、1 1 3 B 7 はビット線 B L 7 となる。ここで、第 1 のメタル配線層の配線で構成されるビット線 B L 0、B L 1、B L 2、B L 3、B L 4、B L 5、B L 6、B L 7 は図 4 a において縦方向に延在配置される。

[0074] 列選択信号 Y A 0 を供給する第 2 のメタル配線層の配線 2 1 5 a は、図 4 a の下部に横方向に延在し、コンタクト 2 1 4 a、第 1 のメタル配線層の配線 2 1 3 a、コンタクト 2 1 1 a を介してゲート配線 2 0 6 a に接続され、ゲート配線 2 0 6 a は NMOS トランジスタ A G 0 のゲート電極 2 0 6 に接続される。さらに、第 2 のメタル配線層の配線 2 1 5 a は、コンタクト 2 1 4 e、第 1 のメタル配線層の配線 2 1 3 e、コンタクト 2 1 1 e を介してゲート配線 2 0 6 e に接続され、ゲート配線 2 0 6 e は NMOS トランジスタ A G 4 のゲート電極 2 0 6 に接続される。

列選択信号 Y A 2 を供給する第 2 のメタル配線層の配線 2 1 5 c が、列選択信号 Y A 0 である第 2 のメタル配線層の配線 2 1 5 a の図の直上に、横方向に延在し、コンタクト 2 1 4 c、第 1 のメタル配線層の配線 2 1 3 c、コン

タクト211cを介してゲート配線206cに接続され、ゲート配線206cはNMOSトランジスタAG2のゲート電極206に接続される。さらに、第2のメタル配線層の配線215cは、コンタクト214g、第1のメタル配線層の配線213g、コンタクト211gを介してゲート配線206gに接続され、ゲート配線206gはNMOSトランジスタAG6のゲート電極206に接続される。このように、順番を入れ替えることで、NMOSトランジスタAG2の配置位置が右にずれて、ビット線BL2である、1本離れた第1のメタル配線層の配線113B2の位置に配置でき、NMOSトランジスタAG0とAG2との間隔に余裕が生じ、第2メタル215aと215cとの上下の間隔を最小にすることができる。

[0075] 同様にして、次に、列選択信号YA1を供給する第2のメタル配線層の配線215bが配置され、図4aの横方向に延在し、コンタクト214b、第1のメタル配線層の配線213b、コンタクト211bを介してゲート配線206bに接続され、ゲート配線206bはNMOSトランジスタAG1のゲート電極206に接続される。さらに、第2のメタル配線層の配線215bは、コンタクト214f、第1のメタル配線層の配線213f、コンタクト211fを介してゲート配線206fに接続され、ゲート配線206fはNMOSトランジスタAG5のゲート電極206に接続される。

列選択信号YA3を供給する第2のメタル配線層の配線215dが第2のメタル配線層の配線215bの上に配置され、図4aの横方向に延在し、コンタクト214d、第1のメタル配線層の配線213d、コンタクト211dを介してゲート配線206dに接続され、ゲート配線206dはNMOSトランジスタAG3のゲート電極206に接続される。さらに、第2のメタル配線層の配線215dは、コンタクト214h、第1のメタル配線層の配線213h、コンタクト211hを介してゲート配線206hに接続され、ゲート配線206hはNMOSトランジスタAG7のゲート電極206に接続される。

[0076] 列選択信号YB0を供給する第2のメタル配線層の配線215eは、図4a

の横方向に延在し、コンタクト214 i、第1のメタル配線層の配線213 i、コンタクト211 iを介してゲート配線206 iに接続され、ゲート配線206 iはNMOSトランジスタBG0のゲート電極206に接続される。

列選択信号YB1を供給する第2のメタル配線層の配線215 fは、図4 aの横方向に延在し、コンタクト214 j、第1のメタル配線層の配線213 j、コンタクト211 jを介してゲート配線206 jに接続され、ゲート配線206 jはNMOSトランジスタBG1のゲート電極206に接続される。

[0077] このような構成にすることにより、列選択ゲートトランジスタAG0、AG2、AG1、AG3、BG0、BG1が左右に順次配置され、縦方向に延在した第1のメタル配線層の配線により構成されたビット線BL0～BL7と、横方向に延在した第2のメタル配線層の配線により構成された列選択信号AG0～AG3およびBG0、BG1のそれぞれが最小間隔にて配置できる。本図により、列選択ゲートデコーダ401 cを構成する。

なお、NMOSトランジスタBG0とBG1の共通ドレインとなる第1のメタル配線層の配線213 k（ノードN5）は、図4 aの右に延在して、図示しないNMOSトランジスタCG0を介してデータ線DL（ノードN7）へ接続される。一方、本実施例と同様に構成されている図示しない隣接したブロックのビット線BL8～BL11およびBL12～BL15は、図示しないNMOSトランジスタAG8、AG9、AG10、AG11およびAG12、AG13、AG14、AG15を介して、それぞれノードN3あるいはノードN4に共通に接続され、ノードN3およびノードN4は、それぞれNMOSトランジスタBG2およびBG3を介して共通ドレインとなるノードN6に接続される。さらに、図示しないNMOSトランジスタCG1を介して、データ線DLに接続され、図1に示す列選択ゲートデコーダ400を構成する。

[0078] 本発明によれば、列選択ゲートトランジスタであるNMOSトランジスタA

G0、AG1、AG2、AG3の共通ドレインおよび列選択ゲートトランジスタBG0のソースを下部拡散層により共通接続させることで、配線領域をなくし、縦方向に延在配置されたビット線と、横方向に延在配置された列選択信号により、面積が縮小された、列選択ゲートデコーダが提供できる。さらに、列選択信号の順番を入れ替えることにより、第2のメタル配線層の配線の間隔を最小にでき、最小面積の列選択ゲートデコーダが提供できる。

なお、図では、NMOSトランジスタAG0、AG1、BG0が配置される縦の列と、NMOSトランジスタAG2、AG3が配置される縦の列との間を空けて、シリサイド層203の配線抵抗をできるだけ削減し、さらに、ゲート配線容量を最小にする目的で、ゲートコンタクトをNMOSトランジスタAG0～AG3、BG0、BG1の直上に設けている。すなわち、第kのトランジスタが、第kのトランジスタのゲート電極が接続される列選択信号線と第kのビット線の交点の、メモリセル側の第1の方向の近傍に配置される。

[0079] (実施例4)

図5に別な列選択ゲートデコーダの等価回路410を示す。

YAj (j = 0 ~ 7)、YBk (k = 0 ~ 3) は列選択信号である。図11および図1の列選択ゲートデコーダと異なるところは、列選択デコーダ300cを削減して、列選択デコーダ300a、300bの割り振りを、列選択信号YAi (i = 0 ~ 7)、YBj (j = 0 ~ 1) としたことである。

列選択ゲートとなるNMOSトランジスタAG0は、ソースがビット線BL0、ゲートが列選択信号YA0を供給する配線、ドレインが共通ノードN1に接続される。

列選択ゲートとなるNMOSトランジスタAG1は、ソースがビット線BL1、ゲートが列選択信号YA1を供給する配線、ドレインが共通ノードN1に接続される。

列選択ゲートとなるNMOSトランジスタAG2は、ソースがビット線BL2、ゲートが列選択信号YA2を供給する配線、ドレインが共通ノードN1

に接続される。

列選択ゲートとなるNMOSトランジスタAG3は、ソースがビット線BL3、ゲートが列選択信号YA3を供給する配線、ドレインが共通ノードN1に接続される。

列選択ゲートとなるNMOSトランジスタAG4は、ソースがビット線BL4、ゲートが列選択信号YA4を供給する配線、ドレインが共通ノードN1に接続される。

列選択ゲートとなるNMOSトランジスタAG5は、ソースがビット線BL5、ゲートが列選択信号YA5を供給する配線、ドレインが共通ノードN1に接続される。

列選択ゲートとなるNMOSトランジスタAG6は、ソースがビット線BL6、ゲートが列選択信号YA6を供給する配線、ドレインが共通ノードN1に接続される。

列選択ゲートとなるNMOSトランジスタAG7は、ソースがビット線BL7、ゲートが列選択信号YA7を供給する配線、ドレインが共通ノードN1に接続される。

また、列選択ゲートとなるNMOSトランジスタBG0は、ソースが共通ノードN1に、ゲートが列選択信号YB0を供給する配線に、ドレインが共通ノードN3に接続される。ここで、共通ノードN3はデータ線DLとなる。

[0080] 同様に、NMOSトランジスタAG8、AG9、AG10、AG11、AG12、AG13、AG14、AG15は、ソースがそれぞれビット線BL8、BL9、BL10、BL11、BL12、BL13、BL14、BL15に、ドレインが共通ノードN2に接続され、ゲートがそれぞれ列選択信号YA0、YA1、YA2、YA3、YA4、YA5、YA6、YA7を供給する配線に接続される。また、NMOSトランジスタBG1は、ソースが共通ノードN2に、ドレインが共通ノードN3に接続され、ゲートが列選択信号YB1を供給する配線に接続される。

なお、図11のマスクROM図面では、ビット線がBL0～BL7まで記載

されているが、図1に対応する場合には、図11のメモリセルアレイを2個並べても良いし、行選択線WL0をシャントするコンタクト111Wb0、114Wb0の位置を16セル毎に変更しても良い。

[0081] 図6a、図6bおよび図6cに、実施例4を示す。図6aは、本発明の列選択ゲートデコーダのレイアウト（配置）の平面図、図6bは、図6aにおけるカットラインA-A'に沿った断面図、図6cは、図6aにおけるカットラインB-B'に沿った断面図である。、実施例1（図2）との構成の違いは、列選択信号数が増えたことである。本実施例の等価回路は、図5の回路ブロック411に従う。

図6aにおいて、図11におけるメモリセルM(0,0)~M(0,7)が、図の下部に配置され、ビット線BL0~BL7が図の縦方向に、第1のメタル配線層の配線により延在配置される。また、列選択信号YA0~YA7、YB0、YB1が第2のメタル配線層の配線により図の横方向に延在配置される。第1のメタル配線層の配線により構成されるビット線BL0~BL7と、第2のメタル配線層の配線により構成される列選択信号線YA0~YA7の交点に、列選択ゲートトランジスタAG0~AG7が配置される。

[0082] ここで、本発明の大きな特徴は、他の実施例と同様に、列選択ゲートトランジスタであるNMOSトランジスタAG0~AG7の共通ドレインとBG0のソースがそれぞれ下部拡散層により共通接続されることにより、面積縮小が達成されることである。さらに、列選択信号を供給する配線の順番を、例えば、下から順番に、YA0、YA4、YA1、YA5、YA2、YA6、YA3、YA7のように変更した。すなわち、列選択ゲートトランジスタAG0とAG1を、列選択信号YA4を挟んで配置し、列選択ゲートトランジスタAG0とAG1以外の列選択ゲートトランジスタであるAG4が、列選択ゲートトランジスタAG0とAG1の縦方向の位置の間の縦方向の位置を有するように配置する。また、列選択ゲートトランジスタAG1とAG2、AG2とAG3、AG3とBG0、AG3とAG4、AG4とAG5、AG5とAG6、AG6とAG7を、それぞれ列選択信号YA5、YA6、YA

7、Y A 1 ~ Y A 2 および Y A 5 ~ Y A 6、Y A 1、Y A 2、Y A 3 を挟んで配置し、列選択ゲートトランジスタ A G 1 と A G 2 以外の列選択ゲートトランジスタである A G 5、列選択ゲートトランジスタ A G 2 と A G 3 以外の列選択ゲートトランジスタである A G 6、列選択ゲートトランジスタ A G 3 と B G 0 以外の列選択ゲートトランジスタである A G 7、列選択ゲートトランジスタ A G 3 と A G 4 以外の列選択ゲートトランジスタである A G 1 ~ A G 2 及び A G 5 ~ A G 6、列選択ゲートトランジスタ A G 4 と A G 5 以外の列選択ゲートトランジスタである A G 1、列選択ゲートトランジスタ A G 5 と A G 6 以外の列選択ゲートトランジスタである A G 2、列選択ゲートトランジスタ A G 6 と A G 7 以外の列選択ゲートトランジスタである A G 3 が、それぞれ列選択ゲートトランジスタ A G 1 と A G 2 の縦方向の位置の間の縦方向の位置、列選択ゲートトランジスタ A G 2 と A G 3 の縦方向の位置の間の縦方向の位置、列選択ゲートトランジスタ A G 3 と B G 0 の縦方向の位置の間の縦方向の位置、列選択ゲートトランジスタ A G 3 と A G 4 の縦方向の位置の間の縦方向の位置、列選択ゲートトランジスタ A G 4 と A G 5 の縦方向の位置の間の縦方向の位置、列選択ゲートトランジスタ A G 5 と A G 6 の縦方向の位置の間の縦方向の位置、列選択ゲートトランジスタ A G 6 と A G 7 の縦方向の位置の間の縦方向の位置を有するように配置する。このように配置することにより、N M O S トランジスタの間隔に余裕ができ、列選択信号である第 2 のメタル配線層の配線が、最小間隔にて配置できることである。

なお、図 6 a、図 6 b、図 6 c において、図 2 と同じ構造の箇所については、200 番台の対応する記号で示してある。

[0083] 図 6 a、図 6 b、図 6 c において、基板上に形成された埋め込み酸化膜層 (B O X) 201 などの絶縁膜上に平面状シリコン層 202 n a が形成され、この平面状シリコン層 202 n a は不純物注入等により n + 拡散層から構成される。203 は、平面状シリコン層 (202 n a) の表面に形成されるシリサイド層である。204 p A G 0、204 p A G 1、204 p A G 2、2

04 pAG3、204 pAG4、204 pAG5、204 pAG6、204 pAG7、204 pBG0はp型シリコン柱、205はシリコン柱204 pAG0、204 pAG1、204 pAG2、204 pAG3、204 pAG4、204 pAG5、204 pAG6、204 pAG7、204 pBG0を取り囲むゲート絶縁膜、206はゲート電極、206a、206b、206c、206d、206e、206f、206g、206hおよび206iは、それぞれゲート配線である。シリコン柱204 pAG0、204 pAG1、204 pAG2、204 pAG3、204 pAG4、204 pAG5、204 pAG6、204 pAG7、204 pBG0の最上部には、それぞれn+拡散層207 nAG0、207 nAG1、207 nAG2、207 nAG3、207 nAG4、207 nAG5、207 nAG6、207 nAG7、207 nBG0が不純物注入等により形成される。208はゲート絶縁膜205を保護するためのシリコン窒化膜、209 nAG0、209 nAG1、209 nAG2、209 nAG3、209 nAG4、209 nAG5、209 nAG6、209 nAG7、209 nBG0はそれぞれn+拡散層207 nAG0、207 nAG1、207 nAG2、207 nAG3、207 nAG4、207 nAG5、207 nAG6、207 nAG7、207 nBG0に接続されるシリサイド層である。

[0084] 210 nAG0、210 nAG1、210 nAG2、210 nAG3、210 nAG4、210 nAG5、210 nAG6、210 nAG7、210 nBG0は、シリサイド層209 nAG0、209 nAG1、209 nAG2、209 nAG3、209 nAG4、209 nAG5、209 nAG6、209 nAG7、209 nBG0と第1のメタル配線層の配線113B0、113B1、113B2、113B3、113B4、113B5、113B6、113B7、213kをそれぞれ接続するコンタクト、211aはゲート配線206aと第1のメタル配線層の配線213aを接続するコンタクト、211bはゲート配線206bと第1のメタル配線層の配線213bを接続するコンタクト、211cはゲート配線206cと第1のメタル配線層の配

線 2 1 3 c を接続するコンタクト、2 1 1 d はゲート配線 2 0 6 d と第 1 のメタル配線層の配線 2 1 3 d を接続するコンタクト、2 1 1 e はゲート配線 2 0 6 e と第 1 のメタル配線層の配線 2 1 3 e を接続するコンタクト、2 1 1 f はゲート配線 2 0 6 f と第 1 のメタル配線層の配線 2 1 3 f を接続するコンタクト、2 1 1 g はゲート配線 2 0 6 g と第 1 のメタル配線層の配線 2 1 3 g を接続するコンタクト、2 1 1 h はゲート配線 2 0 6 h と第 1 のメタル配線層の配線 2 1 3 h を接続するコンタクト、2 1 1 i はゲート配線 2 0 6 i と第 1 のメタル配線層の配線 2 1 3 i を接続するコンタクトである。

[0085] また、2 1 4 a は第 1 のメタル配線層の配線 2 1 3 a と第 2 のメタル配線層の配線 2 1 5 a を接続するコンタクト、2 1 4 b は第 1 のメタル配線層の配線 2 1 3 b と第 2 のメタル配線層の配線 2 1 5 b を接続するコンタクト、2 1 4 c は第 1 のメタル配線層の配線 2 1 3 c と第 2 のメタル配線層の配線 2 1 5 c を接続するコンタクト、2 1 4 d は第 1 のメタル配線層の配線 2 1 3 d と第 2 のメタル配線層の配線 2 1 5 d を接続するコンタクト、2 1 4 e は第 1 のメタル配線層の配線 2 1 3 e と第 2 のメタル配線層の配線 2 1 5 e を接続するコンタクト、2 1 4 f は第 1 のメタル配線層の配線 2 1 3 f と第 2 のメタル配線層の配線 2 1 5 f を接続するコンタクト、2 1 4 g は第 1 のメタル配線層の配線 2 1 3 g と第 2 のメタル配線層の配線 2 1 5 g を接続するコンタクト、2 1 4 h は第 1 のメタル配線層の配線 2 1 3 h と第 2 のメタル配線層の配線 2 1 3 h を接続するコンタクト、2 1 4 i は第 1 のメタル配線層の配線 2 1 3 i と第 2 のメタル配線層の配線 2 1 5 i を接続するコンタクトである。

[0086] シリコン柱 2 0 4 p A G 0、下部拡散層 2 0 2 n a、上部拡散層 2 0 7 n A G 0、ゲート絶縁膜 2 0 5、ゲート電極 2 0 6 により、NMOS トランジスタ A G 0 を構成し、シリコン柱 2 0 4 p A G 1、下部拡散層 2 0 2 n a、上部拡散層 2 0 7 n A G 1、ゲート絶縁膜 2 0 5、ゲート電極 2 0 6 により、NMOS トランジスタ A G 1 を構成し、シリコン柱 2 0 4 p A G 2、下部拡散層 2 0 2 n a、上部拡散層 2 0 7 n A G 2、ゲート絶縁膜 2 0 5、ゲート

電極 206 により、NMOS トランジスタ AG2 を構成し、シリコン柱 204 p AG3、下部拡散層 202 na、上部拡散層 207 n AG3、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ AG3 を構成し、シリコン柱 204 p AG4、下部拡散層 202 na、上部拡散層 207 n AG4、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ AG4 を構成し、シリコン柱 204 p AG5、下部拡散層 202 na、上部拡散層 207 n AG5、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ AG5 を構成し、シリコン柱 204 p AG6、下部拡散層 202 na、上部拡散層 207 n AG6、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ AG6 を構成し、シリコン柱 204 p AG7、下部拡散層 202 na、上部拡散層 207 n AG7、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ AG7 を構成し、シリコン柱 204 p BG0、下部拡散層 202 na、上部拡散層 207 n BG0、ゲート絶縁膜 205、ゲート電極 206 により、NMOS トランジスタ BG0 を構成する。

[0087] また、NMOS トランジスタ AG0 のゲート電極 206 にはゲート配線 206 a が接続され、NMOS トランジスタ AG1 のゲート電極 206 にはゲート配線 206 b が接続され、NMOS トランジスタ AG2 のゲート電極 206 にはゲート配線 206 c が接続され、NMOS トランジスタ AG3 のゲート電極 206 にはゲート配線 206 d が接続され、NMOS トランジスタ AG4 のゲート電極 206 にはゲート配線 206 e が接続され、NMOS トランジスタ AG5 のゲート電極 206 にはゲート配線 206 f が接続され、NMOS トランジスタ AG6 のゲート電極 206 にはゲート配線 206 g が接続され、NMOS トランジスタ AG7 のゲート電極 206 にはゲート配線 206 h が接続され、NMOS トランジスタ BG0 のゲート電極 206 にはゲート配線 206 i が接続される。

[0088] 下部拡散層 202 na は、シリサイド層 203 を介して NMOS トランジスタ AG0、AG1、AG2、AG3、AG4、AG5、AG6、AG7 の共

通ドレインとなり、NMOSトランジスタBG0のソースに接続され、BG0のドレインであるn+拡散層207nBG0は、シリサイド層209nBG0およびコンタクト210nBG0を介して第1のメタル配線層の配線213kに接続される。ここで、第1のメタル配線層の配線213kはデータ線DLとなる。

[0089] NMOSトランジスタAG0のソースとなる上部拡散層207nAG0は、シリサイド層209nAG0およびコンタクト210nAG0を介して第1のメタル配線層の配線113B0と接続され、113B0はビット線BL0となる。NMOSトランジスタAG1のソースとなる上部拡散層207nAG1は、シリサイド層209nAG1およびコンタクト210nAG1を介して第1のメタル配線層の配線113B1と接続され、113B1はビット線BL1となる。NMOSトランジスタAG2のソースとなる上部拡散層207nAG2は、シリサイド層209nAG2およびコンタクト210nAG2を介して第1のメタル配線層の配線113B2と接続され、113B2はビット線BL2となる。NMOSトランジスタAG3のソースとなる上部拡散層207nAG3は、シリサイド層209nAG3およびコンタクト210nAG3を介して第1のメタル配線層の配線113B3と接続され、113B3はビット線BL3となる。NMOSトランジスタAG4のソースとなる上部拡散層207nAG4は、シリサイド層209nAG4およびコンタクト210nAG4を介して第1のメタル配線層の配線113B4と接続され、113B4はビット線BL4となる。NMOSトランジスタAG5のソースとなる上部拡散層207nAG5は、シリサイド層209nAG5およびコンタクト210nAG5を介して第1のメタル配線層の配線113B5と接続され、113B5はビット線BL5となる。NMOSトランジスタAG6のソースとなる上部拡散層207nAG6は、シリサイド層209nAG6およびコンタクト210nAG6を介して第1のメタル配線層の配線113B6と接続され、113B6はビット線BL6となる。NMOSトランジスタAG7のソースとなる上部拡散層207nAG7は、シリサイド層

209nAG7およびコンタクト210nAG7を介して第1のメタル配線層の配線113B7と接続され、113B7はビット線BL7となる。ここで、第1のメタル配線層の配線で構成されるビット線BL0、BL1、BL2、BL3、BL4、BL5、BL6、BL7は図6aにおいて縦方向に延在配置される。

[0090] 列選択信号YA0を供給する第2のメタル配線層の配線215aは、図6aの横方向に延在し、コンタクト214a、第1のメタル配線層の配線213a、コンタクト211aを介してゲート配線206aに接続され、ゲート配線206aはNMOSトランジスタAG0のゲート電極206に接続される。列選択信号YA4を供給する第2のメタル配線層の配線215eは、図6aの横方向に延在し、コンタクト214e、第1のメタル配線層の配線213e、コンタクト211eを介してゲート配線206eに接続され、ゲート配線206eはNMOSトランジスタAG4のゲート電極206に接続される。

[0091] 列選択信号YA1を供給する第2のメタル配線層の配線215bは、図6aの横方向に延在し、コンタクト214b、第1のメタル配線層の配線213b、コンタクト211bを介してゲート配線206bに接続され、ゲート配線206bはNMOSトランジスタAG1のゲート電極206に接続される。列選択信号YA5を供給する第2のメタル配線層の配線215fは、図6aの横方向に延在し、コンタクト214f、第1のメタル配線層の配線213f、コンタクト211fを介してゲート配線206fに接続され、ゲート配線206fはNMOSトランジスタAG5のゲート電極206に接続される。

[0092] 列選択信号YA2を供給する第2のメタル配線層の配線215cは、図6aの横方向に延在し、コンタクト214c、第1のメタル配線層の配線213c、コンタクト211cを介してゲート配線206cに接続され、ゲート配線206cはNMOSトランジスタAG2のゲート電極206に接続される。列選択信号YA6を供給する第2のメタル配線層の配線215gは、図6

aの横方向に延在し、コンタクト214g、第1のメタル配線層の配線213g、コンタクト211gを介してゲート配線206gに接続され、ゲート配線206gはNMOSトランジスタAG2のゲート電極206に接続される。

[0093] 列選択信号YA3を供給する第2のメタル配線層の配線215dは、図6aの横方向に延在し、コンタクト214d、第1のメタル配線層の配線213d、コンタクト211dを介してゲート配線206dに接続され、ゲート配線206dはNMOSトランジスタAG3のゲート電極206に接続される。列選択信号YA7を供給する第2のメタル配線層の配線215hは、図6aの横方向に延在し、コンタクト214h、第1のメタル配線層の配線213h、コンタクト211hを介してゲート配線206hに接続され、ゲート配線206hはNMOSトランジスタAG7のゲート電極206に接続される。

[0094] 列選択信号YB0を供給する第2のメタル配線層の配線215iは、図6aの横方向に延在し、コンタクト214i、第1のメタル配線層の配線213i、コンタクト211iを介してゲート配線206iに接続され、ゲート配線206iはNMOSトランジスタBG0のゲート電極206に接続される。ここで、第2のメタル配線層の配線215jにより供給される列選択信号YB1は、図示しない隣接したブロックに配置される列選択ゲートトランジスタBG1のゲート電極に入力される信号であり、本図では、配線のみが描かれている。

[0095] このような構成にすることにより、縦方向に延在した第1のメタル配線層の配線により構成されたビット線BL0～BL7を、横方向に延在した第2のメタル配線層の配線により構成された列選択信号AG0～AG7およびBG0を供給する配線により、選択的にデータ線DLに接続することができる。本図により、列選択ゲートデコーダ411を構成する。

なお、NMOSトランジスタBG0とBG1の共通ドレインとなる第1のメタル配線層の配線213k（データ線DL）は、図示しない個所において、

本図と同様に構成されている図示しない隣接したブロックのNMOSトランジスタBG1のドレインに接続され、図示しないNMOSトランジスタAG8、AG9、AG10、AG11、AG12、AG13、AG14、AG15を介して、図示しないビット線BL8～BL15に選択的に接続され、図5に示す列選択ゲートデコーダ410を構成する。

[0096] 本発明によれば、列選択ゲートトランジスタであるNMOSトランジスタAG0～AG7の共通ドレインおよび列選択ゲートトランジスタBG0のソースを下部拡散層により共通接続させることで、9個のトランジスタのドレインあるいはソースを接続する配線領域をなくし、縦方向に延在配置されたビット線と、横方向に延在配置された列選択信号を供給する配線を最小間隔にて配置することにより、面積が縮小された列選択ゲートデコーダが提供できる。

なお、図では、下部拡散層領域の寄生容量を最小にするために、斜めの形状にして、中を繰り抜く形状にしているが、上述したように、シリサイドの寄生抵抗を削減する目的では、広い範囲で下部拡散層を設ける設計変更は本発明の主旨の範囲である。

[0097] (実施例5)

図7に別の列選択ゲートデコーダの等価回路420を示す。

実施例1～4における列選択ゲートデコーダは、NMOSトランジスタにより構成されていたが、本実施例では、PMOSトランジスタにより構成される。本実施例も、図11の列選択デコーダ300cを削減しており、列選択信号は、 $YApj$ ($j=0\sim3$)、 $YBpk$ ($k=0\sim3$)としている。さらに、PMOSトランジスタなので、論理信号が負論理になる。すなわち、選択された信号が論理“0”、非選択の信号が論理“1”となる。これに対応して、列選択デコーダの出力論理も負論理にする必要がある。

列選択ゲートとなるPMOSトランジスタAGp0は、ドレインがビット線BL0、ゲートが列選択信号 $YAp0$ を供給する配線、ソースが共通ノードN1に接続される。

列選択ゲートとなるPMOSトランジスタAGp1は、ドレインがビット線BL1、ゲートが列選択信号YAp1を供給する配線、ソースが共通ノードN1に接続される。

列選択ゲートとなるPMOSトランジスタAGp2は、ドレインがビット線BL2、ゲートが列選択信号YAp2を供給する配線、ソースが共通ノードN1に接続される。

列選択ゲートとなるPMOSトランジスタAGp3は、ドレインがビット線BL3、ゲートが列選択信号YAp3を供給する配線、ソースが共通ノードN1に接続される。

また、列選択ゲートとなるPMOSトランジスタBGp0は、ドレインが共通ノードN1、ゲートが列選択信号YBp0を供給する配線、ソースが共通ノードN5に接続される、ここで、共通ノードN5はデータ線DLとなる。

[0098] 同様に、PMOSトランジスタAGp4、AGp5、AGp6、AGp7は、ドレインがそれぞれビット線BL4、BL5、BL6、BL7に、ソースが共通ノードN2に接続され、ゲートがそれぞれ列選択信号YAp0、YAp1、YAp2、YAp3を供給する配線に接続される。また、PMOSトランジスタBGp1は、ドレインが共通ノードN2に、ソースが共通ノードN5に接続され、ゲートが列選択信号YBp1を供給する配線に接続される。

PMOSトランジスタAGp8～AGp15、PMOSトランジスタBGp2、BGp3についても同様の接続が行われている。

なお、図12aのマスクROM図面では、ビット線がBL0～BL7まで記載されているが、ビット線が16本である図5に対応する場合には、図12aのメモリセルアレイを横に2個並べて配置すれば、ビット線16本となる。また、図12aでは、行選択線(WL0)の低抵抗化を目的として行選択線WL0を第2メタル配線層の配線(115W0)で8本置きにシャント(ショート)しているが、このシャントするコンタクト111Wb0、114Wb0の位置をビット線16本置きに変更すれば、ビット線16本のメモリ

が得られる。

[0099] 図8 a、図8 b、図8 c、図8 d、図8 eおよび図8 fに、実施例5を示す。図8 aは、本発明の列選択ゲートデコーダのレイアウト（配置）の平面図、図8 bは、図8 aにおけるカットラインA－A' に沿った断面図、図8 cは、図8 aにおけるカットラインB－B' に沿った断面図、図8 dは、図8 aにおけるカットラインC－C' に沿った断面図、図8 eは、図8 aにおけるカットラインD－D' に沿った断面図、図8 fは、図8 aにおけるカットラインE－E' に沿った断面図を示す。本実施例の等価回路は、図5の回路ブロック4 2 1に従う。図8 aにおいて、図1 1におけるメモリセルM（0，0）～M（0，7）が、図の下部に配置され、ビット線BL 0～BL 7が図の縦方向に、第1のメタル配線層の配線により延在配置される。

[0100] 列選択信号YA p 0～YA p 3、YB p 0、YB p 1が第2のメタル配線層の配線により図8 aの横方向に延在配置される。

第1のメタル配線層の配線により構成されるビット線BL 0～BL 7と、第2のメタル配線層の配線により構成される列選択信号YA p 0～YA p 3を供給する配線の交点に、列選択ゲートトランジスタAG p 0～AG p 7が配置される。

ここで、本発明の大きな特徴は、他の実施例と同様に、列選択ゲートトランジスタであるPMOSトランジスタAG p 0、AG p 1、AG p 2、AG p 3の共通ソースとBG p 0のドレイン、およびAG p 4、AG p 5、AG p 6、AG p 7の共通ソースとBG 1のドレインがそれぞれ下部拡散層により共通接続されることにより、面積縮小が達成されることである。

なお、図8 a、図8 b、図8 c、図8 d、図8 eおよび図8 fにおいて、図2 a、図2 b、図2 c、図2 d、図2 eおよび図2 fと同じ構造の箇所については、2 0 0番台の対応する記号で示してある。

[0101] 図8 a、図8 b、図8 c、図8 d、図8 eおよび図8 fにおいて、基板上に形成された埋め込み酸化膜層（BOX）2 0 1などの絶縁膜上に平面状シリコン層2 0 2 p a、2 0 2 p bが形成され、この平面状シリコン層2 0 2 p

a、202pbは不純物注入等により、それぞれp+拡散層から構成される。203は、平面状シリコン層(202pa、202pb)の表面に形成されるシリサイド層である。204nAG0、204nAG1、204nAG2、204nAG3、204nAG4、204nAG5、204nAG6、204nAG7、204nBG0、204nBG1はn型シリコン柱、205はシリコン柱204nAG0、204nAG1、204nAG2、204nAG3、204nAG4、204nAG5、204nAG6、204nAG7、204nBG0、204nBG1を取り囲むゲート絶縁膜、206はゲート電極、206a、206b、206c、206d、206e、206f、206g、206h、206iおよび206jは、それぞれゲート配線である。シリコン柱204nAG0、204nAG1、204nAG2、204nAG3、204nAG4、204nAG5、204nAG6、204nAG7、204nBG0、204nBG1の最上部には、それぞれp+拡散層207pAG0、207pAG1、207pAG2、207pAG3、207pAG4、207pAG5、207pAG6、207pAG7、207pBG0、207pBG1が不純物注入等により形成される。208はゲート絶縁膜205を保護するためのシリコン窒化膜、209pAG0、209pAG1、209pAG2、209pAG3、209pAG4、209pAG5、209pAG6、209pAG7、209pBG0、209pBG1はそれぞれp+拡散層207pAG0、207pAG1、207pAG2、207pAG3、207pAG4、207pAG5、207pAG6、207pAG7、207pBG0、207pBG1に接続されるシリサイド層である。

[0102] 210pAG0、210pAG1、210pAG2、210pAG3、210pAG4、210pAG5、210pAG6、210pAG7、210pBG0、210pBG1は、シリサイド層209pAG0、209pAG1、209pAG2、209pAG3、209pAG4、209pAG5、209pAG6、209pAG7、209pBG0、209pBG1と第1の

メタル配線層の配線 1 1 3 B 0、1 1 3 B 1、1 1 3 B 2、1 1 3 B 3、1 1 3 B 4、1 1 3 B 5、1 1 3 B 6、1 1 3 B 7、2 1 3 k、2 1 3 k をそれぞれ接続するコンタクト、2 1 1 a はゲート配線 2 0 6 a と第 1 のメタル配線層の配線 2 1 3 a を接続するコンタクト、2 1 1 b はゲート配線 2 0 6 b と第 1 のメタル配線層の配線 2 1 3 b を接続するコンタクト、2 1 1 c はゲート配線 2 0 6 c と第 1 のメタル配線層の配線 2 1 3 c を接続するコンタクト、2 1 1 d はゲート配線 2 0 6 d と第 1 のメタル配線層の配線 2 1 3 d を接続するコンタクト、2 1 1 e はゲート配線 2 0 6 e と第 1 のメタル配線層の配線 2 1 3 e を接続するコンタクト、2 1 1 f はゲート配線 2 0 6 f と第 1 のメタル配線層の配線 2 1 3 f を接続するコンタクト、2 1 1 g はゲート配線 2 0 6 g と第 1 のメタル配線層の配線 2 1 3 g を接続するコンタクト、2 1 1 h はゲート配線 2 0 6 h と第 1 のメタル配線層の配線 2 1 3 h を接続するコンタクト、2 1 1 i はゲート配線 2 0 6 i と第 1 のメタル配線層の配線 2 1 3 i を接続するコンタクト、2 1 1 j はゲート配線 2 0 6 j と第 1 のメタル配線層の配線 2 1 3 j を接続するコンタクトである。

[0103] また、2 1 4 a は第 1 のメタル配線層の配線 2 1 3 a と第 2 のメタル配線層の配線 2 1 5 a を接続するコンタクト、2 1 4 b は第 1 のメタル配線層の配線 2 1 3 b と第 2 のメタル配線層の配線 2 1 5 b を接続するコンタクト、2 1 4 c は第 1 のメタル配線層の配線 2 1 3 c と第 2 のメタル配線層の配線 2 1 5 c を接続するコンタクト、2 1 4 d は第 1 のメタル配線層の配線 2 1 3 d と第 2 のメタル配線層の配線 2 1 5 d を接続するコンタクト、2 1 4 e は第 1 のメタル配線層の配線 2 1 3 e と第 2 のメタル配線層の配線 2 1 5 a を接続するコンタクト、2 1 4 f は第 1 のメタル配線層の配線 2 1 3 f と第 2 のメタル配線層の配線 2 1 5 b を接続するコンタクト、2 1 4 g は第 1 のメタル配線層の配線 2 1 3 g と第 2 のメタル配線層の配線 2 1 5 c を接続するコンタクト、2 1 4 h は第 1 のメタル配線層の配線 2 1 3 h と第 2 のメタル配線層の配線 2 1 3 d を接続するコンタクト、2 1 4 i は第 1 のメタル配線層の配線 2 1 3 i と第 2 のメタル配線層の配線 2 1 5 e を接続するコンタ

クト、214jは第1のメタル配線層の配線213jと第2のメタル配線層の配線215fを接続するコンタクトである。

- [0104] シリコン柱204nAG0、下部拡散層202pa、上部拡散層207pAG0、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタAGp0を構成し、シリコン柱204nAG1、下部拡散層202pa、上部拡散層207pAG1、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタAGp1を構成し、シリコン柱204nAG2、下部拡散層202pa、上部拡散層207pAG2、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタAGp2を構成し、シリコン柱204nAG3、下部拡散層202pa、上部拡散層207pAG3、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタAGp3を構成し、シリコン柱204nAG4、下部拡散層202pb、上部拡散層207pAG4、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタAGp4を構成し、シリコン柱204nAG5、下部拡散層202pb、上部拡散層207pAG5、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタAGp5を構成し、シリコン柱204nAG6、下部拡散層202pb、上部拡散層207pAG6、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタAGp6を構成し、シリコン柱204nAG7、下部拡散層202pb、上部拡散層207pAG7、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタAGp7を構成し、シリコン柱204nBG0、下部拡散層202pa、上部拡散層207pBG0、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタBGp0を構成し、シリコン柱204nBG1、下部拡散層202pb、上部拡散層207pBG1、ゲート絶縁膜205、ゲート電極206により、PMOSトランジスタBGp1を構成する。
- [0105] また、PMOSトランジスタAGp0のゲート電極206にはゲート配線206aが接続され、PMOSトランジスタAGp1のゲート電極206にはゲート配線206bが接続され、PMOSトランジスタAGp2のゲート電

極 206 にはゲート配線 206 c が接続され、PMOS トランジスタ AGp 3 のゲート電極 206 にはゲート配線 206 d が接続され、PMOS トランジスタ AGp 4 のゲート電極 206 にはゲート配線 206 e が接続され、PMOS トランジスタ AGp 5 のゲート電極 206 にはゲート配線 206 f が接続され、PMOS トランジスタ AGp 6 のゲート電極 206 にはゲート配線 206 g が接続され、PMOS トランジスタ AGp 7 のゲート電極 206 にはゲート配線 206 h が接続され、PMOS トランジスタ BGp 0 のゲート電極 206 にはゲート配線 206 i が接続され、PMOS トランジスタ BGp 1 のゲート電極 206 にはゲート配線 206 j が接続される。

[0106] 下部拡散層 202 p a は、シリサイド層 203 を介して PMOS トランジスタ AGp 0、AGp 1、AGp 2、AGp 3 の共通ソースとなり、PMOS トランジスタ BGp 0 のドレインに接続され、BGp 0 のソースである p+ 拡散層 207 p BG0 は、シリサイド層 209 p BG0 およびコンタクト 210 p BG0 を介して第 1 のメタル配線層の配線 213 k に接続される。ここで、第 1 のメタル配線層の配線 213 k はデータ線 DL となる。同様に、下部拡散層 202 p b は、シリサイド層 203 を介して PMOS トランジスタ AGp 4、AGp 5、AGp 6、AGp 7 の共通ソースとなり、PMOS トランジスタ BGp 1 のドレインに接続され、BGp 1 のソースである p+ 拡散層 207 p BG1 は、シリサイド層 209 p BG1 およびコンタクト 210 p BG1 を介して第 1 のメタル配線層の配線 213 k に接続される。ここで、PMOS トランジスタ BGp 0 と BGp 1 のソースは、共通に、データ線 DL に接続される。

[0107] PMOS トランジスタ AGp 0 のドレインとなる上部拡散層 207 p AG0 は、シリサイド層 209 p AG0 およびコンタクト 210 p AG0 を介して第 1 のメタル配線層の配線 113 B0 と接続され、113 B0 はビット線 BL0 となる。PMOS トランジスタ AGp 1 のドレインとなる上部拡散層 207 p AG1 は、シリサイド層 209 p AG1 およびコンタクト 210 p AG1 を介して第 1 のメタル配線層の配線 113 B1 と接続され、113 B1

はビット線BL 1となる。PMOSトランジスタAG p 2のドレインとなる上部拡散層207 p AG 2は、シリサイド層209 p AG 2およびコンタクト210 p AG 2を介して第1のメタル配線層の配線113 B 2と接続され、113 B 2はビット線BL 2となる。PMOSトランジスタAG p 3のドレインとなる上部拡散層207 p AG 3は、シリサイド層209 p AG 3およびコンタクト210 p AG 3を介して第1のメタル配線層の配線113 B 3と接続され、113 B 3はビット線BL 3となる。PMOSトランジスタAG p 4のドレインとなる上部拡散層207 p AG 4は、シリサイド層209 p AG 4およびコンタクト210 p AG 4を介して第1のメタル配線層の配線113 B 4と接続され、113 B 4はビット線BL 4となる。PMOSトランジスタAG p 5のソースとなる上部拡散層207 p AG 5は、シリサイド層209 p AG 5およびコンタクト210 p AG 5を介して第1のメタル配線層の配線113 B 5と接続され、113 B 5はビット線BL 5となる。PMOSトランジスタAG p 6のドレインとなる上部拡散層207 p AG 6は、シリサイド層209 p AG 6およびコンタクト210 p AG 6を介して第1のメタル配線層の配線113 B 6と接続され、113 B 6はビット線BL 6となる。PMOSトランジスタAG p 7のドレインとなる上部拡散層207 p AG 7は、シリサイド層209 p AG 7およびコンタクト210 p AG 7を介して第1のメタル配線層の配線113 B 7と接続され、113 B 7はビット線BL 7となる。ここで、第1のメタル配線層の配線で構成されるビット線BL 0、BL 1、BL 2、BL 3、BL 4、BL 5、BL 6、BL 7は図8 aにおいて縦方向に延在配置される。

[0108] 列選択信号YA p 0を供給する第2のメタル配線層の配線215 aは、図8 aの横方向に延在し、コンタクト214 a、第1のメタル配線層の配線213 a、コンタクト211 aを介してゲート配線206 aに接続され、ゲート配線206 aはPMOSトランジスタAG p 0のゲート電極206に接続される。さらに、第2のメタル配線層の配線215 aは、コンタクト214 e、第1のメタル配線層の配線213 e、コンタクト211 eを介してゲート

配線 206 e に接続され、ゲート配線 206 e は NMOS トランジスタ AG 4 のゲート電極 206 に接続される。

列選択信号 YAp1 を供給する第 2 のメタル配線層の配線 215 b は、図 8 a の横方向に延在し、コンタクト 214 b、第 1 のメタル配線層の配線 213 b、コンタクト 211 b を介してゲート配線 206 b に接続され、ゲート配線 206 b は PMOS トランジスタ AGp1 のゲート電極 206 に接続される。さらに、第 2 のメタル配線層の配線 215 b は、コンタクト 214 f、第 1 のメタル配線層の配線 213 f、コンタクト 211 f を介してゲート配線 206 f に接続され、ゲート配線 206 f は PMOS トランジスタ AGp5 のゲート電極 206 に接続される。

列選択信号 YAp2 を供給する第 2 のメタル配線層の配線 215 c は、図 8 a の横方向に延在し、コンタクト 214 c、第 1 のメタル配線層の配線 213 c、コンタクト 211 c を介してゲート配線 206 c に接続され、ゲート配線 206 c は PMOS トランジスタ AGp2 のゲート電極 206 に接続される。さらに、第 2 のメタル配線層の配線 215 c は、コンタクト 214 g、第 1 のメタル配線層の配線 213 g、コンタクト 211 g を介してゲート配線 206 g に接続され、ゲート配線 206 g は PMOS トランジスタ AGp6 のゲート電極 206 に接続される。

列選択信号 YAp3 を供給する第 2 のメタル配線層の配線 215 d は、図 8 a の横方向に延在し、コンタクト 214 d、第 1 のメタル配線層の配線 213 d、コンタクト 211 d を介してゲート配線 206 d に接続され、ゲート配線 206 d は PMOS トランジスタ AGp3 のゲート電極 206 に接続される。さらに、第 2 のメタル配線層の配線 215 d は、コンタクト 214 h、第 1 のメタル配線層の配線 213 h、コンタクト 211 h を介してゲート配線 206 h に接続され、ゲート配線 206 h は PMOS トランジスタ AGp7 のゲート電極 206 に接続される。

[0109] 列選択信号 YBp0 を供給する第 2 のメタル配線層の配線 215 e は、図 8 a の横方向に延在し、コンタクト 214 i、第 1 のメタル配線層の配線 21

3 i、コンタクト2 1 1 iを介してゲート配線2 0 6 iに接続され、ゲート配線2 0 6 iはPMOSトランジスタBG p 0のゲート電極2 0 6に接続される。列選択信号Y B p 1を供給する第2のメタル配線層の配線2 1 5 fは、図8 aの横方向に延在し、コンタクト2 1 4 j、第1のメタル配線層の配線2 1 3 j、コンタクト2 1 1 jを介してゲート配線2 0 6 jに接続され、ゲート配線2 0 6 jはPMOSトランジスタBG p 1のゲート電極2 0 6に接続される。

[0110] このような構成にすることにより、縦方向に延在した第1のメタル配線層の配線により構成されたビット線BL 0～BL 7を、横方向に延在した第2のメタル配線層の配線により構成された列選択信号AG p 0～AG p 3およびBG p 0、BG p 1により、選択的にデータ線DLに接続することができる。本図により、列選択ゲートデコーダ4 2 1を構成する。

なお、PMOSトランジスタBG p 0とBG p 1の共通ソースとなる第1のメタル配線層の配線2 1 3 k（データ線DL）は、図8 aの右に延在して、本図と同様に構成されている図示しない隣接したブロックのPMOSトランジスタBG p 2およびBG p 3のソースに接続され、図示しないPMOSトランジスタAG p 8、AG p 9、AG p 1 0、AG p 1 1、AG p 1 2、AG p 1 3、AG p 1 4、AG p 1 5を介して、図示しないビット線BL 8～BL 1 5に選択的に接続され、図7に示す列選択ゲートデコーダ4 2 0を構成する。

[0111] 本発明によれば、列選択ゲートトランジスタであるPMOSトランジスタAG p 0、AG p 1、AG p 2、AG p 3の共通ソースおよび列選択ゲートトランジスタBG p 0のドレインを下部拡散層により共通接続させることで、配線領域をなくし、縦方向に延在配置されたビット線と、横方向に延在配置された列選択信号により、面積が縮小された、列選択ゲートデコーダが提供できる。

なお、図では、配置の効率を図り、トランジスタを斜めに配置して、下部拡散層領域を斜めに設けているが、これは、列選択ゲートトランジスタの配置

間隔を縮小して、列選択信号の配置間隔をできるだけ小さくするためである。すなわち、例として、PMOSトランジスタAGp0とAGp1のトランジスタ間隔を最小にして、列選択信号YAp0とYAp1の間隔を小さくするために、PMOSトランジスタAGp1を右にずらしてある。他のトランジスタも同様である。本実施例では、下部拡散層領域の面積を最小にして、寄生の拡散容量を最小にするために、斜めの細長い形状にしてあるが、例えば、シリサイド層の抵抗を小さくしたい場合には、拡散領域の幅を太くする等変更は可能であり、この下部拡散層領域の形状は、本実施例にとらわれず、目的に応じて最適形状にすることができる。

なお、ビット線およびデータ線の動作点を低い電位に設定する場合に、NMOSトランジスタ構成の列選択ゲートデコーダが適しており、逆に、動作点を高く設定する場合には、PMOSトランジスタによる列選択ゲートデコーダが好ましい。

[0112] 実施例2、3では、第1～第nのトランジスタのうち、第1～第nの入力／出力線のうちの隣接する第2h-1（hは自然数）の入力／出力線と第2hの入力／出力線に対応する第2h-1のトランジスタと第2hのトランジスタが、第1の方向に、複数の選択信号線のうちの1つを挟んで配置され、第1～第nのトランジスタのうちの、第2h-1のトランジスタと第2hのトランジスタ以外のトランジスタの1つが、該第2h-1のトランジスタの第1の方向の位置と該第2hのトランジスタの第1の方向の位置との間の第1の方向の位置を有するように配置されることによって、複数の選択信号線の間隔を最小にでき、最小面積の列選択ゲートデコーダを提供することができた。ここで、複数の選択信号線の間隔を小さくするために、第2h-1のトランジスタと第2hのトランジスタに挟まれる選択信号線の本数は2本以上とすることができ、また第2h-1のトランジスタの第1の方向の位置と第2hのトランジスタの第1の方向の位置との間の第1の方向の位置を有する第2h-1と第2hのトランジスタ以外のトランジスタの個数も2つ以上とすることができることは、当業者に明らかであろう。

[0113] 実施例 5 では、第 k のトランジスタと第 $k + 1$ のトランジスタが、複数の選択信号線のうちの 1 つを挟んで配置され、第 1 ～第 n のトランジスタのうちの、第 k のトランジスタと第 $k + 1$ のトランジスタ以外のトランジスタの 1 つが、該第 k のトランジスタの第 1 の方向の位置と該第 $k + 1$ のトランジスタの第 1 の方向の位置との間の第 1 の方向の位置を有するように配置されることによって、複数の選択信号線の間隔を最小にでき、最小面積の列選択ゲートデコーダを提供することができた。ここで、複数の選択信号線の間隔を小さくするために、第 k のトランジスタと第 $k + 1$ のトランジスタに挟まれる選択信号線の本数は 2 本以上とすることができ、また第 k のトランジスタの第 1 の方向の位置と第 $k + 1$ のトランジスタの第 1 の方向の位置との間の第 1 の方向の位置を有する第 k と第 $k + 1$ のトランジスタ以外のトランジスタの個数も 2 つ以上とすることができることは、当業者に明らかであろう。

[0114] 実施例 2、3、5 では、第 1 の複数の選択信号線のうちの 1 つを挟んで配置される、第 $j - n$ の群のトランジスタのうちの第 k のトランジスタと第 $k + 1$ のトランジスタ、および該第 k のトランジスタの第 1 の方向の位置と該第 $k + 1$ のトランジスタの第 1 の方向の位置との間の第 1 の方向の位置を有する第 $j - n$ の群のトランジスタのうちの 1 つのトランジスタの組が複数存在し、第 $j - n$ の群のトランジスタの各々が、該トランジスタの組のうちの 1 つの組を構成するトランジスタに少なくとも該当するように配置されることによって、第 1 の複数の選択信号線の間隔を最小にでき、最小面積の列選択ゲートデコーダを提供することができた。ここで、第 1 の複数の選択信号線の間隔を小さくするために、該第 k のトランジスタと第 $k + 1$ のトランジスタに挟まれる第 1 の複数の選択信号線の本数は 2 本以上とすることができ、また該トランジスタの組を構成する第 k と第 $k + 1$ 以外のトランジスタの個数も 2 つ以上とすることができることは、当業者に明らかであろう。

[0115] なお、実施例は全て、BOX 構造を採用して説明したが、通常の CMOS 構造でも本実施例を容易に実現でき、BOX 構造に限定するものではない。

また、実施例のメモリはマスク ROM を用いて説明したが、ブラッシュメモ

りのように、1トランジスタでメモリが構成でき、ビット線のメタル配線間隔が最小間隔で決まるような、微細化されたメモリには、本発明が適応できる。なお、フラッシュメモリのように高電圧を必要とする場合には、デコーダを構成するトランジスタは、酸化膜を厚くする等、高耐压用のトランジスタを用いても良い。

[0116] さらに、本実施例では、複数のビット線を列選択信号により1つのビット線を選択する、列選択ゲートデコーダについて説明したが、この考えは、ビット線でなく、複数の入力信号あるいは出力信号を選択的に転送するトランスファ回路のデコーダにも応用できる。

本実施例の説明では、便宜上、PMOSトランジスタのシリコン柱はn型シリコン、NMOSシリコン柱はp型シリコン層と定義したが、微細化されたプロセスでは、不純物注入による濃度の制御が困難となるため、PMOSトランジスタもNMOSトランジスタも、シリコン柱は不純物注入を行わない、いわゆる中性（イントリンジック：Intrinsic）な半導体を用い、チャネルの制御、すなわちPMOS、NMOSの閾値は、金属ゲート材固有のワークファンクション（Work Function）の差を利用する場合もある。

[0117] また、本実施例では、下部拡散層あるいは上部拡散層をシリサイド層で覆うようにしたが、低抵抗にするためにシリサイドを採用したものであり、他の低抵抗な材料でもかまわない。金属化合物の総称としてシリサイドと定義をしている。

本発明の本質は、メモリセルを構成する選択トランジスタのソースあるいはドレインを、SGTの特徴であるところの、下部拡散層を介して共通に接続することにより、配線領域を省略することにより、面積の縮小された列選択ゲートデコーダを提供できる。本発明の配置方法に従った場合において、ゲート配線の配線方法、配線位置、メタル配線の配線方法および配線位置等は本実施例の図面に示したものの以外のものも、本発明の技術的範囲に属するものである。

符号の説明

[0118] BL 0、BL 1、BL 2、BL 3、BL 4、BL 5、BL 6、BL 7 : ビット線

YA 0、YA 1、YA 2、YA 3、YA 4、YA 5、YA 6、YA 7、YB 0、YB 1、YB 2、YB 3、YC 0、YC 1 : 列選択信号

AG 0、AG 1、AG 2、AG 3、AG 4、AG 5、AG 6、AG 7、BG 0、BG 1、BG 2、BG 3、CG 0、CG 1 : NMOSトランジスタ

AGp 0、AGp 1、AGp 2、AGp 3、AGp 4、AGp 5、AGp 6、AGp 7、BGp 0、BGp 1、BGp 2、BGp 3 : PMOSトランジスタ

DL : データ線

201 : 埋め込み酸化膜層

202na、202nb、202pa、202pb : 平面状シリコン層

203 : シリサイド層

204pAG 0、204pAG 1、204pAG 2、204pAG 3、204pAG 4、204pAG 5、204pAG 6、204pAG 7、204pBG 0、204pBG 1 : p型シリコン柱

204nAG 0、204nAG 1、204nAG 2、204nAG 3、204nAG 4、204nAG 5、204nAG 6、204nAG 7、204nBG 0、204nBG 1 : n型シリコン柱

205 : ゲート絶縁膜

206 : ゲート電極

206a、206b、206c、206d、206e、206f、206g、206h、206i、206j : ゲート配線

207nAG 0、207nAG 1、207nAG 2、207nAG 3、207nAG 4、207nAG 5、207nAG 6、207nAG 7、207nBG 0、207nBG 1 : n+拡散層

207pAG 0、207pAG 1、207pAG 2、207pAG 3、20

7 pAG4、207 pAG5、207 pAG6、207 pAG7、207 pBG0、207 pBG1 : p+拡散層

208 : シリコン窒化膜

209 nAG0、209 nAG1、209 nAG2、209 nAG3、209 nAG4、209 nAG5、209 nAG6、209 nAG7、209 nBG0、209 nBG1、209 pAG0、209 pAG1、209 pAG2、209 pAG3、209 pAG4、209 pAG5、209 pAG6、209 pAG7、209 pBG0、209 pBG1 : シリサイド層

210 nAG0、210 nAG1、210 nAG2、210 nAG3、210 nAG4、210 nAG5、210 nAG6、210 nAG7、210 nBG0、210 nBG1、210 pAG0、210 pAG1、210 pAG2、210 pAG3、210 pAG4、210 pAG5、210 pAG6、210 pAG7、210 pBG0、210 pBG1 : コンタクト

211 a、211 b、211 c、211 d、211 e、211 f、211 g、211 h、211 i、211 j : コンタクト

113 B0、113 B1、113 B2、113 B4、113 B5、113 B6、113 B7 : 第1のメタル配線層の配線

213 a、213 b、213 c、213 d、213 e、213 f、213 g、213 h、213 i、213 j、213 k : 第1のメタル配線層の配線

214 a、214 b、214 c、214 d、214 e、214 f、214 g、214 h、214 i、214 j : コンタクト

215 a、215 b、215 c、215 d、215 e、215 f、215 g、215 h、215 i、215 j : 第2のメタル配線層の配線

請求の範囲

- [請求項1] ソース、ドレインおよびゲートが、基板と垂直な方向に階層的に配置される複数のトランジスタを、基板上に配列することによりデコーダ回路を構成する半導体装置であって、
- 前記複数のトランジスタの各々は、
- シリコン柱と、
- 前記シリコン柱の側面を取り囲む絶縁体と、
- 前記絶縁体を囲むゲートと、
- 前記シリコン柱の上部または下部に配置されるソース領域と、
- 前記シリコン柱の上部または下部に配置されるドレイン領域であって、前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、
- 前記デコーダ回路は、少なくとも、
- 第1～第 n （ n は自然数）の入力／出力信号線と、
- 複数の選択信号線と、
- 第1～第 i （ i は自然数）の群からなる第1～第 n の前記トランジスタを具備し、第 k （ $k=1\sim n$ ）の入力／出力信号線は、第 k のトランジスタのソース領域およびドレイン領域のうちの一方に接続され、
- 前記第 k のトランジスタのゲート電極は、前記複数の選択信号線のうちの1つに接続され、
- 前記第1～第 n のトランジスタのうちの第 i の群のトランジスタのドレイン領域およびソース領域のうちの他方は、前記シリコン柱の下部に配置され、前記シリコン柱より基板側に配置されたシリサイド層を介して共通接続されたことを特徴とする半導体装置。
- [請求項2] 前記第1～第 n の入力／出力線は、少なくとも部分的に第1の方向に延在し、順に前記第1の方向と直交する第2の方向に配置され、
- 前記複数の選択信号線は、少なくとも部分的に前記第2の方向に延

在し、

前記第 1 ～第 n のトランジスタは、前記第 1 ～第 n の入力／出力線と前記複数の選択信号線の交点に配置されることを特徴とする請求項 1 に記載の半導体装置。

[請求項3] 前記第 1 ～第 n のうちの第 i の群のトランジスタは、番号の小さい順に前記第 2 の方向に対して斜めの方向に配置されることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

[請求項4] 前記第 1 ～第 n の入力／出力線は、少なくとも部分的に第 1 の方向に延在し、順に前記第 1 の方向と直交する第 2 の方向に配置され、

前記複数の選択信号線は、少なくとも部分的に前記第 2 の方向に延在し、

前記第 1 ～第 n のトランジスタのうち、前記第 1 ～第 n の入力／出力線のうちの隣接する第 $2h-1$ (h は自然数) の入力／出力線と第 $2h$ の入力／出力線に対応する第 $2h-1$ のトランジスタと第 $2h$ のトランジスタは、前記第 1 の方向に、前記複数の選択信号線のうちの少なくとも 1 つを挟んで配置され、

前記第 1 ～第 n のトランジスタのうちの、前記第 $2h-1$ のトランジスタと前記第 $2h$ のトランジスタ以外のトランジスタの少なくとも 1 つは、該第 $2h-1$ のトランジスタの前記第 1 の方向の位置と該第 $2h$ のトランジスタの前記第 1 の方向の位置との間の前記第 1 の方向の位置を有することを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

[請求項5] 前記第 k のトランジスタは、該第 k のトランジスタのゲート電極が接続される選択信号線と前記第 k の入力／出力線の交点の前記第 1 の方向の近傍に配置されることを特徴とする請求項 4 に記載の半導体装置。

[請求項6] 前記第 1 ～第 n の入力／出力線は、少なくとも部分的に第 1 の方向に延在し、順に前記第 1 の方向と直交する第 2 の方向に配置され、

前記複数の選択信号線は、少なくとも部分的に前記第2の方向に延在し、

前記第 k のトランジスタと第 $k+1$ のトランジスタは、前記複数の選択信号線のうちの少なくとも1つを挟んで配置され、

前記第1～第 n のトランジスタのうちの、前記第 k のトランジスタと前記第 $k+1$ のトランジスタ以外のトランジスタの少なくとも1つは、該第 k のトランジスタの前記第1の方向の位置と該第 $k+1$ のトランジスタの前記第1の方向の位置との間の前記第1の方向の位置を有することを特徴とする請求項1または請求項2に記載の半導体装置。

[請求項7] 前記デコーダ回路は、メモリセルがマトリックス状に配置されたメモリアレイのための列選択ゲートデコーダ回路であり、

前記第1～第 n の入力／出力信号線はビット線であり、

前記複数の選択信号線は列選択信号線であり、

前記第1～第 n のトランジスタは列選択ゲートトランジスタであることを特徴とする請求項1～請求項6のいずれか一項に記載の半導体装置。

[請求項8] 前記第1～第 n のトランジスタは、 N チャネルMOSトランジスタであることを特徴とする請求項1～請求項7のいずれか一項に記載の半導体装置。

[請求項9] 前記第1～第 n のトランジスタは、 P チャネルMOSトランジスタであることを特徴とする請求項1～請求項7のいずれか一項に記載の半導体装置。

[請求項10] ソース、ドレインおよびゲートが、基板と垂直な方向に階層的に配置される複数のトランジスタを、基板上に配列することによりデコーダ回路を構成する半導体装置であって、

前記複数のトランジスタの各々は、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、
前記絶縁体を囲むゲートと、
前記シリコン柱の上部または下部に配置されるソース領域と、
前記シリコン柱の上部または下部に配置されるドレイン領域であ
って、前記シリコン柱に対して前記ソース領域と反対側に配置される
ドレイン領域とを備え、

前記デコーダ回路は、少なくとも、
第 1 ～ 第 n の入力／出力信号線と、
第 1 の複数の選択信号線と、
第 2 の複数の選択信号線と、
第 1 ～ 第 n のトランジスタと、
第 $n + 1$ ～ 第 $n + m$ のトランジスタと

を具備し、

第 k ($k = 1 \sim n$) の入力／出力信号線は、第 k のトランジスタの
ソース領域およびドレイン領域のうち的一方に接続され、

第 j ($j = n + 1 \sim n + m$) のトランジスタのソース領域およびド
レイン領域のうち他方は、前記第 1 ～ 第 n のトランジスタのうちの
第 $j - n$ の群のトランジスタのソース領域およびドレイン領域のうち
の他方と接続され、

前記第 k のトランジスタのゲート電極は、前記第 1 の複数の選択信
号線のうちの 1 つに接続され、

前記第 j のトランジスタのゲート電極は、前記第 2 の複数の選択信
号線のうちの 1 つに接続され、

前記第 $j - n$ の群のトランジスタおよび前記第 j のトランジスタの
ドレイン領域およびソース領域のうち他方は、前記シリコン柱の下
部に配置され、前記シリコン柱より基板側に配置されたシリサイド層
を介して共通接続され、

前記第 $n + 1$ ～ 第 $n + m$ のトランジスタのドレイン領域およびソー

ス領域のうちの一方は、共通に接続されたことを特徴とする半導体装置。

[請求項11] 前記第1～第nの入力／出力線は、少なくとも部分的に第1の方向に延在し、順に前記第1の方向と直交する第2の方向に配置され、

前記第1および第2の複数の選択信号線は、少なくとも部分的に前記第2の方向に延在し、

前記第1～第nのトランジスタは、前記第1～第nの入力／出力線と前記第1の複数の選択信号線の交点に配置されることを特徴とする請求項10に記載の半導体装置。

[請求項12] 前記第j～nの群のトランジスタおよび前記第jのトランジスタは、順にかつ前記第j～nの群のトランジスタについては番号の小さい順に前記第2の方向に対して斜めに配置されることを特徴とする請求項10または請求項11に記載の半導体装置。

[請求項13] 前記第1～第nの入力／出力線は、少なくとも部分的に第1の方向に延在し、順に前記第1の方向と直交する第2の方向に配置され、

前記第1および第2の複数の選択信号線は、少なくとも部分的に前記第2の方向に延在し、

前記第1の複数の選択信号線のうちの少なくとも1つを挟んで配置される、前記第j～nの群のトランジスタのうちの前記第kのトランジスタと第k+1のトランジスタ、および該第kのトランジスタの前記第1の方向の位置と該第k+1のトランジスタの前記第1の方向の位置との間の前記第1の方向の位置を有する前記第j～nの群のトランジスタのうちの他の少なくとも1つのトランジスタの組が少なくとも1つ存在し、前記第j～nの群のトランジスタの各々は、該少なくとも1つのトランジスタの組のうちの1つの組を構成するトランジスタに少なくとも該当するように配置されることを特徴とする請求項10または請求項11に記載の半導体装置。

[請求項14] 前記デコーダ回路は、メモリセルがマトリックス状に配置されたメ

モリアレイのための列選択ゲートデコーダ回路であり、

前記第1～第nの入力／出力信号線はビット線であり、

前記第1および第2の複数の選択信号線は列選択信号線であり、

前記第1～第n+mのトランジスタは列選択ゲートトランジスタであることを特徴とする請求項10～請求項13のいずれか一項に記載の半導体装置。

[請求項15]

前記第1～第nの入力／出力線は、少なくとも部分的に第1の方向に延在し、順に前記第1の方向と直交する第2の方向に配置され、

前記第1および第2の複数の選択信号線は、少なくとも部分的に前記第2の方向に延在し、

前記第1の複数の選択信号線のうちの少なくとも1つを挟んで配置される、前記第j-nの群のトランジスタのうちの前記第kのトランジスタと第k+1のトランジスタ、および該第kのトランジスタの前記第1の方向の位置と該第k+1のトランジスタの前記第1の方向の位置との間の前記第1の方向の位置を有する前記第j-nの群のトランジスタのうちの他の1つのトランジスタの組が少なくとも1つ存在し、前記第j-nの群のトランジスタの各々は、該少なくとも1つのトランジスタの組のうちの1つの組を構成するトランジスタに少なくとも該当するように配置され、

前記第kのトランジスタは、該第kのトランジスタのゲート電極が接続される前記第1の複数の選択信号線のうちの1つと第kのビット線の交点の、前記メモリセル側の前記第1の方向の近傍に配置され、

前記デコーダ回路は、メモリセルがマトリックス状に配置されたモリアレイのための列選択ゲートデコーダ回路であり、

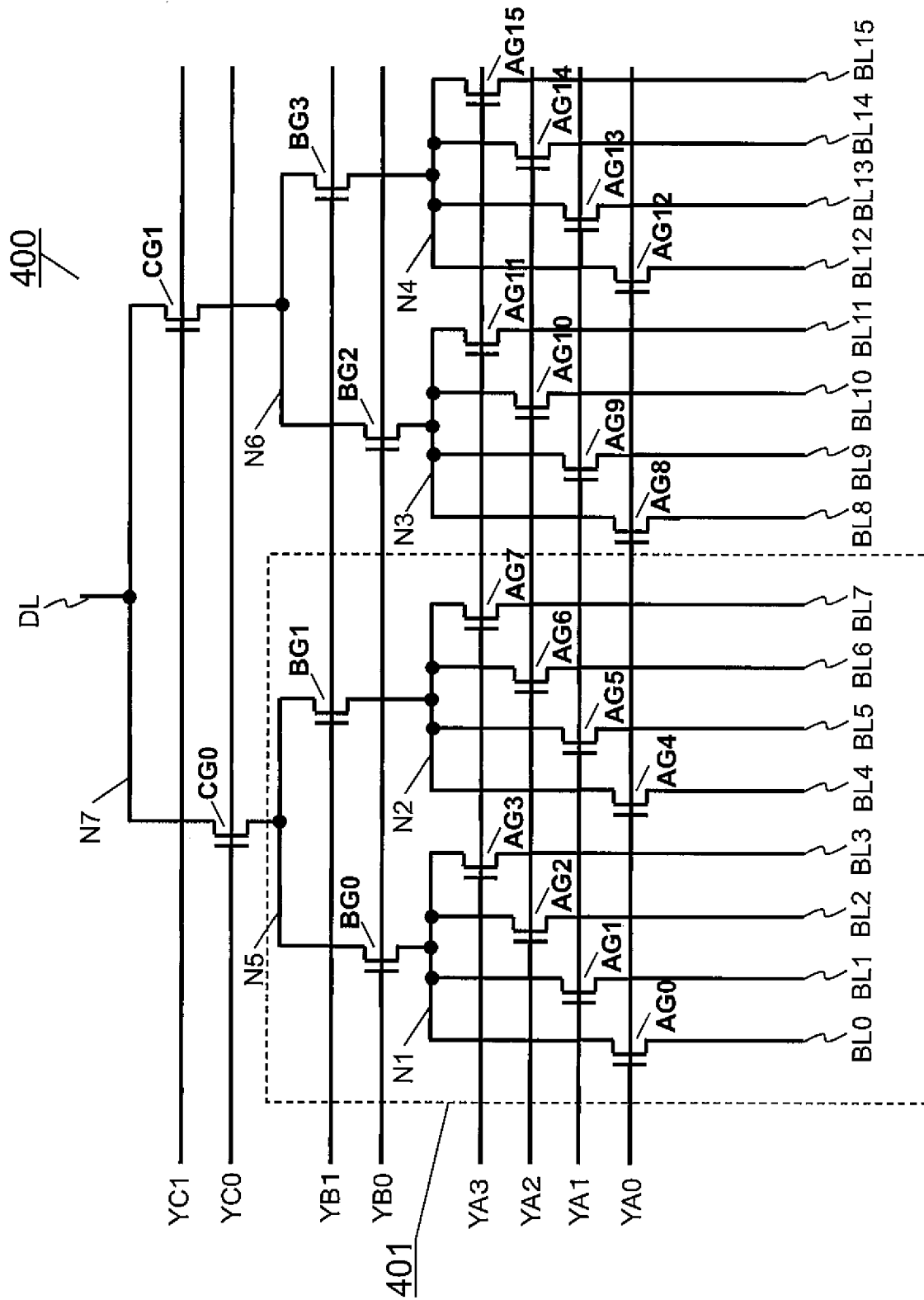
前記第1～第nの入力／出力信号線はビット線であり、

前記第1および第2の複数の選択信号線は列選択信号線であり、

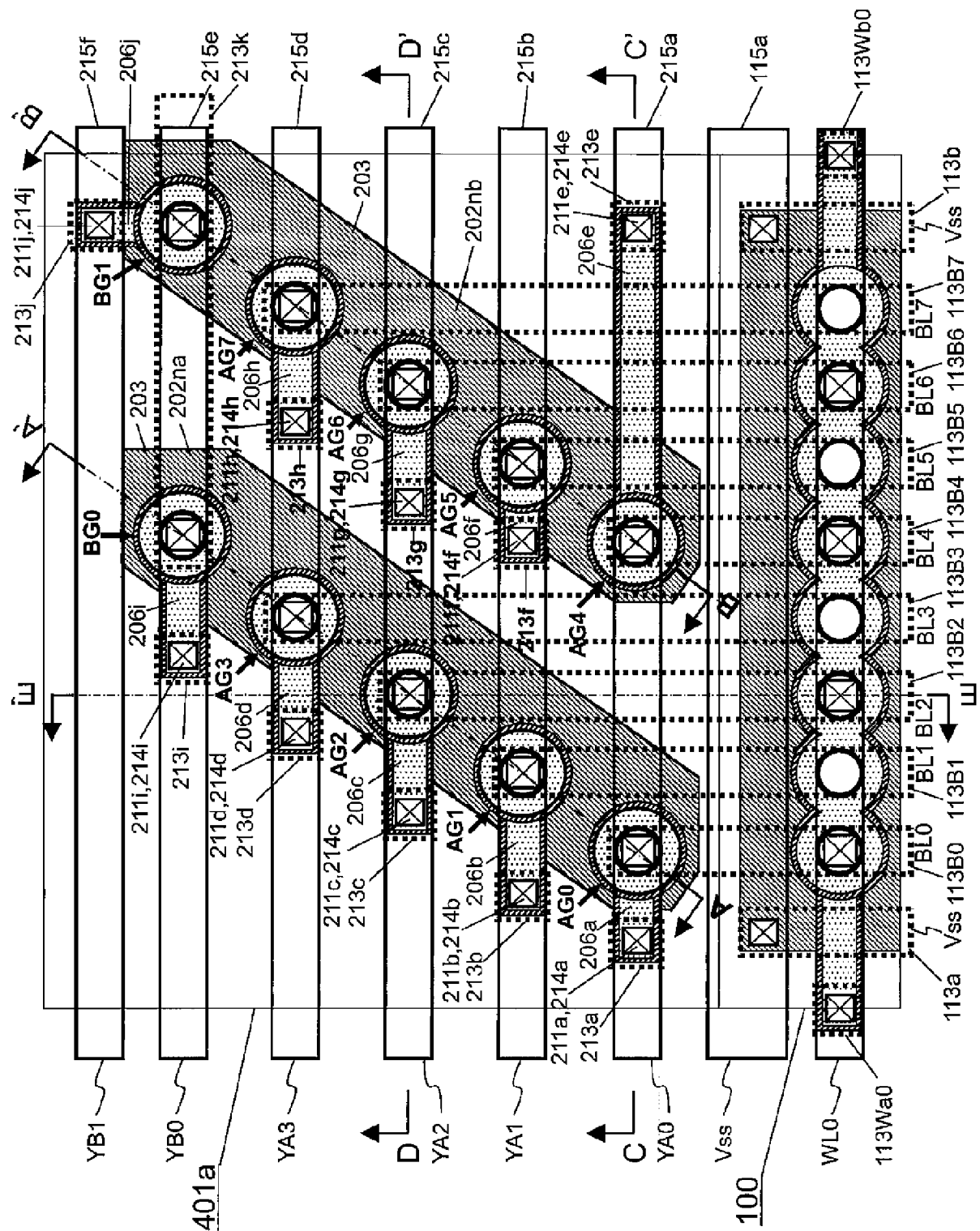
前記第1～第n+mのトランジスタは列選択ゲートトランジスタであることを特徴とする請求項10に記載の半導体装置。

- [請求項16] 前記第1～第 $n+m$ のトランジスタは、NチャネルMOSトランジスタであることを特徴とする請求項9～請求項15のいずれか一項に記載の半導体装置。
- [請求項17] 前記第1～第 $n+m$ のトランジスタは、PチャネルMOSトランジスタであることを特徴とする請求項9～請求項16のいずれか一項に記載の半導体装置。

[図1]

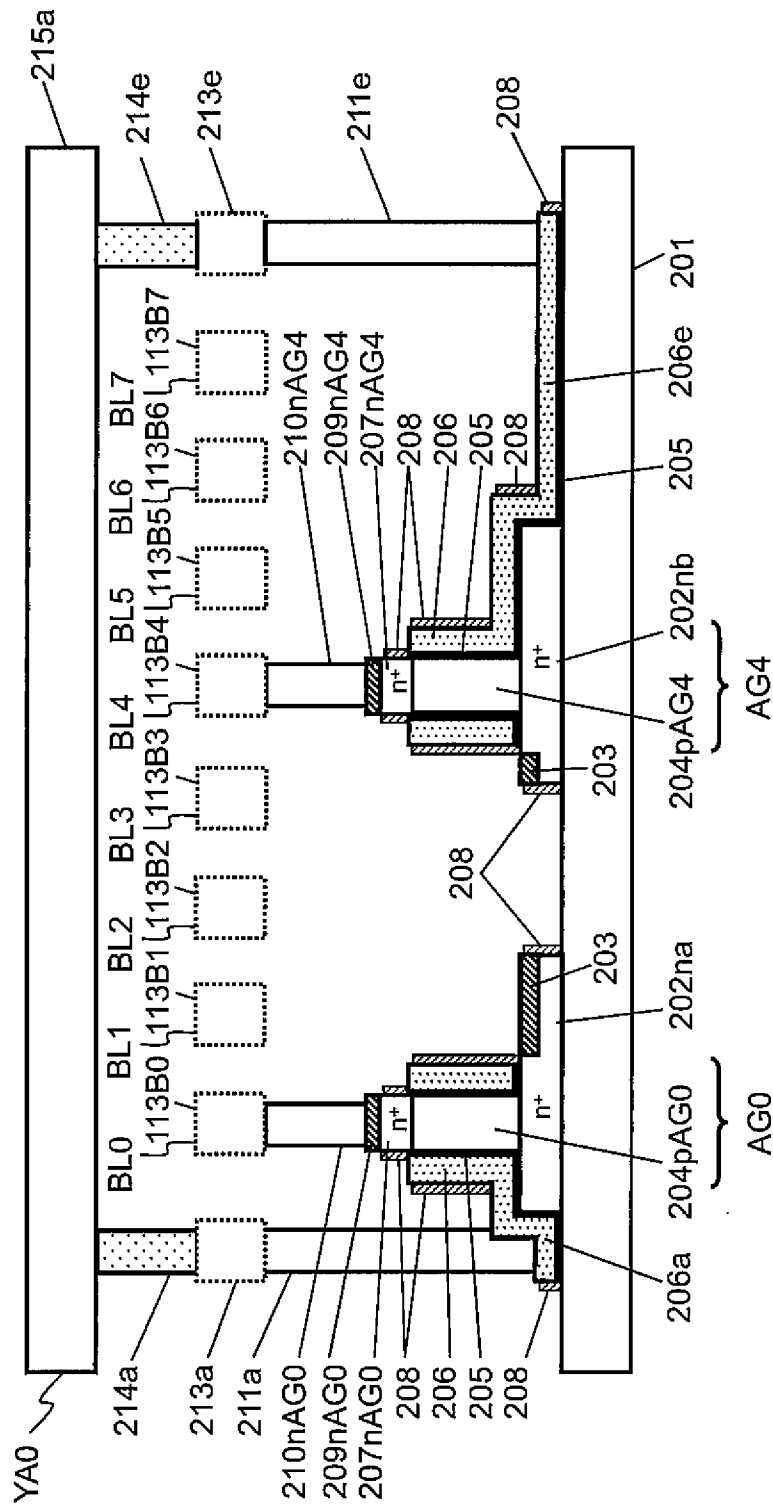


[図2a]

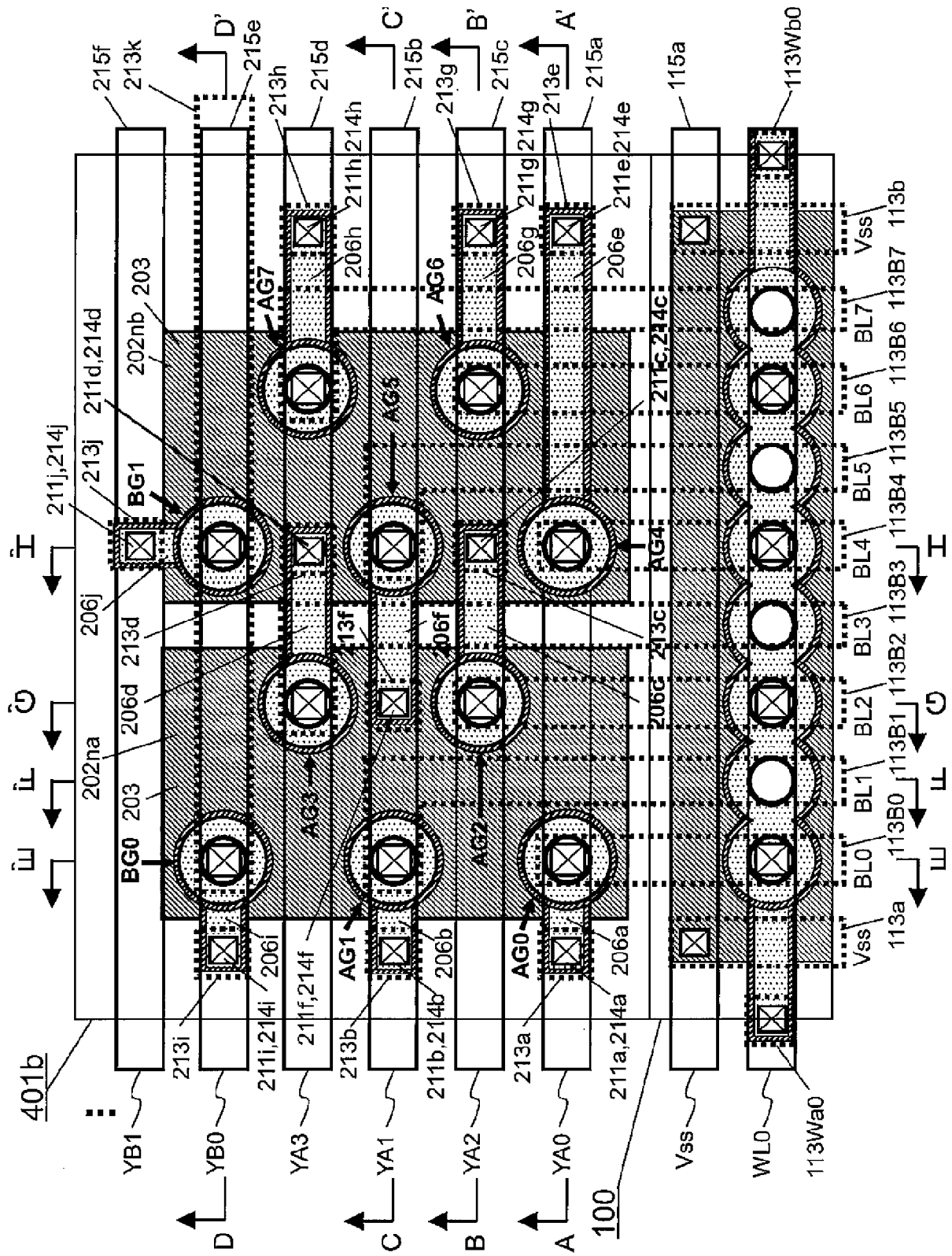


[illegible]

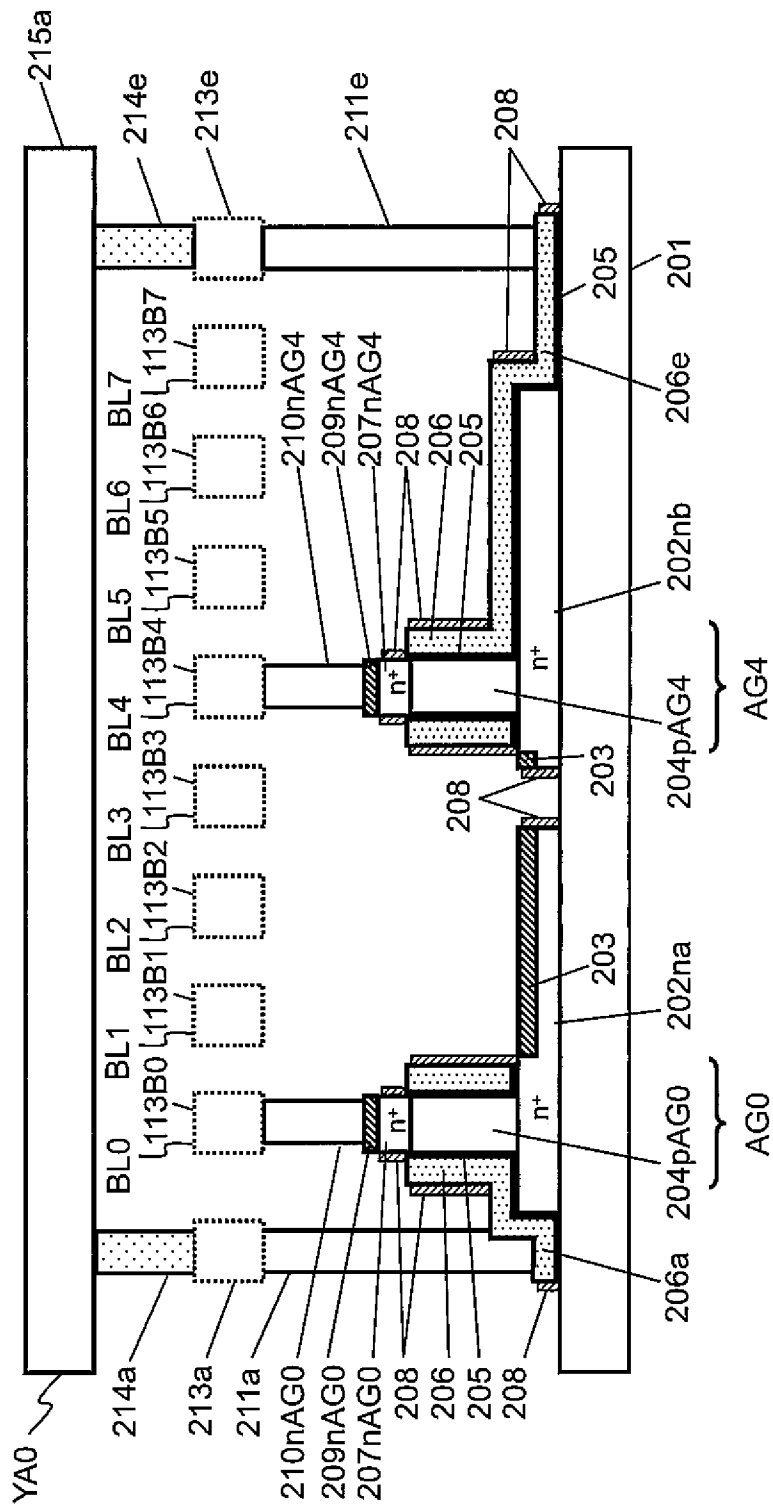
[図2d]



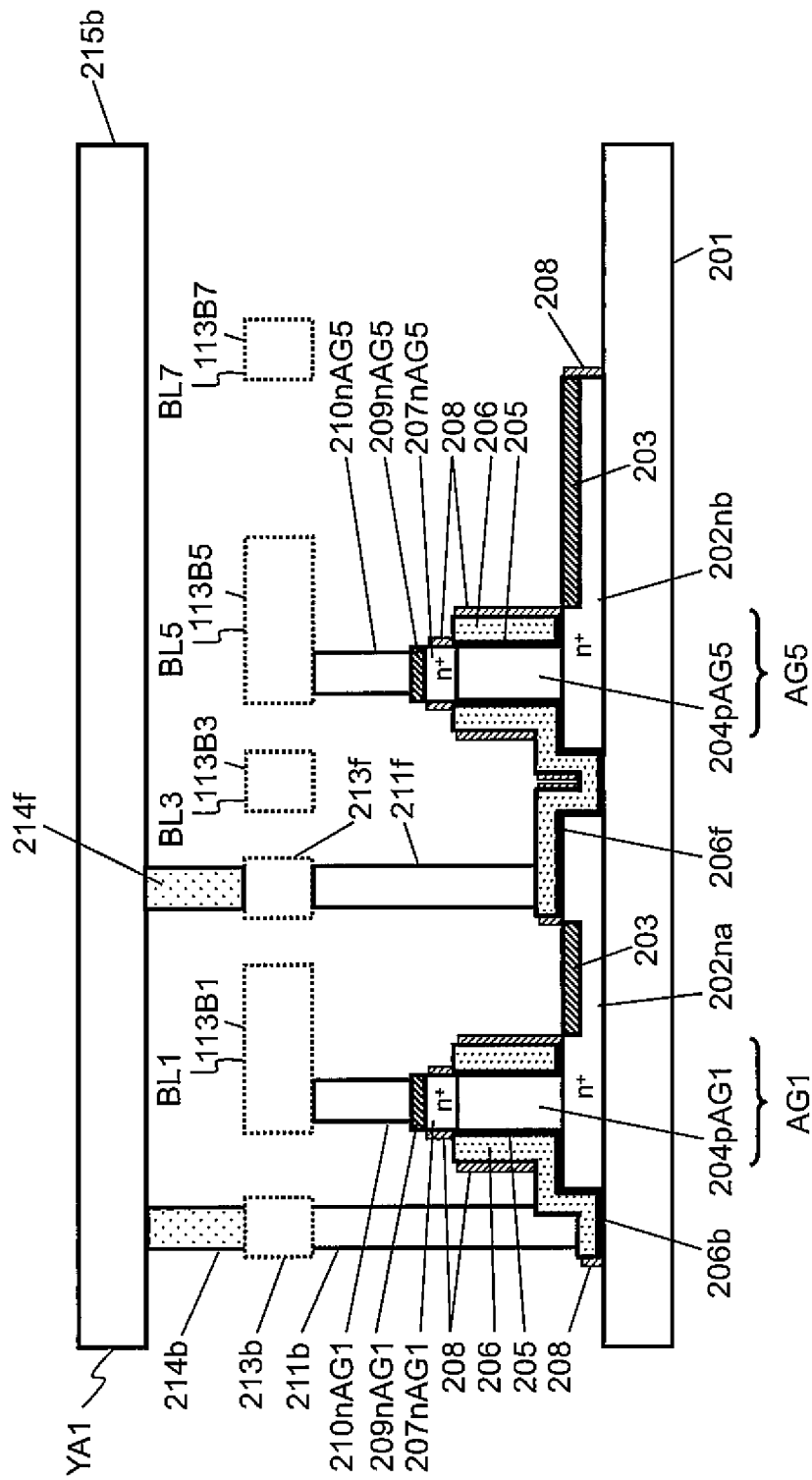
[図3a]



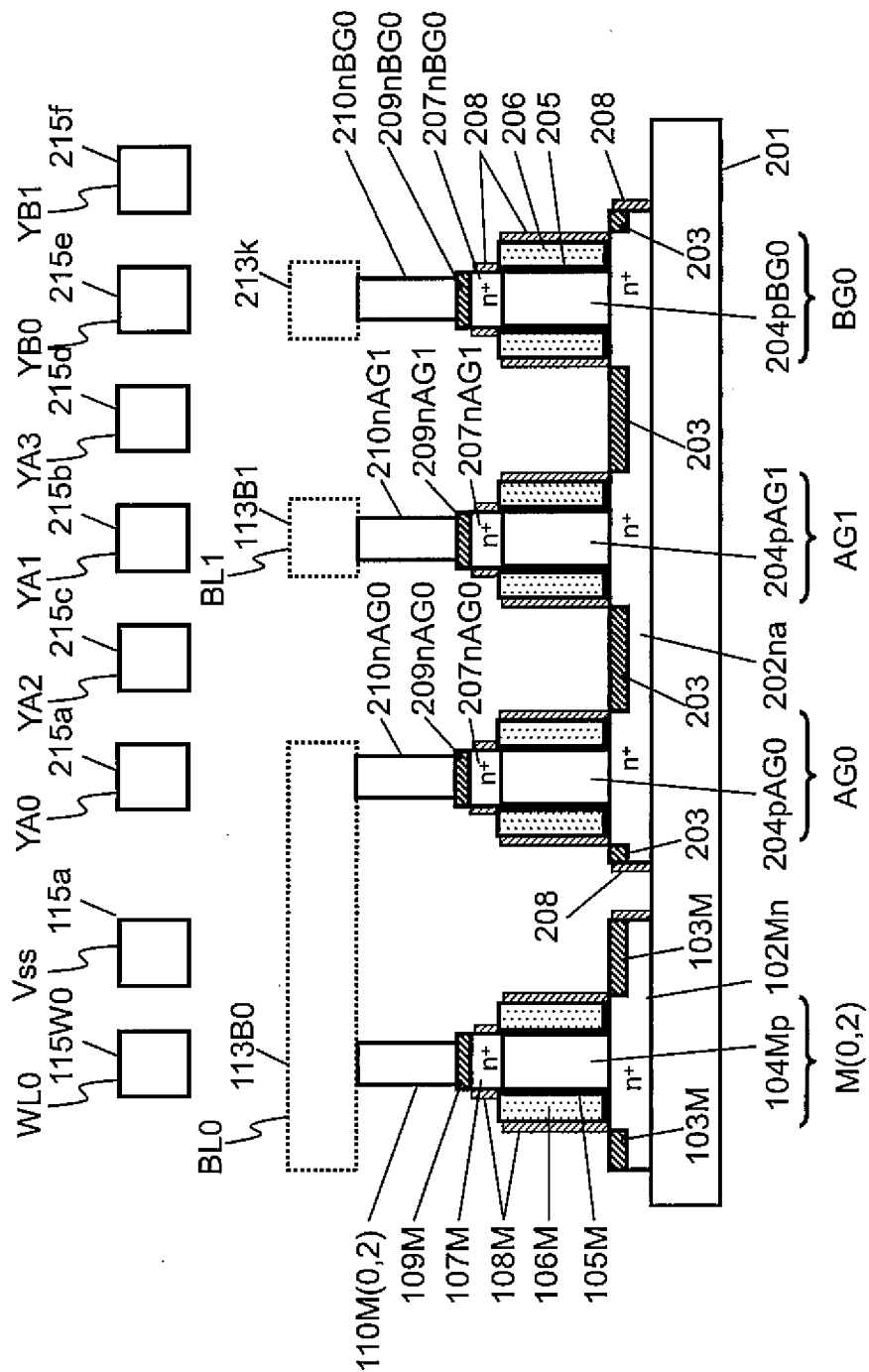
[図3b]



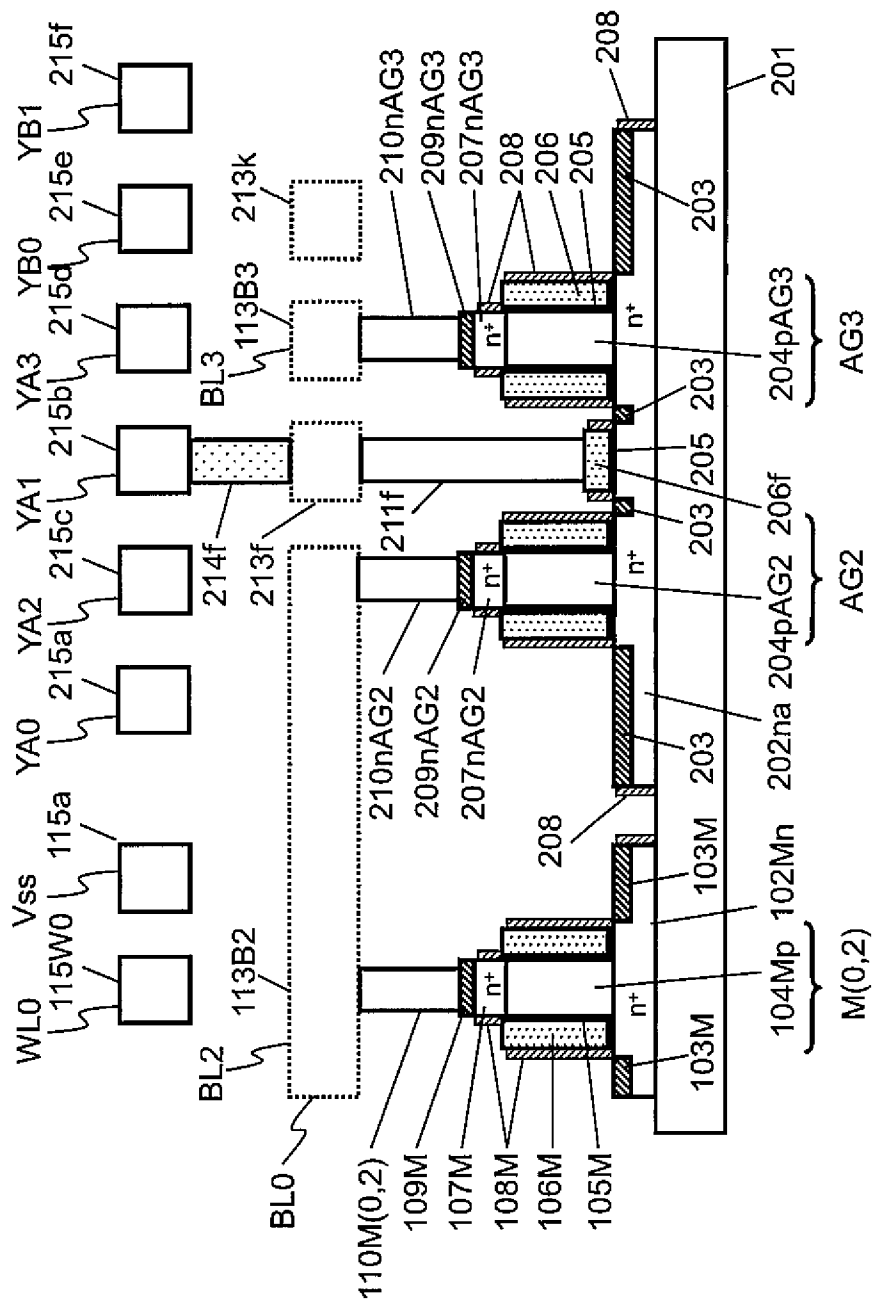
[図3d]



[図3f]



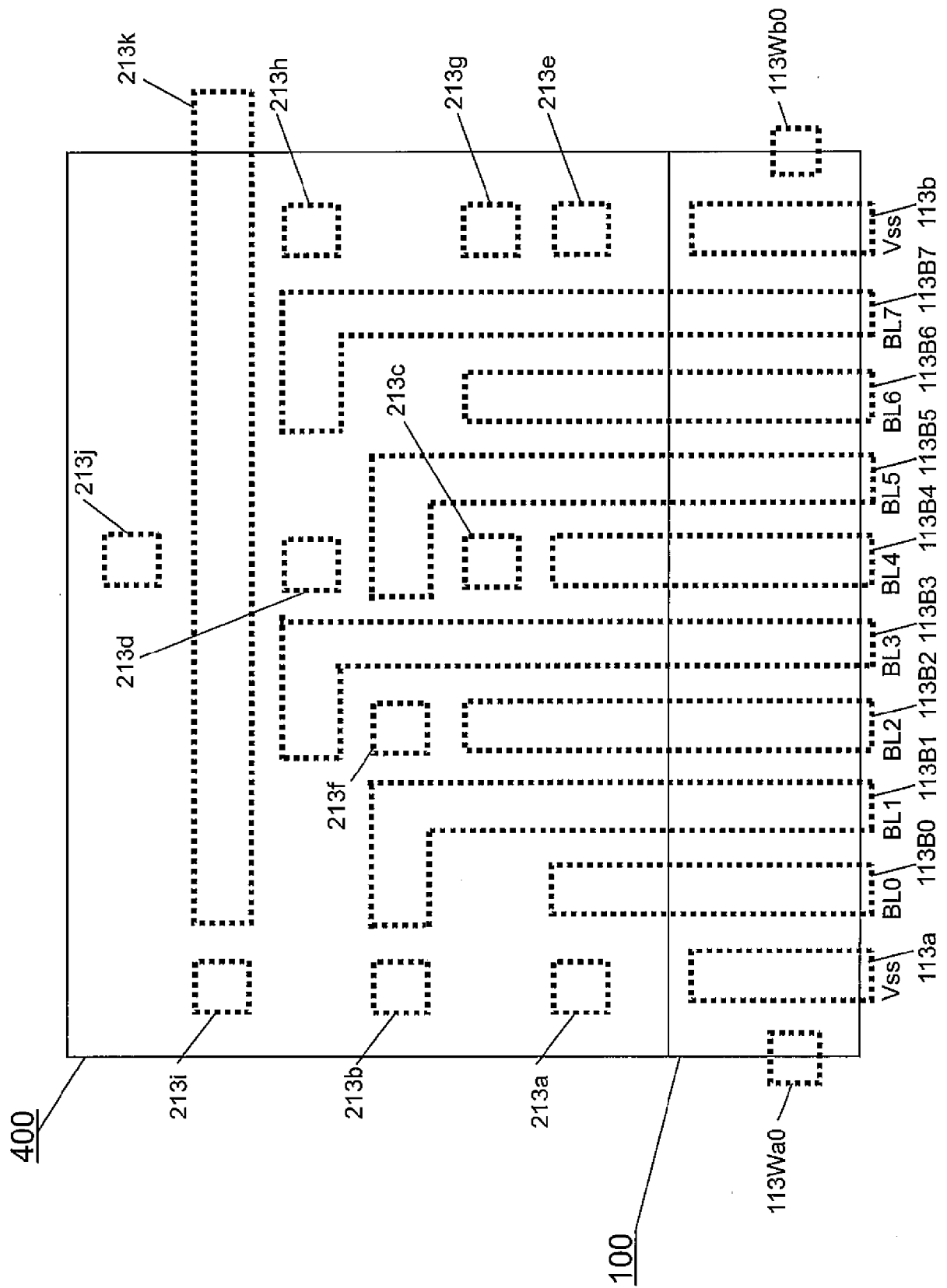
[図3h]



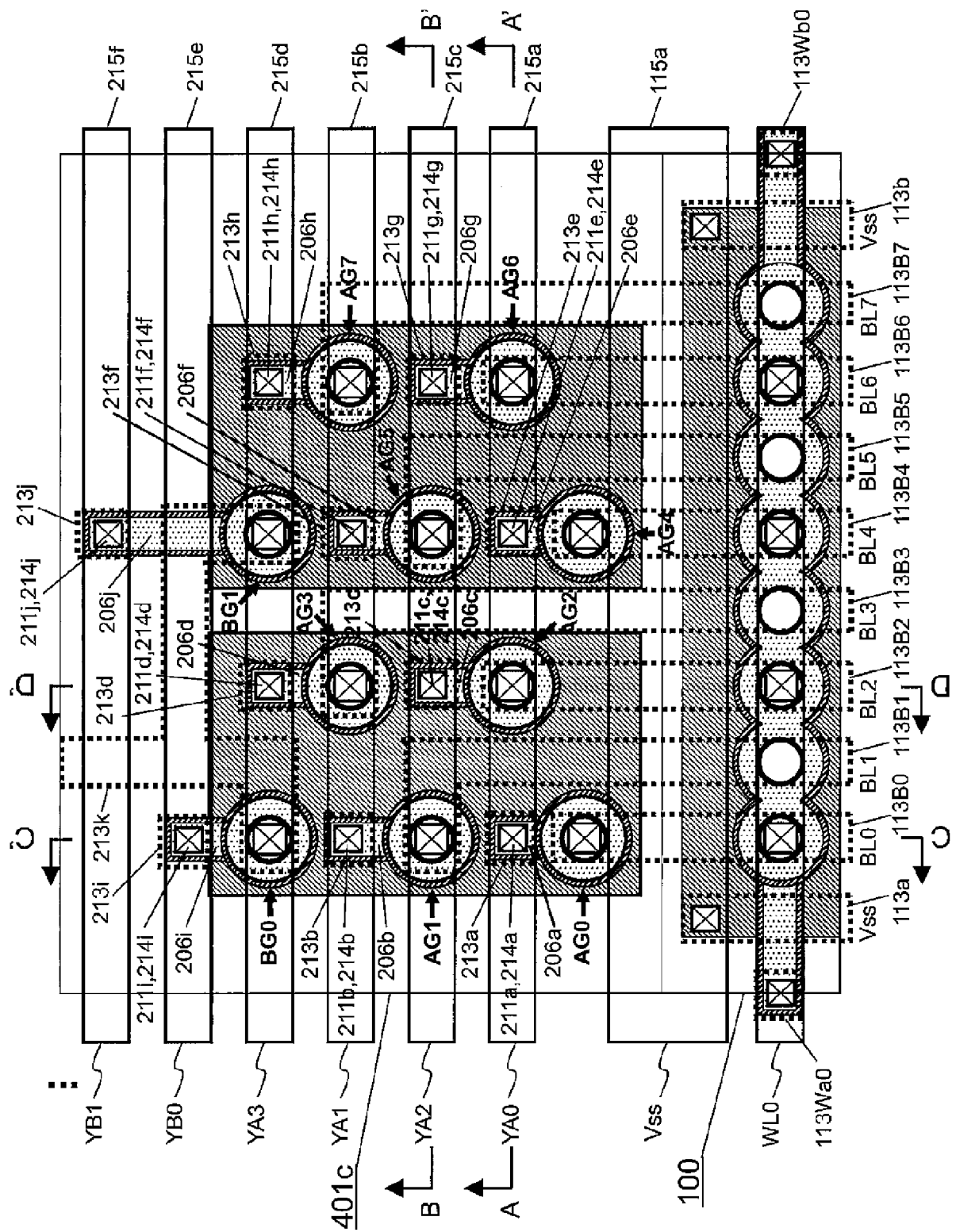
This diagram shows a cross-sectional view of a semiconductor device. The structure is built on a substrate labeled $M(0,2)$. The device features several layers and regions, including:

- Top Layer:** A layer labeled WLO with regions $115W0$ and $115a$.
- Gate Stack:** A stack of layers including $113B4$ and $113B5$, with a gate region $214c$ and $213c$.
- Channel Region:** A region labeled $211c$ with a channel layer 208 and a gate stack $211d$.
- Source/Drain Regions:** Regions labeled $210nAG4$, $209nAG4$, and $207nAG4$ are shown, along with a region 208 .
- Interlayer Dielectric:** A layer labeled 203 is present.
- Bottom Layer:** A layer labeled $103M$ is shown, with regions $104Mp$, $102Mn$, and $103M$.
- Other Labels:** Various other labels are present, including $109M$, $107M$, $108M$, $106M$, $105M$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, $207nAG5$, $210nBG1$, $209nBG1$, $207nBG1$, 208 , 206 , $211j$, 205 , $213k$, $214j$, $213j$, $210nAG5$, $209nAG5$, <

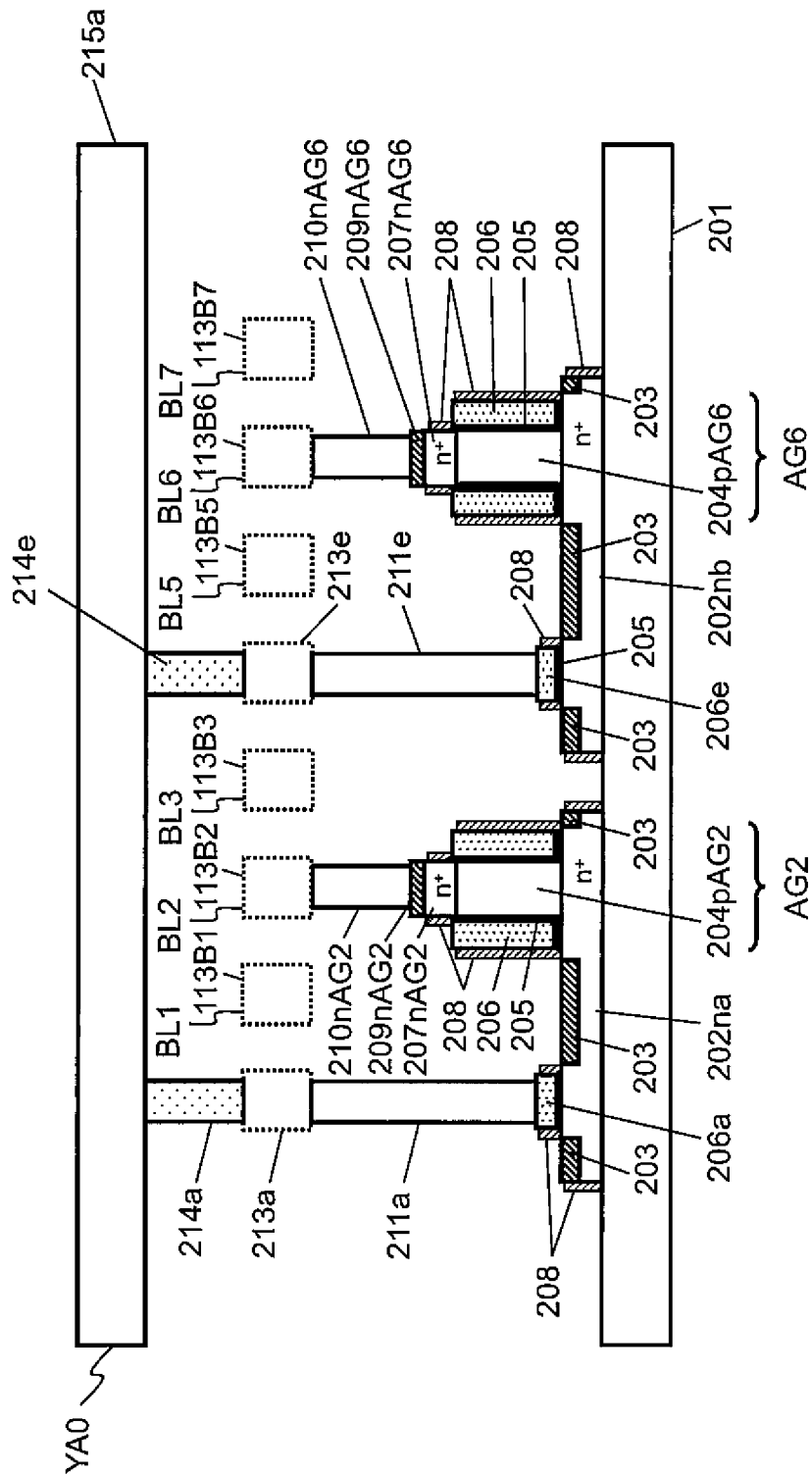
[図3j]



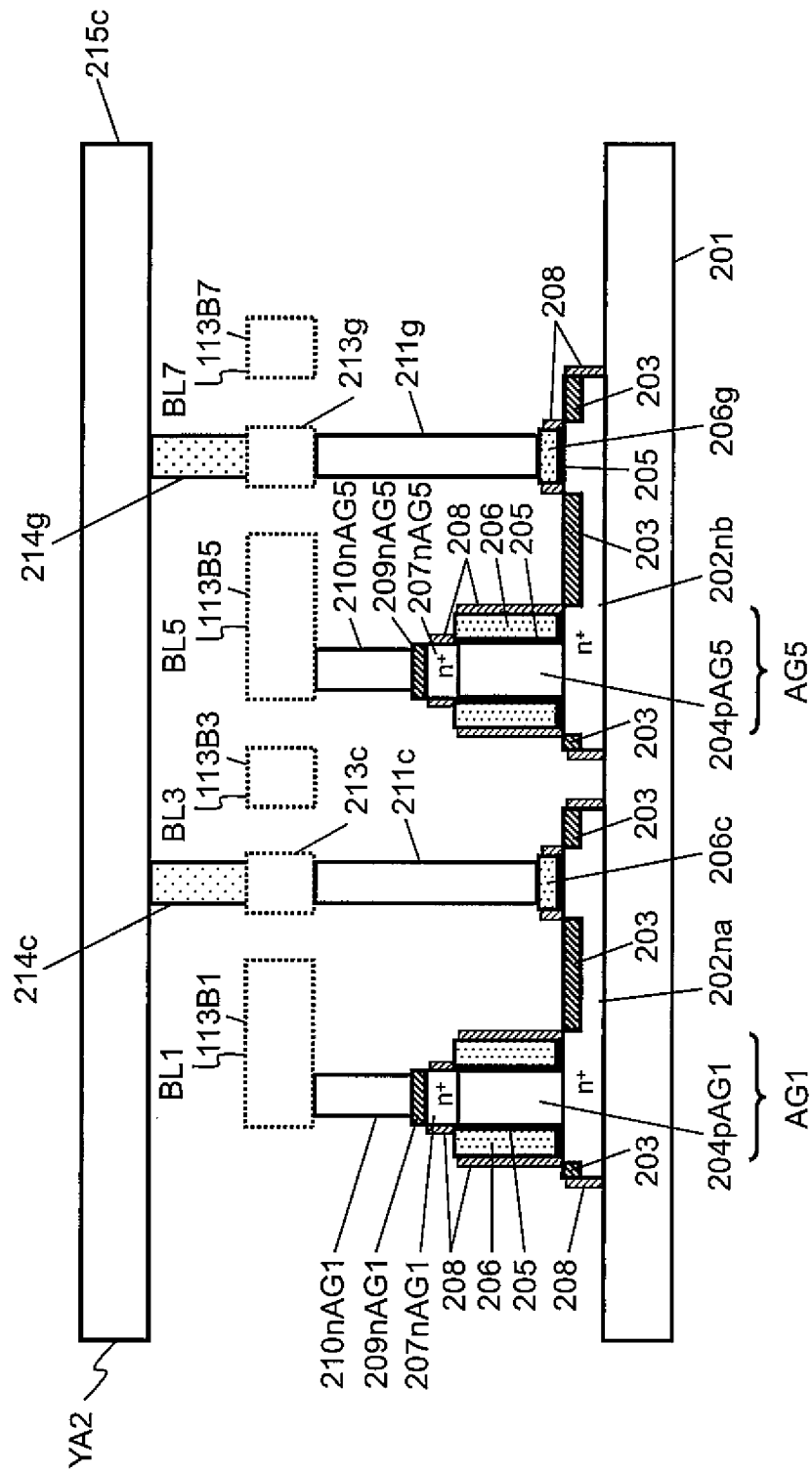
[図4a]



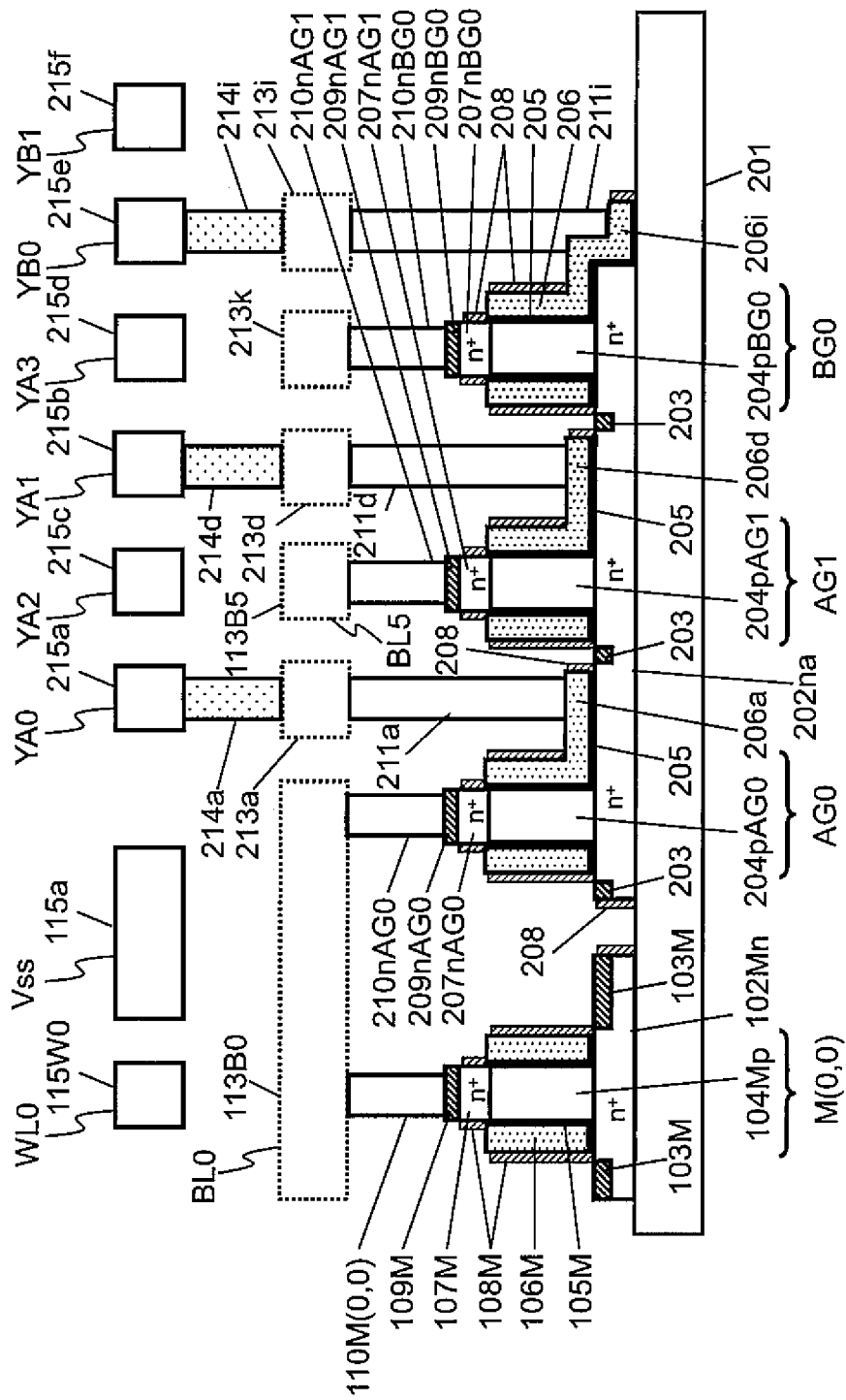
[図4b]



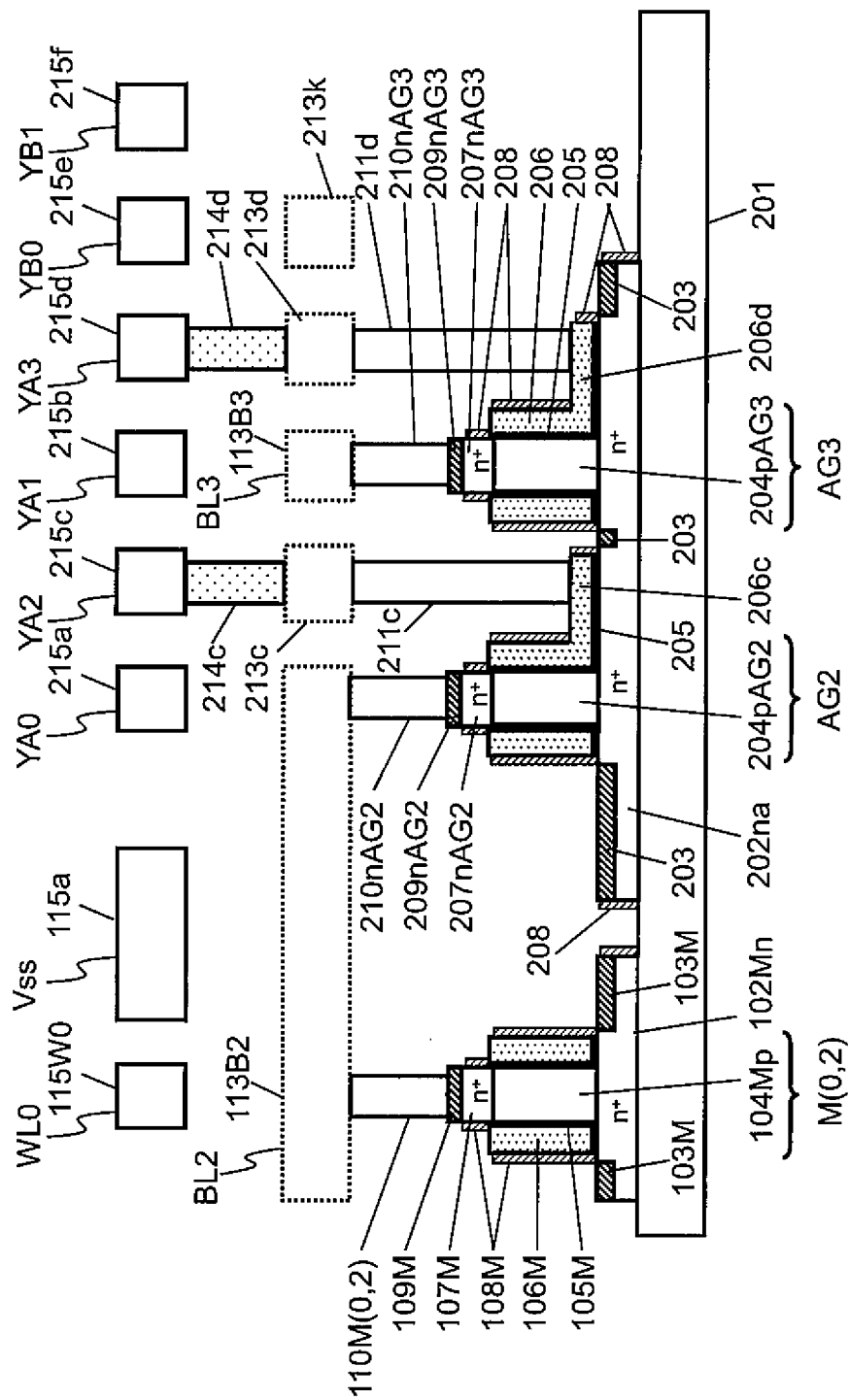
[図4c]



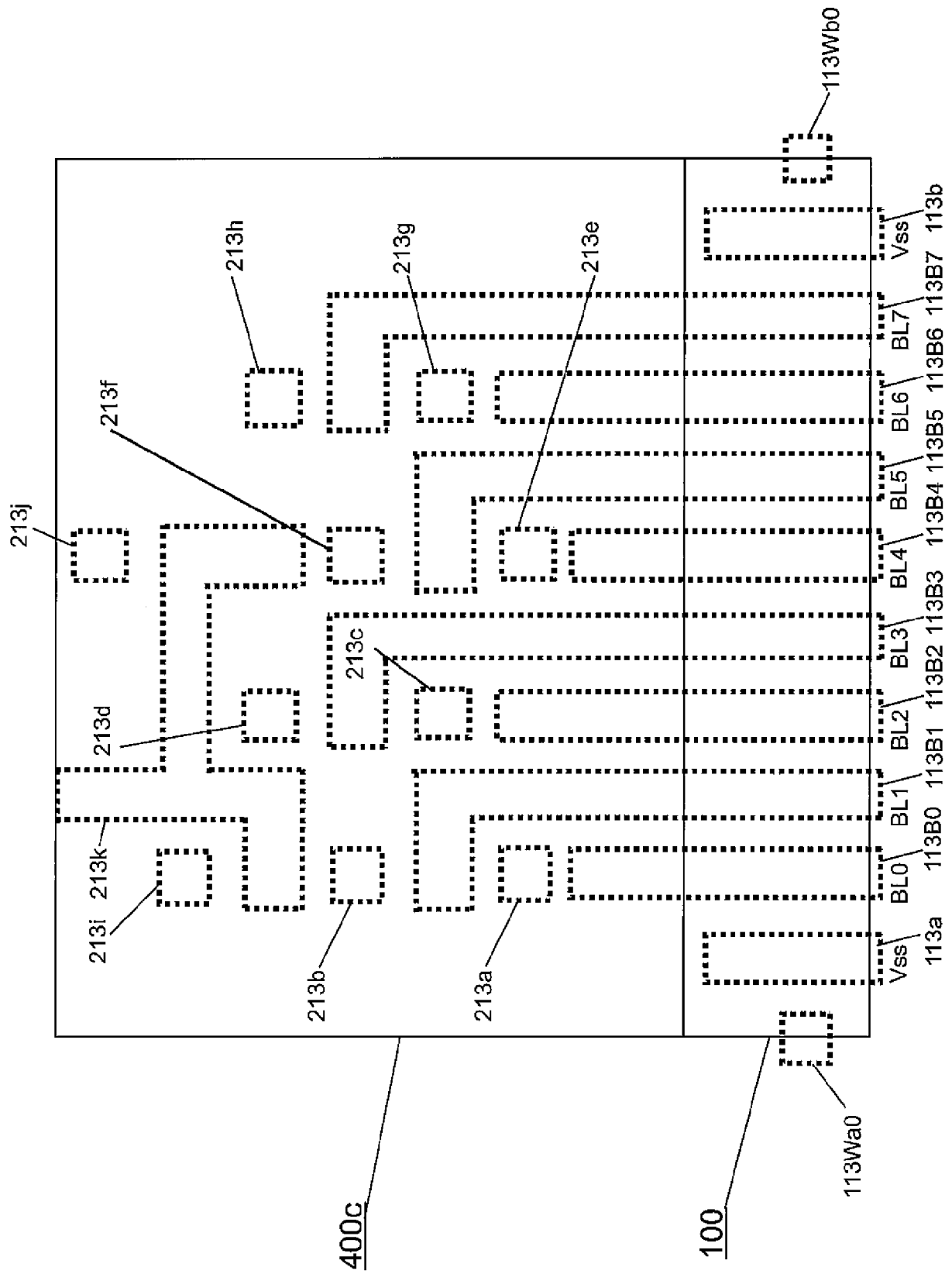
[図4d]



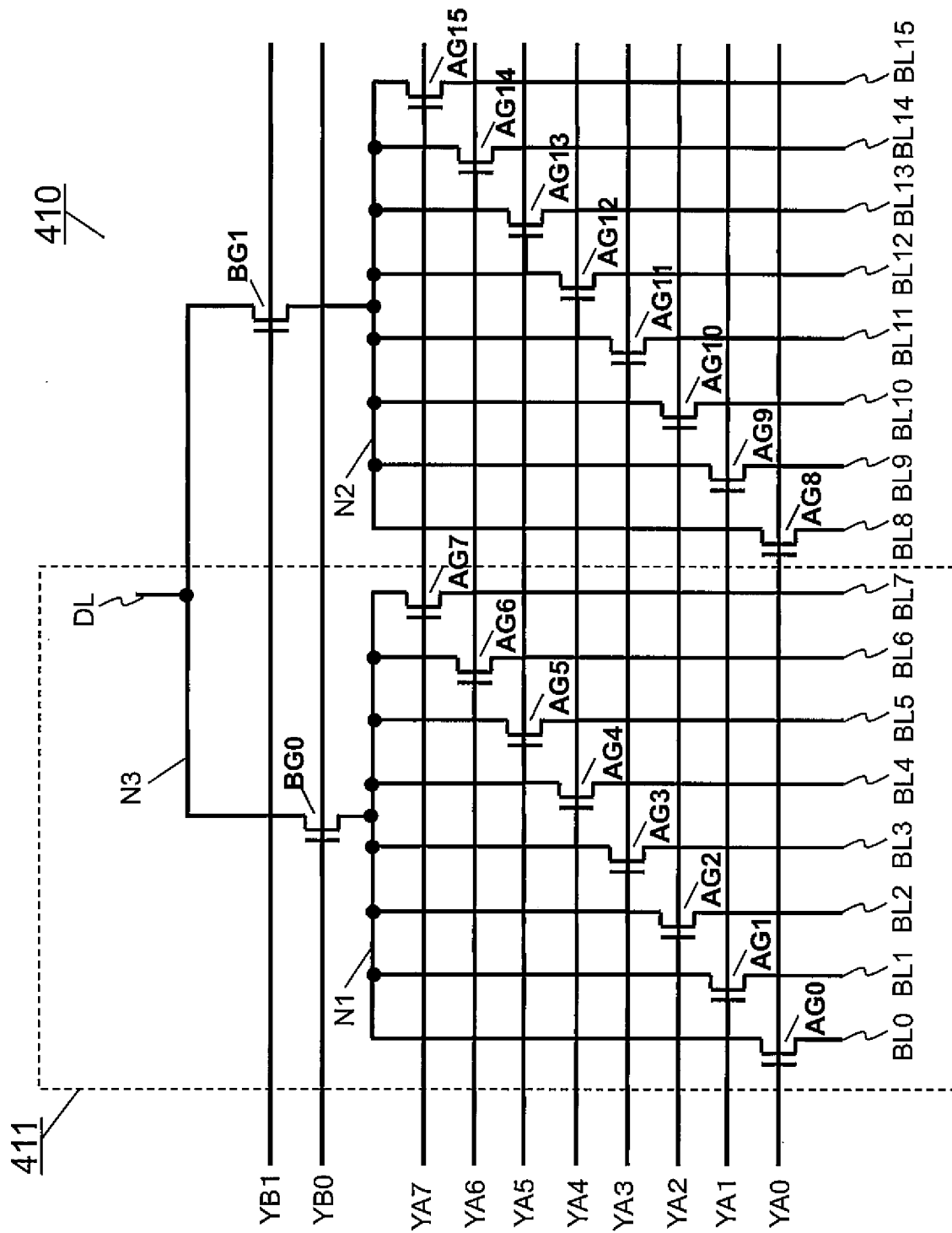
[図4e]



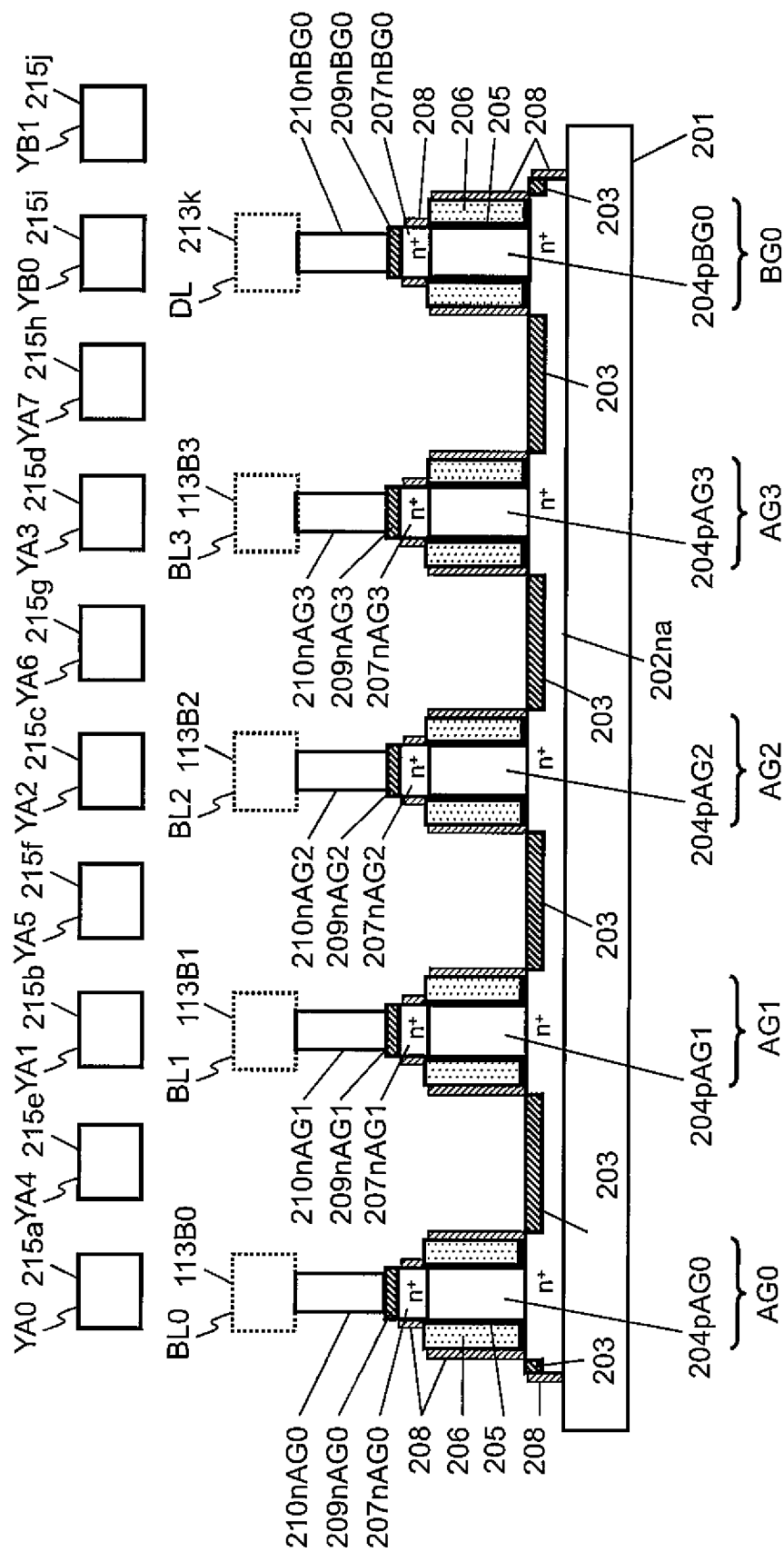
[図4f]



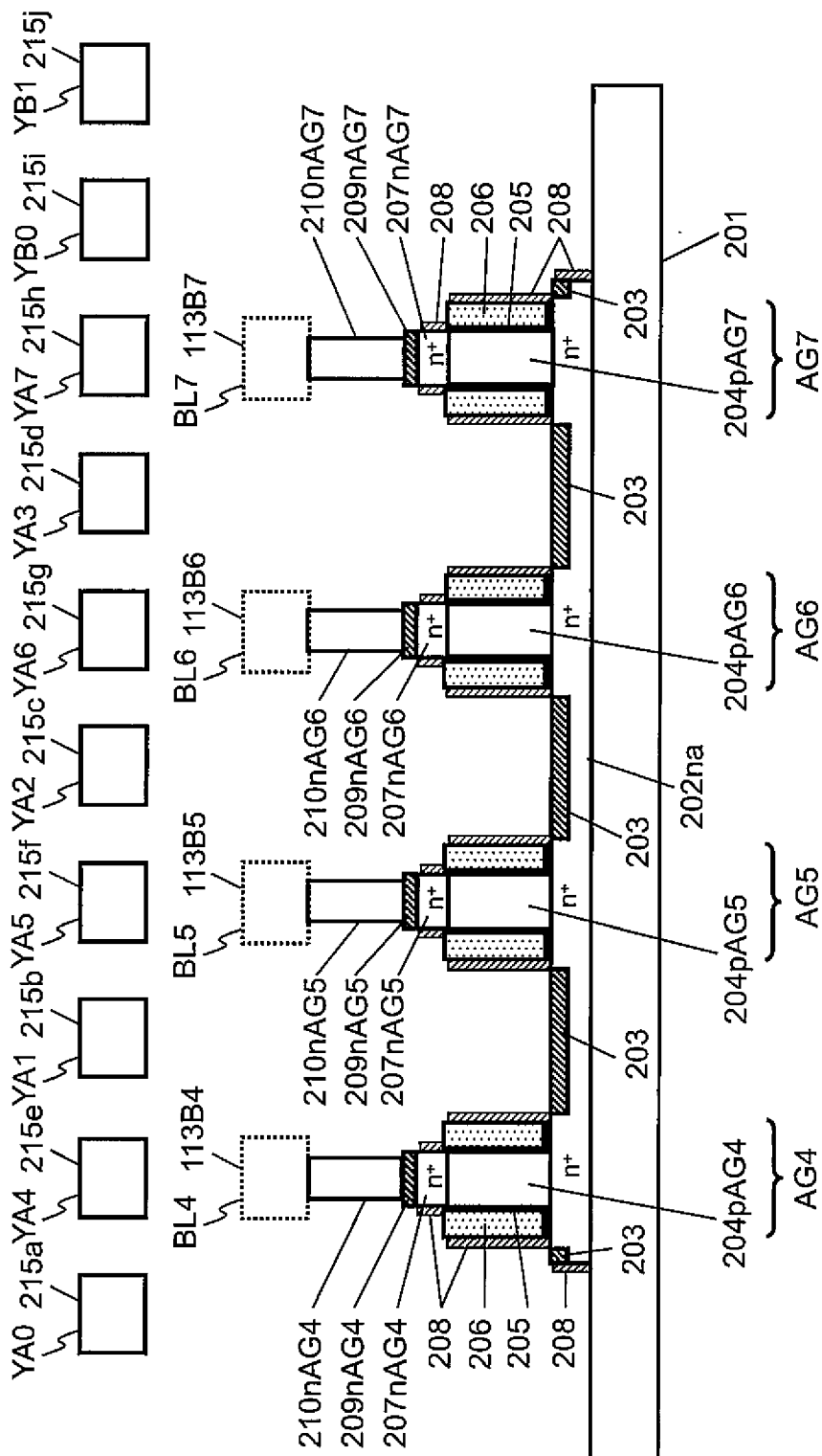
[図5]



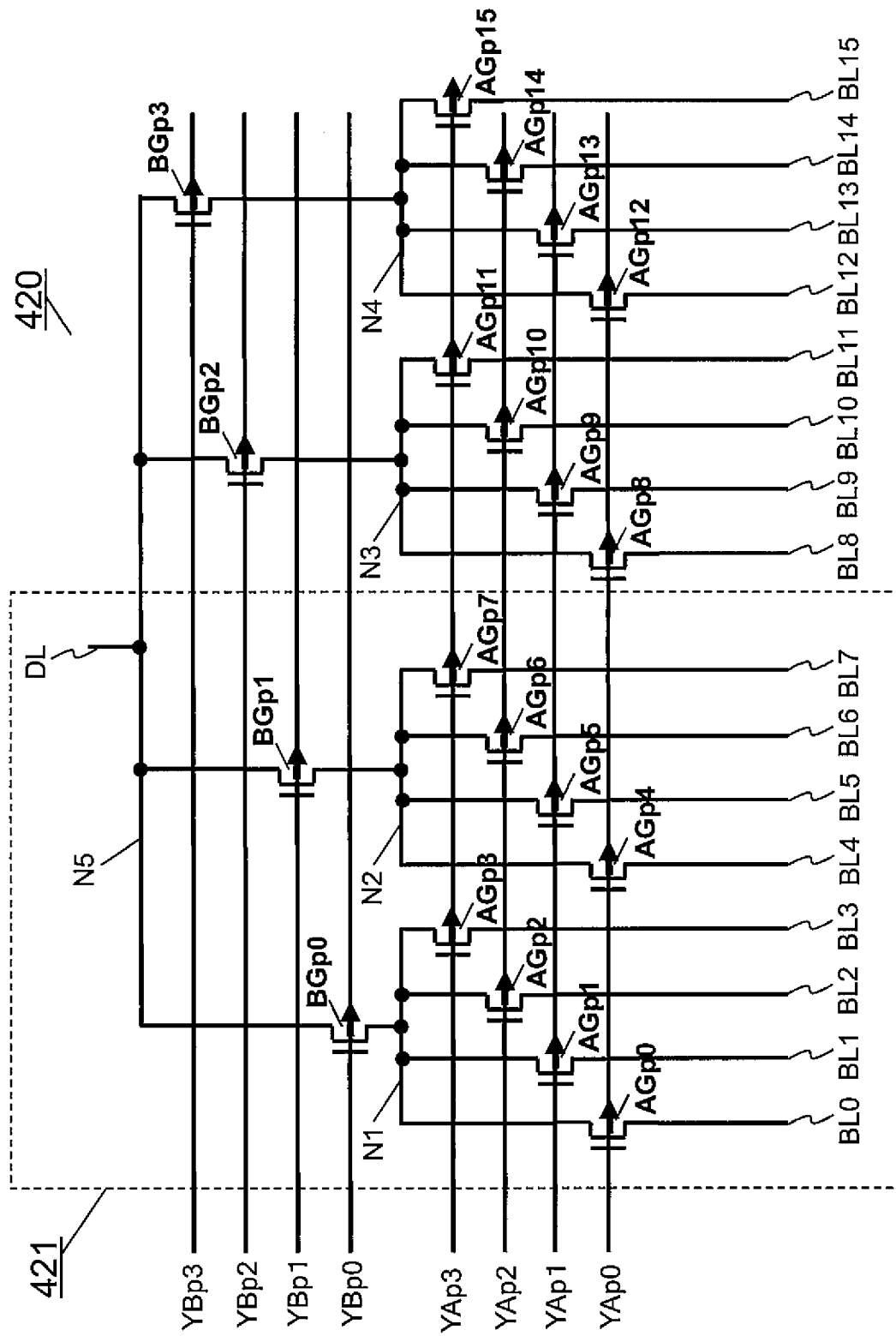
[図6b]



[図6c]



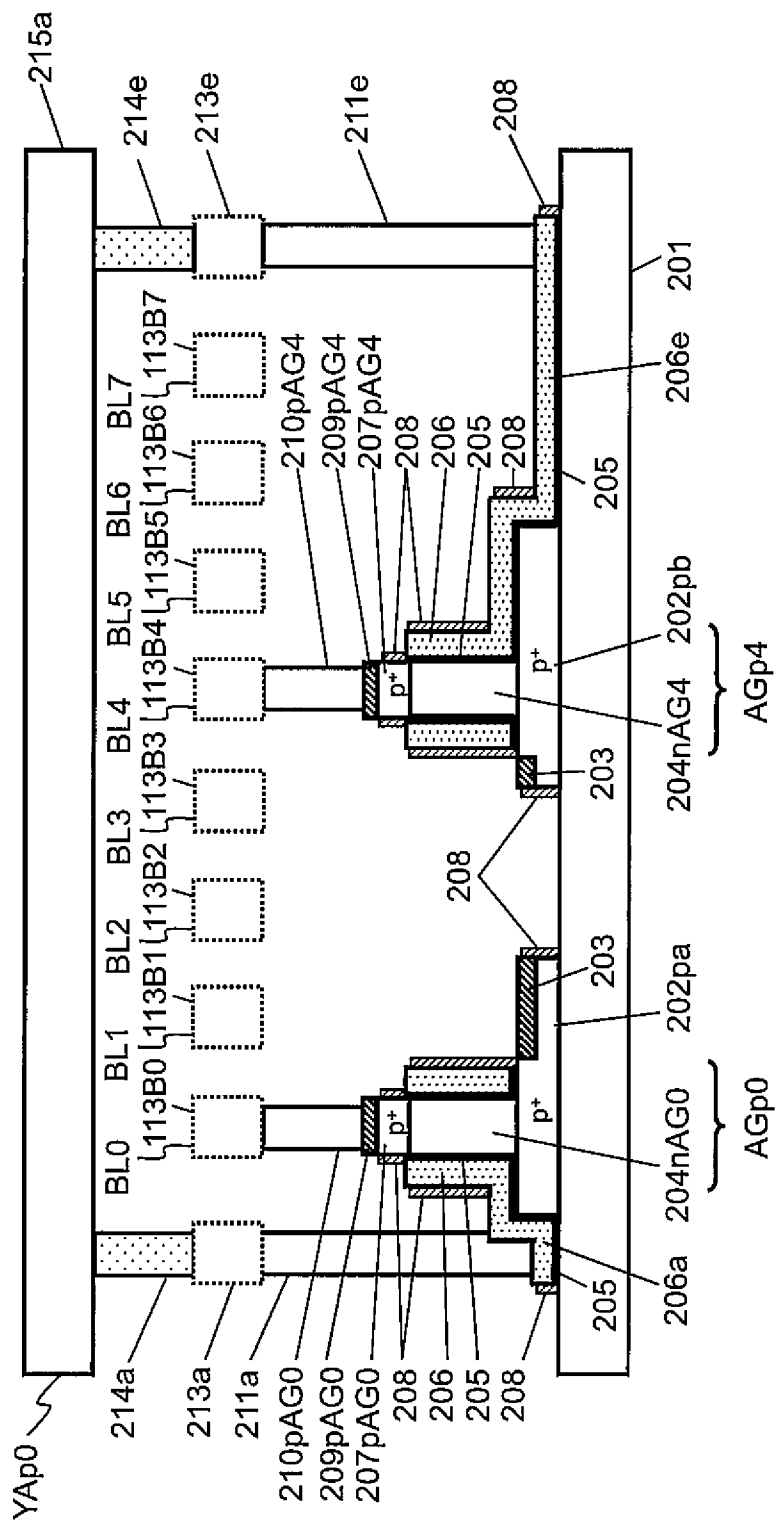
[図7]



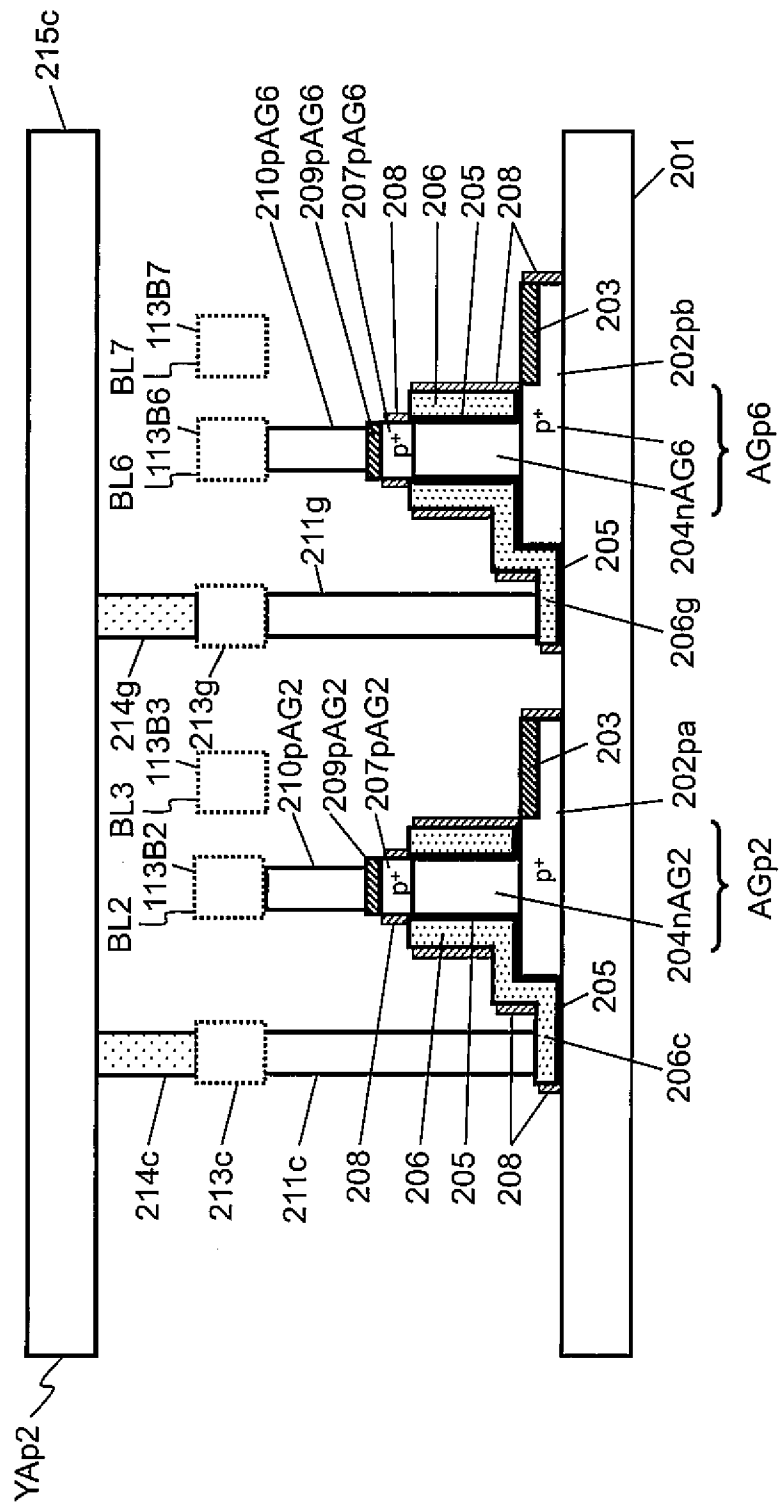
This diagram illustrates a cross-sectional view of a semiconductor device. The structure consists of several stacked layers and regions. At the top, there are five rectangular blocks labeled YAp0 215a, YAp1 215b, YAp2 215c, YAp3 215d, and YBp0 215e, followed by another rectangular block YBp1 215f. Below these, a dashed-line rectangle is labeled DL 213k. The main body of the device features four groups of vertical structures, each corresponding to one of the YAp blocks above. Each group contains three vertical elements: a solid black bar (labeled 210pAG0, 210pAG1, 210pAG2, or 210pAG3), a dotted patterned bar (labeled 209pAG0, 209pAG1, 209pAG2, or 209pAG3), and a hatched bar (labeled 207pAG0, 207pAG1, 207pAG2, or 207pAG3). To the right of these bars are labels 208, 206, 205, and 208. Further right, a series of horizontal lines represent different material layers, with labels 203, 202pa, and 203 appearing repeatedly. On the far right, there are labels for specific regions: 204nAG0, 204nAG1, 204nAG2, 204nAG3, 204nBG0, and 201. These are grouped under larger labels: AGp0 (under 204nAG0-204nAG1), AGp1 (under 204nAG2), AGp2 (under 204nAG3), AGp3 (under 204nBG0), and BGp0 (under 201). Additionally, labels BL0 113B0, BL1 113B1, BL2 113B2, and BL3 113B3 point to the base of the first four groups of vertical structures.

This diagram shows a cross-sectional view of a semiconductor device. It features a substrate with a series of gate stacks (203) and bit lines (204nAG4, 204nAG5, 204nAG6, 204nAG7, 204nBG1) arranged in a row. The gate stacks are labeled with various materials and layers, including 210pAG4, 209pAG4, 207pAG4, 210pAG5, 209pAG5, 207pAG5, 210pAG6, 209pAG6, 207pAG6, 210pAG7, 209pAG7, 207pAG7, 210pBG1, 209pBG1, and 207pBG1. The bit lines are labeled with 208, 206, 205, and 208. The device is divided into regions labeled AGp4, AGp5, AGp6, AGp7, and BGp1. The regions are separated by spacers (202pa) and gate spacers (203). The bit lines are connected to the gate stacks via contact plugs (208). The device is shown in a perspective view, with the gate stacks and bit lines extending into the background.

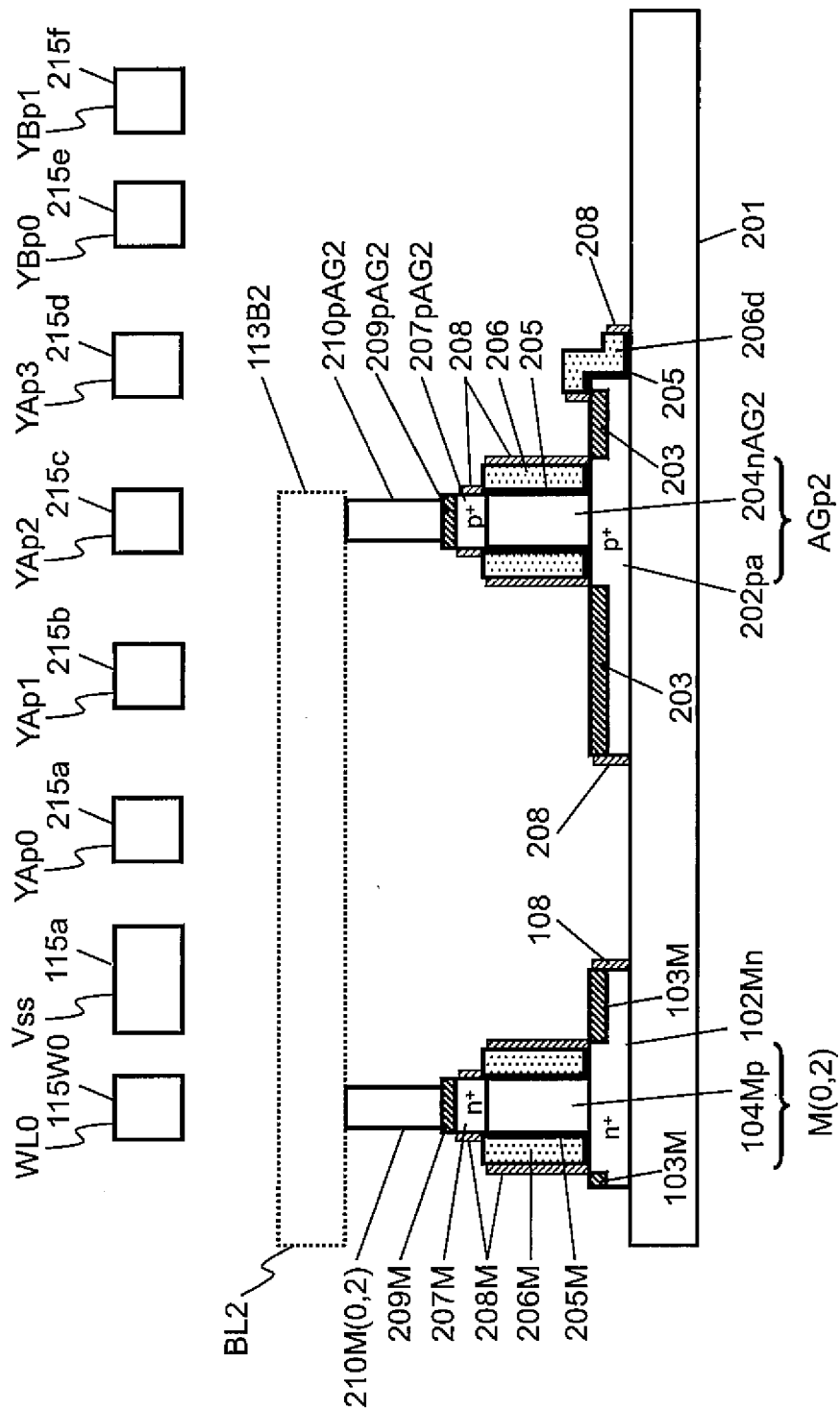
[図8d]



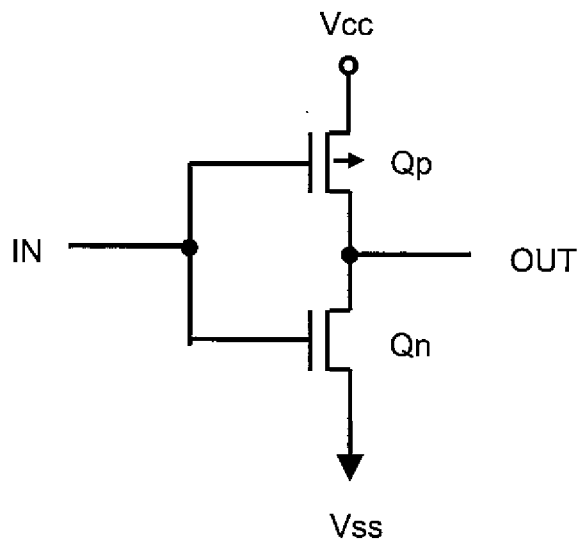
[図8e]



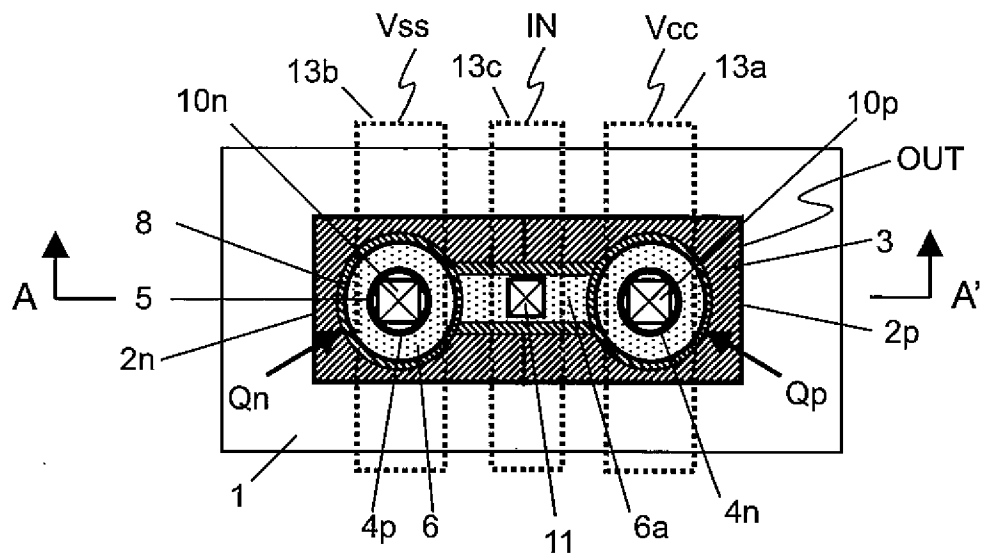
[図8f]



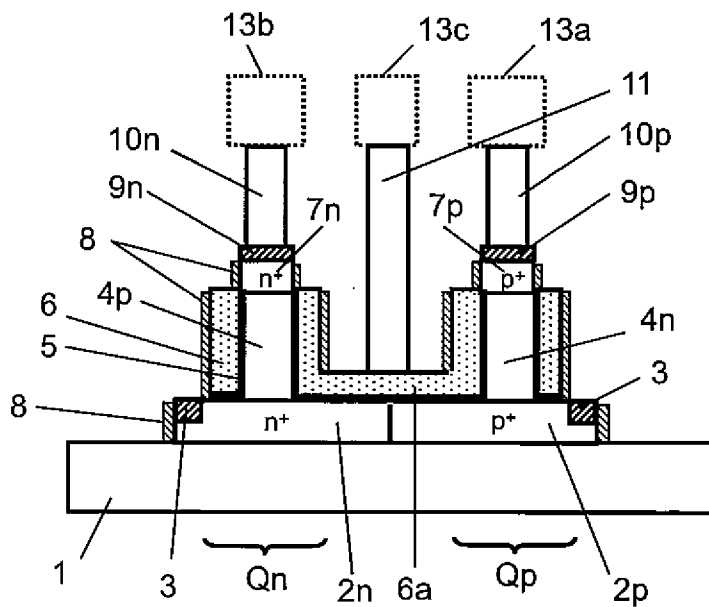
[図9]



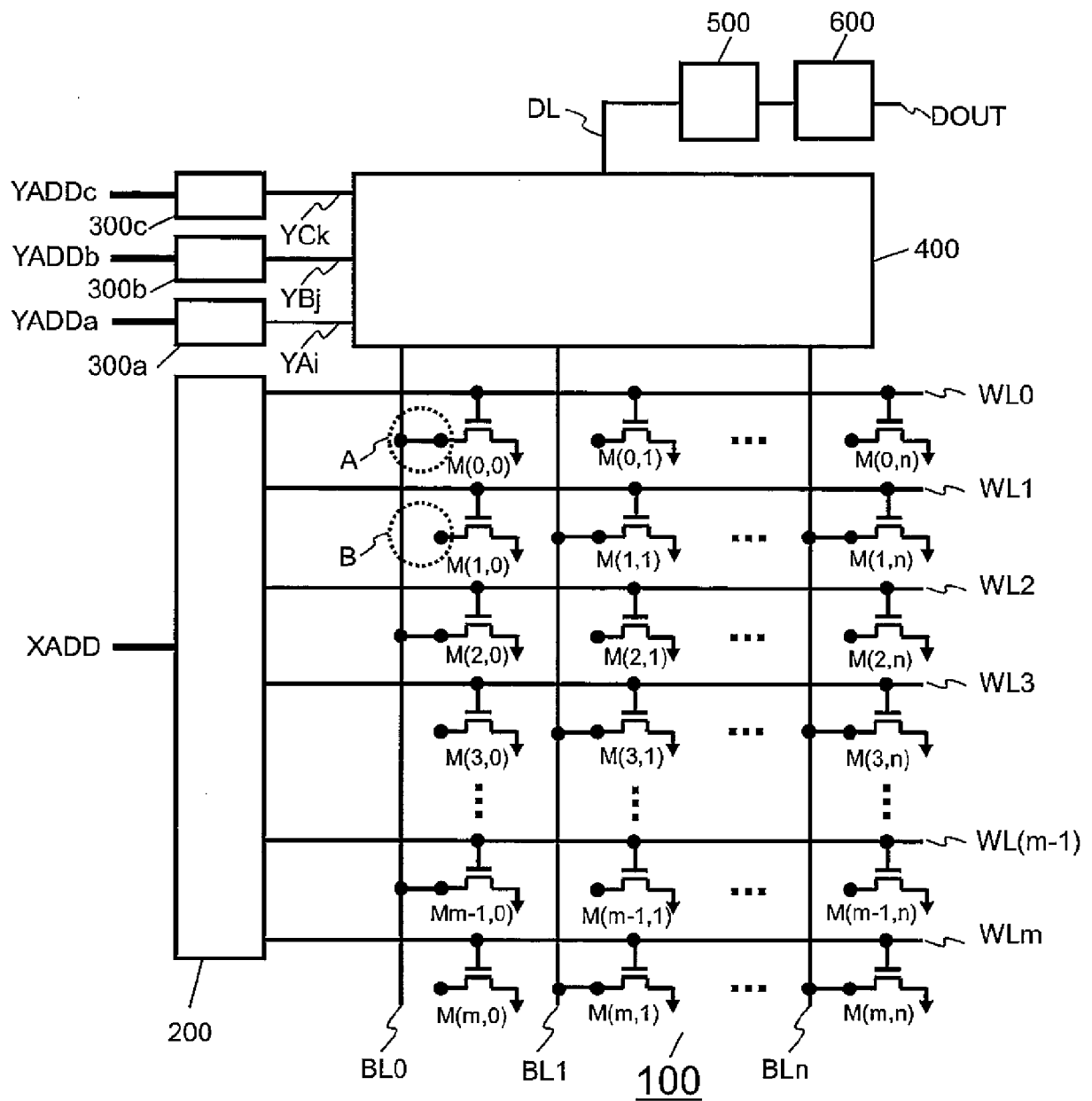
[図10a]



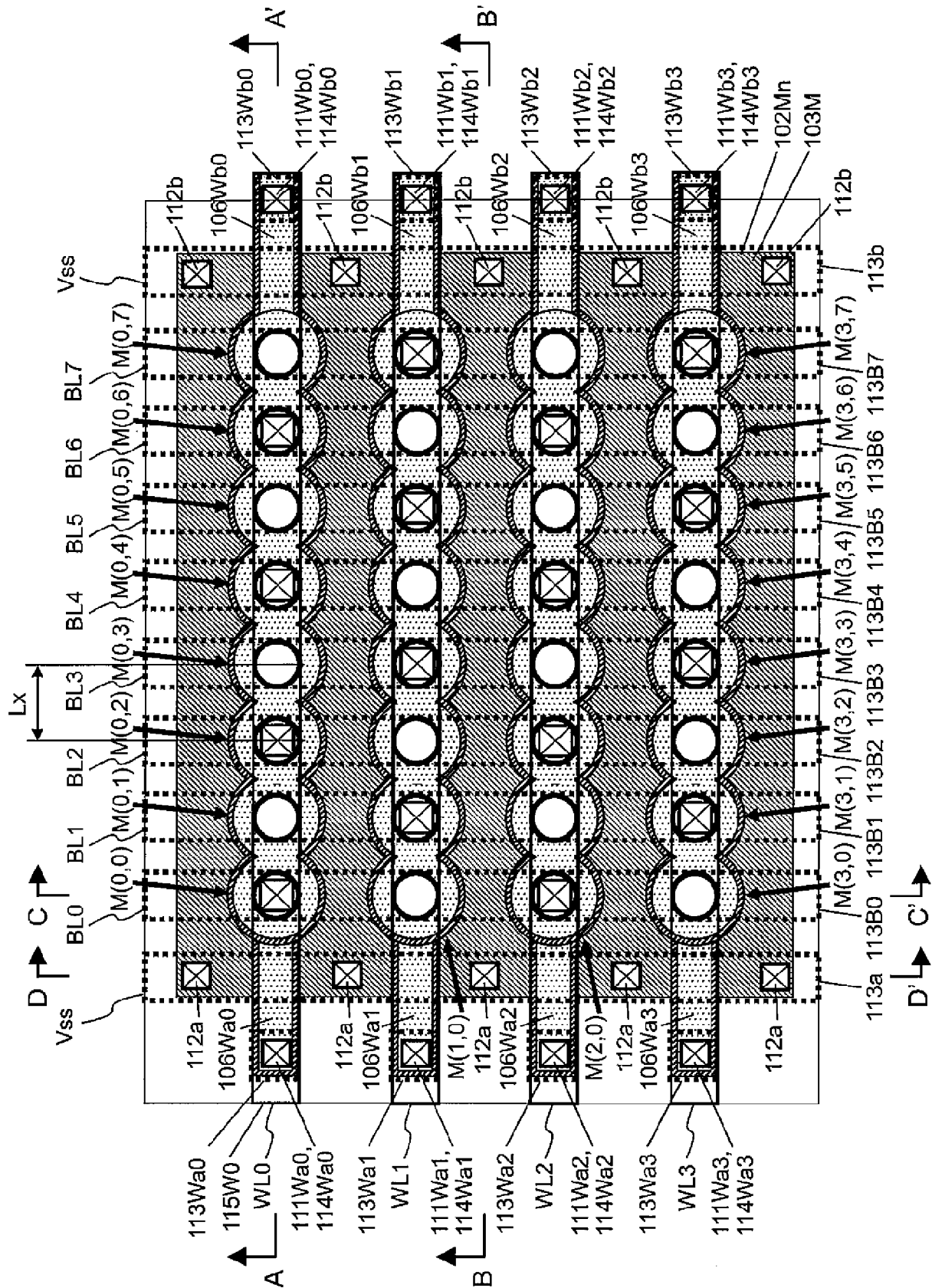
[図10b]



[図11]

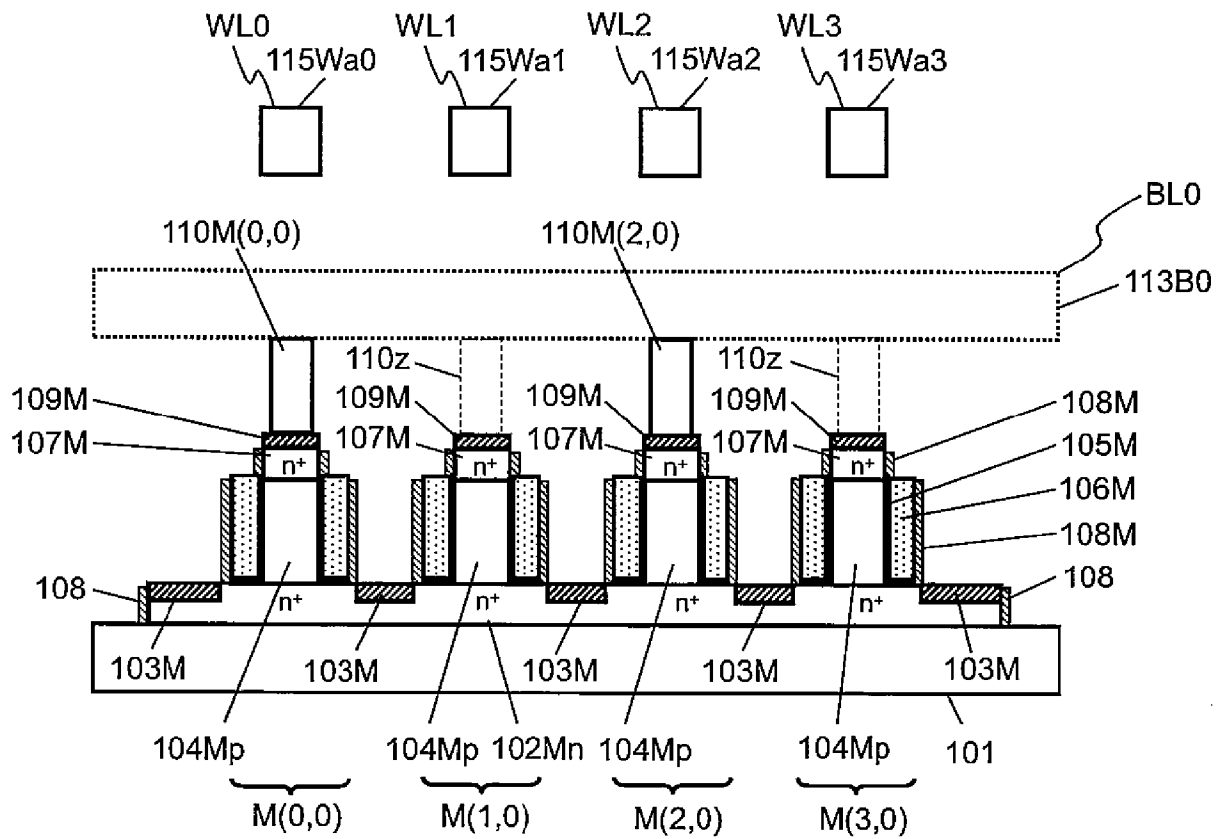


[図12a]

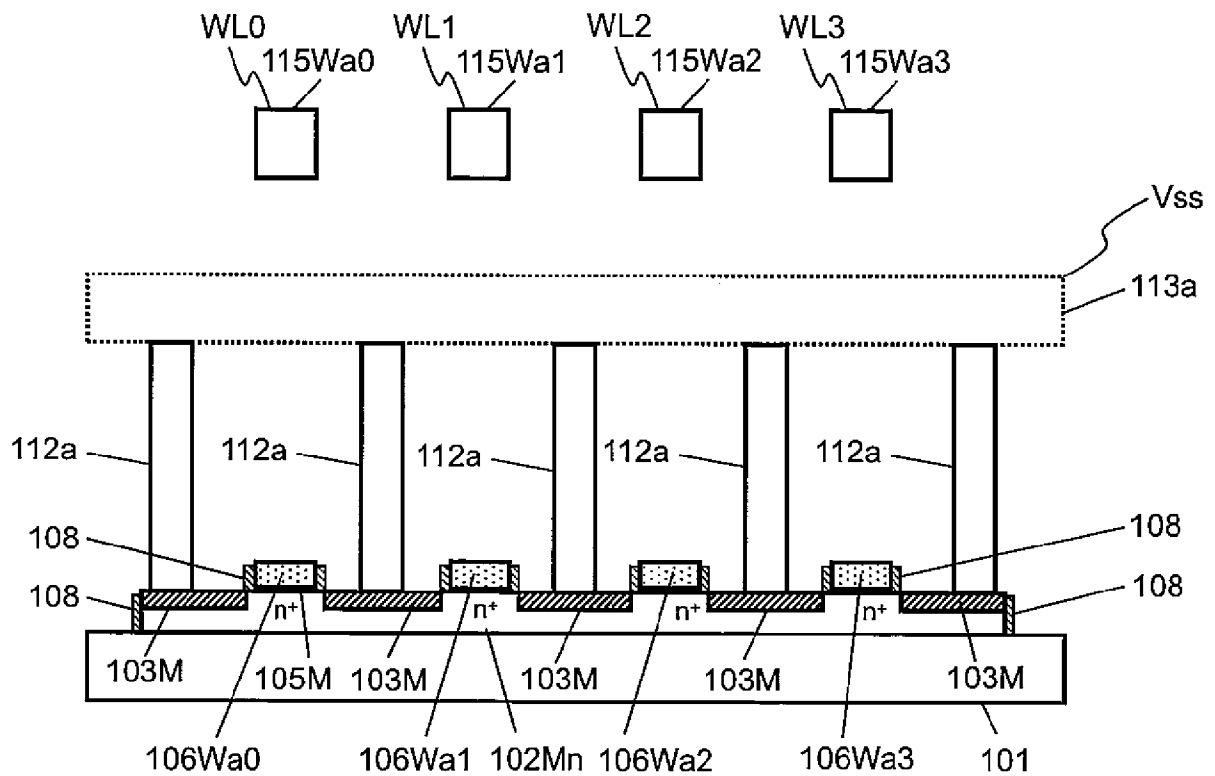


[illegible]

[図12d]



[図12e]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/083204

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/10(2006.01)i, H01L21/8234(2006.01)i, H01L21/8246(2006.01)i,
H01L27/088(2006.01)i, H01L27/112(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/10, H01L21/8234, H01L21/8246, H01L27/088, H01L27/112

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-235797 A (NEC Corp.), 29 August 2000 (29.08.2000), paragraph [0019]; fig. 1 to 16 & US 6339549 B1 & KR 10-2000-0058001 A	1-3, 7-12, 14, 16, 17 4-6, 13, 15
A		
Y	WO 2009/096468 A1 (Unisantis Electronics Japan Ltd.), 06 August 2009 (06.08.2009), paragraphs [0033], [0050]; fig. 1 to 36 & US 2010/0213525 A1 & EP 2246883 A1 & CN 101933135 A & KR 10-2010-0109958 A & TW 200935590 A	1-3, 7-12, 14, 16, 17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 January, 2014 (09.01.14)

Date of mailing of the international search report
21 January, 2014 (21.01.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/083204

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-272874 A (Unisantis Electronics Japan Ltd.), 02 December 2010 (02.12.2010), paragraphs [0048] to [0053]; fig. 1 to 25 (Family: none)	1-17
A	JP 7-141869 A (Toshiba Corp.), 02 June 1995 (02.06.1995), paragraphs [0013] to [0019]; fig. 1, 2 & US 5457661 A & EP 631286 A2 & KR 10-0139871 B	1-17

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/10(2006.01)i, H01L21/8234(2006.01)i, H01L21/8246(2006.01)i, H01L27/088(2006.01)i, H01L27/112(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/10, H01L21/8234, H01L21/8246, H01L27/088, H01L27/112

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-235797 A（日本電気株式会社） 2000.08.29, 段落 0019, 第 1-16 図	1-3, 7-12, 14, 16, 17
A	& US 6339549 B1 & KR 10-2000-0058001 A	4-6, 13, 15
Y	WO 2009/096468 A1（日本ユニサンティスエレクトロニクス株式会社） 2009.08.06, 段落 0033, 0050, 第 1-36 図 & US 2010/0213525 A1 & EP 2246883 A1 & CN 101933135 A & KR 10-2010-0109958 A & TW 200935590 A	1-3, 7-12, 14, 16, 17

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 0 1 . 2 0 1 4

国際調査報告の発送日

2 1 . 0 1 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

小山 満

5 0

9 4 5 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-272874 A (日本ユニサンティスエレクトロニクス株式会社) 2010.12.02, 段落 0048-0053, 第 1-25 図 (ファミリーなし)	1-17
A	JP 7-141869 A (株式会社東芝) 1995.06.02, 段落 0013-0019, 第 1, 2 図 & US 5457661 A & EP 631286 A2 & KR 10-0139871 B	1-17