

發明專利說明書

200414529

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92119272

※申請日期：92-7-15

※IPC 分類：H01L 29/00

壹、發明名稱：(中文/英文)

使用一金屬氧化物形成一雙閘極氧化物裝置之方法及其形成之裝置
METHOD FOR FORMING A DUAL GATE OXIDE DEVICE USING A
METAL OXIDE AND RESULTING DEVICE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商摩托羅拉公司

MOTOROLA INC.

代表人：(中文/英文)

強納森 E. 瑞斯基

JONATHAN E. RETSKY

住居所或營業所地址：(中文/英文)

美國伊利諾州史堪伯市東阿崗崑路1303號

1303 E. ALGONQUIN ROAD, SCHAUMBURG, IL 60196, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 3 人)

姓 名：(中文/英文)

1.大衛 .C. 吉爾摩

DAVID C. GILMER

2.克里斯多佛 C. 霍伯

CHRISTOPHER C. HOBBS

3.曾辛煌

HSING-HUANG M. TSENG

住居所地址：(中文/英文)

1.美國德州奧斯丁市麥可戴大道5208號

5208 MCDADE DRIVE, AUSTIN, TEXAS 78735, U.S.A.

2.美國德州奧斯丁市井海公園大道1720號3302室

1720 WELLS BRANCH PARKWAY #3302, AUSTIN, TEXAS
78728, U.S.A.

3.美國德州奧斯丁市登佛斯海灣8100號

8100 DANFORTH COVE, AUSTIN, TEXAS, U.S.A.

國 籍：(中文/英文)

1.-3.皆美國 U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 美國；2002 年 8 月 15 日；10/219,522

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002 年 8 月 15 日；10/219,522

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本申請案於2002年8月15日提出美國專利申請，專利申請案號為10/219,522。

本發明一般係關於半導體裝置，更特定言之，係關於形成為具有雙閘極介電質厚度且使用高 k 閘極介電材料如金屬氧化物的半導體裝置。

【先前技術】

在積體電路製造中，通常需要在相同的半導體基板或晶圓上形成具有不同閘極介電質厚度的電晶體。例如，輸入/輸出(I/O)裝置的電晶體可能需要較(例如)用於核心邏輯的電晶體更厚的閘極介電質。用於形成不同厚度的一傳統方法稱為DGO方法，其代表雙閘極氧化物(Dual Gate Oxide)。在一傳統DGO方法中，形成一「厚」二氧化矽層(例如用於該等I/O裝置)，且使用一阻劑遮罩來遮蔽I/O區域中的該厚二氧化矽層。然後從未遮蔽的區域(此處欲形成核心邏輯裝置)蝕刻去掉或移除該厚二氧化矽層。移除該遮罩，然後在該核心邏輯裝置區域上生長一薄二氧化矽層。然後在基板上沈積該閘極電極材料，通常為多晶矽，此時該基板包括兩個不同厚度的閘極介電質。然後圖案化並蝕刻該閘極電極材料和閘極介電質以便形成每個電晶體的閘極電極與氧化物堆疊。

上述DGO方法已用於產業中，作為一可製造及具有成本效益的方式來生產具有兩個不同閘極介電質厚度的電晶體

。然而，隨著電晶體尺寸的縮小，半導體產業亦向前發展，用高k介電材料(即具有較高介電常數的介電質)，如金屬氧化物取代傳統的二氧化矽閘極介電質。但因為金屬氧化物無法如二氧化矽般熱生長於一矽基板上，故如果試圖僅使用金屬氧化物替代在一傳統DGO方法中的二氧化矽，則會引起與用以形成不同氧化物厚度的多重金屬氧化物沈積相關的問題，以及與金屬氧化物之蝕刻相關的問題。因此，需要一半導體製程，其中可使用金屬氧化物或其他高k介電材料達到雙閘極介電質厚度。

【發明內容】

本發明在一雙閘極製程中整合一高k介電材料，最好為一金屬氧化物，該製程使用一單一金屬氧化物沈積來形成不同厚度的多重閘極介電堆疊。在本發明中，該金屬氧化物係形成於已製備的基板表面上，該等表面已提供在基板的兩個不同區域(例如核心邏輯區域及I/O區域)之間等效氧化物厚度(equivalent oxide thickness; EOT)的差異。例如，一單一金屬氧化物層係沈積於兩個不同厚度的二氧化矽或氮氧化矽上。因此，金屬氧化物的蝕刻無需對下部矽基板具有選擇性(其可能損壞基板表面)，該矽基板中需要一閘極品質表面。亦在本發明中，該單一金屬氧化物層形成與一高品質二氧化矽或氮氧化矽層的一介面，相對於與一矽表面的介面，該矽表面由於使用一金屬氧化物介電質實行傳統的DGO處理方法而已損壞或已處理過。因此，根據本發明所形成的裝置不會遭受因污染或損壞表面引起的介面不規

則之故而導致的性能降低，例如電流洩漏。

【實施方式】

現在參考圖1至4，根據本發明之一項具體實施例製造一半導體裝置10。如圖1所示，半導體裝置10包括一半導體基板12，其在一項具體實施例中為一單晶矽基板(有時亦稱為晶圓)，但其亦可由其他半導體基板材料所構成。在基板12內，溝渠隔離區域14，最好為淺溝渠隔離區域，係以傳統的方式形成，用於電隔離欲形成的不同個別裝置。形成溝渠隔離區域14後，在基板12上形成一第一閘極介電質16。第一閘極介電質16最好為二氧化矽或氮氧化矽，且最好根據慣例由熱氧化方法形成。閘極介電質16的厚度係由欲在I/O裝置區域24中形成的裝置之特定裝置要求來決定，此點將在下文進一步說明，但通常在30至50埃(3至5奈米)的範圍內。

形成第一閘極介電質16後，一(光)阻劑遮罩18係形成於該基板上，以便遮蔽該第一閘極介電層的一部分。如圖1所示，半導體裝置10包括兩個不同的裝置區域，亦即一核心裝置區域22與I/O裝置區域24。在運作中，欲形成於核心裝置區域22的裝置需要較薄的閘極介電質，其運作電壓低於(例如)欲形成於I/O裝置區域24中的I/O裝置，其可承受I/O功能所需的較高電壓。因此，形成阻劑遮罩18以保護第一閘極介電質16(其將部分當作一閘極介電質用於該等較高電壓I/O裝置)的該部分。其他介電質亦可用於第一閘極介電質16。二氧化矽與氮氧化矽係誘人的選擇，因為業界對此等

材料的認識、形成高閘極品質膜的能力，且因為其可藉由選擇性生長技術形成，而不需要覆毯式沈積與蝕刻步驟。

然後蝕刻半導體裝置10以移除核心裝置區域22中第一閘極介電質16的未受保護部分，如圖2所示。然後移除阻劑遮罩18，且在該核心裝置區域22內基板12的暴露部分上形成一第二閘極介電質20。在一項較佳具體實施例中，第二閘極介電質20亦為二氧化矽或氮氧化矽，但與第一閘極介電質16一樣，亦可使用其他材料。根據慣例，此第二閘極介電質可藉由熱氧化及/或化學氧化形成。閘極介電質20的厚度係由欲在核心裝置區域22中形成的裝置之特定裝置要求來決定，此點將在下文進一步說明，但通常在4至12埃(0.4至1.2奈米)的範圍內。因為第二閘極介電質20非常薄，故使用熱氧化方法可能難以充分控制厚度或獲得足夠品質的氧化物，因此可使用化學氧化。例如，用臭氧水清洗該基板，以生長一薄氧化物，藉此可形成該薄介電質。熱處理與化學處理的組合亦可用於形成第二介電質20。第二閘極介電質20為原生氧化物(native oxide)也已足夠，該原生氧化物係因將該基板暴露於周圍環境或含氧環境之故而生長於基板12上。在其他具體實施例中，可藉由(例如)原子層沈積方法沈積第二閘極介電質20。

在形成第二閘極介電質20的過程中，第一閘極介電質16的厚度可變化，視用於形成該第二閘極介電質20的技術而定，且在選擇第一閘極介電質16的初始沈積或生長厚度時應考慮該厚度變化。然而，一般而言，預期第一閘極介電

質16的厚度將不會大幅變化，除非第二閘極介電質20係沈積於第一閘極介電質16上，而非透過該基板表面的熱反應或化學反應形成。

既然已形成兩個不同厚度的閘極介電質，故將一高k介電質(通常 $k > 4$ ，較佳 $k > 6$ ，最好 $k > 7$)沈積於半導體裝置10上。在一項較佳具體實施例中，此高k介電質為一金屬氧化物，如圖3所示之金屬氧化物26。金屬氧化物26的適當材料包括氧化鈦(HfO_2)、矽酸鈦($\text{Hf}_x\text{Si}_y\text{O}_z$)或鋁酸釧(LaAlO_3)，但氧化釧、鋁酸鈦、氧化鋯以及矽酸鋯，及其他類似材料亦可作為適當的高k介電質。高k介電層的厚度將取決於該基板之各區域(核心區域與I/O區域)中的特定裝置要求，但通常認為一金屬氧化物的厚度將為約15至50埃(1.5至5.0奈米)。第一閘極介電質16與第二閘極介電質20的下部厚度亦將影響高k介電質的厚度選擇。高k介電質的厚度應選擇成使得其等效氧化物厚度(EOT)加上該第一閘極介電質16(I/O裝置介電質)厚度或第二閘極介電質20(核心裝置)介電質厚度的EOT，可分別提供適合於I/O與核心裝置的總EOT。同樣地，此計算應用於決定該等第一及第二閘極介電質的初始沈積或生長厚度。因為金屬氧化物26係以一單一覆毯式沈積方法沈積，故其厚度在基板表面上不會大幅變化，因而應使用該等第一及第二介電質的厚度作為「變數」，以達到核心及I/O裝置的EOT。

從圖3可見，可使用一單一金屬氧化物層，同時仍然在相同的基板上達到不同裝置的不同EOT。如果要將一金屬氧

化物併入一傳統雙閘極氧化物(DGO)方法，則需要兩個不同的金屬氧化物厚度，以滿足核心裝置及I/O裝置要求。與在相同基板上形成兩個不同的金屬氧化物厚度相關的問題包括：1) 在一矽基板上均勻性與選擇性蝕刻一金屬氧化物的困難，以及2) 在該金屬氧化物與矽基板之間以及在I/O裝置區域中沈積於彼此上方的金屬氧化物之間形成高品質介面的困難。在本發明中，使用一單一金屬氧化物沈積，該金屬氧化物係形成於已製備的基板表面上，該基板已提供該核心裝置區域22與I/O裝置區域24之間EOT的差異。金屬氧化物的蝕刻無需對下部矽基板具有選擇性，該基板需要一閘極品質表面。亦在本發明中，該金屬氧化物層形成與一高品質二氧化矽或氮氧化矽層的一介面，與一矽表面相對，該矽表面由於使用一金屬氧化物進行傳統的DGO處理而已損壞或已處理過。本發明的另一好處在於，在一金屬氧化物層上無金屬氧化物沈積，該金屬氧化物層因傳統DGO處理之故而已損壞或已處理過。

沈積金屬氧化物層26之後，在該金屬氧化物之上沈積一閘極電極材料28，且圖案化及蝕刻半導體裝置10以便形成該閘極堆疊，如圖4所示。閘極電極材料28通常將為導電(摻雜的)多晶矽或一金屬(例如氮化鈦)。最好使用相同的蝕刻遮罩以圖案化I/O及核心裝置區域中的閘極堆疊，但蝕刻要求使其更需要使用兩個遮罩，各用於該等兩個區域之每一個。此時，傳統處理可完成該電晶體及積體電路形成(例如植入物、間隔物、層間介電質、互連以及鈍化形成)。

根據本發明的另一項具體實施例，可使用類似的處理來形成一三閘極氧化物(triple gate oxide; TGO)裝置。在某些應用中，除了核心及I/O裝置，需要更大電壓的裝置，因此需要三個不同的閘極介電質厚度。如圖5所示，一半導體裝置50包括閘極介電質52、54及56，具有個別增加的實體厚度。閘極介電質52可用作一核心邏輯裝置的閘極介電質。閘極介電質54可用作一I/O裝置的閘極介電質。而閘極介電質56則可用作一高電壓裝置的閘極介電質。此等閘極介電質將以類似於參考圖1至2說明閘極介電質16及20的方式形成。差別在於所形成的第一介電層將為所需的最厚介電質(例如用於電壓最高的裝置)，且在形成該等核心裝置所需的最薄介電質之前，將形成中間厚度的閘極介電質(例如用於I/O)。此可藉由以下步驟完成：1) 在形成高電壓裝置的區域中遮蔽最厚的介電質；2) 在該等核心裝置及I/O裝置區域蝕刻此(最厚)介電質；3) 在該核心裝置區域及該I/O裝置區域中皆形成用於I/O裝置的閘極介電質；4) 在該等I/O及高電壓裝置區域中遮蔽該I/O閘極介電質及最厚的介電質；5) 在該核心裝置區域中蝕刻該I/O介電質；以及6) 形成該等核心裝置的閘極介電質。形成三個不同的EOT後，一單一高k介電質，如金屬氧化物，將沈積於該基板上，並如先前參考圖3至4所述繼續處理。

在另一項具體實施例中，根據本發明之程序包括一金屬氧化堆疊，與一單一金屬氧化物層相對。如圖6所示，所製造的一半導體裝置60具有兩個不同的EOT，如先前參考圖1

至2所述。然後，在該基板上覆毯式沈積一第一金屬氧化物層62，接著覆毯式沈積一第二金屬氧化物層64。在一項較佳具體實施例中，兩個金屬氧化物層係由不同的材料所構成。使用兩個不同金屬氧化物的一優點在於該等層內的顆粒邊界可不對齊，以降低電晶體內的電流洩漏。使用兩種不同材料的另一理由為一材料可具有所需的性質作為一閘極介電質，但可能與用於形成上部閘極電極的材料不相容。因此，第二金屬氧化物可選擇成與該閘極電極相容。在一項具體實施例中，第一金屬氧化物層為氧化鋯(ZrO_2)或氧化鈦(HfO_2)，而第二金屬氧化物則為氧化鋁(Al_2O_3)。當使用一多晶矽閘極電極材料，氧化鋁可減輕多晶矽與氧化鈦或氧化鋯之間某些不相容問題。一般而言，該第二或上方金屬氧化物層可較該第一金屬氧化物層薄，因為其主要用作一覆蓋層，而非該電晶體的主體閘極介電質。金屬閘極電極亦可受益於在該主體介電材料上使用一覆蓋層。

於前面的說明書中，已參考特定具體實施例來說明本發明。然而，熟知本技術人士應明白本發明的各種修改，並且其修改不會背離如下申請專利範圍所提出的本發明範疇與精神。例如，雖然本發明已說明為形成具有不同閘極介電質厚度的核心邏輯裝置與I/O裝置，但本發明可結合具有或需要兩個不同閘極介電質厚度的任何兩個裝置使用。因此，說明書暨附圖應視為解說，而不應視為限制，並且所有此類的修改皆屬本發明範疇內。

關於特定具體實施例的優勢、其他優點及問題解決方案

已如上述。但是，優勢、優點、問題解決方案及產生或彰顯任何優勢、優點或解決方案的任何元件，均不應視為任何或所有申請專利範圍的關鍵、必要項或基本功能或元件。本文中所使用的術語「包括」、「包括」或其任何其他變化，都是用來涵蓋非專有內含項，使得包括元件清單的程序、方法、物品或裝置，不僅包括這些元件，而且還包括未明確列出或此類程序、方法、物品或裝置原有的其他元件。

【圖式簡單說明】

本發明已藉由範例及附圖來進行解說，但本發明未限定在這些範例及附圖內，其中相同的參考符號代表相同的元件，且其中：

圖1至4說明一半導體裝置的部分斷面圖，當其經歷根據本發明的一項具體實施例之處理時，形成為具有兩個閘極介電質厚度(例如一個用於核心裝置，另一個用於I/O裝置)；

圖5為根據本發明之另一項具體實施例形成的半導體裝置的部分斷面圖，其中形成三個不同的閘極介電質厚度；以及

圖6為根據本發明之另一項具體實施例形成的一半導體裝置之部分斷面圖，其中一金屬氧化物層堆疊，而非一單一金屬氧化物層，係用作欲形成的各類型裝置(例如核心裝置以及I/O裝置)的閘極介電質的一部分。

熟知本技術人士可以發現，為了簡化及清楚起見，並沒有將圖式中的元件依比例繪製。例如，為了有助於瞭解本

發明的具體實施例，圖中部分元件的尺寸和其他元件比起來可能過度放大。

【圖式代表符號說明】

- 10 半導體裝置
- 12 基板
- 14 溝渠隔離區域
- 16 閘極介電質
- 18 阻劑遮罩
- 20 閘極介電質
- 22 核心裝置區域
- 24 輸入/輸出裝置區域
- 26 金屬氧化物
- 28 閘極電極材料
- 50 半導體裝置
- 52 閘極介電質
- 54 閘極介電質
- 56 閘極介電質
- 60 半導體裝置
- 62 金屬氧化物層
- 64 金屬氧化物層

伍、中文發明摘要：

本發明係揭示一種具有兩個不同閘極介電質厚度的半導體裝置(10)，其係使用一單一高k介電層形成，最好係使用一金屬氧化物形成。一較厚的第一閘極介電質(16)係形成於該裝置中電壓要求較高的一區域內，例如一I/O區域(24)。一較薄的第二閘極介電質(20)係形成於該裝置中電壓要求較低的一區域內，例如一核心裝置區域(22)。第一與第二介電質最好為二氧化矽或氮氧化矽。在二介電質上沈積一金屬氧化物(26)，然後沈積一閘極電極材料(28)。藉由在形成每個電晶體的閘極介電堆疊時使用一單一金屬氧化物層，以及高品質二氧化矽或氮氧化矽介電層，可避免有關該金屬氧化物的選擇性蝕刻的問題，亦可避免有關該金屬氧化物與已損壞或已處理表面之間各種介面的問題。

陸、英文發明摘要：

A semiconductor device (10) having two different gate dielectric thicknesses is formed using a single high-k dielectric layer, preferably a metal oxide. A thicker first gate dielectric (16) is formed in a region of the device for higher voltage requirements, e.g. an I/O region (24). A thinner second gate dielectric (20) is formed in a region of the device for lower voltage requirements, e.g. a core device region (22). First and second dielectrics are preferably silicon dioxide or oxynitride. A metal oxide (26) is deposited over both dielectrics, followed by deposition of a gate electrode material (28). By using a single metal oxide layer in forming the gate dielectric stack for each transistor, together with high quality silicon dioxide or oxynitride dielectric layers, problems associated with selective etching of the metal oxide may be avoided, as may problems associated with various interfaces between the metal oxide and damaged or treated surfaces.

拾、申請專利範圍：

1. 一種用於形成一半導體裝置之方法，包括：
提供一半導體基板；
在該半導體基板上形成一第一閘極介電層；
在該半導體基板的一第一區域上移除該第一閘極介電層的一部分；
在該半導體基板的該第一區域上形成一第二閘極介電層；及
在該第一閘極介電層與該第二閘極介電層上形成一金屬氧化物層。
2. 如申請專利範圍第1項之方法，其中該第一閘極介電層包括一材料，其係選自由氧化矽及氮氧化矽所組成之群組。
3. 如申請專利範圍第1項之方法，其中該第二閘極介電層包括一材料，其係選自由氧化矽及氮氧化矽所組成之群組。
4. 如申請專利範圍第1項之方法，其中該金屬氧化物層包括一材料，其係選自由二氧化鈣、矽酸鈣及鋁酸矽所組成之群組。
5. 如申請專利範圍第1項之方法，進一步包括：
在該金屬氧化物層上形成一閘極層；及
圖案化該閘極層、金屬氧化物層、第一閘極介電層與第二閘極介電層，以形成一第一閘極電極堆疊與一第二閘極電極堆疊。

6. 如申請專利範圍第5項之方法，其中該第一閘極電極堆疊係用於一核心邏輯裝置，而該第二閘極電極堆疊係用於一I/O裝置。

7. 如申請專利範圍第1項之方法，進一步包括：

在該半導體基板的一第二區域上移除該第二閘極介電層的部分；及

在該半導體基板的該第二區域上形成一第三閘極介電層；

其中形成該金屬氧化物層包括在該第一閘極介電層、該第二閘極介電層以及該第三閘極介電層上形成該金屬氧化物層。

8. 如申請專利範圍第1項之方法，其中該等第一及第二介電層具有不同的厚度。

9. 一種用於形成半導體裝置之方法，包括：

提供一半導體基板；

在該半導體基板上形成一第一介電材料，其中該半導體基板的一第一區域上該第一介電材料的一第一部分具有一第一厚度，而該半導體基板的一第二區域上該第一介電材料的一第二部分具有一不同於該第一厚度的第二厚度；

在該第一介電材料上形成一高k介電層；

在該高k介電層上形成一閘極層；及

圖案化該閘極層及該高k介電層，以在該半導體基板的該第一區域內形成一第一裝置的一閘極以及在該半

導體基板的該第二區域內形成一第二裝置的一閘極。

10. 如申請專利範圍第9項之方法，其中該第一介電材料包括一材料，其係選自由二氧化矽及氮氧化矽所組成之群組。
11. 如申請專利範圍第9項之方法，其中該高k介電層包括一金屬氧化物。
12. 如申請專利範圍第11項之方法，其中該金屬氧化物包括一材料，其係選自由二氧化鋁、矽酸鋁及鋁酸釧所組成之群組。
13. 一種半導體裝置，包括：
 - 在一半導體基板上的一第一裝置，該第一裝置包括：
 - 在該半導體基板上的一第一介電質，其具有一第一厚度；及
 - 在該第一介電質上的一第一金屬氧化物；及
 - 在該半導體基板上的一第二裝置，與該第一裝置隔開，該第二裝置包括：
 - 在該半導體基板上的一第二介電質，其具有一不同於該第一厚度的一第二厚度；及
 - 在該第二介電質上的一第二金屬氧化物。
14. 如申請專利範圍第13項之半導體裝置，其進一步包括在該第一金屬氧化物上的一第一閘極以及在該第二金屬氧化物上的一第二閘極。
15. 如申請專利範圍第14項之半導體裝置，其中該等第一及第二閘極之每一個包括一金屬。

16. 如申請專利範圍第14項之半導體裝置，其中該等第一及第二閘極之每一個包括多晶矽。
17. 如申請專利範圍第16項之半導體裝置，其進一步包括在該第一金屬氧化物上且在該第一閘極下的一第三介電質，以及在該第二金屬氧化物上且在該第二閘極下的一第四介電質。
18. 如申請專利範圍第14項之半導體裝置，其中該等第一及第二介電質的每一個包括一材料，其係選自由一氧化矽與一氮氧化矽所組成之群組。
19. 如申請專利範圍第14項之半導體裝置，其中該第一金屬氧化物與該第二金屬氧化物包括一相同的金屬氧化物。
20. 如申請專利範圍第19項之半導體裝置，其中該第一金屬氧化物與該第二金屬氧化物具有一相同的厚度。
21. 如申請專利範圍第19項之半導體裝置，其中該等第一及第二金屬氧化物之每一個包括一材料，其係選自由二氧化鋁、矽酸鋁及鋁酸釧所組成之群組。

拾壹、圖式：

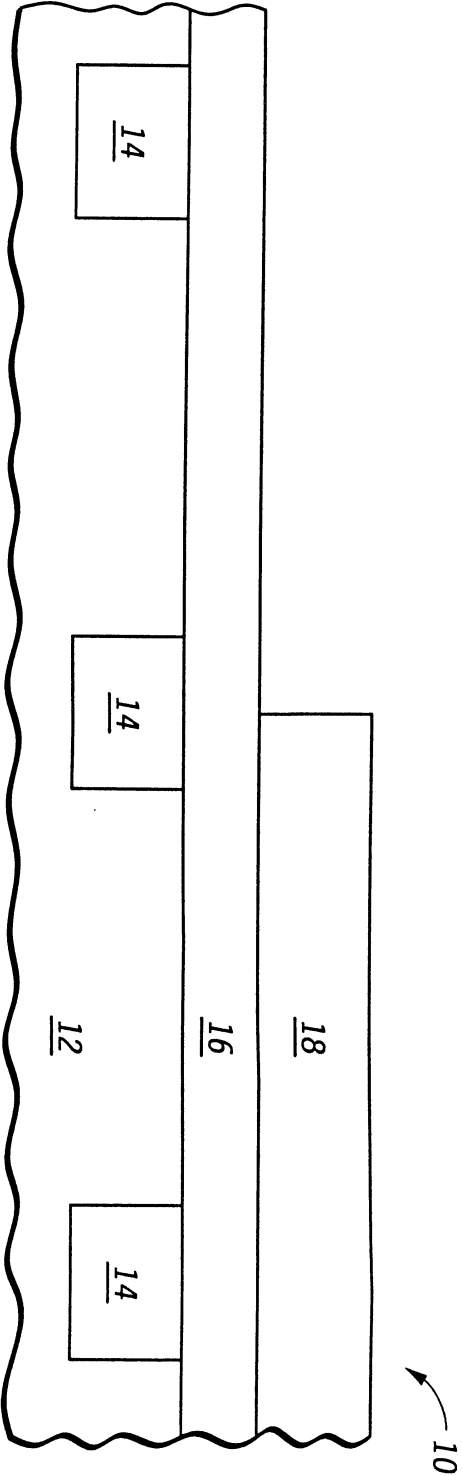


圖 1

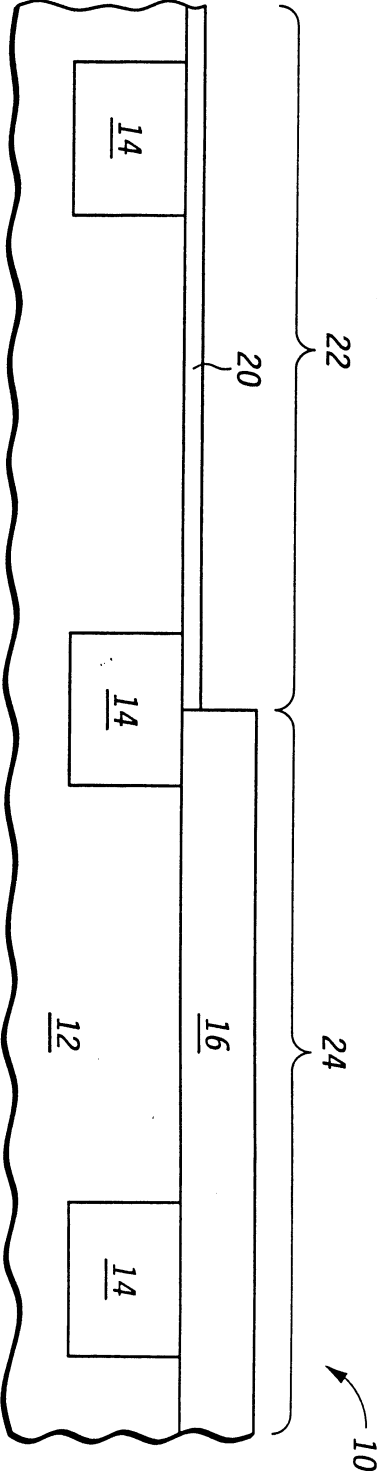


圖 2

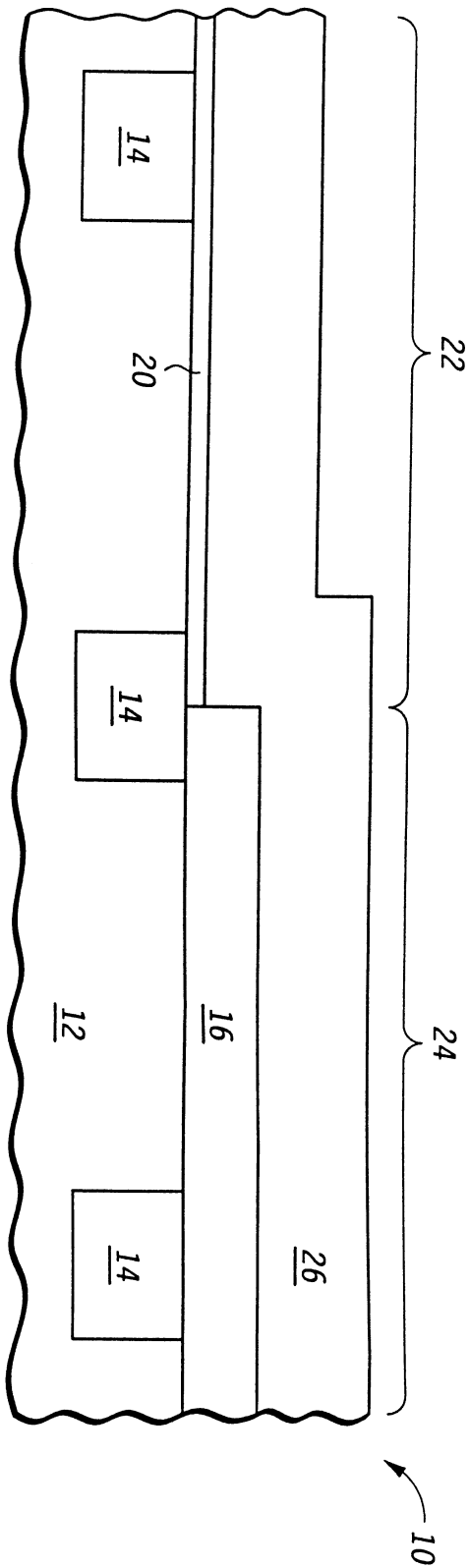


圖 3

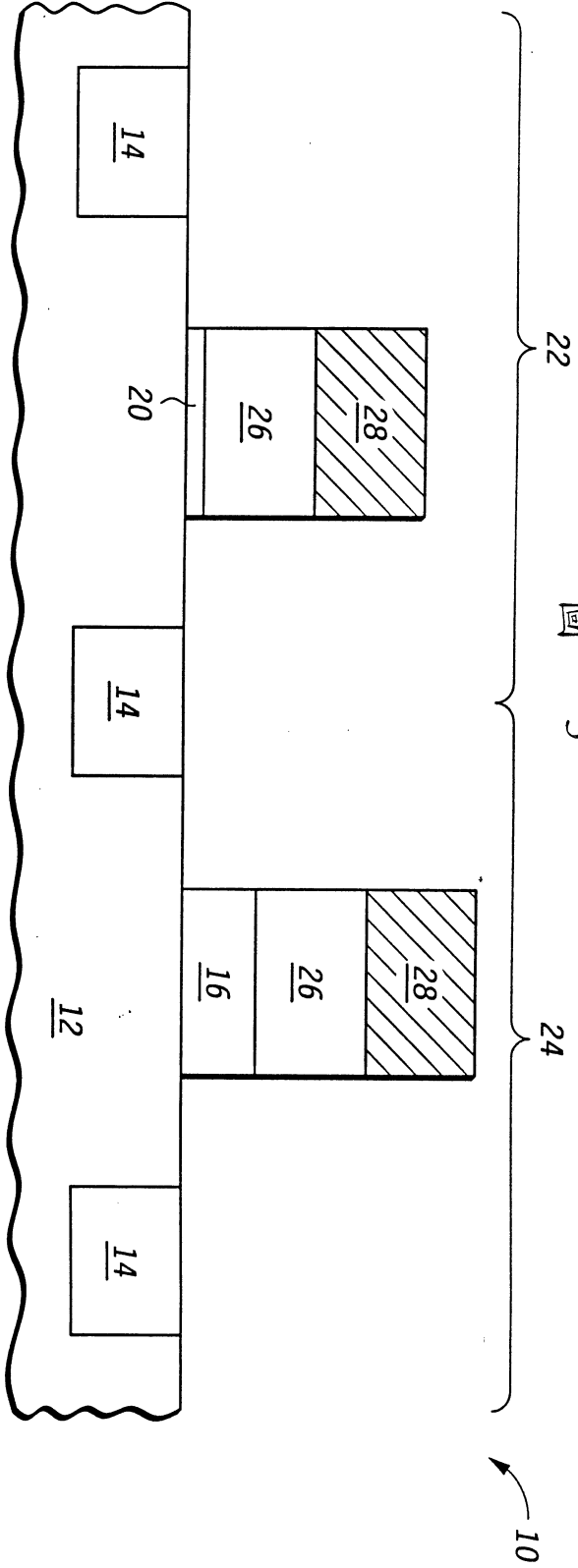


圖 4

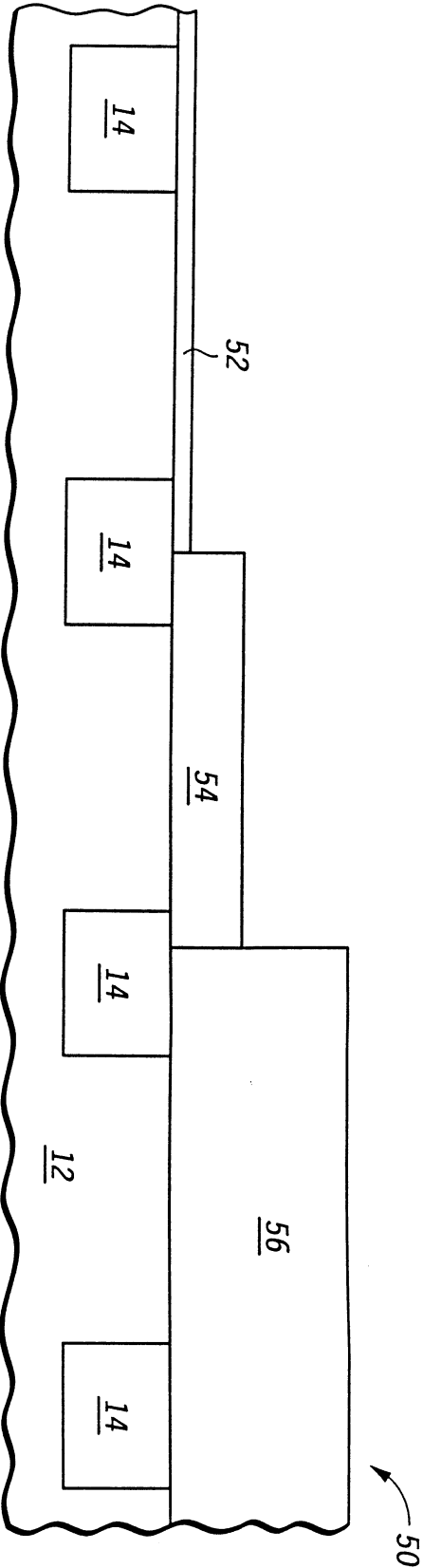


圖 5

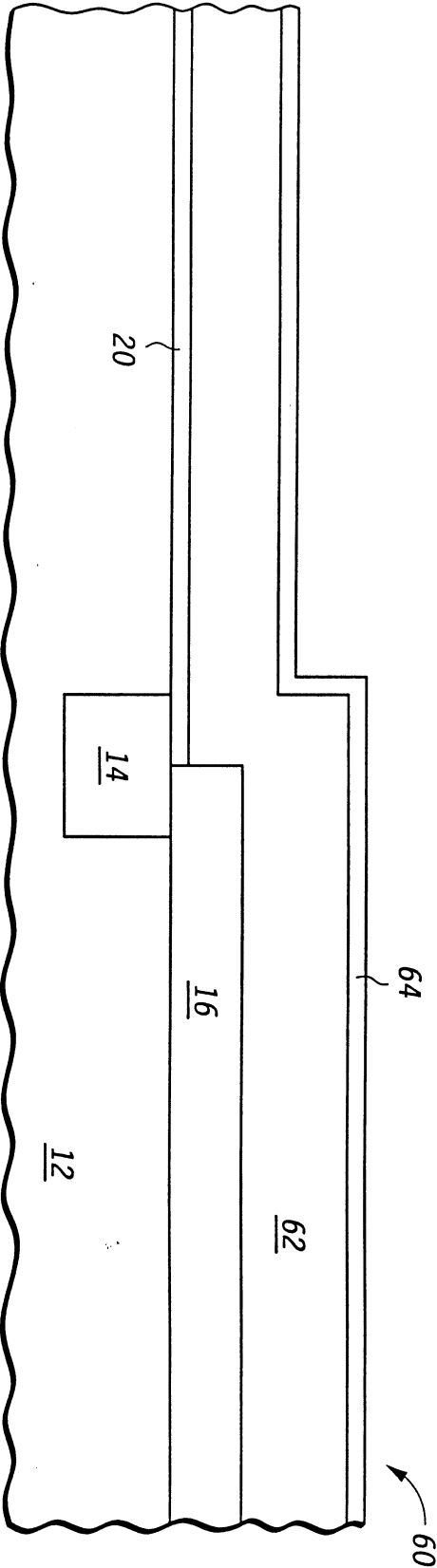


圖 6

柒、指定代表圖：

(一)本案指定代表圖為：第（ 4 ）圖。

(二)本代表圖之元件代表符號簡單說明：

10	半 導 體 裝 置
12	基 板
14	溝 渠 隔 離 區 域
16	閘 極 介 電 質
20	閘 極 介 電 質
22	核 心 裝 置 區 域
24	輸 入 / 輸 出 裝 置 區 域
26	金 屬 氧 化 物
28	閘 極 電 極 材 料

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：