

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 7 月 7 日 (2005.7.7)

【公開番号】特開 2004-14658 (P2004-14658A)
 【公開日】平成 16 年 1 月 15 日 (2004.1.15)
 【年通号数】公開・登録公報 2004-002
 【出願番号】特願 2002-163800 (P2002-163800)
 【国際特許分類第 7 版】

H 0 1 L 29/861

H 0 1 L 21/329

【F I】

H 0 1 L 29/91 C

H 0 1 L 29/91 A

H 0 1 L 29/91 K

【手続補正書】

【提出日】平成 16 年 11 月 4 日 (2004.11.4)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板上に第 1 の導電型を示す不純物が相対的低濃度に導入されたエピタキシャル層が形成され、前記エピタキシャル層の上面側に、前記第 1 の導電型と異なる第 2 の導電型を示す不純物が相対的高濃度に導入された少なくとも 2 つ以上の第 1 の半導体領域と、前記第 1 の半導体領域の周辺に所定の距離をおいて、前記第 1 の導電型を示す不純物が相対的高濃度に導入された第 2 の半導体領域とが形成されており、

前記第 1 の半導体領域、前記エピタキシャル層および前記第 2 の半導体領域からなるダイオードが2 つ以上構成されることを特徴とする半導体装置。

【請求項 2】

基板上に第 1 の導電型を示す不純物が相対的低濃度に導入されたエピタキシャル層が形成され、前記エピタキシャル層の上面側に、前記第 1 の導電型と異なる第 2 の導電型を示す不純物が相対的高濃度に導入された少なくとも 2 つ以上の第 1 の半導体領域と、前記第 1 の半導体領域の周辺に所定の距離をおいて、前記第 1 の導電型を示す不純物が相対的高濃度に導入された第 2 の半導体領域とが形成されており、

前記第 1 の半導体領域、前記エピタキシャル層および前記第 2 の半導体領域からなるダイオードが2 つ以上構成され、前記第 2 の半導体領域は前記基板に達していることを特徴とする半導体装置。

【請求項 3】

基板の上面側に、第 1 の導電型を示す不純物が導入された少なくとも 2 つ以上の第 1 の半導体領域と、前記第 1 の半導体領域の周辺に前記第 1 の導電型と異なる第 2 の導電型を示す不純物が導入された第 2 の半導体領域とが形成されており、

前記第 1 の半導体領域および前記第 2 の半導体領域からなるダイオードが2 つ以上構成され、前記 2 つ以上のダイオードはそれぞれ異なる外部信号で動作されることを特徴とする半導体装置。

【請求項 4】

(a) 基板上に第 1 の導電型を示す不純物が相対的低濃度に導入されたエピタキシャル

層を形成する工程と、

(b) 前記エピタキシャル層上に第1の絶縁膜を形成する工程と、

(c) 前記第1の絶縁膜の一部を除去した後、前記第1の絶縁膜を除去した領域を通して前記第1の導電型と異なる第2の導電型の不純物を前記エピタキシャル層へ導入して、相対的高濃度の少なくとも2つ以上の第1の半導体領域を形成する工程と、

(d) 前記第1の絶縁膜の上層に第2の絶縁膜を形成する工程と、

(e) 前記第1の半導体領域から所定の距離をおいて、所定の幅で前記第1の半導体領域周辺の前記第1および第2の絶縁膜を除去した後、前記第1および第2の絶縁膜を除去した領域を通して前記第1の導電型の不純物を前記エピタキシャル層へ導入して、相対的高濃度の第2の半導体領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】

(a) 基板上に第1の導電型を示す不純物が相対的低濃度に導入されたエピタキシャル層を形成する工程と、

(b) 前記エピタキシャル層上に第1の絶縁膜を形成する工程と、

(c) 前記第1の絶縁膜の一部を除去した後、前記第1の絶縁膜を除去した領域を通して前記第1の導電型と異なる第2の導電型の不純物を前記エピタキシャル層へ導入して、相対的高濃度の少なくとも2つ以上の第1の半導体領域を形成する工程と、

(d) 前記第1の絶縁膜の上層に第2の絶縁膜を形成する工程と、

(e) 前記第1の半導体領域から所定の距離をおいて、所定の幅で前記第1の半導体領域周辺の前記第1および第2の絶縁膜を除去した後、前記第1および第2の絶縁膜を除去した領域を通して前記第1の導電型の不純物を前記エピタキシャル層へ導入して、相対的高濃度の第2の半導体領域を形成する工程とを有し、

前記第2の半導体領域は、前記基板に達することを特徴とする半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正の内容】

【0003】

この n^+p 接合ダイオードは、まず相対的に高濃度（たとえば 10^{19} cm^{-3} ）にドーパされた p 型の導電性を示す基板上に、相対的に低濃度（たとえば 10^{16} cm^{-3} ）にドーパされる p 型エピタキシャル膜を成長させる。次に、熱酸化処理によりエピタキシャル膜の表面にシリコン酸化膜を形成した後、シリコン酸化膜の一部を取り除いて窓を形成し、続いてその窓を通じて n 型の導電性を示す不純物をエピタキシャル膜へ拡散することにより、 n^+p 接合ダイオードが形成される。このような接合は、基板上に同時に複数個形成される。

また、特開2001-185739号公報には、図1および[0019]段落にラテラル型のPINダイオード構造の開示がある。特開平5-41535号公報には、図1および[0021]段落にラテラル型のPINフォトダイオード構造の開示がある。特開平5-67729号公報には、図2および[0007]段落にラテラル型のPINダイオード構造の開示がある。特開2002-314117号公報には、図1および[0010]段落にラテラル型のフォトダイオード構造の開示がある。特開平8-88394号公報には、図1, 2, 3および[0020]～[0023]段落にラテラル型のPIN型フォトダイオード構造の開示がある。