

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5399334号
(P5399334)

(45) 発行日 平成26年1月29日(2014.1.29)

(24) 登録日 平成25年11月1日(2013.11.1)

(51) Int.Cl.

F 1

H01L 29/786 (2006.01)

H01L 29/78 618B

H01L 21/336 (2006.01)

H01L 29/78 612B

G02F 1/1368 (2006.01)

H01L 29/78 617N

H01L 29/78 619A

H01L 29/78 619B

請求項の数 5 (全 67 頁) 最終頁に続く

(21) 出願番号

特願2010-151608 (P2010-151608)

(22) 出願日

平成22年7月2日(2010.7.2)

(65) 公開番号

特開2011-29635 (P2011-29635A)

(43) 公開日

平成23年2月10日(2011.2.10)

審査請求日

平成25年4月8日(2013.4.8)

(31) 優先権主張番号

特願2009-159052 (P2009-159052)

(32) 優先日

平成21年7月3日(2009.7.3)

(33) 優先権主張国

日本国(JP)

早期審査対象出願

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 坂田 淳一郎

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 佐々木 俊成

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 細羽 みゆき

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 鈴木 聰一郎

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1の導電層と、

前記第1の導電層の上方の第1の絶縁層と、

前記第1の絶縁層の上方の酸化物半導体層と、

前記酸化物半導体層の上方の第2の絶縁層と、

前記第2の絶縁層の上方の第2の導電層と、

前記酸化物半導体層と電気的に接続された第3の導電層と、

前記酸化物半導体層と電気的に接続された第4の導電層と、を有し、

前記第1の導電層は、トランジスタの第1のゲート電極として機能することができる領域を有し、 10

前記第2の導電層は、前記トランジスタの第2のゲート電極として機能することができる領域を有し、

前記第3の導電層は、前記トランジスタのソース電極として機能することができる領域を有し、

前記第4の導電層は、前記トランジスタのドレイン電極として機能することができる領域を有し、

前記第2の導電層は、前記第3の導電層と重なる領域と、前記第4の導電層と重なる領域と、を有し、

前記トランジスタのチャネル長方向において、前記第1の導電層は前記酸化物半導体層

20

より幅が広い領域を有し、前記第2の導電層は前記酸化物半導体層より幅が狭い領域を有し、前記酸化物半導体層の側面は前記第3の導電層又は前記第4の導電層に覆われていないことを特徴とする半導体装置。

【請求項2】

第1の導電層と、

前記第1の導電層の上方の第1の絶縁層と、

前記第1の絶縁層の上方の酸化物半導体層と、

前記酸化物半導体層の上方の第3の絶縁層と、

前記第3の絶縁層の上方の第2の絶縁層と、

前記第2の絶縁層の上方の第2の導電層と、

前記酸化物半導体層と電気的に接続された第3の導電層と、

前記酸化物半導体層と電気的に接続された第4の導電層と、を有し、

前記第1の導電層は、トランジスタの第1のゲート電極として機能することができる領域を有し、

前記第2の導電層は、前記トランジスタの第2のゲート電極として機能することができる領域を有し、

前記第3の導電層は、前記トランジスタのソース電極として機能することができる領域を有し、

前記第4の導電層は、前記トランジスタのドレイン電極として機能することができる領域を有し、

前記第2の導電層は、前記第3の導電層と重なる領域と、前記第4の導電層と重なる領域と、を有し、

前記トランジスタのチャネル長方向において、前記第1の導電層は前記酸化物半導体層より幅が広い領域を有し、前記第2の導電層は前記酸化物半導体層より幅が狭い領域を有し、前記酸化物半導体層の側面は前記第3の導電層又は前記第4の導電層に覆われていないことを特徴とする半導体装置。

【請求項3】

請求項1又は請求項2において、

前記第2の絶縁層は、前記第3の導電層又は前記第4の導電層に覆われていない前記酸化物半導体層の側面を覆っていることを特徴とする半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

発光素子を有し、

前記発光素子は、透光性を有する電極、前記透光性を有する電極の上方の有機化合物を有する層、前記有機化合物を有する層の上方の遮光性を有する電極を有し、

前記透光性を有する電極は、前記酸化物半導体層と重なっておらず、

前記遮光性を有する電極は、前記酸化物半導体層と重なる領域を有することを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記酸化物半導体層の上面、下面及び側面のうち、前記第3の導電層及び前記第4の導電層と接する領域以外の全ての領域は、酸素を含む絶縁材料と接していることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

トランジスタで構成された回路を有する表示装置の作製方法に関する。

【背景技術】

【0002】

金属酸化物は多様に存在し、様々な用途に用いられている。金属酸化物として、酸化イ

10

20

30

40

50

ンジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透光性を有する導電性材料として用いられている。

【0003】

金属酸化物には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域とするトランジスタが既に知られている（例えば、特許文献1乃至特許文献4、および非特許文献1を参照）。

【0004】

ところで、金属酸化物は一元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモロガス相を有する $InGaO_3 (ZnO)_m$ （m：自然数）は、In、GaおよびZnを有する多元系酸化物半導体として知られている（非特許文献2乃至非特許文献4を参照）。

【0005】

そして、上記のようなIn-Ga-Zn系酸化物で構成される酸化物半導体層をトランジスタのチャネル層として適用可能であることが確認されている（特許文献5、非特許文献5および非特許文献6を参照）。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開昭60-198861号公報

20

【特許文献2】特開平8-264794号公報

【特許文献3】特表平11-505377号公報

【特許文献4】特開2000-150900号公報

【特許文献5】特開2004-103957号公報

【非特許文献】

【0007】

【非特許文献1】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillissen, J. B. Giesbers, R. P. Weening, and R. M. Wolf、「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett., 17 June 1996, Vol. 68 p. 3650-3652

30

【非特許文献2】M. Nakamura, N. Kimizuka, and T. Mohri、「The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350」、J. Solid State Chem., 1991, Vol. 93, p. 298-315

【非特許文献3】N. Kimizuka, M. Isobe, and M. Nakamura、「Syntheses and Single-Crystal Data of Homologous Compounds, $In_2O_3(ZnO)_m$ (m = 3, 4, and 5), $InGaO_3(ZnO)_3$, and $Ga_2O_3(ZnO)_m$ (m = 7, 8, 9, and 16) in the In_2O_3 - $ZnGa_2O_4$ - ZnO System」、J. Solid State Chem., 1995, Vol. 116, p. 170-178

40

【非特許文献4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、 $InFeO_3 (ZnO)_m$ (m：自然数) とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28、No. 5、p. 317-327

【非特許文献5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono、「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」

50

、SCIENCE、2003、Vol. 300、p. 1269 - 1272

【非特許文献6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono、「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE、2004、Vol. 432 p. 488 - 492

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の一態様は、電気的特性が良好であり且つ信頼性の高いトランジスタとその作製方法を提供し、これを適用した、表示品質が良好であり且つ信頼性の高い表示装置を提供することを課題とする。

【課題を解決するための手段】

【0009】

本発明の一態様は、酸化物半導体層を有するトランジスタが設けられた表示装置であって、該表示装置のアクティブマトリクス基板は、画素部と駆動回路部を有し、少なくとも該駆動回路部では、バックチャネル部と重畳する位置に更なるゲート電極が設けられており、該トランジスタの作製に際して、酸化物半導体層には加熱処理が行われ、該加熱処理により、脱水化または脱水素化されることを特徴とする。更には、該加熱処理後に該酸化物半導体層を覆って酸素を含む絶縁性無機材料により保護絶縁層が形成される。該加熱処理によりキャリア濃度も変化する。

【発明の効果】

【0010】

電気的特性が良好なトランジスタを作製し、特に、長期間の使用に際しても、しきい値電圧がシフトしにくく、信頼性の高いトランジスタを作製することができ、このようなトランジスタを少なくとも駆動回路部に適用することで、表示装置の信頼性を向上させることができる。

【図面の簡単な説明】

【0011】

【図1】本発明の一態様であるトランジスタを説明する図。

【図2】本発明の一態様であるトランジスタを説明する図。

【図3】本発明に適用できる電気炉を説明する図。

【図4】本発明の一態様であるトランジスタを説明する図。

【図5】本発明の一態様であるトランジスタを説明する図。

【図6】本発明の一態様であるトランジスタを説明する図。

【図7】本発明の一態様であるトランジスタを説明する図。

【図8】本発明の一態様であるトランジスタを説明する図。

【図9】本発明の一態様であるトランジスタを説明する図。

【図10】本発明の一態様であるトランジスタを説明する図。

【図11】本発明の一態様である表示装置を説明する図。

【図12】本発明の一態様である表示装置を説明する図。

【図13】本発明の一態様である表示装置を説明する図。

【図14】本発明の一態様である表示装置を説明する図。

【図15】本発明の一態様である表示装置を説明する図。

【図16】本発明の一態様である表示装置を説明する図。

【図17】本発明の一態様である表示装置を説明する図。

【図18】本発明の一態様である表示装置を説明する図。

【図19】本発明の一態様である表示装置を説明する図。

【図20】本発明の一態様である表示装置を説明する図。

10

20

30

40

50

- 【図21】本発明の一態様である表示装置を説明する図。
- 【図22】本発明の一態様である表示装置を説明する図。
- 【図23】本発明の一態様である表示装置を説明する図。
- 【図24】本発明の一態様である表示装置を説明する図。
- 【図25】本発明の一態様である表示装置を説明する図。
- 【図26】本発明の一態様である電子機器を説明する図。
- 【図27】本発明の一態様である電子機器を説明する図。
- 【図28】本発明の一態様である電子機器を説明する図。
- 【図29】実施例1を説明する図。
- 【図30】実施例1を説明する図。 10
- 【図31】実施例1を説明する図。
- 【図32】実施例1を説明する図。
- 【図33】実施例2を説明する図。
- 【図34】実施例2を説明する図。
- 【図35】実施例2を説明する図。
- 【図36】実施例2を説明する図。
- 【図37】実施例2を説明する図。
- 【図38】実施例2を説明する図。
- 【図39】実施例2を説明する図。
- 【図40】実施例2を説明する図。 20
- 【図41】実施例2を説明する図。
- 【図42】実施例3を説明する図。
- 【図43】実施例3を説明する図。
- 【発明を実施するための形態】
- 【0012】
- 実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。 30
- 【0013】
- なお、以下の実施の形態1乃至実施の形態4は、本発明の一態様である表示装置の少なくとも駆動回路部に設けられるトランジスタについて説明する。
- 【0014】
- (実施の形態1)
- 本実施の形態は、本発明の一態様である表示装置に適用できるトランジスタおよびその作製方法について説明する。本発明の一態様である表示装置において、少なくとも駆動回路部に、本実施の形態のトランジスタを適用する。 40
- 【0015】
- 図1(A)乃至図1(C)は、本発明の一態様に適用できるトランジスタの断面図を示す。
- 【0016】
- トランジスタ471は、ボトムゲート型のトランジスタであって、基板400上に設けられた、第1のゲート電極層401と、ゲート絶縁層402と、酸化物半導体層403と、ソース電極およびドレイン電極層405と、を有する。更には、酸化物半導体層403の一部に接してこれらを覆う第1の保護絶縁層407と、第1の保護絶縁層407上に設けられ、酸化物半導体層403と重畠する第2のゲート電極層409が設けられている。なお、第1の保護絶縁層407は、第2のゲート絶縁層と呼ぶこともできる。
- 【0017】 50

チャネル形成領域を含む酸化物半導体層403の材料としては、半導体特性を有する酸化物材料を用いればよい。例えば、 $InMO_3(ZnO)_m$ ($m > 0$) で表記される構造の酸化物半導体を用いることができ、特に、In-Ga-Zn-O系酸化物半導体を用いることが好ましい。なお、Mは、Ga、Fe、Ni、MnおよびCoから選ばれた一の金属元素または複数の金属元素を表す。例えば、MがGaの場合には、GaとNiまたはGaとFeなど、Ga以外の上記した金属元素が含まれる場合がある。

【0018】

なお、上記酸化物半導体において、Mとして含まれる金属元素の他に、Fe、Ni、その他の遷移金属元素または該遷移金属の酸化物が含まれていてもよい。

【0019】

なお、 $InMO_3(ZnO)_m$ ($m > 0$) で表記される構造の酸化物半導体のうち、Mとして少なくともGaを含む構造の酸化物半導体をIn-Ga-Zn-O系酸化物半導体と呼び、該薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。

【0020】

または、酸化物半導体層403に適用する酸化物半導体として上記の他にも、In-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体を適用することができる。

【0021】

なお、上記酸化物半導体に酸化シリコンを含ませてもよい。

【0022】

酸化物半導体層403の形成では、少なくとも酸化物半導体膜を形成した後に、不純物である水分(H_2O)などを低減する加熱処理(脱水化または脱水素化のための加熱処理)をして低抵抗化(キャリア濃度が高まり、好ましくは $1 \times 10^{18} / cm^3$ 以上となる)させ、該酸化物半導体膜(または加工された酸化物半導体層)に接して第1の保護絶縁層407を形成することにより、高抵抗化(キャリア濃度が低まる、好ましくは $1 \times 10^{18} / cm^3$ 未満、さらに好ましくは $1 \times 10^{14} / cm^3$ 以下)させてチャネル形成領域として用いることができる酸化物半導体層を形成することができる。

【0023】

さらに、脱水化または脱水素化のための加熱処理によって水分などの不純物を脱離させる過程を経た後、不活性雰囲気下で徐冷(徐々に冷却)を行うことが好ましい。脱水化または脱水素化のための加熱処理および徐冷を行った後、酸化物半導体層に接して絶縁性酸化膜の形成などを行って酸化物半導体層のキャリア濃度を低減させることで、トランジスタ471の信頼性を向上させることができる。

【0024】

更には、酸化物半導体層403内だけでなく、ゲート絶縁層402内、および上下に接して設けられる層と酸化物半導体層403の界面、具体的にはゲート絶縁層402と酸化物半導体層403の界面、および第1の保護絶縁層407と酸化物半導体層403の界面に存在する水分などの不純物を低減する。

【0025】

酸化物半導体層403は、少なくとも無機絶縁膜と接する領域が高抵抗化酸化物半導体領域であり、該高抵抗化酸化物半導体領域をチャネル形成領域として用いることができる。

【0026】

なお、酸化物半導体層403に用いるIn-Ga-Zn-O系非単結晶膜は、非晶質であっても、微結晶を含んでいても、多結晶であってもよい。または、「In-Ga-Zn-O系非単結晶膜」と表記しているが、これに限定されず単結晶であってもよい。

【0027】

高抵抗化酸化物半導体領域をチャネル形成領域として用いることによって、トランジスタの電気的特性は安定し、オフ電流の増加などを防止することができる。

10

20

30

40

50

【0028】

そして、酸化物半導体層403と接するソース電極およびドレイン電極層405を形成する材料は、酸素親和性の高い金属を含有する材料が好ましい。酸素親和性の高い金属を含有する材料としては、チタン、アルミニウム、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いることが好ましい。

【0029】

酸化物半導体層403と、酸素親和性の高い金属層とを接触させて熱処理を行うと、酸化物半導体層403から金属層へと酸素原子が移動し、界面付近においてキャリア密度が増加し、低抵抗な領域が形成される。該低抵抗な領域は界面を有する膜状であってよい。

10

【0030】

このように、トランジスタのコンタクト抵抗を低くし、オン電流を大きくすることができる。

【0031】

図2(A)乃至図2(D)にトランジスタ471の作製工程の断面図を示す。

【0032】

まず、絶縁表面を有する基板400上に第1のゲート電極層401を形成する。絶縁表面を有する基板400は、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われるガラス基板(「無アルカリガラス基板」とも呼ばれる。)、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板などを用いることができる。絶縁表面を有する基板400がマザーガラスの場合には、第1世代($320\text{ mm} \times 400\text{ mm}$)、第2世代($400\text{ mm} \times 500\text{ mm}$)、第3世代($550\text{ mm} \times 650\text{ mm}$)、第4世代($680\text{ mm} \times 880\text{ mm}$ 、または $730\text{ mm} \times 920\text{ mm}$)、第5世代($1000\text{ mm} \times 1200\text{ mm}$ または $1100\text{ mm} \times 1250\text{ mm}$)、第6世代($1500\text{ mm} \times 1800\text{ mm}$)、第7世代($1900\text{ mm} \times 2200\text{ mm}$)、第8世代($2160\text{ mm} \times 2460\text{ mm}$)、第9世代($2400\text{ mm} \times 2800\text{ mm}$ 、 $2450\text{ mm} \times 3050\text{ mm}$)、第10世代($2950\text{ mm} \times 3400\text{ mm}$)などの大きさのものを用いることができる。

20

【0033】

または、後に参照する図1(C)と同様に、下地絶縁層を基板400と第1のゲート電極層401の間に形成してもよい。下地絶縁層は、基板400からの不純物元素(ナトリウムなど)の拡散を防止することができる絶縁膜により形成すればよく、例えば窒化シリコン、酸化シリコン、窒化酸化シリコン若しくは酸化窒化シリコンから選ばれた一または複数の膜により積層して形成することができる。

30

【0034】

第1のゲート電極層401は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム若しくはスカンジウムなどの金属材料またはこれらを主成分とする合金材料を用いて、単層で、または積層して形成することができる。

【0035】

例えば、第1のゲート電極層401を2層の積層構造とする場合には、アルミニウム層上にモリブデン層が積層された2層構造、または銅層上にモリブデン層を積層した2層構造、銅層上に窒化チタン層若しくは窒化タンタル層を積層した2層構造、または窒化チタン層とモリブデン層を積層した2層構造とすることが好ましい。3層の積層構造とする場合には、タンタル層若しくは窒化タンタル層と、アルミニウムとシリコンの合金層若しくはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層と、を積層した3層構造とすることが好ましい。

40

【0036】

第1のゲート電極層401は、導電膜を基板400の全面に形成した後、フォトリソグラフィ工程を行って該導電膜上にレジストマスクを形成し、エッチングにより不要な部分

50

を除去することで形成する。第1のゲート電極層401は、配線および電極（第1のゲート電極層401を含むゲート配線、容量配線、および端子電極など）を構成する。

【0037】

次いで、第1のゲート電極層401上にゲート絶縁層402を形成する。

【0038】

ゲート絶縁層402は、プラズマCVD法またはスパッタリング法などを用いて、酸化シリコン、窒化シリコン、酸化窒化シリコンまたは窒化酸化シリコンを単層で、または積層して形成することができる。例えば、原料ガスとして、 SiH_4 と、酸素および窒素のいずれか一方または双方と、を用いてプラズマCVD法により酸化窒化シリコン層を形成すればよい。または、酸素と窒素に代えて、一酸化二窒素などを用いてもよい。

10

【0039】

次いで、ゲート絶縁層402上に、酸化物半導体膜を形成する。

【0040】

なお、酸化物半導体膜をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させて逆スパッタを行い、ゲート絶縁層402の表面に付着しているゴミなどを除去することが好ましい。逆スパッタとは、アルゴン雰囲気下で基板にRF電源を用いて電圧を印加してプラズマを発生させ、該プラズマに被処理物（例えば、基板）を曝して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素またはヘリウムなどを用いてもよい。または、アルゴン雰囲気に酸素、若しくは一酸化二窒素などを加えた雰囲気で行ってもよい。または、アルゴン雰囲気に塩素若しくは四フッ化メタンなどを加えた雰囲気で行ってもよい。

20

【0041】

酸化物半導体膜は、In-Ga-Zn-O系金属酸化物をターゲットとして用いてスパッタリング法により形成する。酸化物半導体膜は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、または希ガス（例えばアルゴン）および酸素雰囲気下においてスパッタリング法により形成することができる。

【0042】

なお、ゲート絶縁層402と酸化物半導体膜を大気に触れさせることなく連続的に形成してもよい。ゲート絶縁層402と酸化物半導体膜を大気に触れさせることなく連続的に形成することで、ゲート絶縁層402と酸化物半導体膜の界面が、大気成分や大気中に浮遊する不純物（水やハイドロカーボンなど）に汚染されることなく形成されるので、トランジスタの特性のばらつきを低減することができる。

30

【0043】

次に、酸化物半導体膜をフォトリソグラフィ工程により加工して、島状の第1の酸化物半導体層430を形成する（図2（A）を参照）。

【0044】

第1の酸化物半導体層430に対して、不活性ガス（窒素、またはヘリウム、ネオン、アルゴンなどの希ガス）雰囲気下或いは減圧下において加熱処理を行った後、不活性雰囲気下で徐冷を行って第2の酸化物半導体層431を形成する（図2（B）を参照）。第1の酸化物半導体層430に対して、上記の雰囲気下で加熱処理を行うことで、第1の酸化物半導体層430に含まれる水素および水などの不純物を除去し、第2の酸化物半導体層431が形成される。

40

【0045】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴンなどの希ガスに、水または水素などの不純物が含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴンなどの希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（すなわち、不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0046】

なお、加熱処理には、電気炉を用いた加熱方法、加熱した気体を用いるGRTA（Ga

50

s Rapid Thermal Anneal) 法、またはランプ光を用いる L R T A (Lamp Rapid Thermal Anneal) 法などの瞬間加熱する方法などを用いることができる。

【0047】

ここで、第1の酸化物半導体層430の加熱処理に電気炉を用いる場合について、図3を用いて説明する。

【0048】

図3は、電気炉601の概略図である。電気炉601は、チャンバー602を有し、チャンバー602の外側にはチャンバー602を加熱するヒーター603が設けられている。チャンバー602内には、基板604を搭載するサセプター605が設けられており、チャンバー602内に基板604を搬入または搬出する。チャンバー602にはガス供給手段606および排気手段607が接続されている。ガス供給手段606からは、チャンバー602にガスが導入される。そして、排気手段607により、チャンバー602内を排気し、またはチャンバー602内を減圧する。なお、電気炉601は、0.1 / 分以上20 / 分以下で昇温でき、0.1 / 分以上15 / 分以下で降温できる構成とすることが好ましい。

【0049】

ガス供給手段606は、ガス供給源611と、圧力調整弁612と、マスフローコントローラ614と、ストップバルブ615と、を有する。本実施の形態では、図3に示されるように、ガス供給源611とチャンバー602の間に精製器613を設けることが好ましい。精製器613を設けることで、ガス供給源611からチャンバー602内に導入されるガスに含まれる、水または水素などの不純物を除去することが可能であり、チャンバー602内への水または水素などの侵入を防ぐことができる。

【0050】

本実施の形態では、ガス供給源611から、窒素または希ガスをチャンバー602に導入し、チャンバー602内を窒素または希ガス雰囲気とし、200以上600以下、好ましくは400以上600以下に加熱されたチャンバー602において、基板604(図1における基板400)上に形成された第1の酸化物半導体層430を加熱することで、第1の酸化物半導体層430の脱水化または脱水素化を行うことができる。

【0051】

または、排気手段607によって減圧下で200以上600以下、好ましくは400以上600以下に加熱されたチャンバー602において、基板604(図1における基板400)上に形成された第1の酸化物半導体層430を加熱することで、第1の酸化物半導体層430の脱水化または脱水素化を行うことができる。

【0052】

次に、ヒーター603をオフし、チャンバー602を徐冷(徐々に冷却)する。第1の酸化物半導体層430は、不活性ガス雰囲気下或いは減圧下における加熱処理と徐冷によって、低抵抗化(キャリア濃度が高まる、好ましくは $1 \times 10^{18} / cm^3$ 以上)され、第2の酸化物半導体層431とすることができます。

【0053】

上記のように加熱処理することで、後に形成されるトランジスタの信頼性を高めることができる。

【0054】

なお、減圧下で加熱処理を行った場合には、加熱後に不活性ガスをチャンバー602内に導入して大気圧として冷却すればよい。

【0055】

なお、加熱装置のチャンバー602内の基板604を300程度まで冷却した後、基板604を室温の雰囲気下に移動してもよい。この結果、基板604の冷却時間を短縮することができる。

【0056】

10

20

30

40

50

なお、加熱装置がマルチチャンバーの場合、加熱処理と冷却処理を異なるチャンバーで行うこともできる。例えば、窒素または希ガスが充填され、且つ200以上600以下、好ましくは400以上600以下に加熱された第1のチャンバーにおいて、基板604(図1における基板400)上の第1の酸化物半導体層430を加熱する。次に、

窒素または希ガスが導入された搬送室を経て、窒素または希ガスが充填され、且つ100以下、好ましくは室温である第2のチャンバーに、上記加熱処理された基板を移動し、冷却する。加熱処理と冷却処理を異なるチャンバーで行うことで、スループットを向上させることができる。

【0057】

なお、不活性ガス雰囲気下或いは減圧下における第1の酸化物半導体層430に対する加熱処理は、島状の第1の酸化物半導体層430に加工する前の酸化物半導体膜に対して行ってもよい。その場合には、不活性ガス雰囲気下或いは減圧下における酸化物半導体膜の加熱処理後に室温以上100未満まで徐冷を行い、加熱装置から基板604(図1における基板400)を取り出し、フォトリソグラフィ工程を行う。

【0058】

なお、不活性ガス雰囲気下或いは減圧下の加熱処理後の第1の酸化物半導体層430の状態は、非晶質であることが好ましいが、一部が結晶化されていてもよい。

【0059】

次いで、ゲート絶縁層402、第2の酸化物半導体層431上に導電膜を形成する。

【0060】

導電膜の材料としては、アルミニウム、クロム、タンタル、チタン、モリブデン、タングステンから選ばれた元素、これらの金属元素を主成分とする合金、またはこれらの金属元素を組み合わせた合金などが挙げられる。

【0061】

なお、該導電膜の形成後に加熱処理を行う場合には、少なくともこの加熱処理に耐える程度の耐熱性を有する導電膜を用いる。例えば、該導電膜をアルミニウムのみで形成すると、耐熱性が劣り、また腐蝕しやすいなどの問題があるので耐熱性導電性材料と組み合わせて形成するとよい。アルミニウムと組み合わせる耐熱性導電性材料としては、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、または上述した金属元素を主成分とする合金、上述した元素を組み合わせた合金、または上述した元素を主成分とする窒化物などが挙げられる。

【0062】

第2の酸化物半導体層431と該導電膜をエッティングし、第3の酸化物半導体層432、ソース電極およびドレイン電極層405(ソース電極405aおよびドレイン電極405b)を形成する(図2(C)を参照)。なお、第3の酸化物半導体層432は一部(バックチャネル部)がエッティングされており、溝部(凹部)を有する。

【0063】

次に、第3の酸化物半導体層432に接して第1の保護絶縁層407を形成する。第1の保護絶縁層407は、水分、水素イオンおよびOH⁻などが低減され(すなわち、これらを含まず、または含む場合であってもほとんど含まない。)、これらの外部からの侵入をブロックし、酸素を含む絶縁性無機材料を用いて形成する。具体的には、酸化シリコン、酸化窒化シリコンまたは窒化酸化シリコンを用いるとよい。

【0064】

本実施の形態では、第1の保護絶縁層407としてスパッタリング法を用いて厚さ300nmの酸化シリコン膜を形成する。酸化シリコン膜の形成時の基板温度は、室温以上300以下とすればよく、ここでは100とする。酸化シリコン膜のスパッタリング法による形成は、希ガス(例えばアルゴン)雰囲気下、酸素雰囲気下、または希ガス(例えばアルゴン)と酸素の混合ガス雰囲気下において行うことができる。なお、ターゲットとして酸化シリコンターゲットを用いてもシリコンターゲットを用いてもよい。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタリングを行うことで、酸化シ

10

20

30

40

50

リコン膜を形成することができる。

【0065】

第3の酸化物半導体層432に接して、スパッタリング法またはプラズマCVD法などにより第1の保護絶縁層407として酸化シリコン膜を形成すると、低抵抗化された第3の酸化物半導体層432における少なくとも第1の保護絶縁層407と接する領域を高抵抗化（キャリア濃度が低下、好ましくは $1 \times 10^{18} / \text{cm}^3$ 未満）し、高抵抗化酸化物半導体領域を形成することができる。

【0066】

トランジスタの作製プロセス中、不活性気体雰囲気下（或いは減圧下）での加熱、徐冷および絶縁性酸化物の形成などによって第3の酸化物半導体層432のキャリア濃度を増減させることが重要である。第3の酸化物半導体層432は、高抵抗化酸化物半導体領域を有する酸化物半導体層403となる。（図2（D）を参照）。

10

【0067】

次いで、第1の保護絶縁層407上に導電膜を形成した後、フォトリソグラフィ工程を行い、該導電膜上にレジストマスクを形成し、エッチングにより不要な部分を除去して第2のゲート電極層409（同一の層により形成される配線などを含む）を形成する。第2のゲート電極層409を所望の上面形状とするため選択的にエッチングする際に、第1の保護絶縁層407はエッチングストッパーとして機能する。

【0068】

なお、第2のゲート電極層409が第1のゲート電極層401と接続される場合には、第2のゲート電極層409となる導電膜を形成する前に第1の保護絶縁層407の所定箇所に、第1のゲート電極層401を露出させるように開口部を形成しておく。

20

【0069】

第1の保護絶縁層407上に形成する導電膜としては、金属材料（アルミニウム、銅、チタン、タンタル、タンクステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた金属元素の一若しくは複数、または上述した金属元素を主成分とする合金）を用いることができる。これらを用いた膜は十分な厚さで形成することで遮光性を有するため、酸化物半導体層403を遮光することができる。

【0070】

図1（A）において、第2のゲート電極層409の幅は、第1のゲート電極層401の幅よりも広く、酸化物半導体層403の幅よりも広い。図1（A）に示すように、第2のゲート電極層409の幅を酸化物半導体層403の幅よりも広くし、第2のゲート電極層409が酸化物半導体層403の上面を覆う形状とすることで、酸化物半導体層403を遮光することができる。酸化物半導体層403の薄い領域は、ソース電極およびドレイン電極層405で覆われていないため、光が照射されることによりトランジスタ471の電気的特性に影響を及ぼすおそれがある。例えば、スパッタリング法で形成したIn-Ga-Zn-O系非単結晶膜は波長450nm以下の光に感度を有するため、酸化物半導体層403にIn-Ga-Zn-O系非単結晶膜を用いる場合には、特に波長450nm以下の光を遮光することができるよう第2のゲート電極層409を設けるとよい。

30

【0071】

なお、ここで、窒素雰囲気下または大気雰囲気下（大気中）においてトランジスタ471に加熱処理を行ってもよい。ここで行う加熱処理は、好ましくは温度300以下で行い、第1の保護絶縁層407となる絶縁膜を形成した後であればいつでもよい。例えば、ここで行う加熱処理として、窒素雰囲気下で350、1時間の加熱処理を行う。加熱処理を行うと、トランジスタ471の電気的特性のばらつきを少なくすることができる。

40

【0072】

以上の工程を経ることによって図1（A）に示すトランジスタ471を形成することができる。

【0073】

なお、本実施の形態にて用いるトランジスタは、図1（A）に示す形態に限定されない

50

。図1(B)に示すように、第2のゲート電極層409Bの下に平坦化層(例えば樹脂層)を設けてもよい。図1(B)は、第1のゲート電極層401と、ゲート絶縁層402と、酸化物半導体層403と、ソース電極およびドレイン電極層405と、を覆う第1の保護絶縁層407と第2のゲート電極層409Bの間に樹脂層408を形成した形態を示す。第2のゲート電極層409Bの下に樹脂層を設けると、これより下の構造物により生じる凹凸を緩和し、第2のゲート電極層409Bの被形成面を平坦にすることができる。なお、樹脂層に限定されず、上面が平坦となる他の方法(スピンドルコート法またはリフロー法など)を用いてもよい。

【0074】

なお、図1(B)では、図1(A)と異なる部分以外は、同一の符号を用いて説明する。
。

【0075】

樹脂層408は、第1の保護絶縁層407を介して、ソース電極およびドレイン電極層405と、厚さの薄い領域を有する酸化物半導体層403と、を覆う。樹脂層408は、例えば、 $0.5\text{ }\mu\text{m} \sim 3\text{ }\mu\text{m}$ の厚さを有する感光性または非感光性の有機材料を用いることができる。樹脂層408に用いることができる感光性または非感光性の有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト若しくはベンゾシクロブテン、またはこれらを積層して形成したものなどを挙げることができる。ここでは、樹脂層408として、感光性のポリイミドを塗布法により形成する。ポリイミドを全面に塗布した後に、露光、現像および焼成を行って、表面が平坦な $1.5\text{ }\mu\text{m}$ の厚さのポリイミドからなる樹脂層408を形成する。

【0076】

樹脂層408を設けることで、トランジスタ471Bの構造により生じる凹凸を緩和し、平坦にすることができる。

【0077】

図1(C)は、トランジスタが設けられた基板400と第1のゲート電極層401Cの間に下地絶縁層410が設けられ、第1のゲート電極層401Cの幅と第2のゲート電極層409Cの幅の間の関係が図1(A)と異なる形態を示す。

【0078】

なお、図1(C)では、図1(A)と異なる部分以外は、同一の符号を用いて説明する。
。

【0079】

下地絶縁層410は、厚さ $50\text{ nm} \sim 200\text{ nm}$ の酸化窒化シリコン、窒化酸化シリコン、または窒化シリコンなどにより形成することができ、基板400としてガラスを用いた場合のガラス基板からの不純物元素(例えばナトリウムなど)がトランジスタ471Cへと拡散し、特に、このような不純物元素の酸化物半導体層403への侵入をプロックすることができる。更には、下地絶縁層410により、第1のゲート電極層401Cの形成時のエッティング工程で基板400がエッティングされることを防止することができる。

【0080】

なお、トランジスタ471Cは、トランジスタ471またはトランジスタ471Bと比べて、第1のゲート電極層401Cの幅および第2のゲート電極層409Cの幅が異なる。図1(C)に示すトランジスタ471Cの第1のゲート電極層401Cのチャネル長方向の長さは、酸化物半導体層403のチャネル長方向の長さよりも大きい。一方で、トランジスタ471Cの第2のゲート電極層409Cのチャネル長方向の長さは、酸化物半導体層403のチャネル長方向の長さよりも小さい。図1(C)に示すように、少なくとも第2のゲート電極層409Cのチャネル長方向の長さは、酸化物半導体層403の薄い領域(第1の保護絶縁層407と接触している領域)の長さ以上として重なる位置に配置すればよく、第2のゲート電極層409Cの長さを小さくすれば寄生容量を低減することができる。

【0081】

10

20

30

40

50

なお、図1(A)乃至図1(C)において、第1の保護絶縁層407を形成する前に、露出している酸化物半導体層403の薄い領域に対して酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことによって、酸化物半導体層403の露出面近傍を改質し、酸素過剰領域とすることができるため、高抵抗領域とすることができる。酸素ラジカルは、酸素を含むガスを用いてプラズマ発生装置により供給されてもよいし、またはオゾン発生装置により供給されてもよい。供給された酸素ラジカルまたは酸素を薄膜に照射することによって酸化物半導体層403の表面(バックチャネル部の表面)を改質することができる。なお、酸素ラジカル処理に限定されず、アルゴンと酸素のラジカル処理を行ってもよい。アルゴンと酸素のラジカル処理とは、アルゴンガスと酸素ガスを導入してプラズマを発生させて薄膜表面の改質を行うことである。

10

【0082】

なお、図1(A)乃至図1(C)において、第2のゲート電極層は、透光性を有する導電性材料、例えば、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITO)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いてもよい。

【0083】

または、図1(A)乃至図1(C)において、第2のゲート電極層に透光性を有する導電性材料を用いる場合、画素電極と同じ材料として、第2のゲート電極層と画素電極を同じフォトマスクを用いて形成することもできる。第2のゲート電極層と画素電極を同じ材料として工程数を削減することができる。透光性を有する導電性材料を第2のゲート電極層に用いる場合には、薄い領域を有する酸化物半導体層を遮光するための遮光層を酸化物半導体層の薄い領域と重畠する位置に別途設けることが好ましい。遮光層は、少なくとも400~450nmの波長域で約50%未満の光透過率、好ましくは20%未満の光透過率となる材料および厚さで形成する。例えば、遮光層の材料として、クロム(酸化クロムまたは窒化クロムでもよい)、窒化チタンなどの金属、または黒色樹脂を用いることができる。光を遮光するために黒色樹脂を用いる場合、照射される光が強力であるほど遮光層の厚さが必要となるため、遮光層が薄膜であることが必要な場合には、遮光性が高く、精細なエッティング加工および薄膜化が可能な金属を用いることが好ましい。

20

【0084】

なお、上記の説明では、2階調のフォトマスクをフォトリソグラフィ工程に用いる例を示したが、多階調マスクを用いて形成した複数(例えば2階調のフォトマスクを用いる場合の二種類)の厚さの異なる領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができ、工程の簡略化および低コスト化が可能となる。なお、本明細書において、グレートーン露光用マスクや、ハーフトーン露光用マスクを総称して、便宜上、多階調マスクと呼ぶ。なお、多階調マスクは3階調のものに限定されず、4階調であってもよく、更に階調数が多くてもよい。

30

【0085】

なお、多階調マスクを用いる場合には、酸化物半導体膜と、導電膜と、を積層して形成した後、複数の厚さの異なる領域を有するレジストマスクを導電膜上に形成し、そのレジストマスクを用いて厚さの薄い領域を有する酸化物半導体層と、ソース電極およびドレイン電極層を形成する。この場合、ソース電極およびドレイン電極層の端部と酸化物半導体層の端部が概略一致し、酸化物半導体層の側面が露呈する。従って、第1の保護絶縁層407を形成する場合、酸化物半導体層は、ソース電極およびドレイン電極層と重ならない領域(薄い領域)と側面の双方が、第1の保護絶縁層407と接する構成となる。

40

【0086】

本実施の形態におけるトランジスタが有するチャネル形成領域の半導体層は高抵抗化領域であるので、トランジスタの電気的特性は安定なものとなり、オフ電流の増加などを防止することができる。従って、電気的特性が良好で信頼性のよいトランジスタを有する表示装置とすることができます。

50

【0087】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0088】

(実施の形態2)

本実施の形態は、本発明の一態様である表示装置に適用できるトランジスタであって実施の形態1とは異なるトランジスタおよびその作製方法について説明する。本発明の一態様である表示装置において、少なくとも駆動回路部に、本実施の形態のトランジスタを適用する。

【0089】

10

図4(A)および図4(B)は、本発明の一態様であるトランジスタの断面図を示す。トランジスタ472は、ボトムゲート型のトランジスタであって、基板400上に設けられた、第1のゲート電極層401と、ゲート絶縁層402と、酸化物半導体層403と、n型酸化物半導体層404と、ソース電極およびドレイン電極層405と、を有する。更には、酸化物半導体層403の一部に接してこれらを覆う第1の保護絶縁層407と、第1の保護絶縁層407上に設けられ、酸化物半導体層403と重畠する第2のゲート電極層409が設けられている。なお、第1の保護絶縁層407は、第2のゲート絶縁層と呼ぶこともできる。

【0090】

20

酸化物半導体層403とソース電極およびドレイン電極層405の間には、低抵抗なn型酸化物半導体層404を設けることで、トランジスタ472をより安定に動作させることができる。

【0091】

まず、図5(A)乃至(D)を用いて、図4(A)に示すトランジスタ472の作製方法の一例を示す。

【0092】

なお、絶縁表面を有する基板400上に第1のゲート電極層401を形成し、第1のゲート電極層401を覆うゲート絶縁層402を形成し、酸化物半導体膜を成膜する工程までは実施の形態1と同一であるため、ここでは詳細な説明は省略し、図1(A)と同じ箇所は同一の符号を用いて説明する。

30

【0093】

ゲート絶縁層402上に、第1の酸化物半導体膜433を実施の形態1と同様に形成する。

【0094】

次いで、第1の酸化物半導体膜433上に、ソース領域またはドレイン領域として機能する、第1のn型酸化物半導体膜440を形成する(図5(A)を参照)。第1のn型酸化物半導体膜440としては、第1の酸化物半導体膜433よりも低抵抗の酸化物半導体膜を用いる。

【0095】

40

第1のn型酸化物半導体膜440は、例えば、窒素ガスを含む雰囲気中でスパッタリング法によりIn(インジウム)、Ga(ガリウム)、およびZn(亜鉛)を含む金属酸化物($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$)を用いて得たインジウム、ガリウム、および亜鉛を含む酸化窒化物膜や、Al-Zn-O系非単結晶膜や、窒素を含ませたAl-Zn-O系非単結晶膜、すなわち、Al-Zn-O-N系非単結晶膜(AZON膜とも呼ぶ)を用いてもよい。

【0096】

なお、本実施の形態で用いるIn-Ga-Zn-O系非単結晶膜は、非晶質であっても、微結晶であっても、多結晶であってもよい。または、単結晶であってもよい。これらの形成条件やターゲットの組成比を変えることで、第1の酸化物半導体膜433と第1のn型酸化物半導体膜440の結晶状態を変化させることができる。

50

【0097】

従って、酸化物半導体膜の形成条件やターゲットの組成比によって、ソース領域およびドレイン領域となるn型酸化物半導体層と、チャネル領域を形成する酸化物半導体層403の結晶状態は異なっていてもよい。例えば、ソース領域およびドレイン領域となるn型酸化物半導体層が微結晶を含み、酸化物半導体層403が非晶質であってもよく、ソース領域およびドレイン領域となるn型酸化物半導体層が非晶質であって、酸化物半導体層403が微結晶を含んでいてもよい。

【0098】

なお、第1の酸化物半導体膜433および第1のn型酸化物半導体膜440は、大気に触れさせることなく連続的に形成してもよい。大気に触れさせることなく連続的に形成することで、界面が、水やハイドロカーボンなどの、大気成分や大気中に浮遊する不純物に汚染されることなく各積層界面を形成することができるので、トランジスタ特性のばらつきを低減することができる。なお、ゲート絶縁層402から第1のn型酸化物半導体膜440までを連続的に形成してもよい。

10

【0099】

次いで、実施の形態1と同様に、第1の酸化物半導体膜433の加熱処理を行う。第1の酸化物半導体膜433は、不活性ガス雰囲気下或いは減圧下における加熱処理および徐冷によって、低抵抗化（キャリア濃度が高まる、好ましくは $1 \times 10^{18} / \text{cm}^3$ 以上）され、低抵抗化された酸化物半導体膜（第2のn型酸化物半導体膜）とすることができる。

20

【0100】

第1の酸化物半導体膜433の加熱処理は、不活性ガス雰囲気（窒素、またはヘリウム、ネオン、アルゴンなどの希ガス）下或いは減圧下で行う。第1の酸化物半導体膜433に対して、上記の雰囲気下で加熱処理を行うことで、第1の酸化物半導体膜433に含まれる水素および水などの不純物を除去することができる。

【0101】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴンなどの希ガスに、水、水素などの不純物が含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴンなどの希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（すなわち、不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

30

【0102】

本実施の形態では、電気炉は、0.1 / 分以上20 / 分以下で昇温できる構成とし、チャンバー内を窒素または希ガス雰囲気とし、200以上600以下、好ましくは400以上600以下として、基板上に形成された第1の酸化物半導体膜433および第1のn型酸化物半導体膜440を加熱する。または、排気手段によって減圧下で、200以上600以下、好ましくは400以上600以下として、基板上に形成された第1の酸化物半導体膜433および第1のn型酸化物半導体膜440を加熱して第2の酸化物半導体膜および第2のn型酸化物半導体膜を形成する。

【0103】

40

加熱処理の後、電気炉のヒーターをオフし、チャンバーを徐冷（徐々に冷却）する。なお、電気炉は、0.1 / 分以上15 / 分以下で降温できる構成とすることが好ましい。

【0104】

上記のように加熱処理することで、後に形成されるトランジスタの信頼性を高めることができる。

【0105】

次に、第2の酸化物半導体膜および第2のn型酸化物半導体膜上にレジストマスク（図示しない）をフォトリソグラフィ工程により形成し、エッチング工程により、島状の第2の酸化物半導体層431および第2のn型酸化物半導体層434に加工する（図5（B））

50

を参照)。

【0106】

なお、ここでは加熱処理を行った後に酸化物半導体膜の加工を行ったが、酸化物半導体膜の加工を行った後に加熱処理を行ってもよい。

【0107】

次いで、上記レジストマスクを除去した後、第2のn型酸化物半導体層434上に導電膜を形成する。

【0108】

導電膜の材料としては、アルミニウム、クロム、タンタル、チタン、モリブデン、タンゲステンから選ばれた元素、これらの金属元素を主成分とする合金、またはこれらの金属元素を組み合わせた合金などが挙げられる。10

【0109】

なお、該導電膜の形成後に加熱処理を行う場合には、少なくともこの加熱処理に耐える程度の耐熱性を有する導電膜を用いる。

【0110】

次いで、フォトリソグラフィ工程を行い、導電膜上にレジストマスクを形成し、該導電膜をエッチングし、ソース電極およびドレイン電極層405を形成する。なお、同じレジストマスクを用いてソース電極およびドレイン電極層405により形成されるソース電極とドレイン電極の間に挟まれた領域(バックチャネル部)の第2のn型酸化物半導体層434をエッチングして、ソース領域およびドレイン領域となる第2のn型酸化物半導体層437を形成する(図5(C)を参照)。なお、第2の酸化物半導体層431は一部のみがエッチングされ、溝部(凹部)を有する第3の酸化物半導体層432となる。20

【0111】

次いで、第3の酸化物半導体層432に接して、酸化シリコンまたは窒化酸化シリコンなどの酸素を含む無機絶縁膜を用いて第1の保護絶縁層407を形成する。ここでは、実施の形態1と同様に第1の保護絶縁層407としてスパッタリング法を用いて膜厚300nmの酸化シリコン膜を形成する。

【0112】

低抵抗化した第1の酸化物半導体層432に接してスパッタリング法またはプラズマCVD法などにより酸化シリコンで第1の保護絶縁層407を形成すると、低抵抗化された第3の酸化物半導体層432において、少なくとも第1の保護絶縁層407と接する領域を高抵抗化(キャリア濃度が低まる、好ましくは $1 \times 10^{18} / \text{cm}^3$ 未満)し、高抵抗化酸化物半導体領域を形成することができる。30

【0113】

トランジスタの作製プロセス中、不活性気体雰囲気下(或いは減圧下)での加熱、徐冷および絶縁性酸化物の形成などによって第3の酸化物半導体層432のキャリア濃度を増減させることが重要である。第3の酸化物半導体層432は、高抵抗化酸化物半導体領域を有する酸化物半導体層403となる。(図5(D)を参照)。

【0114】

なお、第1の保護絶縁層407の形成以後の工程は、実施の形態1と同一である。すなわち、第1の保護絶縁層407上に第2のゲート電極層409を形成する。40

【0115】

なお、第2のゲート電極層409上に樹脂層を設けてもよい。第2のゲート電極層409上に樹脂層を設けると、トランジスタ472の構造により生じる凹凸を緩和し平坦にできる。

【0116】

そして、窒素雰囲気下、または大気雰囲気下(大気中)においてトランジスタ472に加熱処理を行ってもよい。加熱処理は、好ましくは温度300以下であって、第1の保護絶縁層407となる絶縁膜を形成した後であればいつでもよい。例えば、窒素雰囲気下で350、1時間の加熱処理を行う。該加熱処理を行うとトランジスタ472の電気的50

特性のばらつきを軽減することができる。

【0117】

以上の工程を経ることによって図4(A)に示すトランジスタ472を得ることができる。なお、トランジスタ472では、第1の保護絶縁層407が第2のゲート絶縁層として機能する。

【0118】

図4(B)は、第1のゲート電極層401と、ゲート絶縁層402と、酸化物半導体層403と、n型酸化物半導体層404と、ソース電極およびドレイン電極層405と、を覆う第1の保護絶縁層407と第2のゲート電極層409の間に樹脂層408を形成した形態を示す。

10

【0119】

図4(B)に示すトランジスタ472Bは、図4(A)と一部のみが異なる。図4(B)では、図4(A)と異なる部分以外は、同一の符号を用いて説明する。

【0120】

樹脂層408は、第1の保護絶縁層407を介して、ソース電極およびドレイン電極層405と、厚さの薄い領域を有する酸化物半導体層403と、を覆う。樹脂層408は、例えば、0.5 μm ~ 3 μmの厚さを有する感光性または非感光性の有機材料により形成することができ、感光性または非感光性の有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト若しくはベンゾシクロブテン、またはこれらを積層して形成したものなどを挙げることができる。ここでは、樹脂層408として、感光性のポリイミドを塗布法により形成する。ポリイミドを全面に塗布した後に、露光、現像および焼成を行って、表面が平坦な1.5 μmの厚さのポリイミドからなる樹脂層408を形成する。

20

【0121】

樹脂層408を設けることで、トランジスタ472Bの構造により生じる凹凸を緩和し、平坦にすることができる。

【0122】

なお、図4(A)に示すように、第2のゲート電極層409の幅を第1のゲート電極層401の幅および酸化物半導体層403の幅よりも広くすることで、第2のゲート電極層409によって酸化物半導体層403を遮光することができる。第2のゲート電極層409から酸化物半導体層403の全体にゲート電圧を印加できる。

30

【0123】

なお、図4(A)に示す構造や、図4(B)に示す構造であっても、第1の保護絶縁層407と樹脂層408を積層した部分が薄い場合には、第2のゲート電極層409とソース電極およびドレイン電極層405との間の寄生容量が問題になることがある。寄生容量が問題になる場合は、第2のゲート電極層409の幅を狭くして、第2のゲート電極層409とソース電極およびドレイン電極層405が重畠する面積を縮小することが好ましい。重畠する面積を縮小すれば、寄生容量を小さくできる。

【0124】

なお、樹脂層408と第1の保護絶縁層407を積層した部分が十分に厚く、寄生容量が問題にならない場合には、第2のゲート電極を駆動回路の複数のトランジスタを覆う共通のゲート電極とし、第2のゲート電極の面積を駆動回路とほぼ同じ大きさ、またはそれ以上としてもよい。

40

【0125】

なお、上記の説明では2階調のフォトマスクをフォトリソグラフィ工程に用いる例を示したが、多階調マスクを用いて形成した複数(例えば、2階調のフォトマスクを用いる場合の二種類)の厚さの異なる領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができ、工程の簡略化、低コスト化が可能となる。

【0126】

多階調マスクを用いる場合、2種類が積層された酸化物半導体膜と、導電膜と、を積層

50

して形成した後、複数の厚さの異なる領域を有するレジストマスクを導電膜上に形成し、そのレジストマスクを用いて厚さの薄い領域を有する酸化物半導体層と、ソース電極およびドレイン電極層を形成する。この場合、ソース電極層およびドレイン電極層の端部と酸化物半導体層の端部が概略一致し、酸化物半導体層の側面が露呈する。従って、第1の保護絶縁層407を形成する場合、酸化物半導体層は、ソース電極層およびドレイン電極層と重ならない領域（薄い領域）と側面の双方が第1の保護絶縁層407と接する構成となる。

【0127】

本実施の形態のトランジスタが有するチャネル形成領域の半導体層は高抵抗化領域であるので、トランジスタの電気的特性は安定化し、オフ電流の増加などを防止することができる。よって、電気的特性が良好で信頼性のよいトランジスタを有する半導体装置（表示装置）とすることが可能となる。10

【0128】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0129】

(実施の形態3)

本実施の形態は、本発明の一態様である表示装置に適用できるトランジスタであって実施の形態1および実施の形態2とは異なるトランジスタおよびその作製方法について説明する。本発明の一態様である表示装置において、少なくとも駆動回路部に、本実施の形態のトランジスタを適用する。20

【0130】

図6(A)および図6(B)は、本発明の一態様であるトランジスタの断面図を示す。トランジスタ473は、ボトムゲート型のトランジスタであって、基板400上に設けられた、第1のゲート電極層401と、ゲート絶縁層402と、酸化物半導体層403と、ソース電極およびドレイン電極層405(ソース電極405aおよびドレイン電極405b)と、チャネル保護層406と、を有する。更には、チャネル保護層406に接して第1のゲート電極層401と、ゲート絶縁層402と、酸化物半導体層403と、ソース電極およびドレイン電極層405と、を覆う第1の保護絶縁層407と、第1の保護絶縁層407上に酸化物半導体層403と重畠する第2のゲート電極層409が設けられている。すなわち、本実施の形態にて説明するトランジスタ473は、チャネルストップ型である。30

【0131】

まず、図7(A)乃至図7(D)を用いて、図6(A)に示すトランジスタ473の作製方法の一例を示す。

【0132】

なお、絶縁表面を有する基板400上に第1のゲート電極層401を形成し、第1のゲート電極層401を覆うゲート絶縁層402を形成し、酸化物半導体膜を形成する工程までは実施の形態1と同一であるため、ここでは詳細な説明は省略し、図2(A)と同じ箇所には同一の符号を用いて説明する。40

【0133】

ゲート絶縁層402上に、第1の酸化物半導体膜を実施の形態1と同様に形成する。

【0134】

次いで、フォトリソグラフィ工程を行い、第1の酸化物半導体膜上にレジストマスクを形成し、第1の酸化物半導体膜をエッティングして、島状の第1の酸化物半導体層430を形成する。なお、ここでのエッティングは、ウェットエッティングに限定されずドライエッティングを用いてもよい（図7(A)を参照）。

【0135】

次いで、実施の形態1と同様に第1の酸化物半導体層430の加熱処理を行う。第1の酸化物半導体層430は、不活性ガス雰囲気下或いは減圧下における加熱処理および徐冷50

によって、低抵抗化（キャリア濃度が高まる、好ましくは $1 \times 10^{18} / \text{cm}^3$ 以上）され、低抵抗化された第2の酸化物半導体層431とすることができます。

【0136】

第1の酸化物半導体層430の加熱処理は、不活性ガス雰囲気（窒素、またはヘリウム、ネオン、アルゴンなどの希ガス）下或いは減圧下で行う。第1の酸化物半導体層430に対して、上記の雰囲気下で加熱処理を行うことで、第1の酸化物半導体層430に含まれる水素および水などの不純物を除去することができる。

【0137】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴンなどの希ガスに、水、水素などの不純物が含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴンなどの希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（すなわち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。10

【0138】

本実施の形態では、電気炉は、0.1 / 分以上20 / 分以下で昇温できる構成とし、チャンバー内を窒素または希ガス雰囲気とし、200 以上600 以下、好ましくは400 以上600 以下として、加熱されたチャンバーにおいて、基板上に形成された第1の酸化物半導体層430を加熱する。または、排気手段によって減圧下で、200 以上600 以下、好ましくは400 以上600 以下として、基板上に形成された第1の酸化物半導体層430を加熱して第2の酸化物半導体層431を形成する。20

【0139】

加熱処理の後、電気炉のヒーターをオフ状態にし、チャンバーを徐冷（徐々に冷却）する。なお、電気炉は、0.1 / 分以上15 / 分以下で降温できる構成とすることが好ましい。

【0140】

上記のように加熱処理することで、後に形成されるトランジスタの信頼性を高めることができる。

【0141】

次いで、第2の酸化物半導体層431に接して、チャネル保護層となる絶縁膜を形成する。第2の酸化物半導体層に接して形成するチャネル保護層となる絶縁膜は、水分、水素イオン、およびOH⁻などが低減され、これらの外部からの侵入をブロックし、酸素を含む絶縁性無機材料を用いて形成する。具体的には、酸化シリコン、酸化窒化シリコンまたは窒化酸化シリコンを用いて形成する。すなわち、チャネル保護層となる絶縁膜は、実施の形態1で説明した第1の保護絶縁層407と同様に形成すればよい。30

【0142】

本実施の形態では、チャネル保護層となる絶縁膜としてスパッタリング法を用いて厚さ300nmの酸化シリコン膜を形成する。形成時の基板温度は、室温以上300 以下とすればよく、ここでは100 とする。酸化シリコン膜のスパッタリング法による形成は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、または希ガス（例えばアルゴン）と酸素の混合ガス雰囲気下において行うことができる。なお、ターゲットとして酸化シリコンターゲットを用いてもシリコンターゲットを用いてもよい。例えばシリコンターゲットを用いて、酸素を含む雰囲気下でスパッタリング法により酸化シリコン膜を形成することができる。40

【0143】

第2の酸化物半導体層431に接してスパッタリング法またはプラズマCVD法などにより酸化シリコンでチャネル保護層となる絶縁膜を形成すると、低抵抗化された第2の酸化物半導体層431において少なくともチャネル保護層となる絶縁膜と接する領域を高抵抗化（キャリア濃度が低まる、好ましくは $1 \times 10^{18} / \text{cm}^3$ 未満）し、高抵抗化酸化物半導体領域を形成することができる。

【0144】

10

20

30

40

50

トランジスタの作製プロセス中、不活性気体雰囲気下（或いは減圧下）での加熱、徐冷および絶縁性酸化物の形成などによって酸化物半導体層のキャリア濃度を増減させることが重要である。第2の酸化物半導体層431は、高抵抗化酸化物半導体領域を有する酸化物半導体層403となる。

【0145】

次いで、フォトリソグラフィ工程を行い、チャネル保護層となる絶縁膜上にレジストマスクを形成し、エッティングにより不要な部分を除去してチャネル保護層406を形成する。なお、第1のゲート電極層401は、チャネル保護層406の幅（チャネル長方向の長さ）よりも広いことが好ましい（図7（B）を参照）。

【0146】

次いで、レジストマスクを除去した後、第2の酸化物半導体層431およびチャネル保護層406上に導電膜を形成する。

【0147】

導電膜の材料としては、アルミニウム、クロム、タンタル、チタン、モリブデン、タンゲステンから選ばれた元素、これらの金属元素を主成分とする合金、またはこれらの金属元素を組み合わせた合金などが挙げられる。

【0148】

なお、該導電膜の形成後に加熱処理を行う場合には、少なくともこの加熱処理に耐える程度の耐熱性を有する導電膜を用いる。

【0149】

次いで、フォトリソグラフィ工程を行い、導電膜上にレジストマスクを形成し、該導電膜をエッティングし、ソース電極およびドレイン電極層405（ソース電極405aおよびドレイン電極405b）を形成する。このエッティングにおいて、チャネル保護層406は酸化物半導体層403のエッティングストッパーとして機能するため、酸化物半導体層403はエッティングされない。

【0150】

酸化物半導体層403のチャネル形成領域上に接してチャネル保護層406を設ける構造であるため、酸化物半導体層403のチャネル形成領域に対する工程時におけるダメージ（エッティング時のプラズマやエッティング剤による膜減りや、酸化など）を防ぐことができる。従って、トランジスタ473の信頼性を向上させることができる。

【0151】

次いで、ソース電極およびドレイン電極層405、並びにチャネル保護層406上に、第1の保護絶縁層407を形成する。第1の保護絶縁層407は、水分、水素イオン、およびOH⁻などが低減され、これらの外部からの侵入をブロックし、酸素を含む絶縁性無機材料を用いて形成する。具体的には、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化イットリウム、酸化ハフニウム、酸化タンタルを挙げることができる（図7（D）を参照）。

【0152】

なお、第1の保護絶縁層407の形成以後の工程は、実施の形態1と同一である。すなわち、第1の保護絶縁層407上に第2のゲート電極層409を形成する。

【0153】

なお、第2のゲート電極層409上に樹脂層を設けてもよい。第2のゲート電極層409上に樹脂層を設けると、トランジスタ473の構造により生じる凹凸を緩和し平坦にできる。

【0154】

なお、窒素雰囲気下、または大気雰囲気下（大気中）においてトランジスタ473に加熱処理を行ってもよい。加熱処理は、好ましくは温度300℃以下であって、チャネル保護層406を形成した後であればいつでもよい。例えば、窒素雰囲気下で350℃、1時間の加熱処理を行う。該加熱処理を行うとトランジスタ473の電気的特性のばらつきを

10

20

30

40

50

軽減することができる。

【0155】

以上の工程を経ることによって図6(A)に示すトランジスタ473を得ることができる。なお、トランジスタ473では、チャネル保護層406と第1の保護絶縁層407が積層された部分が第2のゲート絶縁層として機能する。

【0156】

図6(B)に示すトランジスタ473Bは、図6(A)と一部のみが異なる。図6(B)では、図6(A)と異なる部分以外は、同一の符号を用いて説明する。

【0157】

図6(B)は、第1のゲート電極層401と、ゲート絶縁層402と、酸化物半導体層403と、ソース電極およびドレイン電極層405と、を覆う第1の保護絶縁層407と第2のゲート電極層409の間に樹脂層408を形成した形態を示す。10

【0158】

樹脂層408は、第1の保護絶縁層407を介して、ソース電極およびドレイン電極層405と、チャネル保護層406と、を覆う。樹脂層408は、例えば、厚さが $0.5\mu m$ ~ $3\mu m$ の感光性または非感光性の有機材料により形成することができ、感光性または非感光性の有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト若しくはベンゾシクロブテン、またはこれらを積層して形成したものなどを挙げることができる。ここでは、樹脂層408として、感光性のポリイミドを塗布法により形成する。ポリイミドを全面に塗布した後に、露光、現像および焼成を行って、表面が平坦な $1.5\mu m$ の厚さのポリイミドからなる樹脂層408を形成する。20

【0159】

樹脂層408を設けることで、トランジスタ473Bの構造により生じる凹凸を緩和し、平坦にすることができる。

【0160】

なお、図6(A)に示すように、第2のゲート電極層409の幅を第1のゲート電極層401の幅および酸化物半導体層403の幅よりも広くすることで、第2のゲート電極層409から酸化物半導体層403の全体にゲート電圧を印加できる。

【0161】

なお、図6(A)に示す構造や、図6(B)に示す構造であっても、チャネル保護層406、第1の保護絶縁層407および樹脂層408を積層した部分が薄い場合には、第2のゲート電極層409とソース電極およびドレイン電極層405との間の寄生容量が問題になることがある。寄生容量が問題になる場合は、第2のゲート電極層409の幅を第1のゲート電極層401の幅よりも狭くして、第2のゲート電極層409とソース電極およびドレイン電極層405が重畳する面積を縮小することが好ましい。重畳する面積を縮小すれば、寄生容量を小さくできる。さらに、第1のゲート電極層401の幅をチャネル保護層406の幅よりも狭くし、第2のゲート電極層409の幅をチャネル保護層406の幅よりも狭くすることで、ソース電極およびドレイン電極層405と重ならないようにして寄生容量を更に低減する構成としてもよい。30

【0162】

なお、樹脂層408と第1の保護絶縁層407を積層した部分が十分に厚く、寄生容量が問題にならない場合には、第2のゲート電極を駆動回路の複数のトランジスタを覆う共通のゲート電極とし、第2のゲート電極の面積を駆動回路とほぼ同じ大きさ、またはそれ以上としてもよい。40

【0163】

本実施の形態のトランジスタが有するチャネル形成領域の半導体層は高抵抗化領域であるので、トランジスタの電気的特性は安定化し、オフ電流の増加などを防止することができる。よって、電気的特性が良好で信頼性のよいトランジスタを有する半導体装置(表示装置)とすることが可能となる。

【0164】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0165】

(実施の形態4)

本実施の形態は、本発明の一態様である表示装置に適用できるトランジスタであって実施の形態1乃至実施の形態3とは異なるトランジスタおよびその作製方法について説明する。本発明の一態様である表示装置において、少なくとも駆動回路部に、本実施の形態のトランジスタを適用する。

【0166】

図8(A)および図8(B)は、本発明の一態様であるトランジスタの断面図を示す。
トランジスタ474は、ボトムゲート型のトランジスタであって、基板400上に設けられた、第1のゲート電極層401と、ゲート絶縁層402と、酸化物半導体層403と、n型酸化物半導体層404a、n型酸化物半導体層404bと、ソース電極およびドレイン電極層405(ソース電極405aおよびドレイン電極405b)と、チャネル保護層406と、を有する。更には、チャネル保護層406に接してこれらを覆う第1の保護絶縁層407と、第1の保護絶縁層407上に酸化物半導体層403と重畠する第2のゲート電極層409が設けられている。すなわち、本実施の形態にて説明するトランジスタ474は、チャネルストップ型である。

【0167】

まず、図9(A)乃至図9(D)を用いて、図8(A)に示すトランジスタ474の作製方法の一例を示す。

【0168】

なお、絶縁表面を有する基板400上に第1のゲート電極層401を形成し、第1のゲート電極層401を覆うゲート絶縁層402を形成し、酸化物半導体膜を形成する工程までは実施の形態3と同一であるため、ここでは詳細な説明は省略し、図7(A)と同じ箇所には同一の符号を用いて説明する。

【0169】

ゲート絶縁層402上に、第1の酸化物半導体膜433を実施の形態1と同様に形成する。

【0170】

次いで、実施の形態1と同様に第1の酸化物半導体膜433の加熱処理を行う。第1の酸化物半導体膜433は、不活性ガス雰囲気下或いは減圧下における加熱処理および徐冷によって、低抵抗化(キャリア濃度が高まる、好ましくは $1 \times 10^{18} / \text{cm}^3$ 以上)され、低抵抗化された第2の酸化物半導体膜とすることができます。

【0171】

第1の酸化物半導体膜433の加熱処理は、不活性ガス雰囲気(窒素、またはヘリウム、ネオン、アルゴンなどの希ガス)下或いは減圧下で行う。第1の酸化物半導体膜433に対して、上記の雰囲気下で加熱処理を行うことで、第1の酸化物半導体膜433に含まれる水素および水などの不純物を除去することができる。

【0172】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴンなどの希ガスに、水、水素などの不純物が含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴンなどの希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.9999%)以上、(すなわち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0173】

本実施の形態では、電気炉は、0.1 / 分以上20 / 分以下で昇温できる構成とし、チャンバー内を窒素または希ガス雰囲気とし、200以上600以下、好ましくは400以上600以下として、加熱されたチャンバーにおいて、基板上に形成された第1の酸化物半導体膜433を加熱する。

10

20

30

40

50

【0174】

加熱処理の後、電気炉のヒーターをオフ状態にし、チャンバーを徐冷（徐々に冷却）する。なお、電気炉は、0.1 / 分以上15 / 分以下で降温できる構成とすることが好みしい。

【0175】

上記のように加熱処理することで、後に形成されるトランジスタの信頼性を高めることができる。

【0176】

次いで、第2の酸化物半導体膜に接して、チャネル保護層となる絶縁膜を形成する。第2の酸化物半導体膜に接して形成するチャネル保護層となる絶縁膜は、水分、水素イオン、およびOH⁻などが低減され、これらの外部からの侵入をブロックし、酸素を含む絶縁性無機材料を用いて形成する。具体的には、酸化シリコン膜、または窒化酸化シリコン膜を用いる。10

【0177】

本実施の形態では、チャネル保護層となる絶縁膜としてスパッタリング法を用いて厚さ300 nmの酸化シリコン膜を形成する。形成時の基板温度は、室温以上300以下とすればよく、ここでは100とする。酸化シリコン膜のスパッタリング法による形成は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、または希ガス（例えばアルゴン）と酸素の混合ガス雰囲気下において行うことができる。なお、ターゲットとして酸化シリコンターゲットを用いてもシリコンターゲットを用いてもよい。例えばシリコンターゲットを用いて、酸素を含む雰囲気下でスパッタリング法により酸化シリコン膜を形成することができる。20

【0178】

第2の酸化物半導体膜に接してスパッタリング法またはプラズマCVD法などにより酸化シリコンでチャネル保護層となる絶縁膜を形成すると、低抵抗化された第2の酸化物半導体膜において少なくともチャネル保護層となる絶縁膜と接する領域を高抵抗化（キャリア濃度が低まる、好ましくは $1 \times 10^{18} / \text{cm}^3$ 未満）し、高抵抗化酸化物半導体領域を形成することができる。

【0179】

トランジスタの作製プロセス中、不活性気体雰囲気下（或いは減圧下）での加熱、徐冷および絶縁性酸化物の形成などによって酸化物半導体層のキャリア濃度を増減させることが重要である。第2の酸化物半導体膜は、高抵抗化酸化物半導体領域を有する第3の酸化物半導体膜となる。30

【0180】

次いで、フォトリソグラフィ工程を行い、チャネル保護層となる絶縁膜上にレジストマスクを形成し、エッチングにより不要な部分を除去してチャネル保護層406を形成する。なお、第1のゲート電極層401は、チャネル保護層406の幅（チャネル長方向の長さ）よりも広いことが好みしい。

【0181】

次いで、第3の酸化物半導体膜およびチャネル保護層406上に、ソース領域またはドレイン領域として機能するn型酸化物半導体膜を形成する。n型酸化物半導体膜としては、第3の酸化物半導体膜よりも低抵抗の酸化物半導体膜となる膜を用いることができる。40

【0182】

n型酸化物半導体膜は、例えば、窒素ガスを含む雰囲気中でスパッタリング法によりIn（インジウム）、Ga（ガリウム）、およびZn（亜鉛）を含む金属酸化物（In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1）を用いて得たインジウム、ガリウム、および亜鉛を含む酸窒化物膜や、Al-Zn-O系非単結晶膜や、窒素を含ませたAl-Zn-O系非単結晶膜、すなわちAl-Zn-O-N系非単結晶膜（AZON膜とも呼ぶ）を用いてもよい。

【0183】

なお、本実施の形態で用いるIn-Ga-Zn-O系非単結晶膜は、非晶質であっても、微結晶であっても、多結晶であってもよい。または、これに限定されず、単結晶であってもよい。これらの形成条件やターゲットの組成比を変えることで、第3の酸化物半導体膜とn型酸化物半導体膜の結晶状態は変化する。

【0184】

従って、酸化物半導体膜の形成条件やターゲットの組成比によって、ソース領域およびドレイン領域となるn型酸化物半導体膜と、チャネル領域を形成する第3の酸化物半導体膜の結晶状態は異なっていてもよい。例えば、ソース領域およびドレイン領域となるn型酸化物半導体膜が微結晶を含み、第3の酸化物半導体膜が非晶質であってもよく、ソース領域およびドレイン領域となるn型酸化物半導体膜が非晶質であって、第3の酸化物半導体膜が微結晶を含んでいてもよい。10

【0185】

次いで、フォトリソグラフィ工程を行い、n型酸化物半導体膜上にレジストマスクを形成し、n型酸化物半導体膜と第3の酸化物半導体膜の不要な部分をエッチングにより除去して酸化物半導体層403を形成する(図9(B)参照。)。

【0186】

なお、上記の説明に限定されず、チャネル保護層となる絶縁膜上にレジストマスクを形成し、エッチングによりチャネル保護層となる絶縁膜と第3の酸化物半導体膜の不要な部分を除去し、該レジストマスクを縮小し、エッチングによりチャネル保護層となる絶縁膜の不要な部分を更に除去してチャネル保護層406を形成してもよい。この場合には、チャネル保護層となる絶縁膜上に最初に形成するレジストマスクは、多階調マスクにより形成された、厚さの異なる複数の領域を有するレジストマスクであることが好ましい。20

【0187】

次いで、レジストマスクを除去した後、n型酸化物半導体膜上に導電膜を形成する。

【0188】

導電膜の材料としては、アルミニウム、クロム、タンタル、チタン、モリブデン、タンゲステンから選ばれた元素、これらの金属元素を主成分とする合金、またはこれらの金属元素を組み合わせた合金などが挙げられる。

【0189】

なお、該導電膜の形成後に加熱処理を行う場合には、少なくともこの加熱処理に耐える程度の耐熱性を有する導電膜を用いる。30

【0190】

次いで、フォトリソグラフィ工程を行い、導電膜上にレジストマスクを形成し、該導電膜をエッチングし、ソース電極およびドレイン電極層405を形成する。

【0191】

そして、同じレジストマスクを用いてn型酸化物半導体膜のソース電極およびドレイン電極層405により形成されるソース電極とドレイン電極の間に挟まれた領域をエッチングにより除去して、ソース領域およびドレイン領域となるn型酸化物半導体層404を形成する。

【0192】

酸化物半導体層403とソース電極およびドレイン電極層405の間に低抵抗なn型酸化物半導体層404を設けることで、金属配線のみの場合に比べて、トランジスタ474を安定して動作をさせることができる。40

【0193】

なお、このエッチングにおいて、チャネル保護層406は、酸化物半導体層403のエッチングストッパーとして機能するため、酸化物半導体層403はエッチングされない。チャネル保護層406は、酸化物半導体層403のチャネル形成領域に対する工程時におけるダメージ(エッチング時のプラズマやエッチング剤による膜減りや、酸化など)を防ぐことができる。従って、トランジスタ474の信頼性を向上させることができる(図9(C)を参照。)。50

【0194】

次いで、ソース電極およびドレイン電極層405、並びにチャネル保護層406上に、第1の保護絶縁層407を形成する(図9(D)を参照)。第1の保護絶縁層407は、水分、水素イオン、およびOH⁻などが低減され、これらの外部からの侵入をブロックし、酸素を含む絶縁性無機材料を用いて形成する。具体的には、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化イットリウム、酸化ハフニウム、酸化タンタルを挙げることができる。

【0195】

なお、第1の保護絶縁層407の形成以後の工程は、実施の形態1と同一である。すなわち、第1の保護絶縁層407上に第2のゲート電極層409を形成する。

【0196】

なお、第2のゲート電極層409上に樹脂層を設けてもよい。第2のゲート電極層409上に樹脂層を設けると、トランジスタ474の構造により生じる凹凸を緩和し平坦にできる。

【0197】

なお、窒素雰囲気下、または大気雰囲気下(大気中)においてトランジスタ474に加熱処理を行ってもよい。加熱処理は、好ましくは温度300以下であって、チャネル保護層406を形成した後であればいつでもよい。例えば、窒素雰囲気下で350、1時間の熱処理を行う。該加熱処理を行うとトランジスタ474の電気的特性のばらつきを軽減することができる。

【0198】

以上の工程を経ることによって図8(A)に示すトランジスタ474を得ることができる。なお、トランジスタ474では、チャネル保護層406と第1の保護絶縁層407が積層された部分が第2のゲート絶縁層として機能する。

【0199】

なお、図8(B)に示すトランジスタ474Bは、図8(A)と一部のみが異なる。図8(B)では、図8(A)と異なる部分以外は、同一の符号を用いて説明する。

【0200】

図8(B)は、第1のゲート電極層401と、ゲート絶縁層402と、酸化物半導体層403と、n型酸化物半導体層404と、ソース電極およびドレイン電極層405と、を覆う第1の保護絶縁層407と第2のゲート電極層409の間に樹脂層408を形成した形態を示す。

【0201】

樹脂層408は、第1の保護絶縁層407を介して、ソース電極およびドレイン電極層405と、チャネル保護層406と、を覆う。樹脂層408は、例えば、厚さが0.5μm~3μmの感光性または非感光性の有機材料により形成することができ、感光性または非感光性の有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン、またはこれらを積層して形成したものなどを挙げることができる。ここでは、樹脂層408として、感光性のポリイミドを塗布法により形成する。ポリイミドを全面に塗布した後に、露光、現像および焼成を行って、表面が平坦な1.5μmの厚さのポリイミドからなる樹脂層408を形成する。

【0202】

樹脂層408を設けることで、トランジスタ474Bの構造により生じる凹凸を緩和し、平坦にすることができる。

【0203】

なお、図8(A)に示すように、第2のゲート電極層409の幅を第1のゲート電極層401の幅および酸化物半導体層403の幅よりも広くすることで、第2のゲート電極層409から酸化物半導体層403全体にゲート電圧を印加できる。

【0204】

10

20

30

40

50

なお、図 8 (A) に示す構造や、図 8 (B) に示す構造であっても、チャネル保護層 406、第 1 の保護絶縁層 407 および樹脂層 408 を積層した部分が薄い場合には、第 2 のゲート電極層 409 とソース電極およびドレイン電極層 405 との間の寄生容量が問題になることがある。寄生容量が問題になる場合は、第 2 のゲート電極層 409 の幅を第 1 のゲート電極層 401 の幅よりも狭くして、ソース電極およびドレイン電極層 405 と重畠する面積を縮小することが好ましい。重畠する面積を縮小すれば、寄生容量を小さくできる。さらに、第 1 のゲート電極層 401 の幅をチャネル保護層 406 の幅よりも狭くし、第 2 のゲート電極層 409 の幅をチャネル保護層 406 の幅よりも狭くすることで、ソース電極層またはドレイン電極層と重ならないようにして寄生容量を更に低減する構成としてもよい。

10

【 0 2 0 5 】

なお、樹脂層 408 と第 1 の保護絶縁層 407 を積層した部分が十分に厚く、寄生容量が問題にならない場合には、第 2 のゲート電極を駆動回路の複数のトランジスタを覆う共通のゲート電極とし、第 2 のゲート電極の面積を駆動回路とほぼ同じ大きさ、またはそれ以上としてもよい。

【 0 2 0 6 】

本実施の形態のトランジスタが有するチャネル形成領域の半導体層は高抵抗化領域であるので、トランジスタの電気的特性は安定化し、オフ電流の増加などを防止することができる。よって、電気的特性が良好で信頼性のよいトランジスタを有する半導体装置（表示装置）とすることが可能となる。

20

【 0 2 0 7 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【 0 2 0 8 】

(実施の形態 5)

本実施の形態は、2つのnチャネル型トランジスタを用いた駆動回路のインバータ回路の構成の一例を説明する。図 10 (A) に示すトランジスタは、実施の形態 1 の図 1 (A) に示したトランジスタ 471 などと同一であるため、同じ部分には同じ符号を用いて説明する。なお、n型酸化物半導体層 14a 及びn型酸化物半導体層 14b は、実施の形態 2 のn型酸化物半導体層 404 と同様であり、樹脂層 17 は、実施の形態 1 の樹脂層 408 と同様であり、第 1 の保護絶縁層 18 は、実施の形態 1 の第 1 の保護絶縁層 407 と同様であり、第 2 のゲート電極層 470 は、実施の形態 1 の第 2 のゲート電極層 409 と同様である。

30

【 0 2 0 9 】

画素部を駆動するための駆動回路は、インバータ回路、容量、抵抗などを用いて構成する。2つのnチャネル型トランジスタを組み合わせてインバータ回路を形成する場合、エンハンスマント型トランジスタとデプレッション型トランジスタとを組み合わせて形成する場合（以下、EDMOS回路という）と、エンハンスマント型トランジスタ同士で形成する場合（以下、EEMOS回路という）がある。

【 0 2 1 0 】

40

図 10 (A) は、駆動回路のインバータ回路の断面構造を示す。なお、図 10 に示すトランジスタ 20 および第 2 のトランジスタ 43 は、逆スタガ型のチャネルエッチ型トランジスタであり、酸化物半導体層上にソース領域またはドレイン領域を介して配線が設けられているトランジスタの一例である。

【 0 2 1 1 】

図 10 (A) において、基板 10 上に第 1 のゲート電極 11 および第 3 のゲート電極 42 を設けられている。第 1 のゲート電極 11 および第 3 のゲート電極 42 の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム若しくはスカンジウムなどの金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。

50

【0212】

第1のゲート電極11および第3のゲート電極42を覆う第1のゲート絶縁層13上には、酸化物半導体層16および第2の酸化物半導体層47を設ける。

【0213】

酸化物半導体層16上には第1端子となる電極層(ソース電極層15a)および第2端子となる電極層(ドレイン電極層15b)が設けられ、第2端子となる電極層は、第1のゲート絶縁層13に形成されたコンタクトホール44を介して第3のゲート電極42と直接接続する。第2の酸化物半導体層47上には第3端子411となる電極層を設ける。

【0214】

トランジスタ20は、第1のゲート電極11と、第1のゲート電極11を覆って第1のゲート絶縁層13と、第1のゲート絶縁層13を介して第1のゲート電極11と重なる酸化物半導体層16と、を有し、第1端子となる電極層(ソース電極層15a)は、負の電圧V_{DL}が印加される電源線(負電源線)である。この電源線は、接地電位の電源線(接地電源線)としてもよい。ただし、インバータ回路においては、第2端子となる電極層(ドレイン電極層15b)に接続される配線の電位によっては、第1端子となる電極層はドレイン電極層となり、第2端子となる電極層がソース電極層となる場合がある。10

【0215】

第2のトランジスタ43は、第3のゲート電極42と、第1のゲート絶縁層13を介して第3のゲート電極42と重なる第2の酸化物半導体層47と、を有し、第3端子411は、正の電圧V_{DH}が印加される電源線(正電源線)である。なお、インバータ回路においては、第2端子となる電極層(ドレイン電極層15b)に接続される配線の電位によっては、第2端子となる電極層がソース電極層となり、第3端子411となる電極層がドレイン電極層となる場合がある。20

【0216】

ここでは、第2の酸化物半導体層47とドレイン電極層15bとの間にはバッファ層408a(ソース領域またはドレイン領域とも呼ぶ)を設け、第2の酸化物半導体層47と第3端子411との間にはバッファ層408b(ドレイン領域またはソース領域とも呼ぶ)を設ける。

【0217】

駆動回路のインバータ回路の上面図を図10(B)に示す。図10(B)において、鎖線Z1-Z2で切断した断面が図10(A)に相当する。30

【0218】

トランジスタ20をエンハンスマント型のnチャネル型トランジスタとするため、本実施の形態では、酸化物半導体層16上に第2のゲート絶縁層と、該第2のゲート絶縁層上に第2のゲート電極19を設け、第2のゲート電極19に印加する電圧によってトランジスタ20のしきい値電圧を調整する。

【0219】

なお、図10(A)および図10(B)では、第2端子となる電極層(ドレイン電極層15b)は、第1のゲート絶縁層13に形成されたコンタクトホール44を介して第3のゲート電極42と直接接続する例を示したが、特に限定されず、接続電極を別途設けて第2端子となる電極層(ドレイン電極層15b)と第3のゲート電極42とを接続電極を介して接続させてもよい。40

【0220】

本実施の形態は、実施の形態1乃至実施の形態4と自由に組み合わせることができる。

【0221】

(実施の形態6)

本実施の形態は、本発明の一態様である表示装置について、ブロック図、回路図、各信号などの電位変化を示す波形図、上面図(レイアウト図)などを参照して説明する。

【0222】

図11(A)は、アクティブラチクス型液晶表示装置のブロック図の一例を示す。図50

11(A)に示す液晶表示装置は、基板800上に表示素子を備えた画素を複数有する画素部801と、各画素のゲート電極に接続された走査線の電位を制御する走査線駆動回路802と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路803と、を有する。各画素には、図11(B)に示すトランジスタ804が設けられている。トランジスタ804は、第1の制御信号G1と第2の制御信号G2によって、In端子とOut端子間の電気的な制御を行う素子である。なお、図11(B)に示すトランジスタ804のシンボルは、上記実施の形態1乃至実施の形態4のいずれか一で説明したトランジスタに相当する。

【0223】

なお、ここでは、走査線駆動回路802と信号線駆動回路803を基板800上に形成する形態を示したが、走査線駆動回路802の一部を、別の基板に形成したICなどにより実装してもよい。信号線駆動回路803の一部を、別の基板に形成したICなどにより実装してもよい。走査線駆動回路802を基板800上に複数設けてもよい。

【0224】

図12は、表示装置を構成する、信号入力端子、走査線、信号線、非線形素子を含む保護回路、および画素部の位置関係を説明する図である。絶縁表面を有する基板820上には走査線823Aと制御線823Bと信号線824が交差して配置され、画素部827が構成されている。なお、画素部827は、図11に示す画素部801に相当する。なお、制御線823Bを信号線824と平行に配置してもよい。

【0225】

画素部827は、複数の画素828がマトリクス状に配列して構成されている。画素828は、走査線823A、制御線823Bおよび信号線824に接続された画素トランジスタ829、保持容量部830、画素電極831を含んで構成されている。

【0226】

ここで示す画素構成において、保持容量部830の一方の電極は画素トランジスタ829と接続され、保持容量部830の他方の電極と容量線832が接続されている。画素電極831は表示素子(液晶素子、発光素子、コントラスト媒体(電子インク)など)を駆動する一方の電極を構成する。これらの表示素子の他方の電極(対向電極とも呼ぶ)は、コモン端子833に接続されている。コモン端子からは共通電位(コモン電位とも呼ぶ)が表示素子の対向電極に供給される。

【0227】

保護回路835は、画素部827から伸びた配線と信号線入力端子822の間に配設されている。保護回路835は、走査線駆動回路802と画素部827の間に配設されている。本実施の形態では、複数の保護回路により構成される保護回路835を配設することで、走査線823A、制御線823B、信号線824、および容量線832に静電気などによるサーボ電圧が印加された場合に、画素トランジスタ829などが破壊されないように構成されている。そのため、保護回路835には、サーボ電圧が印加されたときに、コモン配線に電荷を逃がすことができるよう構成されている。

【0228】

本実施の形態では、信号線入力端子822の近傍に、一の配線に対して一の保護回路を配設する例を示している。ただし、保護回路835の配設位置や、保護回路835に設ける保護回路の数はこれに限定されない。

【0229】

実施の形態1乃至実施の形態4のいずれか一に示したトランジスタを画素トランジスタ829に適用することで、画素トランジスタ829のしきい値電圧の調整とトランジスタのオン電流の増大の一方または双方を実現することが可能となる。

【0230】

図13(A)は、画素828に供給される信号の電位変化の概略を表す波形図を示す。ここで、画素828の動作について説明する。図13(A)は、任意の画素に接続された走査線823A、制御線823B、信号線824、および容量線832のそれぞれの電位

10

20

30

40

50

についての波形を示す。図13(A)は、走査線823Aの電位変化の概略を表す波形G1、制御線823Bの電位変化の概略を表す波形G2、信号線824の電位変化の概略を表す波形D、および容量線832の電位変化を表す波形COMについて横軸を時間、縦軸を電位としてこれらの時間変化を表したものである。なお、波形G1の高電源電位は V_1 と表し、波形G1の低電源電位は V_2 と表し、波形G2の電位は V_c と表し、波形Dの高電源電位は V_{D1} と表し、波形Dの低電源電位は V_{D2} と表し、波形COMの電位は V_{c0M} と表す。なお、図13に示されるように、波形G1が V_2 から V_1 になった瞬間から V_1 が再び V_2 になり、再度 V_1 になるまでの期間が、1フレーム期間である。図13に示されるように、波形G1が V_2 から V_1 になった瞬間から、 V_1 が再び V_2 になるまでの期間が、1ゲート選択期間である。

10

【0231】

図13(A)で1フレーム期間の1ゲート選択期間、すなわち走査線823Aが V_1 であるとき、 V_{D1} から V_{D2} の範囲にある信号線824の電位が画素828内の保持容量部830に保持される。また図13(A)で1フレーム期間の1ゲート選択期間以外の期間、すなわち走査線823Aが V_2 であるとき、 V_{D1} から V_{D2} の範囲にある信号線824の電位に関わらず、画素828内の保持容量部830は1ゲート選択期間に入力された電位を保持する。なお、制御線823Bの電位変化の概略を表す波形G2は、走査線823Aによる画素トランジスタ829の導通または非導通の制御が誤動作しない範囲で固定された電位とすることが好ましい。制御線823Bの電位 V_c を V_{D2} 以下、好ましくは V_2 から V_{D2} の範囲とすることで、走査線823Aによる画素トランジスタ829の導通または非導通の制御が誤作動しないようにすることができる。

20

【0232】

図13(B)は、一例として、信号線824の電位を一定期間、 V_{D1} に固定した場合の電位変化の概略を表す波形図を示す。図13(B)が図13(A)と異なる点は、信号線824の電位変化を示す波形Dを具体的に示した点(図13(A)では V_{D1} から V_{D2} の範囲にある任意の電位としている)、画素828内の保持容量部830に保持される電位変化の波形 C_{pix} を示した点にある。図13(B)では、波形G1を V_1 にする前に波形Dを V_{D2} から V_{D1} にし、その後波形G1を V_1 にして画素828内の保持容量部830に保持される電位、すなわち波形 C_{pix} の電位を上昇させる(図13(B)に示す最初の1ゲート選択期間を参照)。図13(B)では、波形G1を V_1 にする前に波形Dを V_{D1} から V_{D2} にし、その後波形G1を V_1 にして画素828内の保持容量部830の電位、すなわち波形 C_{pix} の電位を下降させる(図13(B)に示す2回目の1ゲート選択期間を参照)。波形G1を V_1 とする前に波形Dを V_{D2} から V_{D1} 、または V_{D1} から V_{D2} にしておくことで、信号の遅延などによる誤作動を軽減することができる。なお、図13(B)中、波形Dと波形 C_{pix} は同じ電位となる期間があるが、明瞭にするためにずらして示している。

30

【0233】

図13(A)および図13(B)に示されるように、制御線823Bを設けることにより、実施の形態1乃至実施の形態4のいずれか一に示したトランジスタと同様の作用効果を得ることに加え、画素トランジスタ829のしきい値電圧の制御を行うことができる。特に、制御線823Bの波形G2を固定された電位にすることにより、しきい値電圧の安定したトランジスタを得ることができ、好ましい。

40

【0234】

なお、図13(A)、(B)に示す画素828に供給される信号の電位変化の概略を表す波形図は、一例であって、他の駆動方法を組み合わせて用いてよい。他の駆動方法の一例としては、一定期間毎、1フレーム毎、または1画素毎に、共通電極の共通電位(コモン電位)に対して、画素電極に印加される電圧の極性を反転させる駆動方法(いわゆる反転駆動)を用いてよい。反転駆動を行うことによって、画像のちらつき(フリッカ)などの表示ムラおよび表示素子(例えば液晶素子)の劣化を抑制することができる。なお、反転駆動の例としては、フレーム反転駆動をはじめ、ソースライン反転駆動、ゲート

50

イン反転駆動、ドット反転駆動などが挙げられる。なお、表示方式として、プログレッシブ方式またはインターレース方式などを用いることができる。画素に複数のサブ画素（副画素ともいう）を設ける構成としてもよい。

【0235】

図14は、図12に示した画素828のレイアウトの一例を示す。図14に示すトランジスタは、実施の形態1に示すものと同様、チャネルエッチ型である。図14中の鎖線A-Bで切断した断面が図1(C)の断面に相当する。なお、図14に示す画素のレイアウト図は、走査線823Aの延伸する方向にRGB(Rは赤、Gは緑、Bは青)の3色に対応した画素を並べて配設した、いわゆるストライプ配置する例について示しているが、これに限定されず、デルタ配置、またはベイヤー配置したレイアウトであってもよい。なお、RGBの3色に限定されず、それ以上でもよく、例えば、RGBW(Wは白)、またはRGBに、イエロー、シアン、マゼンタなどを一色以上追加したものなどを用いてもよい。なお、RGBの各色要素の画素毎にその表示領域の大きさが異なっていてもよい。

10

【0236】

図14の画素の回路は、走査線823Aとなる配線および容量線832の一方の電極となる配線として機能する第1の導電層1101、画素トランジスタ829のチャネル領域を形成する酸化物半導体層1102、信号線824となる配線および容量線832の他方の電極となる配線として機能する第2の導電層1103、画素電極831となる画素電極層1104、制御線823Bとなる配線として機能する第3の導電層1105、および第2の導電層1103と画素電極831とのコンタクトをとるための開口部1106(コンタクト穴ともいう)について示すものである。図14では、第1の導電層1101と平行して設けられた第3の導電層1105が、酸化物半導体層1102の上に延設する構成について示したが、図15に示すように第1の導電層1101上および酸化物半導体層1102上を覆って設けられた構成としてもよい。図15に示す構成として、遮光性を有する導電性材料で第3の導電層1105を形成した場合、図14のレイアウト図に比べて第3の導電層1105の遮光性をさらに高めることができる。

20

【0237】

なお、図14などに示すレイアウト図において、トランジスタのソース領域およびドレイン領域の対向部分を、U字状、またはC字状の形状としてもよい。または、第1のゲート電極として機能する第1の導電層1101を、U字状またはC字状の形状としてもよい。なお、第1のゲート電極として機能する第1の導電層1101のチャネル長方向の幅は、酸化物半導体層1102の幅よりも広くするとよい。そして、第2のゲート電極として機能する第3の導電層1105の幅(チャネル長方向の幅)は、第1の導電層1101の幅より狭く、酸化物半導体層1102の幅よりも狭い。

30

【0238】

なお、図16は、画素トランジスタと走査線の接続が図12とは異なる例を示す。図16は、実施の形態1乃至実施の形態4のいずれか一に示したトランジスタを用いて、走査線に接続された第1のゲート電極と制御線に接続された第2のゲート電極とを接続させて同電位となる場合を示す。なお、図16では、図12での説明と同じ箇所に関しては、繰り返しの説明を省略する。

40

【0239】

図16は、表示装置を構成する、信号入力端子、走査線、信号線、非線形素子を含む保護回路、および画素部の位置関係を説明する図である。図16が図12と異なる点は、制御線823Bがなく、図12での走査線823Aに対応する走査線823を有する点にある。図16に示すように走査線823に第2のゲート電極を接続して画素トランジスタを制御することにより、制御線を省略することができ、配線の数、および信号線入力端子822の数を削減することができる。

【0240】

図17は、図16に示す画素828に供給される信号の電位変化の概略を表す波形図を示す。図16での画素828の動作について説明する。図17は、任意の画素に接続され

50

た走査線 823、信号線 824、および容量線 832 のそれぞれの電位についての波形を示す。なお図 17 では図 13(A)との違いを明瞭化するため、走査線 823 に接続されて等しくなる第 1 のゲート電極の電位と第 2 のゲート電極の電位をわずかにずらして分けて示す。図 17 は、第 1 のゲート電極の電位変化の概略を表す波形 G1、第 2 のゲート電極の電位変化の概略を表す波形 G2、信号線 824 の電位変化の概略を表す波形 D、および容量線 832 の電位変化を表す波形 COM について横軸を時間、縦軸を電位としてこれらの時間変化を表したものである。なお、波形 G1 と波形 G2 の高電源電位は V_1 と表し、波形 G1 と波形 G2 の低電源電位は V_2 と表し、波形 D の高電源電位は V_{D1} と表し、波形 D の低電源電位は V_{D2} と表し、波形 COM の電位は V_{COM} と表す。なお、図 17 に示されるように、波形 G1 が V_2 から V_1 になった瞬間から、 V_1 が再び V_2 になり、再度 V_1 になるまでの期間が、1 フレーム期間である。図 17 に示されるように、波形 G1 が V_2 から V_1 になった瞬間から、 V_1 が再び V_2 になるまでの期間が、1 ゲート選択期間である。

【0241】

図 17 で 1 フレーム期間の 1 ゲート選択期間、すなわち走査線 823 が V_1 であるとき、 V_{D1} から V_{D2} の範囲にある信号線 824 の電位が画素 828 内の保持容量部 830 に保持される。また図 17 で 1 フレーム期間の 1 ゲート選択期間以外の期間、すなわち走査線 823 が V_2 であるとき、 V_{D1} から V_{D2} の範囲にある信号線 824 の電位に関わらず、画素 828 内の保持容量部 830 は 1 ゲート選択期間に入力された電位を保持する。

【0242】

図 17 に示すように、波形 G1 と波形 G2 を同じ電位として、画素トランジスタ 829 のチャネルとなる領域を増やすことができ、画素トランジスタ 829 を流れる電流量を増やすことができるため、表示素子を高速に動作させることができる。波形 G1 と波形 G2 を同じ電位で駆動させる場合の他の構成として、図 18 に示されるように、第 1 の走査線駆動回路 802A および第 2 の走査線駆動回路 802B を設ける構成が挙げられる。図 18 に示すように、第 1 の走査線駆動回路 802A および第 2 の走査線駆動回路 802B が、走査信号を供給する第 1 の走査線 823C および第 2 の走査線 823D により、トランジスタを制御してもよい。

【0243】

なお、図 17 に示す電位変化の概略を表す波形図は、図 13 と同様に一例であって、他の駆動方法を組み合わせて用いてもよい。他の駆動方法の一例としては、一定期間毎、1 フレーム毎、または 1 画素毎に、共通電極の共通電位（コモン電位）に対して、画素電極に印加される電圧の極性を反転させる、駆動方法（上記した、いわゆる反転駆動）を用いてもよい。反転駆動を用いることで、上記と同様の効果を奏する。

【0244】

図 19 は、図 16 に示した画素 828 のレイアウト図の一例を示す。図 19 に示すトランジスタは、実施の形態 1 に示すものと同様、チャネルエッチ型である。なお、図 19 に示す画素のレイアウト図は、走査線 823 の延伸する方向に RGB (R は赤、G は緑、B は青) の 3 色に対応した画素を並べて配設した、いわゆるストライプ配置する例について示しているが、これに限定されず、デルタ配置、またはベイヤー配置したレイアウトであってもよい。なお、RGB の三色に限定されず、例えば、RGBW (W は白)、または RGB に、イエロー、シアン、マゼンタなどを一色以上追加したものなどを用いてもよい。なお、RGB の各色要素の画素毎にその表示領域の大きさが異なっていてもよい。

【0245】

図 19 の画素の回路は、走査線 823 となる配線および容量線 832 の一方の電極となる配線として機能する第 1 の導電層 1101、画素トランジスタ 829 のチャネル領域を形成する酸化物半導体層 1102、信号線 824 となる配線および容量線 832 の他方の電極となる配線として機能する第 2 の導電層 1103、画素電極 831 となる画素電極層 1104、第 1 の導電層 1101 に接続された第 3 の導電層 1105、および第 2 の導電

10

20

30

40

50

層 1103 と画素電極 831とのコンタクトをとるため、または第1の導電層 1101 と第3の導電層 1105とのコンタクトをとるための開口部 1106（コンタクト穴ともいう）について示すものである。図 19 では、第3の導電層 1105 が、酸化物半導体層 1102 の上に画素トランジスタ 829 每に設けられる構成について示したが、図 20 に示すように第1の導電層 1101 上および酸化物半導体層 1102 上を覆って設ける構成としてもよい。図 20 に示す構成として、遮光性を有する導電性材料で第3の導電層 1105 を形成した場合、図 19 のレイアウト図に比べて第3の導電層 1105 の遮光性をさらに高めることができる。

【0246】

なお、図 19 などに示すレイアウト図において、トランジスタのソース領域およびドレイン領域の対向部分を、U字状、またはC字状の形状としてもよい。または、ゲート電極として機能する第1の導電層 1101 を、U字状またはC字状の形状とする構成でもよい。なお、第1のゲート電極として機能する第1の導電層 1101 のチャネル長方向の幅は、酸化物半導体層 1102 の幅よりも広くするとよい。なお、第2のゲート電極として機能する第3の導電層 1105 の幅（チャネル長方向の幅）は、第1の導電層 1101 の幅よりも広く、酸化物半導体層 1102 の幅よりも広い。

【0247】

以上説明したように、実施の形態 1 乃至実施の形態 4 のいずれか一の構成のトランジスタを用いることにより、上記実施の形態で説明した効果に加えて、しきい値電圧を適切なものとすることができる。

【0248】

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、または置き換えなどを自由に行うことができる。

【0249】

(実施の形態 7)

本実施の形態は、実施の形態 1 乃至実施の形態 4 のいずれか一に示した酸化物半導体層を用いたトランジスタを適用した発光表示装置について説明する。発光表示装置が有する表示素子として、ここではエレクトロルミネッセンスを利用する発光素子を例として示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0250】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらのキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムの発光素子は、電流励起型の発光素子と呼ばれる。

【0251】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。

【0252】

なお、本実施の形態では、発光素子として有機EL素子を用いて説明する。

【0253】

図 21 は、上記実施の形態 1 乃至実施の形態 4 のいずれか一で述べたトランジスタを具備する発光表示装置の画素の一例を示す。

【0254】

10

20

30

40

50

発光表示装置が具備する画素の構成と動作について説明する。ここでは酸化物半導体層（例えばIn-Ga-Zn-O系非単結晶膜）をチャネル形成領域に用いたnチャネル型のトランジスタを1つの画素につき2つ有する例を示す。

【0255】

画素6400は、スイッチング用トランジスタ6401（第1のトランジスタ）、駆動用トランジスタ6402（第2のトランジスタ）、容量素子6403および発光素子6404を有する。スイッチング用トランジスタ6401では、第1のゲート電極が走査線6406Aに接続され、第2のゲート電極が制御線6406Bに接続され、第1の電極（ソース電極およびドレイン電極の一方）が信号線6405に接続され、第2の電極（ソース電極およびドレイン電極の他方）が駆動用トランジスタ6402のゲートに接続されている。駆動用トランジスタ6402では、第1のゲート電極が容量素子6403を介して電源線6407に接続され、第2のゲート電極が制御線6406Bに接続され、第1の電極が電源線6407に接続され、第2の電極が発光素子6404の第1の電極（画素電極）に接続されている。発光素子6404の第2の電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電気的に接続され、その接続部分を共通接続部とすればよい。

10

【0256】

なお、発光素子6404の第2の電極（共通電極6408）は低電源電位に設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位をいい、低電源電位としては、例えばGND、0Vなどが挙げられる。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

20

【0257】

なお、容量素子6403は、駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量は、例えばチャネル領域とゲート電極との間で形成されればよい。

【0258】

アナログ階調駆動を行う場合には、駆動用トランジスタ6402の第1のゲートに発光素子6404の順方向電圧+駆動用トランジスタ6402のしきい値電圧以上の電圧をかける。発光素子6404の順方向の電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力すると、発光素子6404に電流を流すことができる。電源線6407の電位は、駆動用トランジスタ6402を飽和領域で動作させるため、駆動用トランジスタ6402の第1のゲートの電位よりも高くする。ビデオ信号をアナログ値とすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

30

【0259】

図21に示すように、制御線6406Bを設けることにより、実施の形態1乃至実施の形態4のいずれか一に示したトランジスタと同様に、スイッチング用トランジスタ6401と駆動用トランジスタ6402のしきい値電圧の制御を行うことができる。特に、駆動用トランジスタ6402では、飽和領域で動作するようにビデオ信号を入力することとなる。そのため、制御線6406Bの電位によってしきい値電圧の制御を行うことにより、しきい値電圧のシフトによって生じる、入力するビデオ信号と発光素子の輝度との間のずれを小さくすることができる。その結果、表示装置の表示品質の向上を図ることが出来る。

40

【0260】

なお、スイッチング用トランジスタ6401は、スイッチとして動作させるトランジスタであり、制御線6406Bによる第2のゲートの電位の制御を行わなくてもよい。すな

50

わち、制御線 6406B は、駆動用トランジスタ 6402 の第 2 のゲートのみに接続されているてもよい。

【0261】

なお、図 21 に示す画素構成は、これに限定されない。例えば、図 21 に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタまたは論理回路などを追加してもよい。

【0262】

なお、デジタル階調駆動を行う場合には、駆動用トランジスタ 6402 のゲートには、駆動用トランジスタ 6402 が十分にオンするかまたはオフするかの二つの状態のいずれかとなるようなビデオ信号を入力する。つまり、駆動用トランジスタ 6402 は線形領域で動作させる。駆動用トランジスタ 6402 は線形領域で動作させるため、駆動用トランジスタ 6402 の第 1 のゲートは、電源線 6407 の電位よりも高い電位とする。なお、信号線 6405 には、(電源線電圧 + 駆動用トランジスタ 6402 の V_{th}) 以上の電圧をかける。図 21 と同じ画素構成を用いることができる。

10

【0263】

次に、発光素子の構成について、図 22 を用いて説明する。ここでは、駆動用トランジスタが n チャネル型のトランジスタを例に挙げて、画素の断面構造について説明する。図 22(A) (B) (C) に示される駆動用トランジスタであるトランジスタ 7001、トランジスタ 7011 およびトランジスタ 7021 は、実施の形態 1 で示すトランジスタ 471 などと同様に作製することができ、酸化物半導体層をチャネル形成領域に用いたトランジスタである。

20

【0264】

発光素子は、発光を取り出すために少なくとも陽極または陰極の一方が透明であればよい。そして、基板上にトランジスタおよび発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出構造(トップエミッション)や、基板側の面から発光を取り出す下面射出構造(ボトムエミッション)や、基板側および基板とは反対側の面の双方から発光を取り出す両面射出構造(デュアルエミッション)の発光素子があり、図 22 に示すように、本実施の形態では、いずれも適用することができる。

【0265】

上面射出構造の発光素子について図 22(A) を用いて説明する。

30

【0266】

図 22(A) には、実施の形態 1 に示すトランジスタ 7001 を画素に配置する駆動用トランジスタとし、トランジスタ 7001 と電気的に接続する発光素子 7002 から発せられる光が陽極 7005 側に射出される場合の画素の断面図を示す。トランジスタ 7001 は、保護層 7007 と樹脂層 7017 で覆われ、さらに樹脂層 7017 上に窒化シリコンにより形成された第 2 の保護絶縁層 7018 を有し、トランジスタ 7001 のチャネルは In-Zn-O 系酸化物半導体により形成されている。

【0267】

図 22(A) では、発光素子 7002 の陰極 7003 と駆動用トランジスタであるトランジスタ 7001 が電気的に接続されており、陰極 7003 上に発光層 7004、陽極 7005 が順に積層されて形成されている。陰極 7003 は仕事関数が小さく、且つ光を反射する導電性材料であればよく、様々な材料を用いることができる。例えば、Ca、Al、MgAg、AlLi などが望ましい。

40

【0268】

なお、図 22(A) では、陰極 7003 と同じ材料により形成された第 2 のゲート電極 7009 が酸化物半導体層を覆っており、第 2 のゲート電極 7009 が酸化物半導体層を遮光している。第 2 のゲート電極 7009 は、トランジスタ 7001 のしきい値電圧を制御する。陰極 7003 と第 2 のゲート電極 7009 とを同じ材料により同一の層で形成することで、工程数を削減することができる。

【0269】

50

そして、第2のゲート電極7009と陰極7003の短絡を防止するために、絶縁材料からなる隔壁7006が設けられている。隔壁7006の一部から露出している陰極7003の一部と、隔壁7006の双方に重なるように発光層7004が設けられている。

【0270】

そして発光層7004は、単数の層により形成されても、複数の層が積層されて形成されてもよい。複数の層が積層されて形成されている場合には、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層して形成する。なお、これらの層を必ずしも全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物または酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いてもよい。

【0271】

陰極7003と、陽極7005と、これらで挟まれた発光層7004と、により発光素子7002が形成されている。図22(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

【0272】

次に、下面射出構造の発光素子について図22(B)を用いて説明する。

【0273】

図22(B)には、実施の形態1に示すトランジスタ7011を画素に配置する駆動用トランジスタとし、トランジスタ7011と電気的に接続する発光素子7012から発せられる光が陰極7013側に射出される場合の、画素の断面図を示す。トランジスタ7011は、保護層7007と樹脂層7017で覆われ、さらに樹脂層7017上に窒化シリコンにより形成された第2の保護絶縁層7018を有し、トランジスタ7011のチャネルがIn-Ga-Zn-O系酸化物半導体により形成されている。

【0274】

図22(B)では、駆動用トランジスタであるトランジスタ7011と電気的に接続された透光性を有する導電膜7010上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014と陽極7015が順に積層されて形成されている。なお、陽極7015が透光性を有する場合、陽極7015上を覆うように、光を反射または遮蔽する遮蔽膜7016が成膜されていてもよい。陰極7013は、図22(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただし、その厚さは、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば厚さ20nmのアルミニウム膜を、陰極7013として用いることができる。

【0275】

そして、発光層7014は、図22(A)と同様に、単数の層により形成されても、複数の層が積層されて形成されてもよい。陽極7015は光を透過する必要はないが、図22(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016としては、例えば光を反射する金属膜などを用いることができるが、これに限定されない。例えば黒の顔料を添加した樹脂などを用いることもできる。

【0276】

なお、図22(B)では、透光性を有する導電膜7010と同じ導電性材料により設けられた第2のゲート電極7019が酸化物半導体層を覆う構成としている。本実施の形態では、第2のゲート電極7019の材料として、酸化シリコンを含むインジウム錫酸化物を用いる。第2のゲート電極7019は、トランジスタ7011のしきい値電圧を制御する。透光性を有する導電膜7010と第2のゲート電極7019と同じ材料により同一の層で形成することで、工程数を削減することができる。トランジスタ7011の酸化物半導体層は、第2のゲート電極7019の上方の遮蔽膜7016によって遮光されている。

10

20

30

40

50

【0277】

陰極7013と、陽極7015と、これらで挟まれた発光層7014と、により発光素子7012が形成されている。図22(B)に示した画素の場合、発光素子7012から発せられる光は、矢印で示すように陰極7013側に射出する。

【0278】

次に、両面射出構造の発光素子について、図22(C)を用いて説明する。

【0279】

図22(C)には、実施の形態1に示すトランジスタ7021を画素に配置する駆動用トランジスタとし、トランジスタ7021と電気的に接続する発光素子7022から発せられる光が陽極7025側と陰極7023側の双方に抜ける場合の画素の断面図を示す。
トランジスタ7021は、保護層7007と樹脂層7017で覆われ、さらに樹脂層7017上に窒化シリコンにより形成された第2の保護絶縁層7018を有し、トランジスタ7021のチャネルはZn-O系酸化物半導体により形成されている。

10

【0280】

トランジスタ7021と接続電極7028を介して電気的に接続された透光性を有する導電膜7027上に、発光素子7022の陰極7023が成膜されており、陰極7023上に発光層7024と陽極7025が順に積層されて形成されている。陰極7023は、図22(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただし、その厚さは、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば厚さ20nmのアルミニウム膜を、陰極7023として用いることができる。

20

【0281】

そして、発光層7024は、図22(A)と同様に、単数の層により形成されていても、複数の層が積層されて形成されていてよい。陽極7025は、図22(A)と同様に、透光性を有する導電性材料を用いて形成することができる。

【0282】

陰極7023と、陽極7025と、これらで挟まれた発光層7024と、により発光素子7022が形成されている。図22(C)に示した画素の場合、発光素子7022から発せられる光は、矢印で示すように陽極7025側と陰極7023側の両方に射出する。

30

【0283】

なお、図22(C)では、第2のゲート電極7029が酸化物半導体層を覆っている。従って、第2のゲート電極7029の材料としては、遮光性を有する導電性材料(例えば、Ti、窒化チタン、Al、Wなど)を用いる。ここでは、第2のゲート電極7029の材料としては、チタンを用いる。第2のゲート電極7029によってトランジスタ7021のしきい値電圧を制御する。トランジスタ7021の酸化物半導体層は、第2のゲート電極7029によって遮光されている。トランジスタ7021と接続する接続電極7028は、第2のゲート電極7029と同一の材料(すなわち、チタン)により同一の層として形成する。

【0284】

なお、ここでは、発光素子として有機EL素子を用いる場合について説明したが、発光素子として無機EL素子を用いてもよい。

40

【0285】

なお、本実施の形態では、発光素子の駆動を制御するトランジスタ(駆動用トランジスタ)と発光素子が接続されている例を示したが、駆動用トランジスタと発光素子との間に電流制御用トランジスタが接続されていてよい。

【0286】

次に、半導体装置の一形態に相当する発光表示パネル(発光パネルともいう)の外観と断面について、図23を用いて説明する。図23(A)は、第1の基板上に形成されたトランジスタと発光素子を、第2の基板との間にシール材によって封止した発光表示パネルの上面図であり、図23(B)は、図23(A)のH-Iにおける断面図に相当する。

50

【0287】

第1の基板4500上に設けられた画素部4502、信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504aおよび走査線駆動回路4504bを囲ってシール材4505が設けられている。また画素部4502、信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504a、および走査線駆動回路4504bの上に第2の基板4506が設けられている。よって、画素部4502、信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504aおよび走査線駆動回路4504bは、第1の基板4500とシール材4505と第2の基板4506とによって、充填材4503と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルムなど）やカバー材でパッケージング（封入）することが好ましい。10

【0288】

第1の基板4500上に設けられた画素部4502、信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504aおよび走査線駆動回路4504bは、トランジスタを複数有しており、図23(B)では、画素部4502に含まれるトランジスタ4510と、信号線駆動回路4503aに含まれるトランジスタ4509と、を例示している。

【0289】

トランジスタ4509とトランジスタ4510には、ここではZn-O系酸化物半導体を用いる。本実施の形態において、トランジスタ4509とトランジスタ4510はnチャネル型トランジスタである。トランジスタ4509とトランジスタ4510は、第1の保護層4507上の樹脂層4508と、樹脂層4508上の第2の保護絶縁層4514と、で覆われている。なお、窒化シリコンにより形成された第2の保護絶縁層4514は、樹脂層4508の上面と側面を覆って形成されている。トランジスタ4509の上方には、第2のゲート電極4522が設けられており、トランジスタ4510の上方には、第2のゲート電極4521が設けられている。第2のゲート電極4521と第2のゲート電極4522は、同一の層により形成されており、トランジスタのしきい値電圧の制御を行い、酸化物半導体層の保護層としても機能する。20

【0290】

第2のゲート電極4522の幅は、トランジスタ4509のゲート電極の幅よりも広く、酸化物半導体層全体にゲート電圧を印加することができるようになるとよい。第2のゲート電極4522を遮光性の導電性材料により形成する場合、トランジスタ4509の酸化物半導体層への光を遮断することができる。第2のゲート電極4522を遮光性の導電性材料により形成する場合、酸化物半導体の光感度によるトランジスタの電気特性の変動を防止し、安定に動作させることができる。30

【0291】

第2のゲート電極4521の幅は、第2のゲート電極4522の幅とは異なり、トランジスタ4510の第1のゲート電極の幅よりも狭くするとよい。第2のゲート電極4521の幅をトランジスタ4510の第1のゲート電極の幅よりも狭くすることで、トランジスタ4510のソース電極またはドレイン電極と重なる面積を縮小して寄生容量を小さくすることができる。第2のゲート電極4521の幅は、トランジスタ4510の酸化物半導体層の幅よりも狭く、一部しか遮光していないが、さらに上方には第2の電極層4513が設けられており、第2の電極層4513を遮光性の導電性材料により形成することで、酸化物半導体層全体を遮光することができる。40

【0292】

発光素子4511が有する画素電極である第1の電極層4517は、トランジスタ4510のソース電極またはドレイン電極と接続されている。なお、発光素子4511は、第1の電極層4517と、電界発光層4512と、第2の電極層4513と、が積層された構造であるが、これに限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。50

【0293】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシリコサンを用いて形成する。特に感光性の材料を用いて第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0294】

電界発光層4512は、単数の層で形成されていてもよいし、複数の層が積層されて形成されていてもよい。

【0295】

発光素子4511に酸素、水素、水分、二酸化炭素などが侵入しないように、第2の電極層4513と隔壁4520を覆って保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC膜などを挙げることができる。10

【0296】

信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504a、走査線駆動回路4504bまたは画素部4502に与えられる各種信号と電位は、FPC4518aおよびFPC4518bから供給されている。

【0297】

本実施の形態では、接続端子電極4515が、発光素子4511の第1の電極層4517と同じ材料で同一の層として形成され、端子電極4516は、トランジスタ4509およびトランジスタ4510が有するソース電極およびドレイン電極と同じ材料で同一の層として形成されている。なお、端子電極4516の下には、トランジスタ4509及びトランジスタ4510のゲート絶縁層4501を有する。20

【0298】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電気的に接続されている。

【0299】

発光素子4511からの光の取り出し方向に位置する第2の基板4506は、透光性であることを要する。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性の基板を用いる。

【0300】

なお、充填材4503としては、窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。ここでは、充填材として窒素を用いる。30

【0301】

なお、必要であれば、発光素子の射出面に偏光板、円偏光板(楕円偏光板を含む)、位相差板(1/4板、1/2板)またはカラーフィルタなどの光学フィルムを適宜設けてもよいし、偏光板または円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0302】

信号線駆動回路4503a、信号線駆動回路4503b、走査線駆動回路4504aおよび走査線駆動回路4504bは、別の基板上に単結晶半導体膜または多結晶半導体膜によって形成してもよい。なお、信号線駆動回路のみ、或いは走査線駆動回路の一部または全部を別の基板上に形成してもよい。40

【0303】

以上の工程により、半導体装置として信頼性の高い発光表示装置(表示パネル)を作製することができる。

【0304】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。50

【0305】

(実施の形態8)

本実施の形態は、実施の形態1乃至実施の形態4のいずれか一に示した酸化物半導体層を用いたトランジスタを適用した液晶表示装置について説明する。実施の形態1乃至実施の形態4のいずれか一の酸化物半導体層を用いたトランジスタを駆動回路、さらには画素部に用いて表示機能を有する液晶表示装置を作製することができる。なお、該トランジスタを用いて、駆動回路の一部または全体を、画素部と同じ基板上に形成し、システムオンパネルを作製することができる。

【0306】

液晶表示装置は表示素子として液晶素子(液晶表示素子)を含む。

10

【0307】

なお、液晶表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むICなどを実装した状態にあるモジュールと、を含む。さらに、該液晶表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板は、電流を表示素子に供給するための手段を各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であってもよいし、画素電極となる導電膜を成膜した後に、エッチングして画素電極を形成する前の状態であってもよいし、あらゆる形態があてはまる。

【0308】

なお、本明細書中における液晶表示装置は、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。なおコネクター、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て液晶表示装置に含む。

20

【0309】

液晶表示装置の一形態に相当する液晶表示パネルの外観および断面について、図24を用いて説明する。図24(A1)および(A2)は、液晶素子4013を第1の基板4001と第2の基板4006との間にシール材4005を配して封止したパネルの上面図を示し、図24(B)は、図24(A1)および(A2)のM-Nにおける断面図に相当する。

30

【0310】

図24では、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と走査線駆動回路4004は、第1の基板4001と、シール材4005と、第2の基板4006とによって、液晶層4008と共に封止されている。本実施の形態において液晶層4008は、特に限定されないが、ブルー相を示す液晶材料を用いる。ブルー相を示す液晶材料は、電圧無印加状態から電圧印加状態においては、応答速度が1 msec以下と短く、高速応答が可能である。ブルー相を示す液晶材料として液晶およびカイラル剤を含む。カイラル剤は、液晶を螺旋構造に配向させ、ブルー相を発現させるために用いる。例えば、5重量%以上のカイラル剤を混合させた液晶材料を液晶層に用いればよい。液晶は、サーモトロピック液晶、低分子液晶、高分子液晶、強誘電性液晶、反強誘電性液晶などを用いる。

40

【0311】

図24(A1)は、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜または多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0312】

50

図24(A2)は、信号線駆動回路の一部を第1の基板4001上に形成した例であり、第1の基板4001上に信号線駆動回路4003bが形成され、かつ別途用意された基板上に単結晶半導体膜または多結晶半導体膜で形成された信号線駆動回路4003aが実装されている。

【0313】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図24(A1)は、信号線駆動回路をCOG方法により実装する例であり、図24(A2)は、信号線駆動回路をTAB方法により実装する例である。

【0314】

なお、第1の基板4001上に設けられた画素部4002と走査線駆動回路4004は、トランジスタを複数有しており、図24(B)では、画素部4002に含まれるトランジスタ4010と、走査線駆動回路4004に含まれるトランジスタ4011と、が示されている。トランジスタ4010およびトランジスタ4011上には第1の保護絶縁層4020、第2の保護絶縁層である樹脂層4021および第3の保護絶縁層4022が設けられている。トランジスタ4010およびトランジスタ4011には、実施の形態1乃至実施の形態4のいずれか一に示したトランジスタを適用することができる。本実施の形態において、トランジスタ4010およびトランジスタ4011は酸化物半導体層をチャネル形成領域に用いるnチャネル型トランジスタである。

【0315】

トランジスタ4010およびトランジスタ4011は、第1の保護絶縁層4020と、第2の保護絶縁層である樹脂層4021と、第3の保護絶縁層4022と、により覆われている。第1の保護絶縁層4020は、トランジスタ4010およびトランジスタ4011の酸化物半導体層およびゲート絶縁層4019上に接して設けられる。

【0316】

なお、平坦化絶縁膜として用いる第2の保護絶縁層である樹脂層4021は、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシなどの、耐熱性を有する有機材料を用いて形成することができる。またこれらの有機材料の他に、低誘電率材料(10w-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)などを用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させてもよい。なお、樹脂層4021は、透光性樹脂層であり、本実施の形態では感光性ポリイミド樹脂を用いる。

【0317】

絶縁層の形成方法は特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷など)、ドクターナイフ、ロールコーティング、カーテンコーティング、ナイフコーティングなどを用いることができる。

【0318】

なお、第3の保護絶縁層4022は、大気中に浮遊する有機物や金属物、水蒸気などの酸化物半導体層を汚染する不純物元素(ナトリウムなど)の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、PCVD法やスパッタリング法を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜または窒化酸化アルミニウム膜を単層で、または積層して形成すればよい。

【0319】

第3の保護絶縁層4022は、プラズマCVD法により低パワー条件で得られる窒化シリコンにより形成される。窒化シリコンにより形成される下地絶縁層4007と第3の保護絶縁層4022は、画素部の外側で接する構造となっており、第2の保護絶縁層である樹脂層4021の側面も封止し、窒化シリコン膜でトランジスタ4010およびトランジスタ4011を囲み、トランジスタ4010およびトランジスタ4011の信頼性を向上

10

20

30

40

50

させている。

【0320】

第1の保護絶縁層4020上であってトランジスタ4011の酸化物半導体層と重なる位置には、第2のゲート電極4028が形成される。第3の保護絶縁層4022上であってトランジスタ4010の酸化物半導体層と重なる位置には、第2のゲート電極4029が形成される。

【0321】

第1の基板4001上には画素電極層4030と共に電極層4031が設けられ、画素電極層4030は、トランジスタ4010と電気的に接続されている。第2のゲート電極4028および第2のゲート電極4029は、共通電極層4031と共に電位とすることができる。第2のゲート電極4028および第2のゲート電極4029は、共通電極層4031により形成される。第2のゲート電極4028および第2のゲート電極4029は、遮光性の材料を用いて形成すれば、トランジスタ4011およびトランジスタ4010の酸化物半導体層を遮光する遮光層としても機能させることができる。

【0322】

第2のゲート電極4028および第2のゲート電極4029は、共通電極層4031と異なる電位とすることができる、この場合には第2のゲート電極4028および第2のゲート電極4029と電気的に接続される制御線を設け、制御線の電位によってトランジスタ4010およびトランジスタ4011のしきい値電圧の制御を行う構成とする。

【0323】

なお、上記の記載に限定されず、第2のゲート電極4028および第2のゲート電極4029は第1のゲート電極に接続されていてもよいし、フローティングであってもよい。

【0324】

液晶素子4013は、画素電極層4030、共通電極層4031および液晶層4008を含む。本実施の形態では、基板に概略平行（すなわち水平な方向）な電界を生じさせ、基板と平行な面内で液晶分子を動かして、階調を制御する方式を用いる。このような方式として、IPS（In Plane Switching）モードで用いる電極構成や、FFS（Fringe Field Switching）モードで用いる電極構成が適用できる。なお、第1の基板4001および第2の基板4006の外側にはそれぞれ偏光板4032および偏光板4033が設けられている。

【0325】

なお、第1の基板4001および第2の基板4006としては、透光性を有するガラス基板またはプラスチック基板などを用いることができる。プラスチック基板としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。または、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0326】

ポストスペーサ4035は、絶縁膜を選択的にエッチングすることで得られるものであり、液晶層4008の膜厚（セルギャップ）を調整するために設けられている。なお、これに限定されず、球状のスペーサを用いていてもよい。柱状のポストスペーサ4035は、第2のゲート電極4029と重なる位置に配置する。

【0327】

図24の液晶表示装置では、基板の外側（視認側）に偏光板を設けた例を示しているが、偏光板は基板の内側に設けてもよい。

【0328】

なお、ブラックマトリクスとして機能する遮光層を必要な位置に適宜設けてもよい。図24においては、トランジスタ4010およびトランジスタ4011の上方を覆うように遮光層4034が第2の基板4006側に設けられている。遮光層4034を設けることにより、コントラストを更に向上させ、トランジスタの安定に動作させることができる。

10

20

30

40

50

【0329】

遮光層 4034 を設けると、トランジスタの酸化物半導体層へ入射する光の強度を減衰させることができ、酸化物半導体層の光感度によるトランジスタの電気特性の変動を防止し、安定に動作させることができる。

【0330】

画素電極層 4030、共通電極層 4031、第2のゲート電極 4028、および第2のゲート電極 4029 は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いて形成することができる。10

【0331】

または、画素電極層 4030、共通電極層 4031、第2のゲート電極 4028、および第2のゲート電極 4029 は、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。

【0332】

ところで、別途形成された信号線駆動回路 4003 と、走査線駆動回路 4004 または画素部 4002 に与えられる各種信号および電位は、FPC4018 から供給される。

【0333】

トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、駆動回路保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体を用いた非線形素子により設けることが好ましい。20

【0334】

図24では、接続端子電極 4015 が画素電極層 4030 と同一の層により形成され、端子電極 4016 がトランジスタ 4010 およびトランジスタ 4011 のソース電極およびドレイン電極層と同一の層により形成されている。

【0335】

接続端子電極 4015 は、FPC4018 が有する端子と、異方性導電膜 4017 を介して電気的に接続されている。

【0336】

図24においては、信号線駆動回路 4003 を別途形成し、第1の基板 4001 に実装した例を示しているが、これに限定されない。走査線駆動回路を別途形成して実装してもよいし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装してもよい。30

【0337】

図25は、液晶表示装置の断面構造の一例を示し、素子基板 2600 と対向基板 2601 がシール材 2602 により固着され、これらの間にトランジスタなどを含む素子層 2603 および液晶層 2604 が設けられている。

【0338】

カラー表示を行う場合には、例えば、バックライト部に複数種の発光色を射出する発光ダイオードを配置すればよい。RGB方式の場合には、液晶表示装置の表示エリアを複数に分割した分割領域に、赤の発光ダイオード 2610R、緑の発光ダイオード 2610G および青の発光ダイオード 2610B をそれぞれ配置する。40

【0339】

対向基板 2601 の外側には偏光板 2606 が設けられ、素子基板 2600 の外側には偏光板 2607、および光学シート 2613 が配設されている。光源は、赤の発光ダイオード 2610R、緑の発光ダイオード 2610G および青の発光ダイオード 2610B と反射板 2611 により構成され、回路基板 2612 に設けられたLED制御回路 2614 は、フレキシブル配線基板 2609 により素子基板 2600 の配線回路部 2608 と接続され、さらにコントロール回路や電源回路などの外部回路が組みこまれている。50

【0340】

本実施の形態は、このLED制御回路2614によって個別にLEDを発光させることによって、フィールドシーケンシャル方式の液晶表示装置とする例を示したがこれに限定されず、バックライトの光源として冷陰極管または白色LEDを用い、カラーフィルタを設けてもよい。

【0341】

本実施の形態では、IPSモードで用いる電極構成の例を示したがこれに限定されず、TN(Twisted Nematic)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(antiFerroelectric Liquid Crystal)モードなどを用いることができる。
10

【0342】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0343】**(実施の形態9)**

本実施の形態は、酸化物半導体層を有するトランジスタを複数有する半導体装置として電子ペーパーの一例について説明する。
20

【0344】

図26(A)は、アクティブマトリクス型の電子ペーパーの断面図を示す。半導体装置に用いられる表示部に配置されるトランジスタ581としては、実施の形態1乃至実施の形態4のいずれか一で説明したトランジスタを用いる。

【0345】

図26(A)の電子ペーパーは、ツイストボール表示方式を用いた表示装置の一例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いて、該球形粒子を第1の電極層と第2の電極層の間に配置し、第1の電極層と第2の電極層の間に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法をいう。
30

【0346】

トランジスタ581は、ボトムゲート構造のトランジスタであり、第1の電極層587は、第1の保護絶縁層584、第2の保護絶縁層である樹脂層585および第3の保護絶縁層586に形成された開口部を介してソース電極またはドレイン電極と電気的に接続している。第1の保護絶縁層584はトランジスタ581を覆い、第1の保護絶縁層584上の樹脂層585上には第2のゲート電極582が設けられ、第2のゲート電極582を覆って第3の保護絶縁層586が設けられている。トランジスタ581が有する酸化物半導体層は、第1の保護絶縁層584と、第2の保護絶縁層である樹脂層585と、第2のゲート電極582と、第3の保護絶縁層586とによって保護される構成となっている。
40

【0347】

第1の電極層587と第2の電極層588との間には球形粒子589が設けられ、球形粒子589は、キャビティ594、黒色領域590aおよび白色領域590bを有し、球形粒子589の周囲は、樹脂などの充填材595で充填されている(図26(A)参照。)。第1の電極層587は画素電極に相当し、第2の電極層588は共通電極に相当する。第2の電極層588は、トランジスタ581と同一基板上に設けられる共通電位線と電気的に接続されている。共通接続部において、一対の基板間に導電性粒子を配置して第2の電極層588と共通電位線とを電気的に接続することができる。

【0348】

または、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な
50

液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径 10 μm ~ 200 μm 程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層に電位差を生じさせると、白い微粒子と黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、電子ペーパーとよばれている。電気泳動表示素子は液晶表示素子に比べて反射率が高いため、補助ライトが不要であり、消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。更には、表示部に電力を供給することなく一度表示した像を保持することが可能である。そのため、該電子ペーパーが電波発信源から無線により信号および電力を供給する構成である場合に、電波発信源から表示機能付き半導体装置を遠ざけた場合であっても、表示された像を保存しておくことが可能である。

【0349】

実施の形態1乃至実施の形態4のいずれか一で説明したトランジスタをスイッチング素子に用いることで、半導体装置として製造コストが低減された電子ペーパーを作製することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカードなどの各種カードにおける表示などに適用することができる。電子機器の一例を図26（B）に示す。

【0350】

図26（B）は、電子書籍2700の一例を示す。電子書籍2700は、第1の筐体2701と第2の筐体2703の2つの筐体で構成されている。第1の筐体2701と第2の筐体2703は、軸部2711により結合されており、軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍と同様に動作させることができとなる。

【0351】

第1の筐体2701には第1の表示部2705が組み込まれ、第2の筐体2703には第2の表示部2707が組み込まれている。第1の表示部2705と第2の表示部2707は、継ぎ画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図26（B）の第1の表示部2705）には文章を表示し、左側の表示部（図26（B）の第2の表示部2707）には画像を表示することができる。

【0352】

なお、図26（B）に示す電子書籍2700は、第1の筐体2701に操作部などを備えている。例えば、第1の筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングディバイスなどを備えていてもよい。筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタやUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を有していてもよい。

【0353】

電子書籍2700は、無線通信により情報を送受信できる構成であってもよい。無線通信により、電子書籍のサーバから所望の書籍データなどを購入し、ダウンロード可能な構成としてもよい。

【0354】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することができる。

【0355】

（実施の形態10）

実施の形態1乃至実施の形態4のいずれか一において作製されるトランジスタを含む半

10

20

30

40

50

導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビまたはテレビジョン受信機）、コンピュータなどに接続されるモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0356】

図27(A)に示すテレビジョン装置は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。ここでは、壁9600に固定して筐体9601の裏側を支持した構成を示している。

【0357】

図27(A)に示すテレビジョン装置の操作は、筐体9601が備える操作スイッチや、リモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

【0358】

なお、図27(A)に示すテレビジョン装置は、受信機やモデムなどを備えた構成とするとよい。受信機により一般的なテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0359】

図27(B)に示す携帯型遊技機は、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能な構成で連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。図27(B)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段（操作キー9885、接続端子9887、センサー9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、において赤外線を測定する機能を含むもの）、マイクロフォン9889）などを備えている。もちろん、携帯型遊技機の構成はこれらに限定されず、少なくとも半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成としてもよい。図27(B)に示す携帯型遊技機は、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図27(B)に示す携帯型遊技機が有する機能はこれに限定されず、その他の様々な機能を有していてもよい。

【0360】

図28(A)は、携帯電話機1000の一例を示している。携帯電話機1000は、筐体1001に組み込まれた表示部1002の他、操作ボタン1003、外部接続ポート1004、スピーカ1005、マイク1006などを備えている。

【0361】

図28(A)に示す携帯電話機1000は、表示部1002を指などで触れることで、情報を入力することができる。電話を掛ける、或いはメールを作成するなどの操作は、表示部1002を指などで触れることにより行うことができる。

【0362】

表示部1002の画面のモードは、主として3つある。第1のモードは、画像の表示を主とする表示モードであり、第2のモードは、文字などの情報の入力を主とする入力モードである。第3のモードは表示モードと入力モードの2つのモードが混合した表示+入力モードである。

【0363】

10

20

30

40

50

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 1002 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 1002 の画面の大部分を用いてキーボードまたは番号ボタンを表示させることが好ましい。

【0364】

携帯電話機 1000 の内部に、ジャイロ、加速度センサなどの傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1000 の向き（縦か、横か）を判別して、表示部 1002 の画面表示を自動的に切り替えるようにすることができる。

【0365】

画面モードの切り替えは、表示部 1002 を触れること、または筐体 1001 の操作ボタン 1003 を操作することにより行われる。または、表示部 1002 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部 1002 に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える構成とすればよい。

10

【0366】

なお、入力モードにおいて、表示部 1002 の光センサで検出される信号を検知し、表示部 1002 のタッチ操作による入力が一定期間行われない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0367】

表示部 1002 は、イメージセンサとして機能させることもできる。例えば、表示部 1002 に掌や指を触れたときに、掌紋、指紋などを撮像することで、本人認証を行うことができる。なお、表示部 1002 に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

20

【0368】

図 28 (B) に示す携帯電話機は、筐体 9411 に、表示部 9412 および操作ボタン 9413 を含む表示装置 9410 と、筐体 9401 に操作ボタン 9402、外部入力端子 9403、マイク 9404、スピーカ 9405、および着信時に発光する発光部 9406 を含む通信装置 9400 と、を有する。表示機能を有する表示装置 9410 は、電話としての機能を有する通信装置 9400 と矢印で示すように脱着可能であり、表示装置 9410 と通信装置 9400 の短軸同士を取り付けることも、表示装置 9410 と通信装置 9400 の長軸同士を取り付けることもできる。なお、表示機能のみを必要とする場合、通信装置 9400 から表示装置 9410 を取り外し、表示装置 9410 を単独で用いることができる構成としてもよい。通信装置 9400 と表示装置 9410 とは無線通信または有線通信により画像や入力情報などを授受することができ、それぞれ充電可能なバッテリーを有するとよい。

30

【0369】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【実施例 1】

【0370】

トランジスタの信頼性を調べるための手法の一つに、バイアス - 熱ストレス試験（以下、BT 試験という）がある。BT 試験は加速試験の一種であり、長期間の使用によって起こるトランジスタの特性変化を、短時間で評価することができる。特に、BT 試験前後ににおけるトランジスタのしきい値電圧の変化量は、信頼性を調べるための重要な指標となる。BT 試験前後において、しきい値電圧の変化量が少ないほど信頼性が高い。

40

【0371】

具体的には、トランジスタが形成されている基板の温度（基板温度）を一定に維持し、トランジスタのソースおよびドレインを同電位とし、ゲートにソースおよびドレインとは異なる電位を一定時間与える。基板温度は、試験目的に応じて適宜設定すればよい。なお、ゲートに与える電位がソースおよびドレインの電位よりも高い場合を +BT 試験といい

50

、ゲートに与える電位がソースおよびドレインの電位よりも低い場合を - BT 試験という。

【0372】

BT 試験の試験強度は、基板温度、ゲート絶縁膜に加えられる電界強度、電界印加時間により決定することができる。ゲート絶縁膜中の電界強度は、ゲート、ソースおよびドレイン間の電位差をゲート絶縁膜の膜厚で除して決定される。例えば、膜厚が 100 nm のゲート絶縁膜中の電界強度を 2 MV / cm としたい場合には、電位差を 20 V とすればよい。

【0373】

本実施例では、トランジスタの作製時におけるソースおよびドレイン形成前に行う熱処理を、窒素雰囲気中で 250 、 350 、 450 とした 3 種類の試料のそれについて BT 試験を行った結果を説明する。

【0374】

なお、電圧とは、 2 点間ににおける電位差のことをいい、電位とは、ある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいうが、電子回路において、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを該ある一点における電位として示すことが多いため、以下の説明では、ある一点における電位と基準となる電位（例えば、接地電位）との差を該ある一点における電位として示した場合において、特に指定する場合を除き、該ある一点における電位を電圧ともいう。

【0375】

BT 試験は、基板温度を 150 、ゲート絶縁膜中の電界強度を 2 MV / cm 、時間を 1 時間とし、 + BT 試験および - BT 試験それぞれについて行った。

【0376】

まず、 + BT 試験について説明する。 BT 試験の対象となるトランジスタの初期特性を測定するため、基板温度を 40 とし、ソース - ドレイン間電圧（以下、ドレイン電圧という）を 10 V とし、ソース - ゲート間電圧（以下、ゲート電圧という）を -20 V ~ +20 V まで変化させたときのソース - ドレイン電流（以下、ドレイン電流という）の変化特性、すなわち $V_g - I_d$ 特性を測定した。ここでは、基板温度を試料表面への吸湿対策として 40 としているが、特に問題がなければ、室温（ 25 ）下で測定してもかまわない。

【0377】

次に、基板温度を 150 まで上昇させた後、トランジスタのソースおよびドレインの電位を 0 V とした。続いて、ゲート絶縁膜中の電界強度が 2 MV / cm となるように、ゲートに電圧を印加した。ここでは、トランジスタのゲート絶縁膜の厚さが 100 nm であったため、ゲートに +20 V を印加し、そのまま 1 時間保持した。ここでは時間を 1 時間としたが、目的に応じて適宜時間を変更してもよい。

【0378】

次に、ソース、ドレインおよびゲートへ電圧を印加したまま、基板温度を 40 まで下げた。この時、基板温度が下がりきる前に電圧の印加をやめてしまうと、余熱の影響によりトランジスタに与えられたダメージが回復されてしまうため、電圧は印加したままで基板温度を下げる必要がある。基板温度が 40 になった後、電圧の印加を終了させた。

【0379】

次に、初期特性の測定と同じ条件で $V_g - I_d$ 特性を測定し、 + BT 試験後の $V_g - I_d$ 特性を得た。

【0380】

続いて、 - BT 試験について説明する。 BT 試験も + BT 試験と同様の手順で行うが、基板温度を 150 まで上昇させた後にゲートに印加する電圧を -20 V とする点が異なる。

【0381】

10

20

30

40

50

なお、BT試験に際しては、まだ一度もBT試験を行っていないトランジスタを用いて試験を行うことが重要である。例えば、一度+BT試験を行ったトランジスタを用いてBT試験を行うと、先に行った+BT試験の影響により、BT試験結果を正しく評価することができない。一度+BT試験を行ったトランジスタを用いて、再度+BT試験を行った場合なども同様である。ただし、これらの影響を踏まえて、あえてBT試験を繰り返す場合はこの限りではない。

【0382】

図29(A)乃至図29(C)は、+BT試験前後におけるトランジスタのVg - Id特性を示す。図29(A)は、ソースおよびドレイン形成前に行う熱処理を、窒素雰囲気中で250として作製したトランジスタの+BT試験結果である。図29(B)は同350、図29(C)は同450とした場合の+BT試験結果である。10

【0383】

図30(A)乃至図30(C)は、-BT試験前後におけるトランジスタのVg - Id特性を示す。図30(A)は、ソースおよびドレイン形成前に行う熱処理を、窒素雰囲気中で250として作製したトランジスタの-BT試験結果である。図30(B)は同350、図30(C)は同450とした場合の-BT試験結果である。

【0384】

なお、上記の図29および図30では、第2のゲート電極は、チタン層(50nm)とアルミニウム層(100nm)とチタン層(5nm)を積層した3層の積層構造とした。第2のゲート電極は、各画素に対して独立に引き回す構成とした。なお、比較例として、第2のゲート電極を設けなかった場合の+BT試験の結果を図31に示し、-BT試験の結果を図32に示す。図31(A)は同250、図31(B)は同350、図31(C)は同450とした場合の+BT試験結果である。図32(A)は同250、図32(B)は同350、図32(C)は同450とした場合の-BT試験結果である。20

【0385】

各図とも、横軸はゲート電圧(Vg)で、縦軸はドレイン電流(Id)を対数目盛で示している。なお、実線は初期特性を示し、破線はストレス印加後の特性を示している。

【0386】

図29および図31から、熱処理の温度を250、350、450と上昇させて従って、+BT試験後のしきい値電圧の変化量が小さくなっていくことがわかる。そして、図30と図32の比較から、第2のゲート電極を設けることで、-BT試験後のしきい値電圧の変化量が小さくなっていくことがわかる。30

【0387】

図29と図31より、ソースおよびドレイン形成前に行う熱処理の温度が概ね400以上である場合に、少なくとも+BT試験での信頼性を向上させることができる。そして、図30と図32より、第2のゲート電極を設けることで、-BT試験での信頼性を向上させることができる。従って、ソースおよびドレイン形成前に行う熱処理の温度が概ね400以上とし、第2のゲート電極を設けることで、+BT試験および-BT試験での信頼性を向上させることができる。40

【0388】

以上、本実施例で説明したように、本発明の一態様により、+BT試験での信頼性と-BT試験での信頼性をともに向上させることができる。

【0389】

なお、このように-BT試験での信頼性の高いトランジスタは、表示装置の駆動回路部のドライバ回路に適用することが特に有効である。

【実施例2】

【0390】

本実施例は、加熱温度の条件を振り、窒素雰囲気下で加熱処理を行った複数の試料を昇温脱離分析装置(Thermal Desorption Spectroscopy。以下、TDSと呼ぶ。)測定で測定した結果について、図34、図35、および図36を50

参照して説明する。

【0391】

TDSは、試料を高真空中で加熱・昇温中に試料から脱離、発生するガス成分を四重極質量分析計で検出し、同定する分析装置であり、試料表面と内部から脱離するガスおよび分子が観察できる。電子科学株式会社製のTDS（製品名：EMD-WA1000S）を用い、測定条件は、昇温約10 /分とし、 1×10^{-8} (Pa) から測定を開始して、測定中は約 1×10^{-7} (Pa) の真空度である。

【0392】

図34は、ガラス基板のみの試料（比較試料）と、ガラス基板上に設定膜厚50nm（実際にはエッチングしているので膜厚約30nm）のIn-Ga-Zn-O系非単結晶膜を成膜した試料（サンプル1）を比較したTDSの測定結果を示すグラフである。図34はH₂OについてのTDS測定結果を示したものであるが、300付近にピークが見られることからIn-Ga-Zn-O系非単結晶膜から水分（H₂O）などの不純物が脱離していることが確認できる。
10

【0393】

図35は、ガラス基板上に設定膜厚50nmのIn-Ga-Zn-O系非単結晶膜を成膜した試料（サンプル1）と、ガラス基板上に設定膜厚50nmのIn-Ga-Zn-O系非単結晶膜を成膜した後、大気雰囲気下において加熱温度350で1時間の加熱処理を行った試料（サンプル2）と、窒素雰囲気下において加熱温度350で1時間の加熱処理を行った試料（サンプル3）と、を比較したものであり、H₂OについてのTDS測定結果を示したものである。図35の結果から、サンプル3において、300付近のピークがサンプル2よりも低減されているため、窒素雰囲気での加熱処理により水分（H₂O）などの不純物が脱離されていることが確認できる。従って、大気雰囲気において加熱処理を行うよりも窒素雰囲気において加熱処理を行ったほうが、膜中の水分（H₂O）などの不純物が低減されていることがわかる。
20

【0394】

図36は、ガラス基板上に設定膜厚50nmのIn-Ga-Zn-O系非単結晶膜を成膜した試料（サンプル1）と、窒素雰囲気下での加熱温度を250として1時間の加熱処理を行った試料（サンプル4）と、窒素雰囲気下での加熱温度を350として1時間の加熱処理を行った試料（サンプル3）と、窒素雰囲気下での加熱温度を450として1時間の加熱処理を行った試料（サンプル5）と、窒素雰囲気下での加熱温度を350とし10時間の加熱処理を行った試料（サンプル6）を比較したものであり、H₂OについてのTDS測定結果を示したものである。図36の結果から、測定した温度の範囲内において、窒素雰囲気下での加熱温度が高いほど、In-Ga-Zn-O系非単結晶膜中から脱離する水分（H₂O）などの不純物が低減されていることがわかる。
30

【0395】

図35および図36のグラフには、200～250付近で確認できる水分（H₂O）などの不純物が脱離したことを示す第1のピークと、300近傍で水分（H₂O）などの不純物が脱離したことを示す第2のピークが確認できる。

【0396】

なお、窒素雰囲気下で450の加熱処理を行った試料は、その後、室温で大気中に1週間程度放置しても200以上で脱離する水分は観測されず、加熱処理によって、In-Ga-Zn-O系非単結晶膜が安定になることが判明している。
40

【0397】

ここで、窒素雰囲気下での加熱温度条件を150、175、200、225、250、275、300、325、350、375、400、425、450として、それぞれのキャリア濃度を測定した結果を図33に示す。なお、In-Ga-Zn-O系非単結晶膜上に酸化物絶縁膜を形成すると、図33中の点線に示すキャリア濃度($1 \times 10^{14} / cm^3$)以下となる。

【0398】

10

20

30

40

50

次に、キャリア濃度と Hall 移動度（ホール移動度）の測定について説明する。図 37 (A) は、酸化物半導体膜 (In - Ga - Zn - O 系非単結晶膜) の物性 (キャリア濃度と Hall 移動度) を評価するための物性評価用試料 510 の立体視図を示す。ここで、物性評価用試料 510 を作製して室温にて Hall 効果測定を行い、酸化物半導体膜のキャリア濃度と Hall 移動度を評価した。物性評価用試料 510 は、基板 500 上に酸化窒化シリコンからなる絶縁膜 501 を形成し、その上に評価対象となる 10 mm × 10 mm の酸化物半導体膜 502 を形成し、その上にそれぞれ直径 1 mm の電極 503、電極 504、電極 505 および電極 506 を形成して作製した。図 37 (B) は、Hall 移動度の測定結果を示し、図 37 (C) は、導電率の測定結果を示す。なお、Hall 効果測定から求めた酸化物半導体膜のキャリア濃度は、図 33 に示したものである。

10

【0399】

図 33、図 34、図 35、図 36 の結果から、250 以上において、In - Ga - Zn - O 系非単結晶膜中から水分 (H₂O) などの不純物が脱離することと、キャリア濃度の変動との間に関係があることがわかる。すなわち、In - Ga - Zn - O 系非単結晶膜中から水分 (H₂O) などの不純物が脱離することによってキャリア濃度が増加することがわかる。

【0400】

なお、TDS 測定により、H₂O の他に H、O、OH、H₂、O₂、N、N₂、および Ar のそれぞれについて測定を行ったところ、H、O、および OH は、はっきりとピークが観測できたが、H₂、O₂、N、N₂、および Ar はピークが観測できなかった。試料は、ガラス基板に設定膜厚 50 nm の In - Ga - Zn - O 系非単結晶膜を成膜したものを用いており、加熱条件は、窒素雰囲気下 250 1 時間、窒素雰囲気下 350 1 時間、窒素雰囲気下 350 10 時間、窒素雰囲気下 450 1 時間とし、比較例として加熱処理なしの In - Ga - Zn - O 系非単結晶膜と、ガラス基板のみとをそれぞれ測定した。図 38 は、H の TDS 結果を示し、図 39 は、O の TDS 結果を示し、図 40 は、OH の TDS 結果を示し、図 41 は H₂ の TDS 結果を示す。なお、上記加熱条件での窒素雰囲気の酸素密度は、20 ppm 以下である。

20

【実施例 3】

【0401】

本実施例は、酸素密度の高い領域および酸素密度の低い領域を有する酸化物半導体層における、加熱処理に伴う酸素の拡散現象を計算した結果について、図 42 および図 43 を用いて説明する。ここでは、計算用のソフトウェアとしては、富士通株式会社製の Materials Explorer 5.0 を用いた。

30

【0402】

図 42 に、計算に用いた酸化物半導体層のモデルを示す。ここでは、酸化物半導体層 701 を、酸素密度の低い層 703 上に酸素密度の高い層 705 が積層された構造とした。

【0403】

ここでは、酸素密度の低い層 703 は、15 個の In 原子、15 個の Ga 原子、15 個の Zn 原子、および 54 個の O 原子からなるアモルファス構造とした。

【0404】

そして、酸素密度の高い層 705 は、15 個の In 原子、15 個の Ga 原子、15 個の Zn 原子、および 66 個の O 原子からなるアモルファス構造とした。

40

【0405】

そして、酸化物半導体層 701 の密度は 5.9 g / cm³ とした。

【0406】

次に、酸化物半導体層 701 に対して、NVT アンサンブル、温度 250 の条件で、古典 MD (分子動力学) 計算を行った。時間刻み幅は 0.2 fs とし、総計算時間は 200 ps に設定した。ポテンシャルは、金属 - 酸素結合、および酸素 - 酸素結合に Born - Mayer - Huggins 型を適用した。更には、酸化物半導体層 701 の上端と下端の原子の動きを固定した。

50

【0407】

図43は、計算結果を示す。z軸座標の0nmから1.15nmまでが酸素密度の低い層703であり、z軸座標の1.15nmから2.3nmまでが酸素密度の高い層705である。MD計算前の酸素の密度分布は実線707で示し、MD計算後の酸素の密度分布は破線709で示す。

【0408】

実線707においては、酸素密度の低い層703と酸素密度の高い層705との界面より、酸素密度の高い層705において、酸素の密度が高い。一方、破線709においては、酸素密度の低い層703および酸素密度の高い層705において、酸素密度が均質であることが分かる。

10

【0409】

以上のことから、酸素密度の低い層703と酸素密度の高い層705の積層状態のように、酸素密度の分布に偏りがある場合、加熱処理により酸素密度が高い方から低い方へ拡散し、酸素密度が均質になることが分かる。

【0410】

すなわち、実施の形態1に示すように、酸化物半導体層403上に絶縁性酸化物により第1の保護絶縁層407を形成することで、酸化物半導体層403および絶縁性酸化物により第1の保護絶縁層407の界面において酸素密度が高まるため、当該酸素が酸化物半導体層403の酸素密度の低い方へ拡散し、酸化物半導体層431が高抵抗化する。以上のことから、本発明の一態様における表示装置が有するトランジスタの信頼性を向上させることができる。

20

【符号の説明】

【0411】

- 10 基板
- 11 ゲート電極
- 13 ゲート絶縁層
- 14 a n型酸化物半導体層
- 14 b n型酸化物半導体層
- 15 a ソース電極層
- 15 b ドレイン電極層
- 16 酸化物半導体層
- 17 樹脂層
- 18 保護絶縁層
- 19 ゲート電極
- 20 トランジスタ
- 42 ゲート電極
- 43 トランジスタ
- 44 コンタクトホール
- 47 酸化物半導体層
- 400 基板
- 401 ゲート電極層
- 401C ゲート電極層
- 402 ゲート絶縁層
- 403 酸化物半導体層
- 404 n型酸化物半導体層
- 404 a n型酸化物半導体層
- 404 b n型酸化物半導体層
- 405 ソース電極およびドレイン電極層
- 405 a ソース電極
- 405 b ドレイン電極

30

40

50

| | | |
|---------|-----------|----|
| 4 0 6 | チャネル保護層 | |
| 4 0 7 | 保護絶縁層 | |
| 4 0 8 | 樹脂層 | |
| 4 0 8 a | バッファ層 | |
| 4 0 8 b | バッファ層 | |
| 4 0 9 | ゲート電極層 | |
| 4 0 9 B | ゲート電極層 | |
| 4 0 9 C | ゲート電極層 | |
| 4 1 0 | 下地絶縁層 | |
| 4 1 1 | 端子 | 10 |
| 4 3 0 | 酸化物半導体層 | |
| 4 3 1 | 酸化物半導体層 | |
| 4 3 2 | 酸化物半導体層 | |
| 4 3 3 | 酸化物半導体膜 | |
| 4 3 4 | n型酸化物半導体層 | |
| 4 3 7 | n型酸化物半導体層 | |
| 4 4 0 | n型酸化物半導体膜 | |
| 4 7 0 | ゲート電極層 | |
| 4 7 1 | トランジスタ | |
| 4 7 1 B | トランジスタ | 20 |
| 4 7 1 C | トランジスタ | |
| 4 7 2 | トランジスタ | |
| 4 7 2 B | トランジスタ | |
| 4 7 3 | トランジスタ | |
| 4 7 3 B | トランジスタ | |
| 4 7 4 | トランジスタ | |
| 4 7 4 B | トランジスタ | |
| 5 0 0 | 基板 | |
| 5 0 1 | 絶縁膜 | |
| 5 0 2 | 酸化物半導体膜 | 30 |
| 5 0 3 | 電極 | |
| 5 0 4 | 電極 | |
| 5 0 5 | 電極 | |
| 5 0 6 | 電極 | |
| 5 1 0 | 物性評価用試料 | |
| 5 8 1 | トランジスタ | |
| 5 8 2 | ゲート電極 | |
| 5 8 4 | 保護絶縁層 | |
| 5 8 5 | 樹脂層 | |
| 5 8 6 | 保護絶縁層 | 40 |
| 5 8 7 | 電極層 | |
| 5 8 8 | 電極層 | |
| 5 8 9 | 球形粒子 | |
| 5 9 0 a | 黒色領域 | |
| 5 9 0 b | 白色領域 | |
| 5 9 4 | キャビティ | |
| 5 9 5 | 充填材 | |
| 6 0 1 | 電気炉 | |
| 6 0 2 | チャンバー | |
| 6 0 3 | ヒーター | 50 |

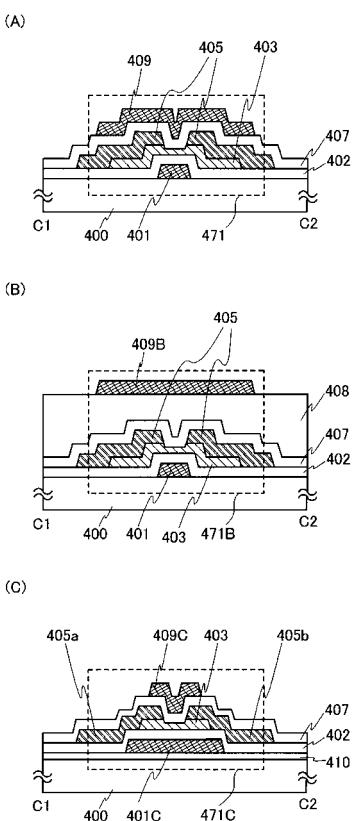
| | | |
|---------|--------------|----|
| 6 0 4 | 基板 | |
| 6 0 5 | サセプター | |
| 6 0 6 | ガス供給手段 | |
| 6 0 7 | 排気手段 | |
| 6 1 1 | ガス供給源 | |
| 6 1 2 | 圧力調整弁 | |
| 6 1 3 | 精製器 | |
| 6 1 4 | マスフロー コントローラ | |
| 6 1 5 | ストップバルブ | |
| 7 0 1 | 酸化物半導体層 | 10 |
| 7 0 3 | 酸素密度の低い層 | |
| 7 0 5 | 酸素密度の高い層 | |
| 7 0 7 | 実線 | |
| 7 0 9 | 破線 | |
| 8 0 0 | 基板 | |
| 8 0 1 | 画素部 | |
| 8 0 2 | 走査線駆動回路 | |
| 8 0 2 A | 走査線駆動回路 | |
| 8 0 2 B | 走査線駆動回路 | |
| 8 0 3 | 信号線駆動回路 | 20 |
| 8 0 4 | トランジスタ | |
| 8 2 0 | 基板 | |
| 8 2 2 | 信号線入力端子 | |
| 8 2 3 | 走査線 | |
| 8 2 3 A | 走査線 | |
| 8 2 3 B | 制御線 | |
| 8 2 3 C | 走査線 | |
| 8 2 3 D | 走査線 | |
| 8 2 4 | 信号線 | |
| 8 2 7 | 画素部 | 30 |
| 8 2 8 | 画素 | |
| 8 2 9 | 画素トランジスタ | |
| 8 3 0 | 保持容量部 | |
| 8 3 1 | 画素電極 | |
| 8 3 2 | 容量線 | |
| 8 3 3 | コモン端子 | |
| 8 3 5 | 保護回路 | |
| 1 0 0 0 | 携帯電話機 | |
| 1 0 0 1 | 筐体 | |
| 1 0 0 2 | 表示部 | 40 |
| 1 0 0 3 | 操作ボタン | |
| 1 0 0 4 | 外部接続ポート | |
| 1 0 0 5 | スピーカ | |
| 1 0 0 6 | マイク | |
| 1 1 0 1 | 導電層 | |
| 1 1 0 2 | 酸化物半導体層 | |
| 1 1 0 3 | 導電層 | |
| 1 1 0 4 | 画素電極層 | |
| 1 1 0 5 | 導電層 | |
| 1 1 0 6 | 開口部 | 50 |

| | | |
|-----------|------------|----|
| 2 6 0 0 | 素子基板 | |
| 2 6 0 1 | 対向基板 | |
| 2 6 0 2 | シール材 | |
| 2 6 0 3 | 素子層 | |
| 2 6 0 4 | 液晶層 | |
| 2 6 0 6 | 偏光板 | |
| 2 6 0 7 | 偏光板 | |
| 2 6 0 8 | 配線回路部 | |
| 2 6 0 9 | フレキシブル配線基板 | |
| 2 6 1 0 B | 発光ダイオード | 10 |
| 2 6 1 0 G | 発光ダイオード | |
| 2 6 1 0 R | 発光ダイオード | |
| 2 6 1 1 | 反射板 | |
| 2 6 1 2 | 回路基板 | |
| 2 6 1 3 | 光学シート | |
| 2 6 1 4 | L E D 制御回路 | |
| 2 7 0 0 | 電子書籍 | |
| 2 7 0 1 | 筐体 | |
| 2 7 0 3 | 筐体 | |
| 2 7 0 5 | 表示部 | 20 |
| 2 7 0 7 | 表示部 | |
| 2 7 1 1 | 軸部 | |
| 2 7 2 1 | 電源 | |
| 2 7 2 3 | 操作キー | |
| 2 7 2 5 | スピーカ | |
| 4 0 0 1 | 基板 | |
| 4 0 0 2 | 画素部 | |
| 4 0 0 3 | 信号線駆動回路 | |
| 4 0 0 3 a | 信号線駆動回路 | |
| 4 0 0 3 b | 信号線駆動回路 | 30 |
| 4 0 0 4 | 走査線駆動回路 | |
| 4 0 0 5 | シール材 | |
| 4 0 0 6 | 基板 | |
| 4 0 0 7 | 下地絶縁層 | |
| 4 0 0 8 | 液晶層 | |
| 4 0 1 0 | トランジスタ | |
| 4 0 1 1 | トランジスタ | |
| 4 0 1 3 | 液晶素子 | |
| 4 0 1 5 | 接続端子電極 | |
| 4 0 1 6 | 端子電極 | 40 |
| 4 0 1 7 | 異方性導電膜 | |
| 4 0 1 8 | F P C | |
| 4 0 1 9 | ゲート絶縁層 | |
| 4 0 2 0 | 保護絶縁層 | |
| 4 0 2 1 | 樹脂層 | |
| 4 0 2 2 | 保護絶縁層 | |
| 4 0 2 8 | ゲート電極 | |
| 4 0 2 9 | ゲート電極 | |
| 4 0 3 0 | 画素電極層 | |
| 4 0 3 1 | 共通電極層 | 50 |

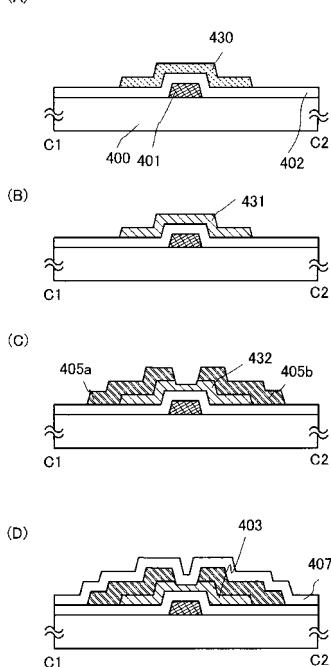
| | | |
|-----------|---------------|----|
| 4 0 3 2 | 偏光板 | |
| 4 0 3 3 | 偏光板 | |
| 4 0 3 4 | 遮光層 | |
| 4 0 3 5 | ポストスペーサ | |
| 4 5 0 0 | 基板 | |
| 4 5 0 1 | ゲート絶縁層 | 10 |
| 4 5 0 2 | 画素部 | |
| 4 5 0 3 | 充填材 | |
| 4 5 0 3 a | 信号線駆動回路 | |
| 4 5 0 3 b | 信号線駆動回路 | |
| 4 5 0 4 a | 走査線駆動回路 | |
| 4 5 0 4 b | 走査線駆動回路 | |
| 4 5 0 5 | シール材 | |
| 4 5 0 6 | 基板 | |
| 4 5 0 7 | 保護層 | |
| 4 5 0 8 | 樹脂層 | |
| 4 5 0 9 | トランジスタ | |
| 4 5 1 0 | トランジスタ | |
| 4 5 1 1 | 発光素子 | |
| 4 5 1 2 | 電界発光層 | 20 |
| 4 5 1 3 | 電極層 | |
| 4 5 1 4 | 保護絶縁層 | |
| 4 5 1 5 | 接続端子電極 | |
| 4 5 1 6 | 端子電極 | |
| 4 5 1 7 | 電極層 | |
| 4 5 1 8 a | F P C | |
| 4 5 1 8 b | F P C | |
| 4 5 1 9 | 異方性導電膜 | |
| 4 5 2 0 | 隔壁 | |
| 4 5 2 1 | ゲート電極 | 30 |
| 4 5 2 2 | ゲート電極 | |
| 6 4 0 0 | 画素 | |
| 6 4 0 1 | スイッチング用トランジスタ | |
| 6 4 0 2 | 駆動用トランジスタ | |
| 6 4 0 3 | 容量素子 | |
| 6 4 0 4 | 発光素子 | |
| 6 4 0 5 | 信号線 | |
| 6 4 0 6 A | 走査線 | |
| 6 4 0 6 B | 制御線 | |
| 6 4 0 7 | 電源線 | 40 |
| 6 4 0 8 | 共通電極 | |
| 7 0 0 1 | トランジスタ | |
| 7 0 0 2 | 発光素子 | |
| 7 0 0 3 | 陰極 | |
| 7 0 0 4 | 発光層 | |
| 7 0 0 5 | 陽極 | |
| 7 0 0 6 | 隔壁 | |
| 7 0 0 7 | 保護層 | |
| 7 0 0 9 | ゲート電極 | |
| 7 0 1 0 | 導電膜 | 50 |

| | | |
|---------|-----------|----|
| 7 0 1 1 | トランジスタ | |
| 7 0 1 2 | 発光素子 | |
| 7 0 1 3 | 陰極 | |
| 7 0 1 4 | 発光層 | |
| 7 0 1 5 | 陽極 | |
| 7 0 1 6 | 遮蔽膜 | |
| 7 0 1 7 | 樹脂層 | |
| 7 0 1 8 | 保護絶縁層 | |
| 7 0 1 9 | ゲート電極 | |
| 7 0 2 1 | トランジスタ | 10 |
| 7 0 2 2 | 発光素子 | |
| 7 0 2 3 | 陰極 | |
| 7 0 2 4 | 発光層 | |
| 7 0 2 5 | 陽極 | |
| 7 0 2 7 | 導電膜 | |
| 7 0 2 8 | 接続電極 | |
| 7 0 2 9 | ゲート電極 | |
| 9 4 0 0 | 通信装置 | |
| 9 4 0 1 | 筐体 | |
| 9 4 0 2 | 操作ボタン | 20 |
| 9 4 0 3 | 外部入力端子 | |
| 9 4 0 4 | マイク | |
| 9 4 0 5 | スピーカ | |
| 9 4 0 6 | 発光部 | |
| 9 4 1 0 | 表示装置 | |
| 9 4 1 1 | 筐体 | |
| 9 4 1 2 | 表示部 | |
| 9 4 1 3 | 操作ボタン | |
| 9 6 0 0 | 壁 | |
| 9 6 0 1 | 筐体 | 30 |
| 9 6 0 3 | 表示部 | |
| 9 6 0 7 | 表示部 | |
| 9 6 0 9 | 操作キー | |
| 9 6 1 0 | リモコン操作機 | |
| 9 8 8 1 | 筐体 | |
| 9 8 8 2 | 表示部 | |
| 9 8 8 3 | 表示部 | |
| 9 8 8 4 | スピーカ部 | |
| 9 8 8 5 | 操作キー | |
| 9 8 8 6 | 記録媒体挿入部 | 40 |
| 9 8 8 7 | 接続端子 | |
| 9 8 8 8 | センサ | |
| 9 8 8 9 | マイクロフォン | |
| 9 8 9 0 | L E D ランプ | |
| 9 8 9 1 | 筐体 | |
| 9 8 9 3 | 連結部 | |

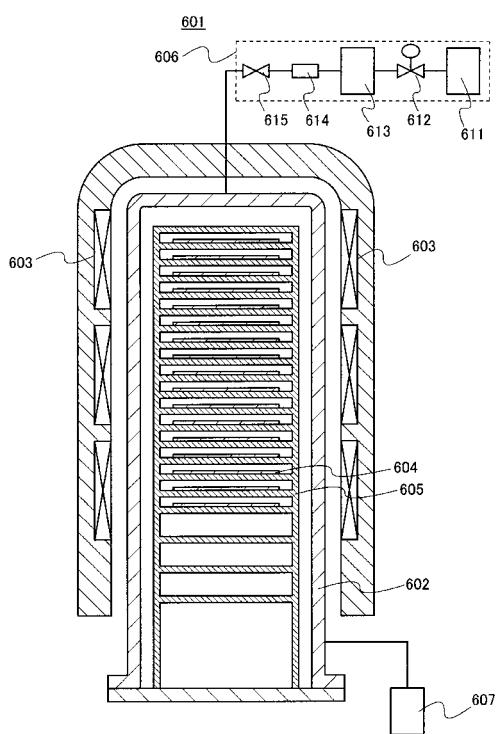
【図1】



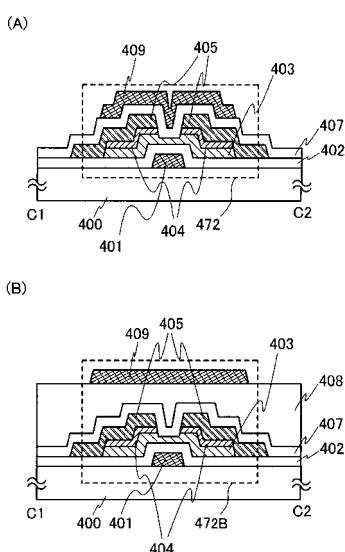
【図2】



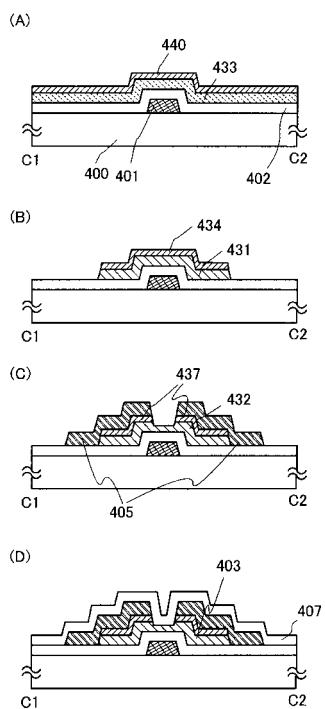
【図3】



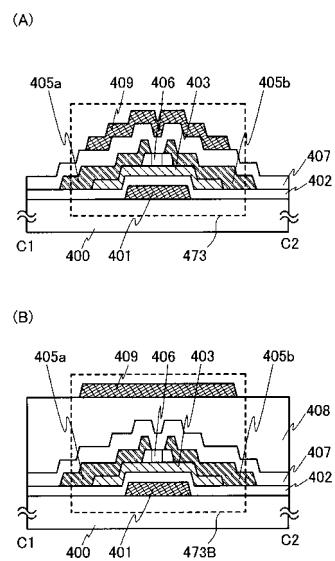
【図4】



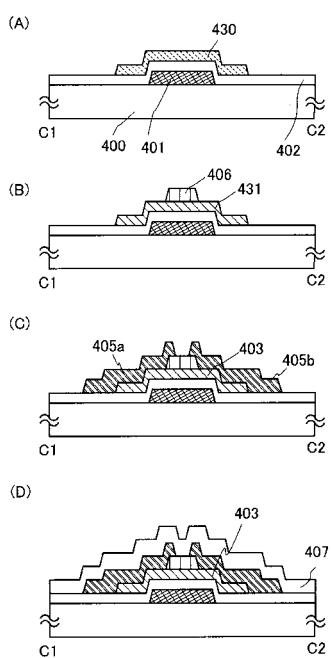
【図5】



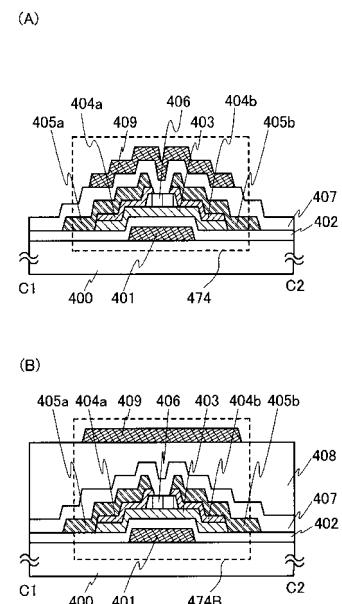
【図6】



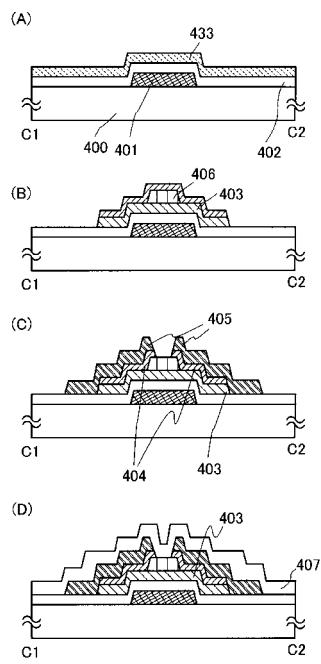
【図7】



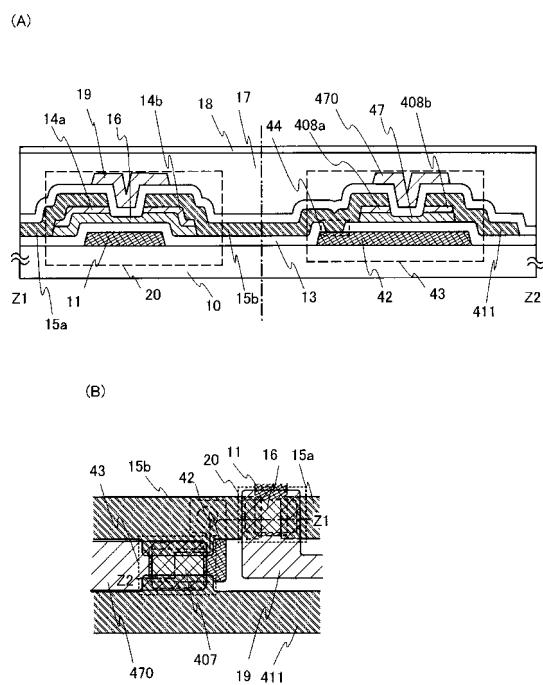
【図8】



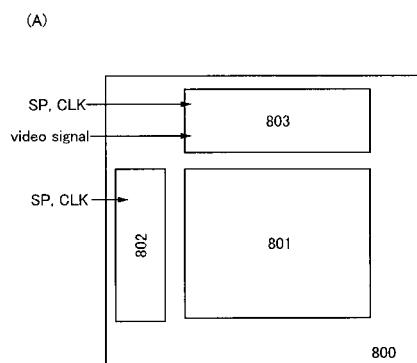
【図9】



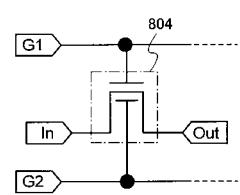
【図10】



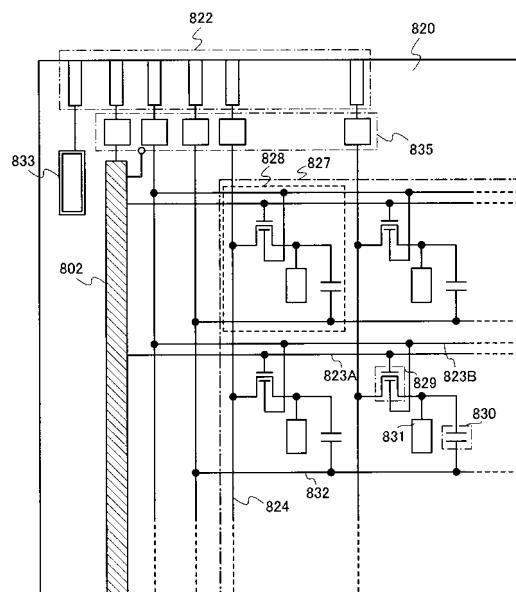
【図11】



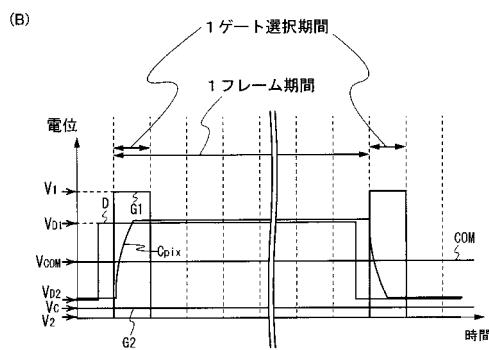
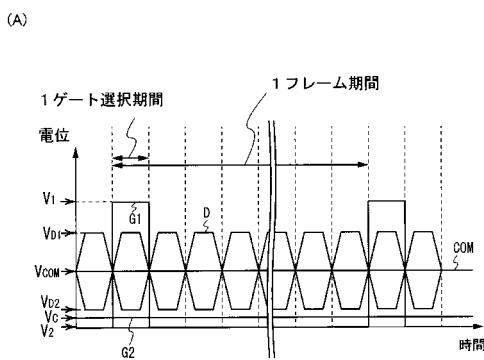
(B)



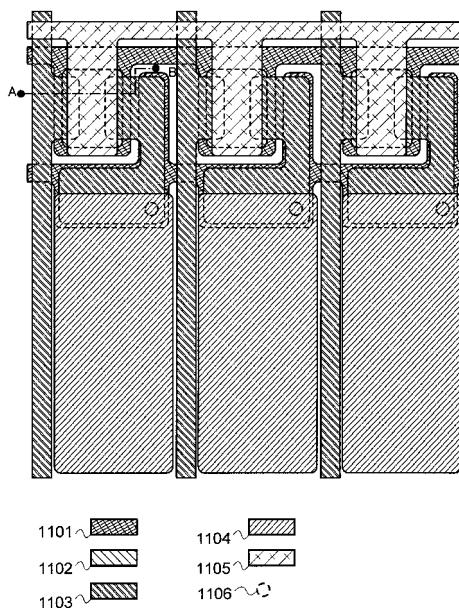
【図12】



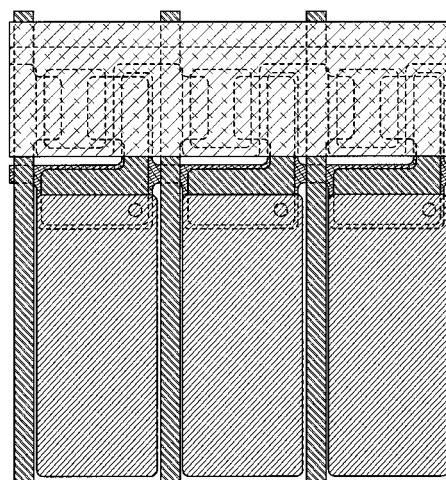
【図13】



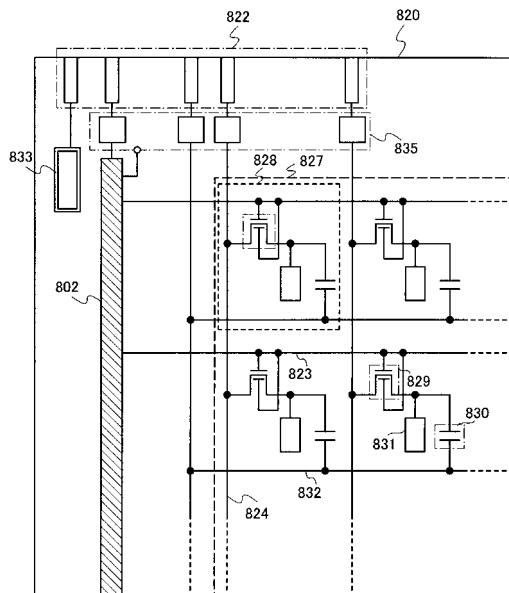
【図14】



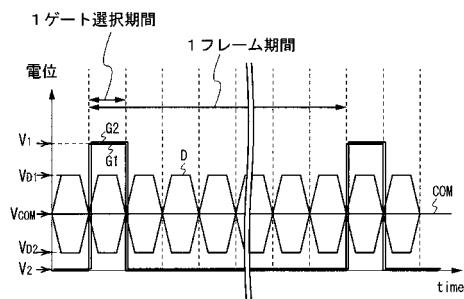
【図15】



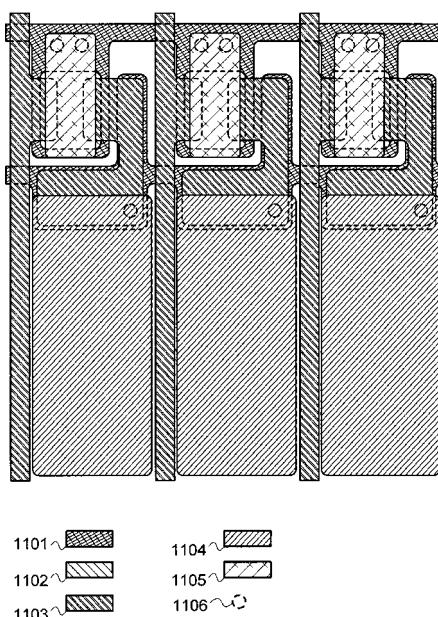
【図16】



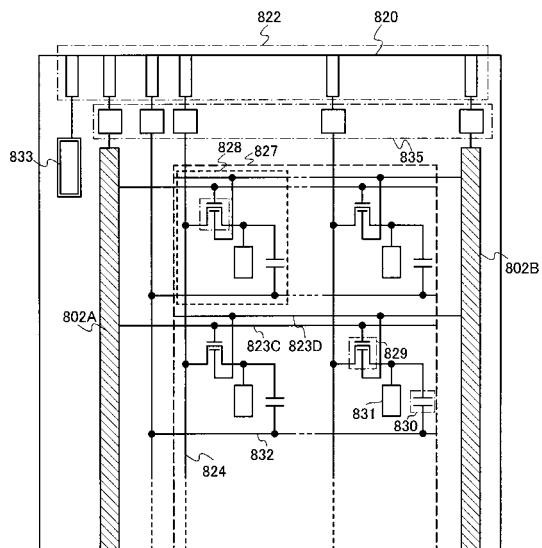
【図17】



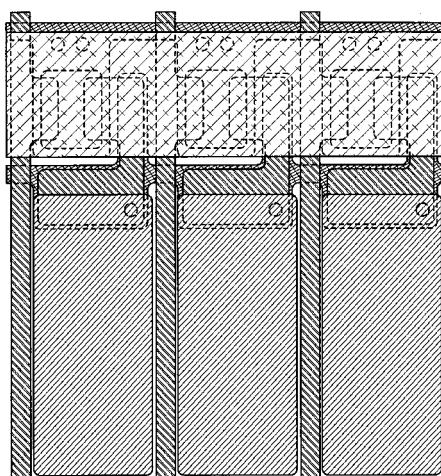
【図19】



【図18】

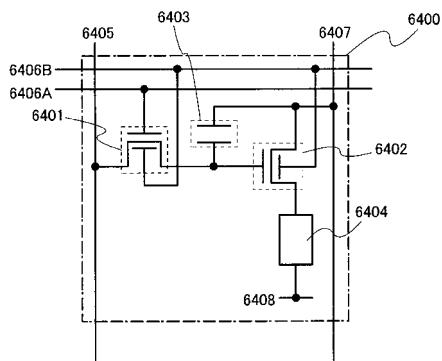


【図20】

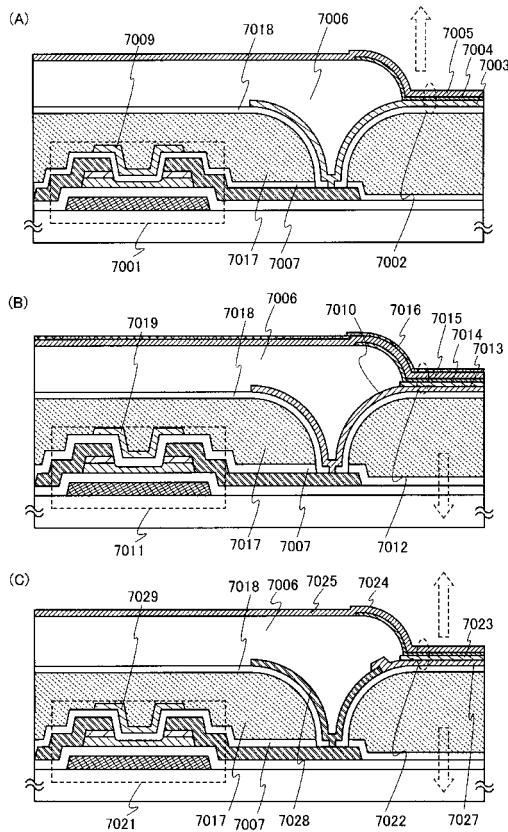


1101～
1102～
1103～
1104～
1105～
1106～

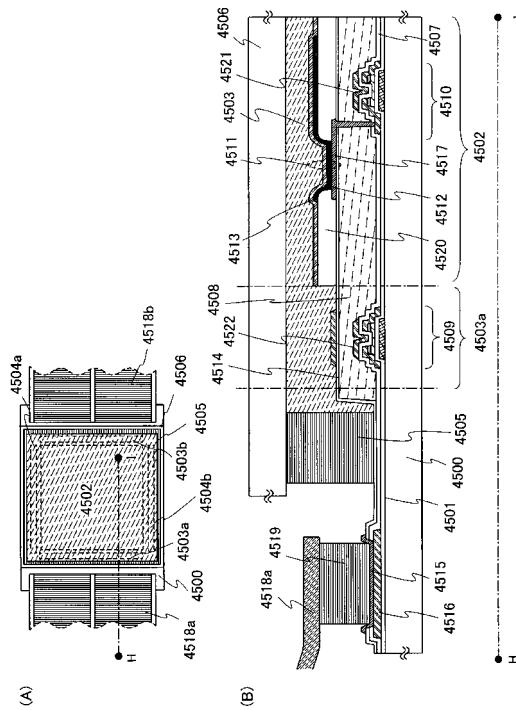
【図21】



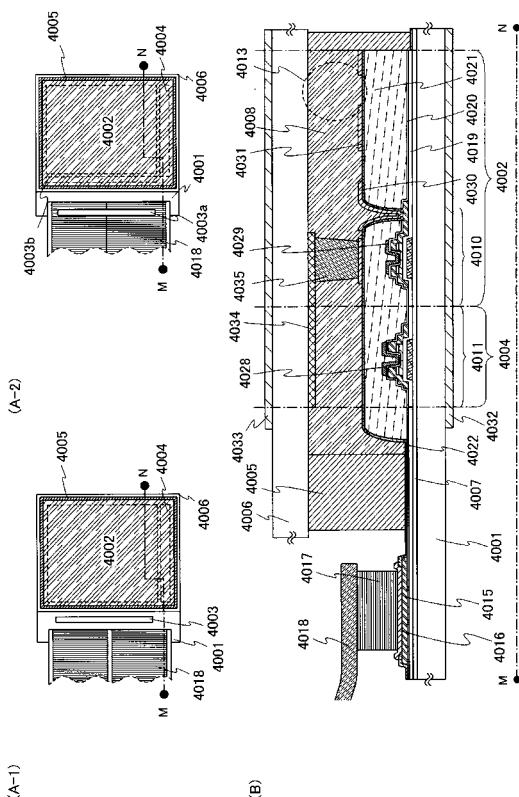
【図22】



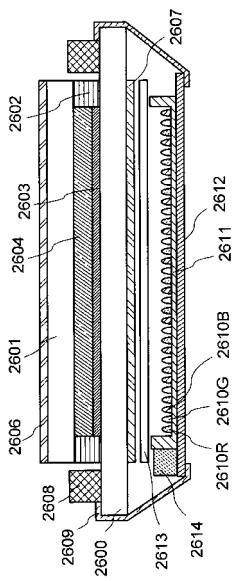
【図23】



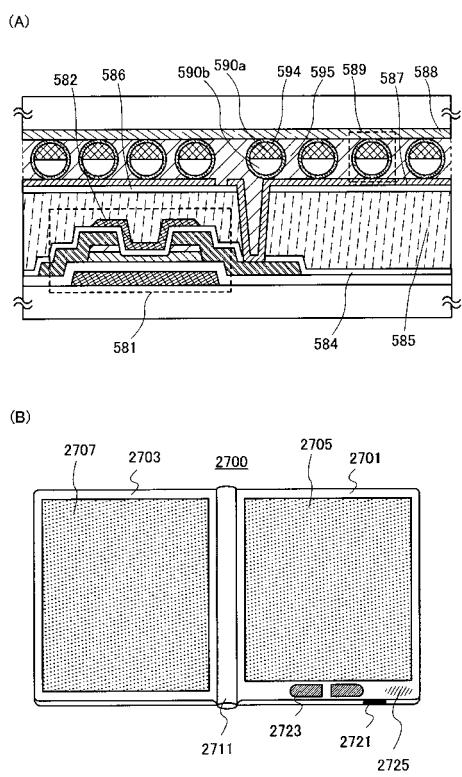
【図24】



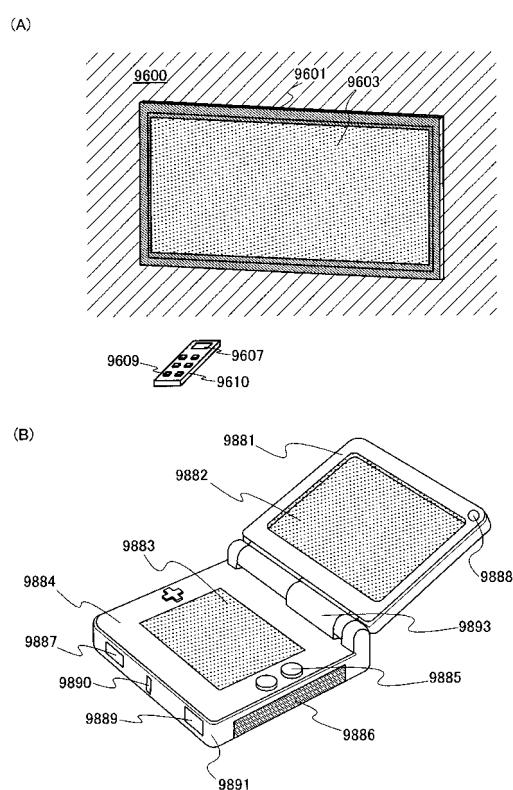
【図25】



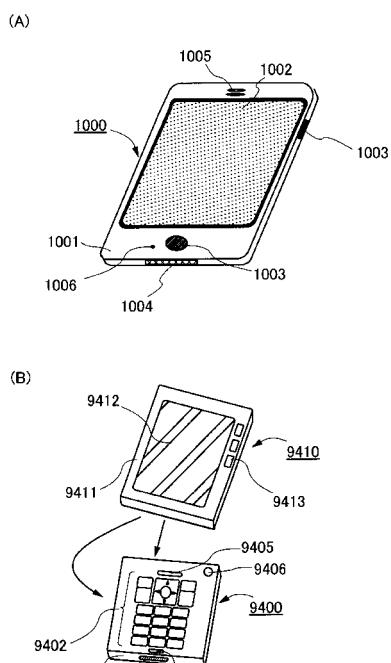
【図26】



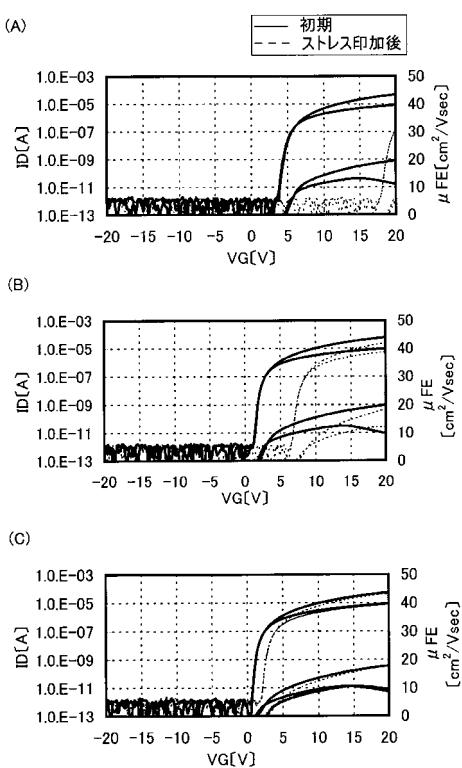
【図27】



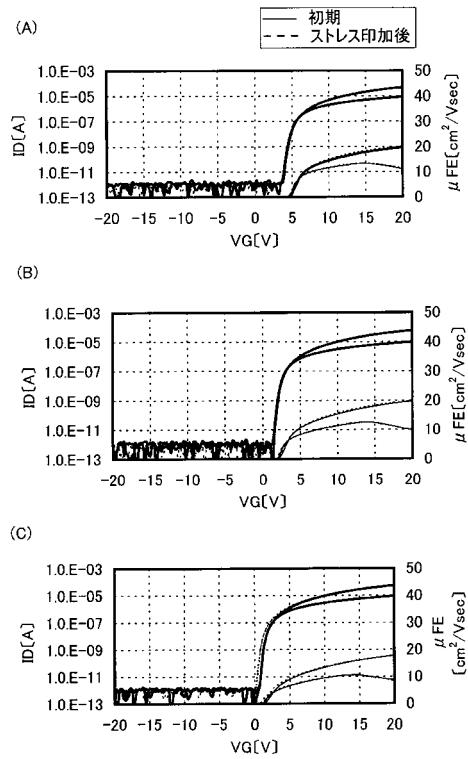
【図28】



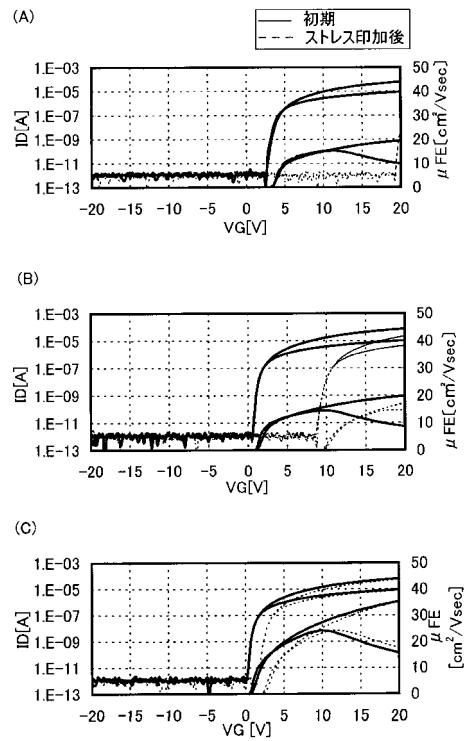
【図29】



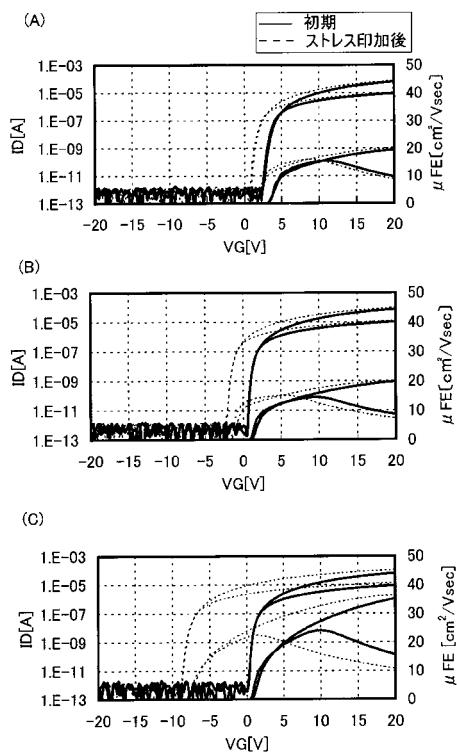
【図30】



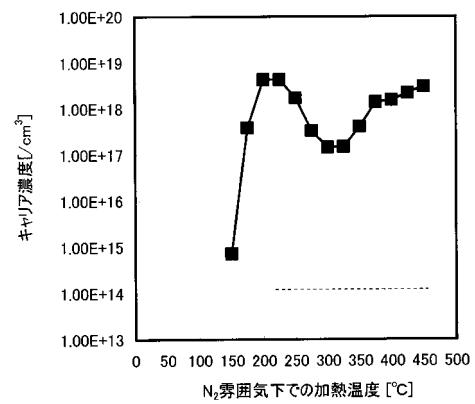
【図31】



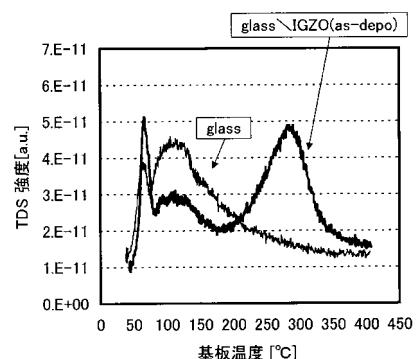
【図32】



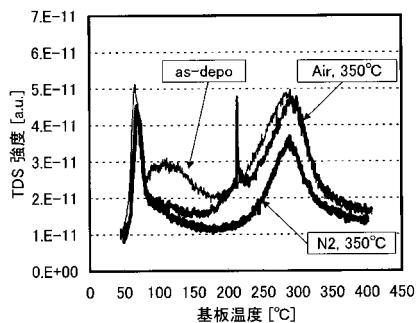
【図33】



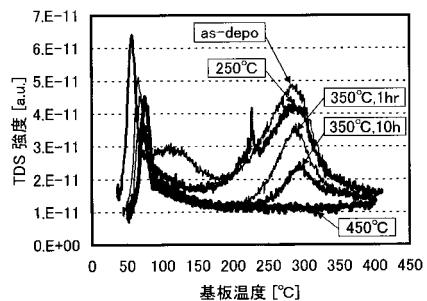
【図34】



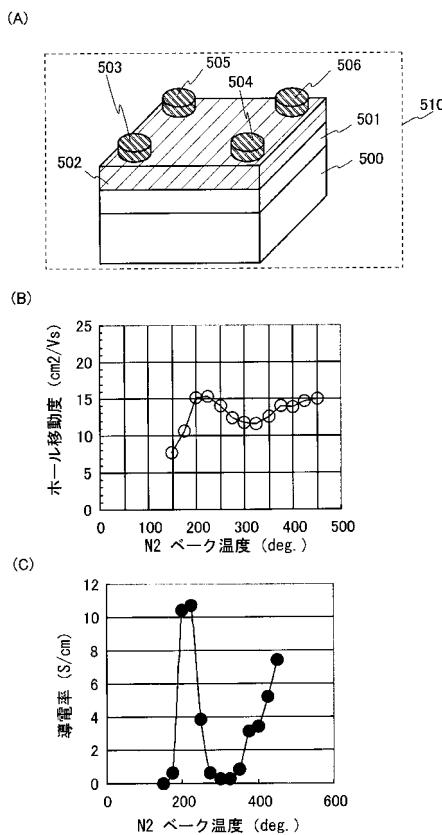
【図35】



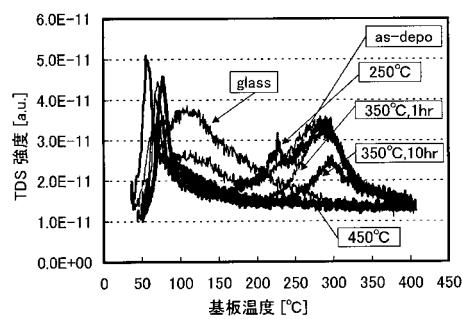
【図36】



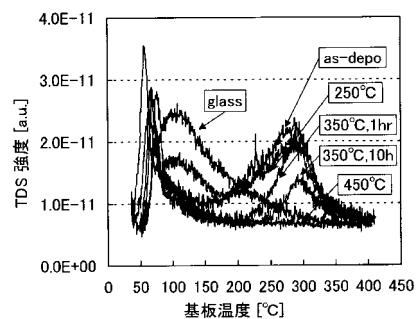
【図37】



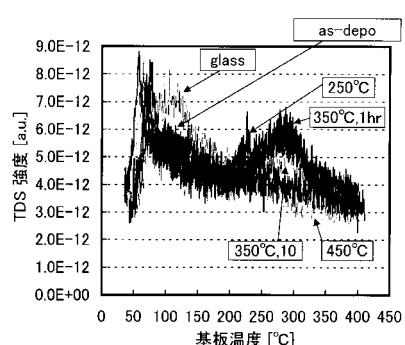
【図38】



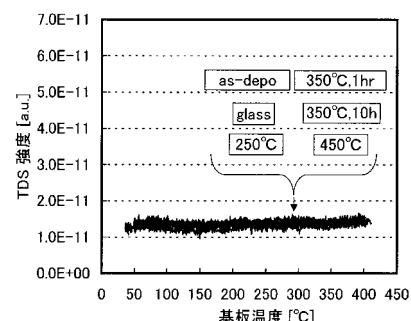
【図40】



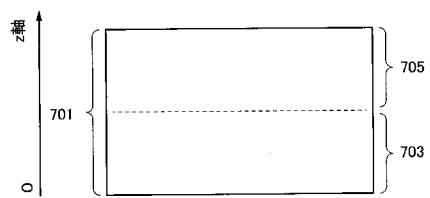
【図39】



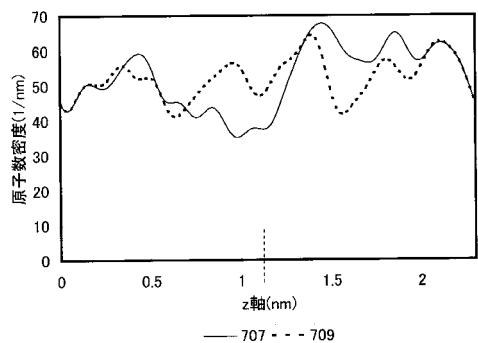
【図41】



【図4-2】



【図4-3】



フロントページの続き

(51)Int.Cl.

F I

H 01 L 29/78 627C
G 02 F 1/1368

(56)参考文献 特開2008-124215(JP,A)
特開2007-273956(JP,A)
特表2007-529119(JP,A)
特開2003-086803(JP,A)
特開2001-332716(JP,A)
特開平09-073102(JP,A)
特開2009-130209(JP,A)
国際公開第2009/034953(WO,A1)
特開2006-165532(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/336
H 01 L 29/786
G 02 F 1/1368