

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5696960号
(P5696960)

(45) 発行日 平成27年4月8日(2015.4.8)

(24) 登録日 平成27年2月20日(2015.2.20)

| | | | | |
|----------------|-----------|--------|-------|-------|
| (51) Int.Cl. | | F I | | |
| HO 1 L 21/336 | (2006.01) | HO 1 L | 29/78 | 3 7 1 |
| HO 1 L 29/788 | (2006.01) | HO 1 L | 27/10 | 4 3 4 |
| HO 1 L 29/792 | (2006.01) | | | |
| HO 1 L 21/8247 | (2006.01) | | | |
| HO 1 L 27/115 | (2006.01) | | | |

請求項の数 31 外国語出願 (全 20 頁)

| | | | |
|--------------|-------------------------------|-----------|-----------------------|
| (21) 出願番号 | 特願2007-265550 (P2007-265550) | (73) 特許権者 | 500420812 |
| (22) 出願日 | 平成19年10月11日(2007.10.11) | | 旺宏電子股▲ふん▼有限公司 |
| (65) 公開番号 | 特開2008-172195 (P2008-172195A) | | 台湾新竹科学工業園區新竹市力行路16號 |
| (43) 公開日 | 平成20年7月24日(2008.7.24) | (74) 代理人 | 100097180 |
| 審査請求日 | 平成22年9月21日(2010.9.21) | | 弁理士 前田 均 |
| 審判番号 | 不服2013-17261 (P2013-17261/J1) | (72) 発明者 | ツーフシュアン フシュ |
| 審判請求日 | 平成25年9月6日(2013.9.6) | | 台湾, チアイ カントリー, チョンーブ |
| (31) 優先権主張番号 | 11/545,575 | | シヤン, ジンーラン ヴィレッジ, ディン |
| (32) 優先日 | 平成18年10月11日(2006.10.11) | | ーシヤン メン, 28-8 |
| (33) 優先権主張国 | 米国 (US) | (72) 発明者 | ハンーティン ルエ |
| (31) 優先権主張番号 | 11/785,322 | | 台湾, フシンチュ, ナショナル チンーフ |
| (32) 優先日 | 平成19年4月17日(2007.4.17) | | ア ユニバーシティ, イースト ユアン |
| (33) 優先権主張国 | 米国 (US) | | 19 |

最終頁に続く

(54) 【発明の名称】 縦型チャンネルメモリーとその製造方法および稼働方法

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板から突出したチャンネルと、

前記チャンネルの上に配置されたキャップ層と、

前記チャンネルの垂直な二側面及び前記キャップ層の上面上に配置され、前記チャンネルの垂直な二側面及び前記キャップ層の上面を覆うとともに直接接している電荷蓄積構造と、

前記電荷蓄積構造を介して、前記チャンネルの垂直な二側面及び前記キャップ層の上面上に配置され、前記電荷蓄積構造を跨ぐように覆っているゲートと、

前記ゲートに対して前記チャンネルの二側面にそれぞれ位置している第一端子および第二端子を含む、縦型チャンネルメモリー。

10

【請求項2】

前記キャップ層と前記チャンネルが実質的に同じ幅を持つことを特徴とする請求項1に記載の縦型チャンネルメモリー。

【請求項3】

前記基板の上に位置する厚い酸化物層をさらに含み、その厚い酸化物層が前記チャンネルの垂直な二側面と接触していることを特徴とする、請求項1または2に記載の縦型チャンネルメモリー。

【請求項4】

前記キャップ層がケイ素酸化物層とケイ素窒化物層を含み、前記ケイ素窒化物層が前記ケ

20

イ素酸化物層の上に位置し、さらに前記キャップ層が縦型チャンネルメモリの形成に寄与することを特徴とする、請求項 2 に記載の縦型チャンネルメモリ。

【請求項 5】

前記チャンネルの垂直な二側面の上に位置した電荷トラップ層を含む電荷蓄積構造を特徴とする、請求項 1 または 2 に記載の縦型チャンネルメモリ。

【請求項 6】

前記電荷トラップ層の素材が窒化ケイ素、酸化アルミニウムもしくは、ほかの高誘電率を有する物質であることを特徴とする、請求項 5 に記載の縦型チャンネルメモリ。

【請求項 7】

前記電荷蓄積構造が、第一酸化物層と第二酸化物層を含み、前記第一酸化物層が前記電荷トラップ層と前記チャンネルの間に位置し、前記第二酸化物層が前記電荷トラップ層とゲートの間に位置することを特徴とする請求項 5 に記載の縦型チャンネルメモリ。

10

【請求項 8】

前記基板がバルクシリコン基板もしくはシリコン・オン・インシュレーター基板であることを特徴とする、請求項 1 または 2 に記載の縦型チャンネルメモリ。

【請求項 9】

前記ゲートの材料が、N+ポリシリコン、P+ポリシリコン、金属化合物、もしくは金属であることを特徴とする、請求項 1 または 2 に記載の縦型チャンネルメモリ。

【請求項 10】

前記チャンネルの線幅が、10 nm から 60 nm の範囲内にあることを特徴とした、請求項 1 または 2 に記載の縦型チャンネルメモリ。

20

【請求項 11】

前記電荷蓄積構造が、第一障壁層と、トンネル層と、第二障壁層と、電荷トラップ層と、第三障壁層とを含み、前記トンネル層は前記第一障壁層の上に位置し、前記第二障壁層は前記トンネル層の上に位置し、前記電荷トラップは前記第二障壁層の上に位置し、前記第三障壁層は前記電荷トラップの上に位置し、前記第一障壁層は前記チャンネルの垂直な二側面と前記キャップ層の上面に位置し、前記トンネル層は、前記第一障壁層と前記第二障壁層との間に位置し、前記電荷トラップ層は、前記第二障壁層と前記第三障壁層との間に位置することを、特徴とする請求項 1 または 2 に記載の縦型チャンネルメモリ。

【請求項 12】

30

前記第一障壁層、前記第二障壁層、および前記第三障壁層が酸化物層であり、前記電荷トラップ層が窒化物層で、前記トンネル層が窒化物層またはポリシリコン層であることを特徴とする請求項 11 に記載の縦型チャンネルメモリ。

【請求項 13】

前記第一障壁層の厚さが、20 オングストローム未満であることを特徴とする請求項 11 に記載の縦型チャンネルメモリ。

【請求項 14】

前記第一障壁層の厚さが 5 オングストロームから 20 オングストロームの間であることを特徴とする、請求項 11 に記載の縦型チャンネルメモリ。

【請求項 15】

40

前記第一障壁層の厚さが 15 オングストローム未満であることを特徴とする請求項 11 に記載の縦型チャンネルメモリ。

【請求項 16】

前記第二障壁層の厚さが 20 オングストロームより小さいことを特徴とする、請求項 11 に記載の縦型チャンネルメモリ。

【請求項 17】

前記第二障壁層の厚さが 15 オングストロームから 20 オングストロームの間であることを特徴とする、請求項 11 に記載の縦型チャンネルメモリ。

【請求項 18】

前記トンネル層の厚さが 20 オングストローム未満であることを特徴とする、請求項 11

50

に記載の縦型チャンネルメモリー。

【請求項 19】

前記トンネル層の厚さが 10 オングストロームから 20 オングストロームの間であることを特徴とする、請求項 11 に記載の縦型チャンネルメモリー。

【請求項 20】

(a) 基板を準備する工程と、
 (b) 前記基板の上に第一窒化物層を形成する工程と、
 (c) 前記第一窒化物層をエッチングして第一窒化物パターン層を形成する工程と、
 (d) 前記第一窒化物パターン層をトリミングして第二窒化物パターン層を形成する工程と、

10

(e) 前記基板をエッチングして、基板から突き出たチャンネルを少なくとも一つ形成する工程と、

(f) エッチングされた前記基板上に、前記チャンネルの垂直な二側面に接するように厚い酸化物層を形成する工程と、

(g) 前記チャンネルの垂直な二側面を覆うとともに直接接する電荷蓄積構造を形成する工程と、

(h) ゲート材層を前記電荷蓄積構造の上に形成する工程と、

(i) 前記チャンネルの垂直な二側面に少なくとも一つのゲートを形成するために前記ゲート材層をエッチングする工程と、

(j) 前記ゲートに対してチャンネルの前記二側面に少なくとも一つの第一端子と第二端子を形成するためにイオンを注入する工程と、

20

を含む縦型チャンネルメモリーの製造方法。

【請求項 21】

酸化物 - 窒化物 - 酸化物 (ONO) 層を形成することを含む、前記電荷蓄積構造を形成することを特徴とする請求項 20 に記載の方法。

【請求項 22】

酸化物 - 窒化物 - 酸化物 - 窒化物 - 酸化物 (ONONO) 層の形成を含む、前記電荷蓄積構造を形成することを特徴とする請求項 20 に記載の方法。

【請求項 23】

前記工程 (b) が、

30

(b1) パッド酸化物層を前記基板と前記第一窒化物層の間に形成する工程を含むことを特徴とする請求項 20 に記載の製造方法。

【請求項 24】

前記工程 (c) が、

(c1) 前記第一窒化物層の上に第一耐光パターン層を形成する工程と、

(c2) 前記第一窒化物層をエッチングして、第一窒化物パターン層を形成する工程と、

(c3) 第一耐光パターン層を除去する工程とを含むことを特徴とする請求項 20 に記載の製造方法。

【請求項 25】

前記工程 (h) と工程 (i) の間に、

40

(k) 前記第二窒化物層を前記ゲート材層の上に形成する工程と、

(l) 前記第二耐光パターン層を前記第二窒化物層の上に形成する工程と、

(m) 前記第二窒化物層をエッチングして、第三窒化物パターン層を形成する工程と、

(n) 前記第二耐光パターン層を除去する工程と、

(o) 前記第三窒化物パターン層をトリミングして、第四窒化物パターン層を形成する工程とをさら含むことを特徴とする請求項 20 に記載の製造方法。

【請求項 26】

前記電荷蓄積構造が、前記チャンネルの頂部表面と垂直な前記二側面の上に位置していることを特徴とする請求項 20 に記載の製造方法。

【請求項 27】

50

前記工程(d)において、前記第二窒化物パターン層の線幅が、10nmから60nmの範囲内にあることを特徴とする、請求項20に記載の製造方法。

【請求項28】

前記工程(d)において、前記第一窒化物パターン層をトリミングするのに、熱リン酸を使用する請求項20に記載の製造方法。

【請求項29】

基板から突出したチャンネルを持つ縦型チャンネルメモリーで使用され、そのチャンネルは頂部表面と垂直な二側面を有し、ONONO層が前記チャンネルの垂直な二側面を覆うとともに直接接しており、前記ONONO層を跨ぐゲートが前記チャンネルの垂直な二側面の上に位置し、第一端子と第二端子がそれぞれゲートに対してチャンネルの二側面に位置している、メモリーの稼働方法であって、

10

(a)前記縦型チャンネルメモリーをプログラムするために、前記ゲートに第一バイアスをかける工程と、

(b)前記縦型チャンネルメモリーを消去するために、第一バイアスとは極性が逆の第二バイアスを前記ゲートにかける工程とを含むことを特徴とするメモリーの稼働方法。

【請求項30】

前記工程(a)が、さらに、

(a1)前記第一端子もしくは前記第二端子に第一バイアスと極性が同一の第三バイアスをかける工程を含む請求項29に記載の稼働方法。

【請求項31】

20

前記工程(b)が、さらに、

(b1)前記第一端子もしくは前記第二端子に、前記第一バイアスと極性が同一の第四バイアスをかける工程；を含むことを特徴とする請求項29に記載の稼働方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概して縦型チャンネルメモリーとその製造方法および稼働方法に関するものであり、特に高集積な垂直チャンネルメモリーとその製造方法およびその稼働方法に関する。

【背景技術】

【0002】

30

半導体の製造技術の発展に伴って、現在の半導体素子の解像度はナノレベルに達している。メモリーを例にとると、ゲートとエレメント・ピッチの長さはさらに縮められている。フォトリソグラフィが常に向上しているにもかかわらず、生産されたプレーナートランジスタ構造はフォトリソグラフィの解像度の限界に達しており、トランジスタ素子は静電放電(ESD)、漏洩、電子の動きの低下などの問題を抱えており、さらに短チャンネル効果、ドレインに起因する障壁低下効果(DIBL効果)などを引き起こしやすい。そのため、より高密度でキャリア伝達率と集積率を提供できる、例えばフィン効果トランジスタ(FinFET)のような、ダブルゲート縦型トランジスタチャンネルとトライゲート縦型トランジスタチャンネルが有望なトランジスタ構造となってきた。

【0003】

40

FinFETは縦型チャンネルを有し垂直な二側面にチャンネルを形成し電流の接続をダブルゲートもしくはトライゲートで制御することができる。従って、従来のプレーナチャンネルトランジスタよりも効率がよい。

【0004】

高精密なFinFET素子の製造には、フォトリソグラフィやE光線の高価で進んだ製造過程がいまだに必要である。しかしながら、この進んだ製造工程のスループットを上げるのは難しく、大量生産には不利である。現在の製造方法の一つとして、始めにチャンネルをエッチングし、それからチャンネルの線幅を酸化によって縮小するものがある。しかし、この方法で形成された素子は均一性に乏しく、品質をコントロールするのが困難である。

【発明の開示】

50

【発明が解決しようとする課題】

【0005】

本発明は縦型チャンネルメモリとその製造方法および稼働方法に関する。チャンネルの幅が10nm~60nmである縦型チャンネルトランジスタ構造は露光によって形成された素子ピッチ幅を変えずに製造される。本発明は、プログラミングや読み込みの最中に短チャンネル効果やドレインに起因する障壁低下(drain induced barrier lowering) DIBL効果を引き起こさずに効果的に駆動電流を上げる。それによって形成されたFinFETトランジスタはサイズが小さいため、メモリ密度が飛躍的に上がる。さらに、本発明は、BE-SONOSメモリと呼ばれる、バンドギャップエンジニアリング構造を持つSONOSメモリを提供する。SONOS構造をもった従来の縦型チャンネルメモリと比較して、BE-SONOS構造をもった縦型チャンネルメモリは稼働速度が速く、オペレーティングウィンドーの幅も広い。BE-SONOS構造を有した縦型チャンネルメモリは、電荷をローカルに持つことができ、MLCメモリを得るため、オペレーティングウィンドーの範囲を広げることができる。

10

【課題を解決するための手段】

【0006】

本発明に係る第一の観点においては、基板、チャンネル、キャップ層、多層構造、第一端子と第二端子が含まれる縦型チャンネルメモリが提供される。チャンネルは基板から突き出ている、頂部表面と垂直な二側面を有する。チャンネルに配置されたキャップ層は、実質的にチャンネルの幅と同じである。多層構造はキャップ層とチャンネルの垂直な二側面に配置されている。多層構造をまたいでいるゲートはチャンネルの垂直な二側面に設置されている。第一端子と第二端子は、ゲートに対してチャンネルの二側面にそれぞれ設置されている。

20

【0007】

本発明に係る第二の観点においては、縦型チャンネルメモリの製造方法が提供される。始めに、基板が用意される。次に、第一窒化物層が基板の上に形成される。そして、第一窒化物層がエッチングされ、第一窒化物パターン層が形成される。次に第一窒化物パターン層はトリミングされ、第二窒化物パターン層が形成される。そして、基板がエッチングされ、基板から突出したチャンネルが少なくとも一つ形成される。次に、基板の頂部表面に厚い酸化物層が形成される。そして、電荷蓄積構造がチャンネルの垂直な二側面に形成される。次に、ゲート材層がONO層に形成される。そして、ゲート材層がエッチングされ、少なくとも一つのゲート、即ちフィンゲートが縦型チャンネルのフィン構造に形成されるようにチャンネルの垂直な二側面に位置したゲートが形成される。次に、ゲートに対してチャンネルの二側面にイオンが注入され、第一および第二端子が形成される。

30

【0008】

本発明に係る第三の観点においては、メモリの稼働方法が提供される。この稼働方法は縦型チャンネルメモリに使用される。縦型チャンネルメモリは基板から突出したチャンネルを有している。チャンネルは頂部表面と垂直な二側面を有している。ONO層はチャンネルに配置されている。ゲートはONO層をまたいでチャンネルの垂直二側面の上に設置されている。第一端子と第二端子はゲートに対してチャンネルの二側面に設置されている。この稼働方法は以下の工程を含む。初めに、縦型チャンネルメモリをプログラムするために第一バイアスをゲートにかける。次に、縦型チャンネルメモリを消去するために、第一バイアスとは極性が反対の第二バイアスをゲートにかける。

40

【発明を実施するための最良の形態】

【0009】

本発明は以下の好ましいが限定されない実施形態の詳細な説明において明確になる。以下の説明は添付の図面に基づくものである。

【0010】

図1Aは、本発明の第一実施形態に係る縦型チャンネルメモリの平面図である。

【0011】

50

図 1 B は、図 1 A における断面線 A A ' に沿った断面図である。

【 0 0 1 2 】

図 2 A から 2 J は、本発明の第一実施形態に係る縦型チャンネルメモリの製造工程を表したものである。

【 0 0 1 3 】

図 3 は、本発明の第一実施形態に係る製造工程をフローチャートで表したものである。

【 0 0 1 4 】

図 4 A は、第二実施形態に係る縦型チャンネルメモリの平面図である。

【 0 0 1 5 】

図 4 B は、図 4 A における断面線 B B ' に沿った断面図である。

10

【 0 0 1 6 】

図 5 A から 5 J は、本発明の第二実施形態に係る縦型チャンネルメモリの製造工程を表したものである。

【 0 0 1 7 】

図 6 は、本発明の第二実施形態に係る縦型チャンネルメモリ製造工程をフローチャートで表したものである。

【 0 0 1 8 】

図 7 A は、本発明の第三実施形態に係る第一縦型チャンネルメモリの断面図である。

【 0 0 1 9 】

図 7 B は、本発明の第三実施形態に係る第二縦型チャンネルメモリの断面図である。

20

【 0 0 2 0 】

図 8 A は、本発明の第三実施形態の縦型チャンネルメモリと従来の縦型チャンネルメモリにおける閾値電圧に対するプログラミングにかかる時間の相関曲線を比較したものである。

【 0 0 2 1 】

図 8 B は、本発明の第三実施形態の縦型チャンネルメモリと従来の縦型チャンネルメモリにおける、閾値電圧に対する削除にかかる時間の相関曲線を比較したものである。

【 0 0 2 2 】

図 9 は、B E - S O N O S 縦型チャンネルメモリと従来の S O N O S 縦型チャンネルメモリの閾値電圧に対する記憶保持時間の相関曲線を比較したものである。

30

【 発明の詳細な説明 】

【 0 0 2 3 】

第一実施形態

図 1 A と図 1 B を参照する。図 1 A は、本発明の第一実施形態の縦型チャンネルメモリの平面図である。図 1 B は、図 1 A における断面線 A A ' に沿った断面図である。図 1 B に示されているように、縦型チャンネルメモリ 1 0 0 は、基板 1 1 0 a、基板 1 0 0 a から突き出たチャンネル 1 1 2 とチャンネル 1 1 2 の上にあるキャップ層 1 4 0 を含む。チャンネル 1 1 2 は、上表面 1 1 2 a と垂直な二側面 1 1 2 b を有している。チャンネル 1 1 2 は実質的にキャップ層 1 4 0 と同じ幅を持っている。本発明の本実施形態において、製造工程の中間生成物であるキャップ層 1 4 0 は二酸化ケイ素 (S i O ₂) 層と窒化ケイ素 (S i N) 層を含み、二酸化ケイ素層の上に窒化ケイ素層がある。適切な厚みを持ったキャップ層 1 4 0 は、ゲートから電子が侵入してくるのを防ぐため、デュアルチャンネル縦型メモリの形成に寄与し、チャンネル 1 1 2 の電界を均一にし、チャンネル 1 1 2 からリーク電流が作られるのを防ぐ。多層構造、すなわち、本発明の本実施形態における酸化物 窒化物酸化物 (O N O) 層 1 6 0 は、チャンネル 1 1 2 の垂直な二側面 1 1 2 b にあり、酸化物層 1 6 1、窒化物層 1 6 2、酸化物層 1 6 3 を含み、酸化物層 1 6 1 と酸化物層 1 6 3 が窒化物層 1 6 2 を挟む。O N O 層 1 6 0 は、電荷蓄積構造としてキャップ層 1 4 0 の上にあり、フィン (f i n) 構造のチャンネル 1 1 2 をまたいでいる。酸化物層 1 6 1 と酸化物層 1 6 3 は、二酸化ケイ素からできている。窒化物層 1 6 2 は電荷を取り込む層であり、本

40

50

発明の本実施形態においては、窒化ケイ素からできている。さらに、窒化物層 162 は、酸化アルミニウム (Al_2O_3) もしくは高誘電率を持つ物質からも作ることが可能である。ONO 層 160 は、縦型チャンネルメモリー 100 がデータのプログラミングや消去の機能を持つことを可能にする電荷蓄積構造である。ゲート 170a は、窒化物層 162 をまたいでいる、つまり、ゲート 170a は、フィン構造のチャンネル 112 の上に位置している。ゲート 170a を使って、電流の接続をそれぞれ制御することができる二つの垂直な側面 112 があることから、縦型チャンネルメモリー 100 はダブルゲート構造と呼ばれる。ゲート 170a は、N+ポリシリコン、P+ポリシリコン、金属化合物または金属から作ることができる。図 1A で示されているように、第一端子 192 と第二端子 194 は、ゲート 170a に対してチャンネル 112 の二側面にそれぞれ位置している。本発明の本実施形態は、NAND アレイメモリー構造で例示されており、端子 192 と端子 194 は、それぞれソースとドレインまたはドレインとソースである。さらに、二つの縦型チャンネルメモリー 100 の間にあるソースとドレインはどれも共通ソースと共通ドレインである。チャンネル 112 の線幅はおおよそ 10 nm から 60 nm の範囲である。

10

【0024】

さらに、図 1B に示されるように、縦型チャンネルメモリー 100 は基板 110a の上に位置する厚膜酸化物層 150 を持つ。本発明の本実施形態においては、厚膜酸化物層 150 は酸化ケイ素からできている。厚膜酸化物層 150 は、基板 110a が電氣的に接続されるのを防ぐことにより、リーク電流の発生を防止する。

【0025】

本発明の実施形態の適用例として、以下の NAND の製造工程を示す。図 2A から図 2J においては、本発明の第一実施形態に係る縦型チャンネルメモリーの製造工程が示されている。また図 3 においては、本発明の第一実施形態に係る縦型チャンネルメモリーの製造工程がフローチャートで示されている。

20

【0026】

まず初めに、図 2A を参照する。工程 301 に示されるように、基板 110 が用意される。基板 110 の例としては、バルクシリコン基板やシリコンオンインシュレーター基板がある。

【0027】

次に、図 2B を参照する。工程 302 に示されているように、第一窒化物層 130 が基板 110 の上に形成される。本発明の本実施形態においては、第一窒化物層 130 は窒化ケイ素からできている。他の実施形態においては、基板 110 と第一窒化物層 130 との間に パッド酸化物層 120 が形成される。なお、パッド酸化物層 120 の代わりに窒化ケイ素からなる層を形成してもよい。 さらに、本発明の実施形態には N 型チャンネルを有するトランジスタが形成されているため、P 型イオンを基板 100 にこの工程で注入することが可能である。そのため次の工程でチャンネルを形成する際に基板 100 の品質が高くなる。しかしながら、本発明の実施形態はこれに限定されるものではない。トランジスタが P 型チャンネルを持つように設計されている場合は、N 型イオンが基板 100 に注入される。

30

【0028】

そして、図 2C を参照する。工程 303 に示されているように、第一窒化物層 130 がエッチングされ、第一窒化物パターン層 130a が形成される。本発明の本実施形態においては、第一窒化物層 130 は、窒化ケイ素から作られる。工程 303 は以下のサブ工程も含む。はじめに、第一窒化物層 130 に耐光パターン層 (図示されていない) が形成される。次に、第一窒化物層 130 がエッチングされ、第一窒化物パターン層 130a が形成される。それから、第一耐光パターン層が除去される。こうして得られる第一窒化物パターン層 130a は、線幅 D1 を有する。この工程では、反応性イオンエッチング (RIE) 法をとることもできる。

40

【0029】

次に、図 2D を参照する。工程 304 に示されているように、第一窒化物パターン層 130a がトリミングされ第二窒化物パターン層 130b を形成する。トリミング後の第二

50

窒化物パターン層 130b は、線幅 D2 のパターンを有する。線幅 D2 は、約 10 nm から 60 nm の範囲内である。本工程においては、第一窒化物パターン層 130a をトリミングするのに、酸化ケイ素と窒化ケイ素に対するエッチング選択比に優れている、熱リン酸が使用された。

【0030】

そして、図 2E を参照する。工程 305 に示されているように、基板 110 は基板 110a を形成するためにエッチングされ、基板 110a から突き出したチャンネル 112 が基板 110a の上に形成される。チャンネル 112 は、頂部表面 112a と、垂直な二側面を有する。本発明の実施形態においては、好ましくは、パッド酸化物層 120 が RIE 法に従ってパッド酸下物層 120a を形成するためにエッチングされた後、基板 110 がチャンネル 1120 を形成するために続いてエッチングされる。その間、パッド酸化物層 120a と第二窒化物パターン層 130b は、まとめてキャップ層 140 と呼ばれる。

10

【0031】

次に、図 2F を参照する。チャンネル 112 の垂直な二側面 112b と接する厚膜酸化物層 150 が形成される。本工程において、厚い酸化物層 150 は、高密度プラズマ (HDP) により積層される。厚膜酸下物層 150 は、電流が厚膜酸下物層 150 の上にあるチャンネル 112 の部分しか流れないように、フィンチャンネルの高さを制限する。

【0032】

そして、図 2G を参照する。工程 306 に示されているように、酸化物 窒化物 酸化物 (ONO) 層 160 が形成される。ONO 層 160 は、キャップ層 140、チャンネル 112 の垂直な二側面 112b と厚い酸化物層 150 の上に配置されている。ONO 層 160 は、酸化物層 161、窒化物層 162 及び酸化物層 163 とを含む。本発明の本実施形態においては、窒化物層 162 は、電荷トラッピング層として電荷蓄積構造が形成されるように、窒化ケイ素が使われる。しかしながら、窒化物層 162 には、電荷トラッピング層として、酸化アルミニウム (Al_2O_3) やその他の高い誘電率を持つ物質も使用することができる。

20

【0033】

次に、図 2H を参照する。工程 307 で示されているように、ゲート材層 ONO 層 160 の上に形成される。

【0034】

そして、図 2I を参照する。工程 308 で示されているように、ゲート材層 170 がエッチングされて、フィン構造のチャンネル 112 をまたぐゲートが少なくとも一つ形成される。工程 308 が行われる前に、好ましくは、以下の工程が行われる。初めに、第二窒化物層 (図示されていない) が、ゲート材層 170 に形成される。本発明の本実施形態においては、第二窒化物層は、窒化ケイ素からなる。次に、第二耐光パターン層 (図示されていない) が、第二窒化物層の上に形成される。そして、第二窒化物層がエッチングされ、第三窒化物パターン層 180 が形成される。次に、第二耐光パターン層が除去される。そして、第三窒化物パターン層 180 がトリミングされ、第四窒化物パターン層 180a が形成される。続いて、図 2J を参照する。ゲート材層 170 は、第四窒化物パターン層 180a のパターンに従ってエッチングされ、ゲート 170a が形成される。ゲート 170a が形成された後に、好ましくは第四窒化物パターン層 180a を除去する。したがって、線幅は約 10 nm から 60 nm の範囲のゲート構造が形成される。

30

40

【0035】

次に、工程 309 で示されているように、第一端子 192 と第二端子 194 を形成するために、ゲート 170a に対してチャンネル 112 の二側面にイオンが注入される。ここまでで、主構造の縦型チャンネルメモリー 100 を有する NAND メモリーアレイが完成する。本発明の本実施形態は、N 型チャンネルトランジスタの形成によって例示されているので、N 型ドーパントは本工程で添加される。トランジスタが P 型チャンネルを有するように設計している場合は、P 型ドーパントが添加される。

第二実施形態

50

【 0 0 3 6 】

図 4 A と図 4 B を参照する。図 4 A は、本発明の第二実施形態に係る縦型チャンネルメモリーの平面図である。図 4 B は、図 4 A の断面図線 B B ' に沿った断面図である。本発明の本実施形態の縦型チャンネルメモリー 2 0 0 は、キャップ層 1 4 0 が取り除かれているところが、第一実施形態の縦型チャンネルメモリー 1 0 0 と違っている。縦型チャンネルメモリー 1 0 0 と共通しているその他の素子については、同じ番号が使用されているため、その機能はここで反復しない。

【 0 0 3 7 】

酸化キャップ層 1 4 0 が取り除かれているため、ゲート 1 7 0 a によって電流の接続を制御することができるチャンネル 1 1 2 は、トライゲート構造と呼ばれる。

10

【 0 0 3 8 】

本発明の本実施形態の適用例として、下記に N A N D メモリーアレイの製造工程で示す。図 5 A から図 5 J においては、本発明の第二実施形態に係る縦型チャンネルメモリーの製造工程が示されている。さらに、図 6 には、本発明の第二実施形態に係る、縦型チャンネルメモリーの製造工程のフローチャートが示されている。

【 0 0 3 9 】

はじめに、図 5 A を参照する。工程 6 0 1 で示されているように、基板 1 1 0 が用意される。

【 0 0 4 0 】

次に、図 5 B を参照する。工程 6 0 2 に示されているように、基板 1 1 0 の上に第一窒化物層 1 3 0 が形成される。本発明の本実施形態においては、好ましくは、パッド酸化物層 1 2 0 が基板 1 1 0 と第一窒化物層 1 3 0 の間に形成される。さらに、本発明の本実施形態では、N 型チャンネルを有するトランジスタが形成されるため、次の工程でチャンネルを形成する際に基板 1 1 0 の質が高くなるように P 型イオンが基板 1 1 0 に注入される。しかしながら、本発明の本実施形態はこれに限定されない。トランジスタが P 型チャンネルを有するように設計されている場合は、N 型イオンが基板 1 1 0 に注入される。

20

【 0 0 4 1 】

そして、図 5 C を参照する。工程 6 0 3 に示されているように、第一窒化物層 1 3 0 がエッチングされ、第一窒化物パターン層 1 3 0 a が形成される。工程 6 0 3 は、以下の工程を含む。第一耐光パターン層（図示されていない）が、第一窒化物層 1 3 0 の上に形成される。次に、第一窒化物層 1 3 0 が、第一窒化物パターン層 1 3 0 a を形成するためにエッチングされる。そして、第一耐光パターン層が取り除かれる。その結果の第一窒化物パターン層 1 3 0 a は、線幅 D 1 のパターンを有する。

30

【 0 0 4 2 】

次に、図 5 D を参照する。工程 6 0 4 に示されるように、第一窒化物パターン層 1 3 0 a がトリミングされ、第二窒化物パターン層 1 3 0 b を形成する。こうして得られるトリミング後の第二窒化物パターン層 1 3 0 b は、線幅 D 2 がおよそ 1 0 n m から 6 0 n m のパターンを有する。

【 0 0 4 3 】

そして、図 5 E を参照する。工程 6 0 5 に示されているように、基板 1 1 0 をエッチングして基板 1 1 0 a を形成し、基板 1 1 0 a から突き出ているチャンネル 1 1 2 が基板 1 1 0 a の上に形成される。チャンネル 1 1 2 は、頂部表面 1 1 2 a と垂直な二側面 1 1 2 b を有する。本発明の本実施形態において、好ましくは、R I E 法に従ってパッド酸化物層 1 2 0 a がパッド酸化物層 1 2 0 からエッチングされて形成された後、基板 1 1 0 がチャンネル 1 1 2 を形成するために続いてエッチングされる。その間、パッド酸化物層 1 2 0 a と第二窒化物パターン物層 1 3 0 b は、まとめてキャップ層 1 4 0 と呼ばれる。

40

【 0 0 4 4 】

次に、図 5 F を参照する。厚膜酸化物層 1 5 0 は、基板表面が電氣的に接続されるのを防ぐことにより、リーク電流の発生を防止する。工程 6 0 6 に示されているように、チャンネル 1 1 2 の上にある第二窒化物パターン物層 1 3 0 b とパッド酸化物層 1 2 0 a からな

50

るキャップ層 140 が取り除かれる。この工程は、熱リン酸 (H_3PO_4) で達成することも可能である。その間に、好ましくは、パッド酸化物層 120a が取り除かれる。この工程は、フッ化水素酸 (HF) で達成することができる。第二窒化物パターン層 130b とパッド酸化物層 120a の除去は、厚い酸化物層 150 の形成の前でも後でもよい。

【0045】

そして、図 5G を参照する。工程 607 で示されているように、酸化物 窒化物 酸化物 (ONO) 層 160 が形成される。ONO 層 160 は、チャンネル 112 の垂直な二側面 112b と厚い酸化物層 150 の上に配置されている。ONO 層 160 は、酸化物層 161、窒化物層 162、酸化物層 163 を含む。本発明の本実施形態においては、窒化物層 162 は、電荷トラッピング層として窒化ケイ素を使用している。しかしながら、窒化物層 162 は、電荷蓄積構造を形成するのに酸化アルミニウム (Al_2O_3) または高誘電率を持つ物質を電荷トラッピング層として使用することも可能である。

10

【0046】

次に、図 5H を参照する。工程 608 に示されるように、ゲート材層 170 が ONO 層 160 の上に形成される。

【0047】

そして、図 5I を参照する。工程 609 で示されているように、ゲート材層 170 がエッチングされ、チャンネル 112 の垂直な二側面 112b と上表面 112a の上に配置されたゲート 170a が少なくとも一つ形成される。好ましくは、以下の工程を工程 609 のまえに行う。はじめに、第二窒化物層 (図示されていない) がゲート材層 170 の上に形成される。次に、第二耐光パターン層 (図示されていない) が第二窒化物層の上に形成される。そして、第二窒化物層がエッチングされ、第三窒化物層 180 が形成される。次に、第二耐光パターン層が取り除かれる。そして、第三窒化物パターン層 180 がトリミングされ、第四窒化物パターン層 180a が形成される。そして、図 5J を参照すると、ゲート材層 170 は、第四窒化物パターン層 180a のパターンに従ってエッチングされ、ゲート層 170a が形成される。好ましくは、第四窒化物パターン層 180a が除去される工程は、ゲート層 170a が形成された後に行う。

20

【0048】

次に、工程 610 に示されているように、ゲート 170a に対してチャンネル 112 の二側面にイオンが注入され、第一端子 192 と第二端子 194 が形成される。ここまでで、縦型チャンネルメモリー 200 を有する NAND メモリアレイの主構造が完成する。

30

第三実施形態

【0049】

図 7A と図 7B を参照する。図 7A は、本発明の第三実施形態に係る第一縦型チャンネルメモリーの断面図である。図 7B は、本発明の第三実施形態に係る第二縦型チャンネルメモリーの断面図である。本発明の本実施形態における縦型チャンネルメモリー 300 と 400 は、第一実施形態の縦型チャンネルメモリー 100 と第二実施形態の縦型チャンネルメモリー 200 の ONO 層 160 が、少なくとも四つの層を含む多層構造に変えられており、チャンネル 112 の上に配置されている障壁層、トンネル層、電荷トラッピング層、ともう一つの障壁層が順に積まれた多層構造であるという点において違っている。第三実施形態においては、多層構造は 5 つの層、すなわち、チャンネル 112 の上に配置された第一障壁層、トンネル層、第二障壁層、電荷トラッピング層及び第三障壁層が順に積まれた多層構造を有する ONONO 層 360 であり、前記トンネル層は、前記第一障壁層と前記第二障壁層との間に位置し、前記電荷トラップ層は、前記第二障壁層と前記第三障壁層との間に位置する。したがって、バンドキャップ ($BE-SONOS$) 構造を持つメモリーが形成される。縦型チャンネルメモリー 300 と縦型メモリー 400 の素子で縦型チャンネルメモリー 100 と縦型チャンネルメモリー 200 と共通の素子は、同じ番号が用いられており、ここではその機能については繰り返さない。

40

【0050】

50

ONONO層360は、酸化物層361を第一障壁層として、窒化物層362をトンネル層として、酸化物層363を第二障壁層として、窒化物層364を電荷トラッピング層として、酸化物層365を第三障壁層として有する。すなわち、ONO層160の酸化物層161が酸化物層361、窒化物層362、酸化物層363によって置換されているため、より優れた稼働特性が得られる。また、窒化物層362は、トンネル層としてポリシリコン層に代替できる。ONONO層360の窒化物層364は、電荷トラッピング層として酸化アルミニウムまたは高誘電率を持つ物質を用いることが可能である。酸化物層361のような第一障壁層の厚みは、20オングストローム()未満である。第一障壁層の厚みは、好ましくは、5 から20 の範囲内である。より好ましくは、第一障壁層の厚みは15 未満である。窒化物層362のようなトンネル層の厚みは20 未満で、好ましくは、10 から20 の範囲内である。酸化物層363のような第二障壁層の厚みは20 未満であり、好ましくは、15 から20 の範囲内である。

10

【0051】

図8Aは、本発明の第三実施形態の縦型チャンネルメモリーと従来の縦型チャンネルメモリーの閾値電圧に対するプログラミング時間の相関曲線を比較したものである。図8Bは、本発明の第三実施形態の縦型チャンネルメモリーと従来の縦型チャンネルメモリーの閾値電圧に対する消去にかかる時間の相関曲線を比較したものである。図8Aに示されているように、同じゲート電圧 V_c をかけると、BE-SONOS構造を持った本発明の本実施形態の縦型チャンネルメモリーは、従来のSONOS構造を有した縦型チャンネルメモリーに比べて閾値電圧が早く増加する。したがって、結果としてプログラミングのスピードが速くなる。図8Bに示されているように、同じゲート電圧 V_g をかけると、BE-SONOS構造を持った本発明の本実施形態の縦型チャンネルメモリーは、従来のSONOS構造を有した縦型チャンネルメモリーに比べて、閾値電圧を早く減少させる。この結果、消去にかかる時間が早くなる。

20

【0052】

図8Bで示されているように、BE-SONOS構造を有した縦型チャンネルメモリーは、負の閾値電圧になるまで消去することができるため、オペレーティングウィンドーの範囲を大幅に広げ、マルチレベルセル(MLC)メモリーの機能を達成する。BE-SONOS構造のNANDメモリアレイが使用された場合、消去の際に閾値電圧を負にすることができるため、チャンネルを反転させてゲートに余分なバイアスをかけずに起動することが可能で、そのため、稼働手順が簡略化され電力消費を低減する。

30

【0053】

図9は、BE-SONOS縦型チャンネルメモリーと従来の縦型チャンネルメモリーの、閾値電圧に対する記憶保持時間の相関曲線を比較している。図9で示されているように、周囲温度150 において、BE-SONOS縦型チャンネルメモリーと従来のSONOS縦型チャンネルメモリーの、異なったプログラミング-削除サイクル下における閾値電圧の変化が表されている。BE-SONOS縦型チャンネルメモリーがより安定した閾値電圧を保持することが見られるが、特に高い閾値電圧において非常によく機能する。

【0054】

同様に、NANDメモリアレイの製造工程を例にとる。本発明の本実施形態における縦型チャンネルメモリー300および400は、ONO層160を形成する工程における縦型チャンネルトランジスタ構造100および200と工程306と工程607において、主にその製造工程が異なる。本発明の本実施形態において、ONO層360は、チャンネル112の垂直な二側面112bと、厚い酸化物層150の上に形成されている。第一実施形態と第二実施形態と共通する他の工程はここでは繰り返さない。

40

【0055】

BE-SONOS構造を有する縦型チャンネルメモリーの稼働方法としては、データのプログラムには、ポジティブ・ファウラー・ノルドハイム(+FN)稼働法が採用される。すなわち縦型チャンネルメモリー300と400をプログラムするために、10V超の第一バイアスがゲート170aかけられる。一方で、ネガティブ・ファウラー・ノルドハイム

50

(-FN)稼働法がデータを消去するのに採用される。すなわち、第一バイアスとは極性が反対の第二バイアスが、縦型チャンネルメモリー300と400のゲート170aにかけられる。その第二バイアスは-10Vよりも小さい。このような稼働方法は、稼働電流を低減し、電力消費を低減し、チャンネル付近の酸化物層361の損傷を避け、さらに製品の信頼性を高める。

【0056】

さらに、BE-SONOS構造を有した縦型チャンネルメモリーは、チャンネル熱電子注入(channel hot electron injection, CHEI)法に従ってプログラムされる。すなわち、縦型チャンネルメモリー300または400は、ゲート170aに第一バイアスがかかることでプログラムされ、第一バイアスと極性が同一の第三バイアスが第一端子192もしくは第二端子194にかけられ、その第一バイアスは7Vより大きく、第三バイアスは3.2Vより大きい。同様に、BE-SONOS構造を有した縦型チャンネルメモリーは、バンド間ホットホール(BTBHH)法にしたがって削除される。すなわち、縦型チャンネルメモリー300または400は、第一バイアスと極性が反対の第二バイアスがゲート170aにかけられることで削除され、さらに、第一バイアスと極性が同じの第四バイアスが第一端子192と第二端子194にかけられ、その第二バイアスは0Vより小さく、第四バイアスは10.6Vより大きい。窒化物キャップがローカルに電荷を持つことができるため、上記の稼働方法では、異なるビットをソースまたはドレイン付近のONONO層360部分に蓄積することで、デュアルビットメモリーを実現することができる。本発明の本実施形態においては、BE-SONOS構造を有する縦型チャンネルメモリーは、チャンネル熱電子注入(CHEI)法に従ってプログラムされ、またBE-SONOS構造を有した縦型チャンネルメモリーは、バンド間ホットホール法に従って消去されるが、本発明はこれに限定されない。縦型チャンネルメモリーは、ホール注入法でプログラムすることも可能で、電子注入法で消去することも可能である。

【0057】

上記の実施形態において開示された縦型チャンネルメモリーとその製造方法および稼働方法においては、チャンネルの幅が10nmから60nmの範囲内にある縦型チャンネルトランジスタが、露光によって形成された素子のピッチを変えずに製造できるように、窒化物によって形成されたパターンの線幅をさらに縮めるのに熱リン酸を使用する。本発明は、プログラミングや読み込みの際に短チャンネル効果やDIBL効果を引き起こさずに駆動電流を効果的に増加させる。それによって形成されたフィンFETトランジスタはサイズが小さく、したがって、記憶密度が非常に高くなる。その結果、本発明の技術によれば、高価な露光装置を使用することなく、幅の狭いチャンネルを有するトランジスタ構造を製造することが可能になる。本発明に使用されている堅い表面には、窒化ケイ素が使われており、従来の耐光層よりもイオンの衝撃に耐えるため、本発明においては、耐光層を厚くすることなくエッチングすることができ、結果的に均一な半導体素子ができる。BE-SONOS構造を有する縦型チャンネルメモリーは、ローカルに電荷を蓄えることができ、さらにMLCメモリーを得るためにオペレーティングウィンドーの幅を広げることができる。稼働方法である+FNプログラミング法と-FN消去法は、稼働電流の低減、消費電力の低減、チャンネルの付近の最下層の酸化物層が損傷を避け、さらに製品の信頼性を向上するという利点がある。

【0058】

本発明は、例示と好ましい実施形態を使って説明されたが、本発明はこれに限定されるものではない。逆に、種々の変更、類似した組み合わせや手順も含むことを意図したものであり、従って、添付の請求項の範囲は、種々の変更、類似した組み合わせや手順も包含するように広義な解釈許容するものである。

【図面の簡単な説明】

【0059】

【図1A】図1Aは、本発明の第一実施形態に係る縦型チャンネルメモリーの平面図である。

10

20

30

40

50

- 【図 1 B】図 1 B は、図 1 A における断面線 A A ' に沿った断面図である。
- 【図 2 A】図 2 A は、本発明の第一実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 2 B】図 2 B は、本発明の第一実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 2 C】図 2 C は、本発明の第一実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 2 D】図 2 D は、本発明の第一実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 2 E】図 2 E は、本発明の第一実施形態に係る縦型チャンネルメモリの製造工程を表したものである。 10
- 【図 2 F】図 2 F は、本発明の第一実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 2 G】図 2 G は、本発明の第一実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 2 H】図 2 H は、本発明の第一実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 2 I】図 2 I は、本発明の第一実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 2 J】図 2 J は、本発明の第一実施形態に係る縦型チャンネルメモリの製造工程を表したものである。 20
- 【図 3】図 3 は、本発明の第一実施形態に係る製造工程をフローチャートで表したものである。
- 【図 4 A】図 4 A は、第二実施形態に係る縦型チャンネルメモリの平面図である。
- 【図 4 B】図 4 B は、図 4 A における断面線 B B ' に沿った断面図である。
- 【図 5 A】図 5 A は、本発明の第二実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 5 B】図 5 B は、本発明の第二実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 5 C】図 5 C は、本発明の第二実施形態に係る縦型チャンネルメモリの製造工程を表したものである。 30
- 【図 5 D】図 5 D は、本発明の第二実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 5 E】図 5 E は、本発明の第二実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 5 F】図 5 F は、本発明の第二実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 5 G】図 5 G は、本発明の第二実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 5 H】図 5 H は、本発明の第二実施形態に係る縦型チャンネルメモリの製造工程を表したものである。 40
- 【図 5 I】図 5 I は、本発明の第二実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 5 J】図 5 J は、本発明の第二実施形態に係る縦型チャンネルメモリの製造工程を表したものである。
- 【図 6】図 6 は、本発明の第二実施形態に係る縦型チャンネルメモリ製造工程をフローチャートで表したものである。
- 【図 7 A】図 7 A は、本発明の第三実施形態に係る第一縦型チャンネルメモリの断面図である。
- 【図 7 B】図 7 B は、本発明の第三実施形態に係る第二縦型チャンネルメモリの断面図で 50

ある。

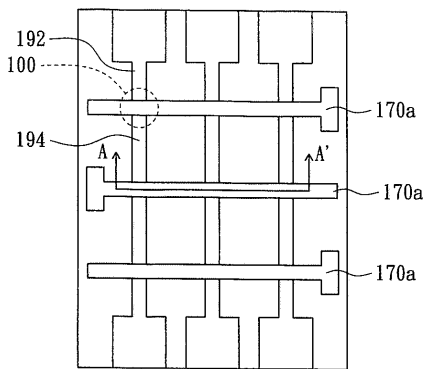
【図 8 A】図 8 A は、本発明の第三実施形態の縦型チャンネルメモリと従来の縦型チャンネルメモリにおける閾値電圧に対するプログラミングにかかる時間の相関曲線を比較したものである。

【図 8 B】図 8 B は、本発明の第三実施形態の縦型チャンネルメモリと従来の縦型チャンネルメモリにおける、閾値電圧に対する削除にかかる時間の相関曲線を比較したものである。

【図 9】図 9 は、BE - SONOS 縦型チャンネルメモリと従来の SONOS 縦型チャンネルメモリの閾値電圧に対する記憶保持時間の相関曲線を比較したものである。

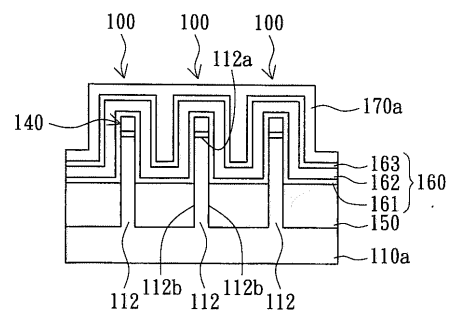
【図 1 A】

図 1A



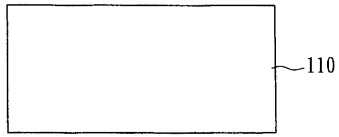
【図 1 B】

図 1B



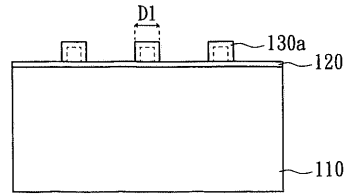
【図 2 A】

図 2A



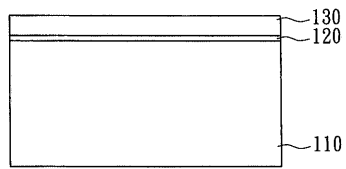
【図 2 C】

図 2C



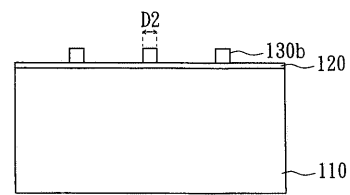
【図 2 B】

図 2B



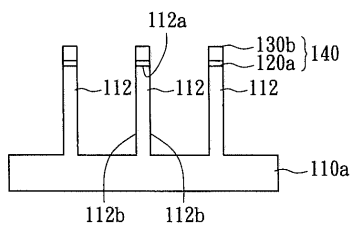
【図 2 D】

図 2D



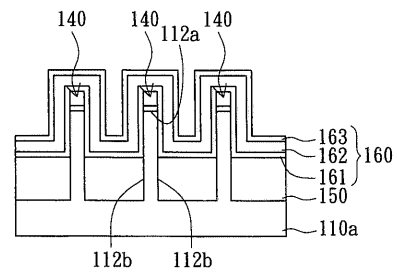
【図 2 E】

図 2E



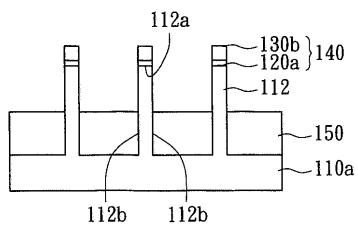
【図 2 G】

図 2G



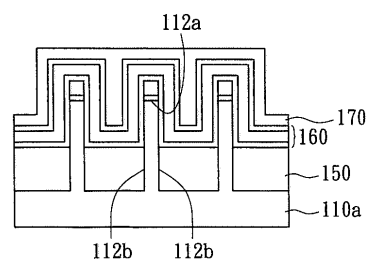
【図 2 F】

図 2F



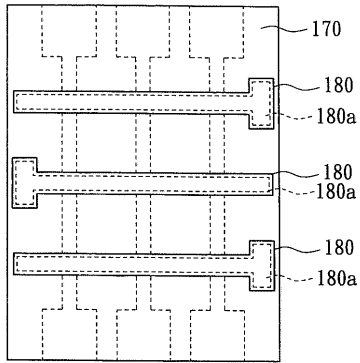
【図 2 H】

図 2H



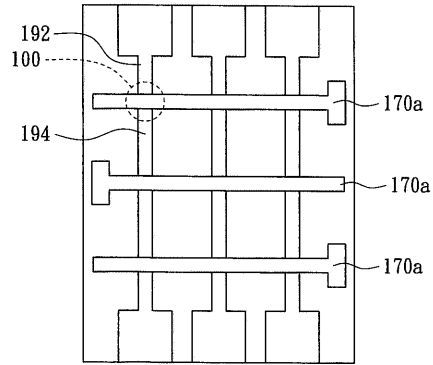
【図 2 I】

図 2I



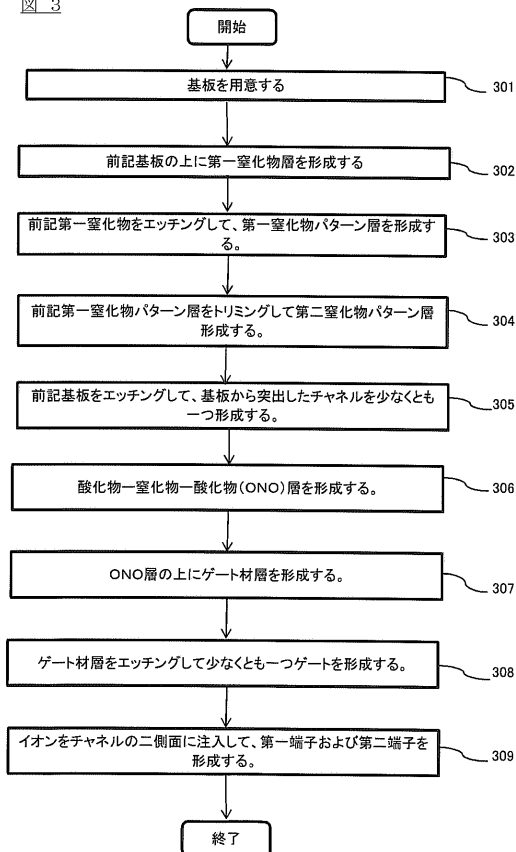
【図 2 J】

図 2J



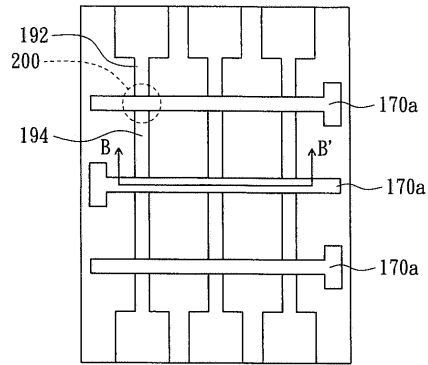
【図 3】

図 3



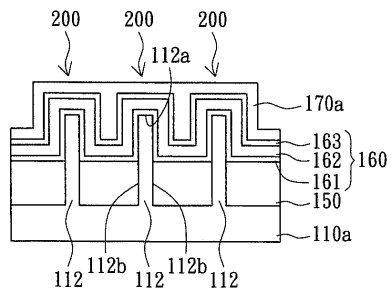
【図 4 A】

図 4A



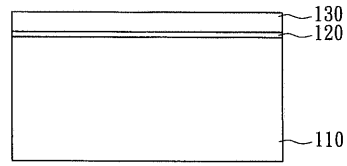
【 4 B 】

4B



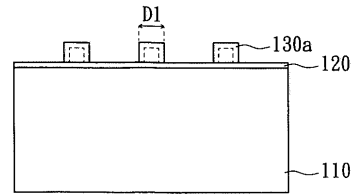
【 5 B 】

5B



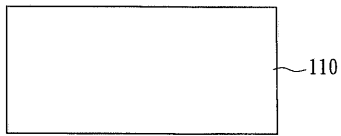
【 5 C 】

5C



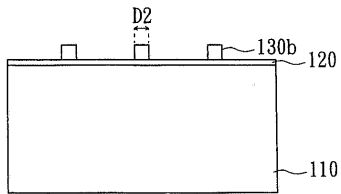
【 5 A 】

5A



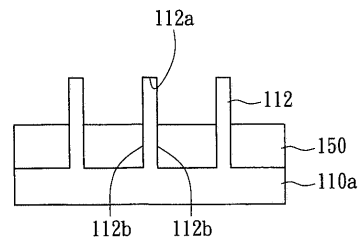
【 5 D 】

5D



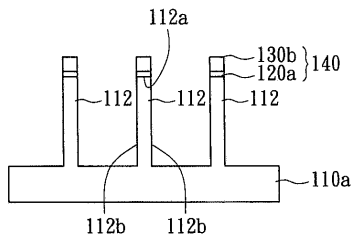
【 5 F 】

5F



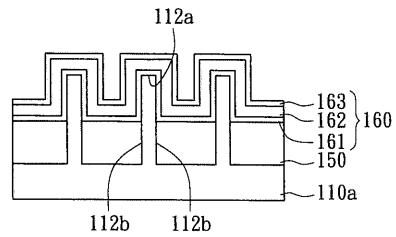
【 5 E 】

5E



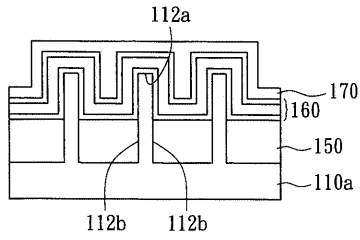
【 5 G 】

5G



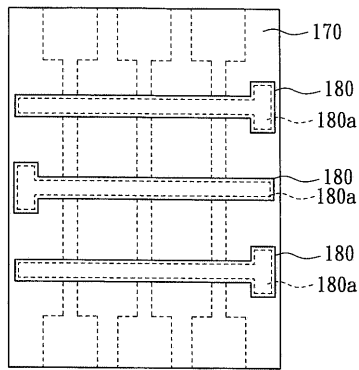
【図 5 H】

図 5H



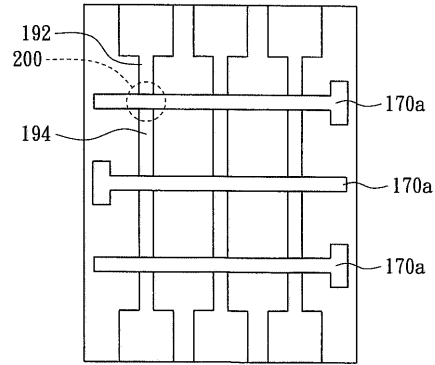
【図 5 I】

図 5I



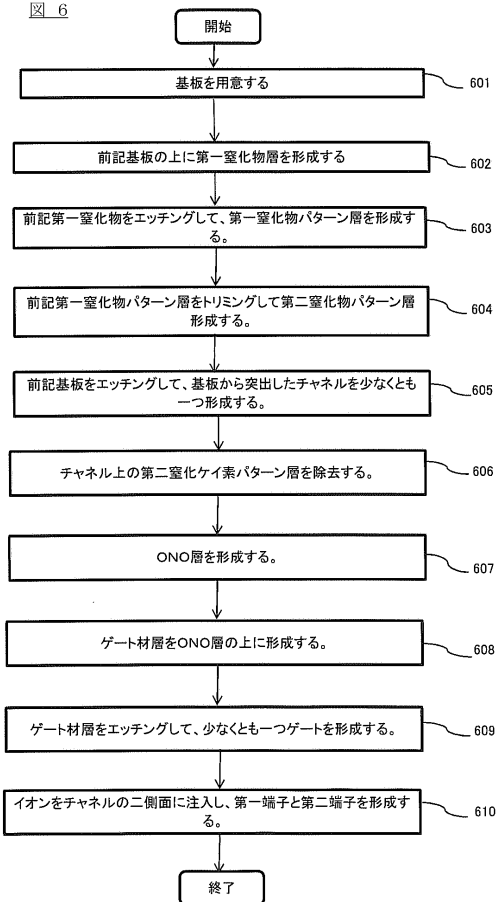
【図 5 J】

図 5J



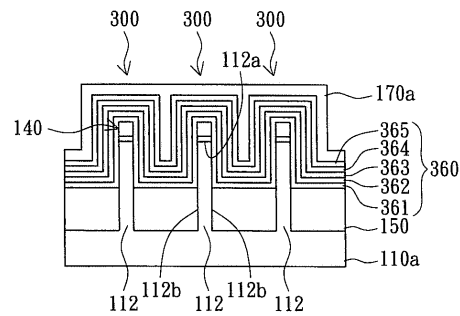
【図 6】

図 6



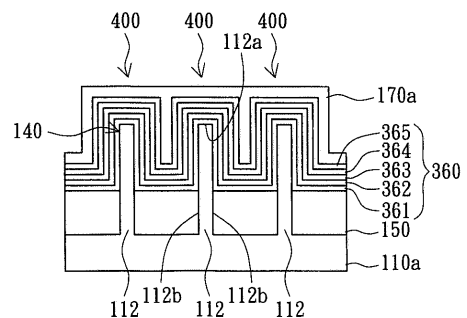
【図 7 A】

図 7A

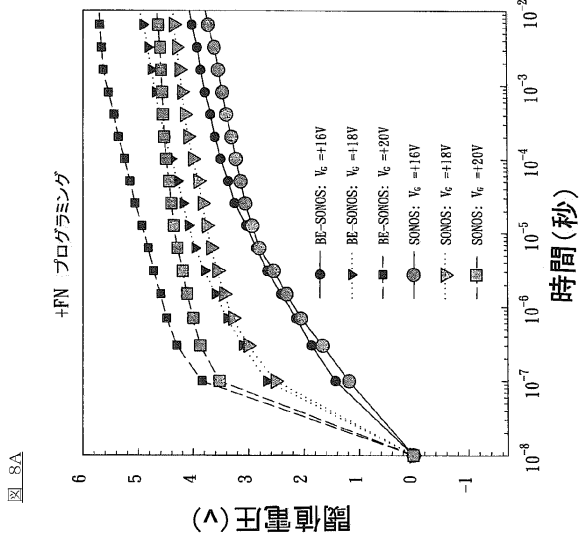


【図 7 B】

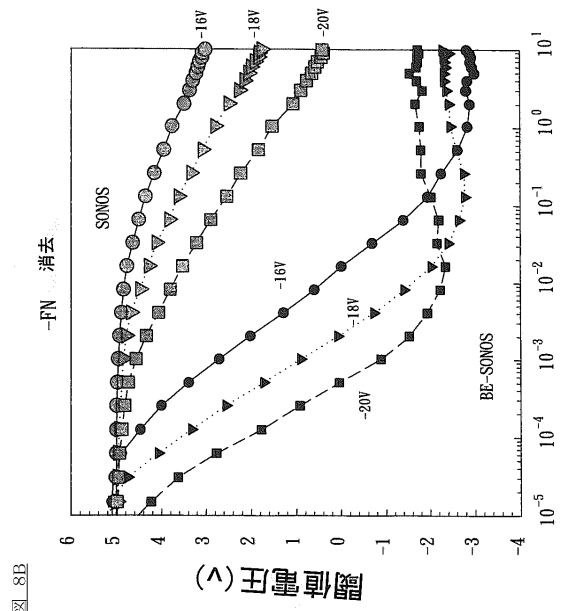
図 7B



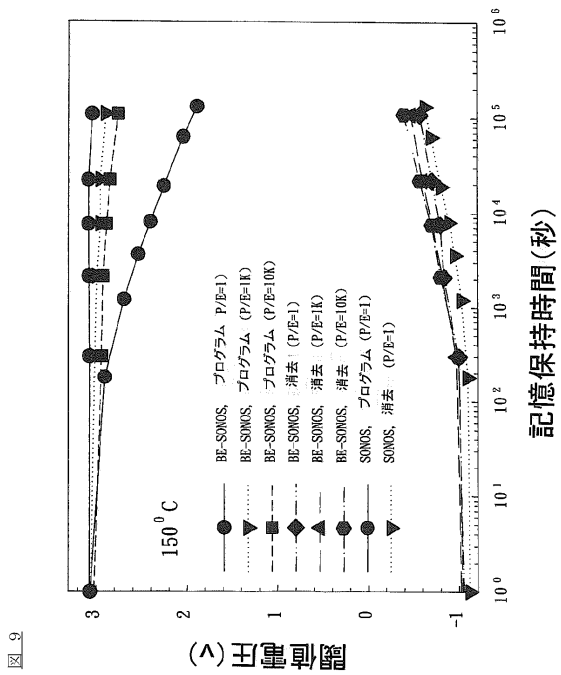
【 図 8 A 】



【 図 8 B 】



【 図 9 】



フロントページの続き

- (72)発明者 イェン - ハオ シン
台湾, タイペイ カントリー 220, バンチャオ シティ, ロングチュアン ストリート, レー
ン 108, ナンバー 16, 4エフ.
- (72)発明者 チア - ウェイ ウ
台湾, フシンチュ カントリー 302, ジュベイ シティ, ジュアンジン エス.ロード, ナ
ンバー 56, 4エフ.

合議体

審判長 鈴木 匡明
審判官 恩田 春香
審判官 加藤 浩一

- (56)参考文献 特開2006 - 80163 (JP, A)
特開2005 - 294565 (JP, A)
特開2006 - 66564 (JP, A)
特開2004 - 363329 (JP, A)
特開平9 - 219459 (JP, A)
特開2005 - 175480 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L21/366
H01L29/788
H01L29/792