

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
13. November 2008 (13.11.2008)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2008/135142 A2

(51) Internationale Patentklassifikation:

H05K 3/00 (2006.01) **G06K 19/077** (2006.01)
H01L 23/13 (2006.01) **H01L 25/065** (2006.01)
B23K 20/00 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2008/003025

(22) Internationales Anmeldedatum:
16. April 2008 (16.04.2008)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2007 020 475.4 27. April 2007 (27.04.2007) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **HÄUSERMANN GMBH** [AT/AT]; Zitternberg 100,
A-3571 Gars am Kamp (AT).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **JANESCH, Rudolf**
[AT/AT]; Wassergasse 679, A-3571 Gars am Kamp (AT).

STRUMMER, Erich [AT/AT]; Suttnergasse 477, A-3571
Gars am Kamp (AT). **HACKL, Johann** [AT/AT]; Villen-
gasse 158, A-3571 Gars am Kamp (AT).

(74) Anwalt: **RIEBLING, Peter**; Postfach 31 60, 88113 Lin-
dau/B (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY,
BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ,
LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK,
MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM,
SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING A CIRCUIT BOARD HAVING A CAVITY FOR THE INTEGRATION OF COMPO-
NENTS AND CIRCUIT BOARD AND APPLICATION

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINER LEITERPLATTE MIT EINER KAVITÄT FÜR DIE INTE-
GRATION VON BAUTEILEN UND LEITERPLATTE UND ANWENDUNG

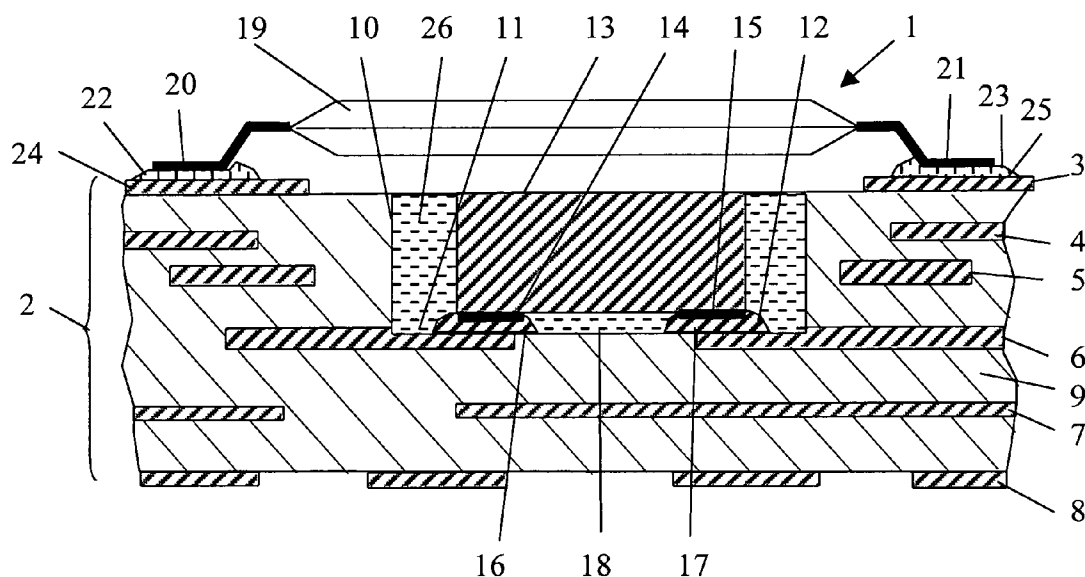


Fig. 1

(57) Abstract: The invention relates to a method for producing a circuit board having at least one inner layer and at least one cavity in at least one of the two surfaces for receiving at least one first electronic component, the cavity being covered toward the top at least partially by a second component soldered in place, and the first component being connected in the cavity to at least two electrical contacts having corresponding electrical contacts of an inner layer of the circuit board, said electrical contacts being produced by a non-thermal contacting method.

[Fortsetzung auf der nächsten Seite]



GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

(57) Zusammenfassung: Verfahren zur Herstellung einer Leiterplatte mit zumindest einer Innenlage und zumindest einer Kavität in zumindest einer der beiden Oberflächen für die Aufnahme von zumindest einem ersten elektronischen Bauteil, wobei die Kavität nach oben durch ein aufgelötetes zweites Bauteil mindestens teilweise abgedeckt ist und wobei das erste Bauteil in der Kavität mit zumindest zwei elektrischen Kontakten mit korrespondierenden elektrischen Kontakten einer Innenlage der Leiterplatte verbunden wird, wobei diese elektrischen Kontakte durch ein nicht-thermisches Kontaktierverfahren hergestellt werden.

**Verfahren zur Herstellung einer Leiterplatte mit einer Kavität für die
Integration von Bauteilen und Leiterplatte und Anwendung**

Gegenstand der Erfindung ist ein Verfahren zur Herstellung einer Leiterplatte, insbesondere eine Leiterplatte mit mehreren Lagen (Multilayer Printed Circuit Board - ML-PCB), wobei zumindest in eine der beiden Oberflächen eine Kavität mittels Stirnfräser oder Laser gefertigt wird und derart eine Kavität zur Aufnahme eines elektronischen Bauteils in Form eines ungehausten Integrierten Schaltkreises (ICs) oder eines auf Oberflächen montierbaren Bauteils (SMDs - Surface Mount Device) entsteht. Dabei werden zumindest zwei Kontaktelemente einer gewünschten inneren elektrisch leitenden Lage freigelegt und es wird das zumindest eine Bauteil mit den freigelegten Kontaktelementen elektrisch verbunden. Die Montage des Bauteils in der Kavität erfolgt dabei mittels Ultraschall und/oder mit elektrisch leitfähigem Kleber. Durch die Integration von Bauteilen in Kavitäten in Oberflächen von Leiterplatten wird die mögliche Bestückungsfläche auf Leiterplatten erhöht und können derart kostengünstig höher integrierte elektronische Bauteilgruppen hergestellt werden.

In der **EP00842491B1** wird ein Datenträger wie eine sogenannte Dual-Interface RFID Chipkarte beschrieben. Dabei wird ein laminiertes Datenträgerkörper mit einer innenliegenden integrierten Spule aus Silberleitpaste hergestellt und dann wird mittels Stirnfräser eine Kavität gefräst und es werden die zwei Anschlußkontakte zu den Spulenenden hergestellt und danach wird ein Chipmodul eingesetzt. Dabei werden elektrisch leitfähigen Dispenserpunkte auf die Kontaktstellen der Spulenenden angeordnet und anschließend wird das Chipmodul mittels heißschmelzklebefähigen Elementen in die Kavität eingesetzt.

In dieser EP00842491B1 wird das Grundprinzip des Kavitätenfräsens und Einsetzens eines elektronischen Bauteils inklusive der innenliegenden elektrischen Kontaktierung mittels elektrisch leitfähigem Kleber zu einer integrierten Spulenordnung beschrieben und es wird auch das Bauteil weitgehend plan mit der Datenträgeroberfläche angeordnet. Es handelt sich

hierbei jedoch nicht um eine Leiterplatte für die Aufnahme von weiteren Bauteilen, die auf der Oberfläche einer Leiterplatte angeordnet werden.

In der **WO04062842A1** wird eine Kontaktiermethode (Bonding) eines elektronischen Bauteils, insbesondere eines ungehausten ICs auf ein Substrat mittels Ultraschall genannt. Dabei wird die Temperatur in der Umgebung der Kontaktpartner nicht erhöht. Die Kontaktoberfläche derartiger Bauteile kann dabei aus Nickel oder Nickel-Gold bestehen und die Kontaktstellen auf dem Substrat enthalten ein Metall oder eine Metalllegierung aus der Gruppe Nickel, Aluminium, Kupfer, Gold, Aluminium-Silizium, Aluminium-Kupfer, Aluminium-Silizium-Kupfer und Silber-Blei.

In dieser WO04062842A1 wird das Grundprinzip der Herstellung einer nahezu kalten Kontaktierung mittels Ultraschall und derart der Herstellung intermetallischer Kontakte beschrieben. Ein derartiges Verfahren kann sehr gut bei ICs und SMD-Bauteilen angewendet werden, die Kontaktstellen aufweisen, die geringfügig über die Passivierungsoberfläche hinaus stehen. Es wird jedoch keineswegs ein Verfahren beschrieben, mit dem ein Bauteil in eine Kavität derart integriert wird, dass die Oberflächen weitgehend plan zustande kommen und derart darüber weitere Bauteile im Sinne eines Bestückungsvorganges nach dem Stand der Technik angeordnet werden können.

In der **US05963429** beziehungsweise **WO09909596A1** wird eine Leiterplatte beschrieben, auf deren Oberfläche eine erste elektronische Komponente in einem Teilbereich dieser Oberfläche montiert wird, die eine Kavität aufweist, in die eine zweite elektronische Komponente montiert ist und wobei die erste elektronische Komponente zumindest in einem Teilbereich über der zweiten elektronischen Komponente montiert ist. Als elektronische Komponenten werden integrierte Schaltkreise (ICs) genannt und als Kontaktiermethoden wird das Drahtbonden als auch das Flip-Chip beziehungsweise das Flip-Tab montieren mittels leitfähigen Tabs genannt.

In dieser US05963429 beziehungsweise WO09909596A1 werden ungehauste ICs mittels IC-Kontaktierungsmethoden in Kavitäten montiert und darüber weitere ICs angeordnet. Eine derartige Leiterplatten-Bestückungstechnologie ist für eine extrem hohe Verpackungsdichte sinnvoll und effizient. Die Bestückungsanlagen müssen allerdings auf die Manipulation von ungehausten ICs ausgelegt sein und müssen bezüglich der Positionsgenauigkeit die kleinen Abstände von Kontaktstellen auf ICs beherrschen. Gegurtete SMD Bauteile erlauben wesentlich größere Toleranzen bei der Bestückung und eine Reparatur beziehungsweise ein Austausch eines fehlerhaften Bauteils ist bei SMD Bauteilen möglich, hingegen bei ungehausten ICs nahezu unmöglich beziehungsweise wirtschaftlich nicht zielführend.

Bei der genannten Druckschrift besteht allerdings der Nachteil, dass sowohl das innere Bauteil (ungehaustes IC) als auch das äußere Bauteil jeweils durch ein Lötverfahren auf der Leiterplatte festgelegt werden.

Das zweimalige Anwenden eines Lötvorganges beeinträchtigt jedoch die Qualität der Lötstellen in entscheidendem Maße.

Würde also zunächst das innere Bauteil in der Kavität durch einen Lötvorgang festgelegt, muss erst ein abdeckendes Harzmittel oder dergleichen in die Kavität eingebracht werden, um das über den Lötvorgang festgelegte Bauteil in der Kavität gegen die Wärmeeinwirkung eines erneuten Lötvorganges zu schützen, der beim Festlegen des über der Kavität angeordneten zweiten Bauteils benötigt wird.

Es ist nie auszuschließen, dass beim Lötvorgang des zweiten Bauteiles, welches auf der Kavität festgelegt wird, auch die Wärme so stark durch das abdeckende Harz hindurchkommt, dass auch die Lötverbindung des in der Kavität ruhenden Ics beeinträchtigt wird.

Ein solches Problem kann nur durch sehr teure und aufwendig einzubringende thermisch ableitende Abdeckharze verhindert werden, was die Herstellungskosten einer solchen Anordnung sehr stark erhöht.

- 5 In der **US05801438** wird ein Montageverfahren für ein Halbleiterbauelement und ein Multi-Chip-Modul genannt. Dabei wird ein ungehauster IC in einer Kavität eines Substrates mittels Drahtbondtechnik montiert beziehungsweise elektrisch kontaktiert und darüber wird ein SMD Bauteil angeordnet und derart wird ein Multi-Chip-Modul hergestellt. In dieser US05801438 werden also keine SMD Bauteile in
10 Leiterplattenkavitäten angeordnet, sondern ungehauste ICs in Kavitäten mittels Drahtbondtechnik integriert.

- Aufgabe** der vorliegenden Erfindung ist die kostengünstige Herstellung von elektronischen Bauteilen in Form einer bestückten Leiterplatte mit der Möglichkeit
15 der Bestückung von möglichst vielen Bauelementen auf einer möglichst kleinen Abmessung der Leiterplatte.

- Wesentliches Merkmal der Erfindung ist die Paarung eines thermisch nicht belasteten Kontaktierverfahrens für das in der Kavität angeordnete SMD in
20 Verbindung mit einem thermisch belasteten Lötvorgang für die Festlegung des auf der Kavität ruhenden Bauteils.

- Damit wird der wesentliche Fortschritt erzielt, dass die nachträgliche Wärmeeinwirkung beim Anlöten des auf der Kavität liegenden zweiten Bauteils
25 nicht die Kontaktstelle für das in der Kavität angeordnete SMD-Bauteil beeinträchtigt, weil dieses durch ein nichtthermisches Lötverfahren festgelegt ist. Solche nichtthermischen Lötverfahren sind bevorzugt entweder ein Ultraschallschweißen (Reibschweißen) oder auch ein kontaktierendes Kleben.

- 30 Damit wird erstmals der Vorteil erreicht, dass beim Auflöten des oberen Bauteils, welches auf der Kavität liegt, die in die Kavität eindringende Wärme nicht mehr die dort angeordnete Kontaktierung in nachteiliger Weise beeinflussen kann.

Es kann deshalb auch auf aufwendige Abdeckmaßnahmen für entsprechende Gießharz verzichtet werden, denn es reicht ein einfaches, kostengünstiges Gießharz, weil die Kavität nach der technischen Lehre der Erfindung nur noch als
5 mechanischer Schutz für das SMD-Bauteil dient, jedoch keinerlei thermische Ableitwirkungen mehr entfalten muss.

Damit werden wesentliche Kosten eingespart.

- 10 Die Erfindung bezieht sich demnach auf ein Verfahren zur Herstellung einer Leiterplatte, insbesondere eines Multilayer Printed Circuit Board's, abkürzend mit ML-PCB bezeichnet, wobei zumindest in eine der beiden Oberflächen eine Kavität hergestellt wird und zumindest ein elektronischer Bauteil in Form eines auf Oberflächen montierbaren Bauteils (SMDs - Surface Mount Device) eingesetzt
15 wird. Dabei werden zumindest zwei Kontaktelemente einer gewünschten inneren elektrisch leitenden Lage freigelegt und wird das zumindest eine Bauteil mit den freigelegten Kontaktelementen elektrisch verbunden. Die elektrische Verbindung erfolgt dabei mittels Ultraschall und/oder mittels elektrisch leitfähiger Kleber. Das Bauteil wird bevorzugt vollständig in der Kavität angeordnet, sodass kein
20 Überstand des Bauteils gegeben ist. Derart wird die bestückbare Oberfläche einer Leiterplatte erhöht. Das zumindest eine integrierte Bauteil wird bevorzugt in einem ersten Bestückungsvorgang integriert, kann jedoch ebenso gemeinsam mit dem konventionellen Oberflächenbestückungsvorgang bestückt werden.
- 25 In einer bevorzugten Ausführung wird das Bauteil derart in der Kavität angeordnet, dass kein Überstand, also keine Erhöhung der Oberfläche der Leiterplatte, gegeben ist. Derart können in einem weiteren Bestückungsvorgang der Leiterplatte weitere Bauteile auf der Oberfläche und insbesondere auch über das bereits in der Kavität angeordnete Bauteil angeordnet werden und wird dadurch
30 mehr Bestückungsfläche für eine konventionelle Oberflächenbestückung gewonnen und gleichzeitig werden die Verdrahtungslängen reduziert, was für die Erhöhung der Taktfrequenzen positive Auswirkungen mit sich bringt.

- In modernen Bohr-Anlagen beziehungsweise Bohr-Frä-Anlagen oder Laseranlagen kann die z-Achse, also die Tiefe der Kavität auf wenige μm genau vorgewählt werden und kann derart auch eine 9 μm bis 18 μm bis 36 μm dicke
- 5 Innenlagen aus Kupfer sehr sicher freigelegt werden. In einer weiteren Ausführung der vorliegenden Entwicklung kann die Kavität zur Aufnahme des Bauteils hergestellt werden und können in einem weiteren Prozess die einzelnen elektrischen Anschlüsse freigelegt werden.
- 10 Die Prozesse zur Herstellung der zumindest einen Kavität und der diversen elektrischen Anschlußelemente auf der zumindest einen Oberfläche der Leiterplatte werden bevorzugt im Mehrfachnutzen durchgeführt. Im Anschluss an diese Bearbeitung können die freigelegten Kupferoberflächen der elektrischen Anschlußelemente für eine optimale Kontaktierung des einzusetzenden Bauteil
- 15 beschichtet werden. Dies kann in der einfachsten Art mittels einer OSP (Organic Surface Protection) -Beschichtung erfolgen oder chemisch beziehungsweise galvanisch in der Form von Nickel-Gold oder chemisch Zinn oder chemisch Silber und dergleichen metallischer und/oder organisch leitfähiger polymerer Beschichtungen.
- 20 In modernen Mehrfachlagen (Multilayer - ML) - Leiterplattentechnologien werden Bauteile in das Innere einer Leiterplatte integriert. Diese Technologie wird mit "embedded resistor" und "embedded capacitor" und "embedded IC" und "embedded varistor" und "embedded diode" bezeichnet. Dabei erfolgt das
- 25 "embedding", also die Integration beziehungsweise "Einbettung" derartiger Komponenten im sogenannten Mehrfachnutzen auf Innenlagen eines Multilayer Leiterplattenherstellprozesses nach dem Stand der Technik. Dabei werden konventionelle kleine SMD-Bauteile verwendet als auch spezielle Filmmaterialien beziehungsweise Drucktechniken.
- 30 Die integrierten Bauteile müssen dabei üblicherweise auf Innenlagen montiert beziehungsweise kontaktiert werden und müssen dann den üblichen Heiz-Kühl-

Transferpressen Laminiervorgang bestehen. Dabei werden Temperaturen von typisch 175°C - 60 Minuten bei üblichen FR-4 Prepregs bis über 200°C und bis über 280°C bei speziellen Laminaten erreicht und zusätzlich werden Flächenpressungen von typisch 14 bis 28 kg/cm² bis über 55 kg/cm² erreicht.

- 5 Neben der Beständigkeit der Bauteile bei diese hohen Temperaturen und Flächenpressungen über relative lange Laminationszeiten müssen auch die elektrischen Kontakte bei diesen Parametern die volle Funktion beibehalten und muss der Harzfluß derartige Komponenten möglichst ohne Einschlüssen von Luft einbetten.

- 10 Eine weitere Variante der Integration von Bauteilen in eine Leiterplatte stellt die Integration von MELF (Metal Electrode Faces) SMD-Bauteilen in Durchsteigelöchern dar. MELF Bauteile werden speziell in der Form eines Widerstandes, einer Dioden, eines Thermistors (PTC, NTC) und dergleichen zylinderförmigen-Bauelement mit zwei Anschlußkontakten an den Stirnflächen mit
- 15 einem Durchmesser von 1,1 mm bei sogenannten MicroMelf Bauteilen hergestellt. Die MELF Bauform 0201 stellt die vermutlich kleinste Bauformserie mit 0,60 mm Länge und 0,30 mm Durchmesser dar. Die Integration derartiger zylindrischer Bauelemente in Durchsteigelöchern ist heute nur mehr in speziellen Anwendungen gegeben.

20

- In der vorliegenden Erfindung werden Kavitäten im Mehrfachnutzen einer Leiterplatte hergestellt. Bevorzugt werden dabei Stirnfräser in einer Bohrmaschine beziehungsweise einer Bohr-Fräsmaschine mit einer ausreichend guten z-Achsen Steuerung verwendet. Da üblicherweise relative kleine Bauteile verwendet
- 25 werden, ist ein runder Stirnfräser meist ausreichend und herstellmäßig sehr effizient. Grundsätzlich können auch ablativ arbeitende Laser verwendet werden, allerdings ist die Verwendung eines derartigen Lasers relativ zeitintensiv und dadurch kostenintensiv.

- 30 Die Tiefe der Kavität wird so eingestellt, dass die gewünschte Innenlage freigelegt wird und derart die zumindest zwei Anschlußflächen für das Bauteil freigelegt

werden und die Tiefe der Kavität so gewählt wird, dass das Bauteil voll in der Leiterplatte angeordnet wird und derart kein Überstand gegeben ist.

Neben der Art der Herstellung der Kavität mittels Stirnfräser in einem einzigen Vorgang in Form einer runden Kavität kann auch eine rechteckförmige Kavität
5 gefräst werden.

Weiters können bereits bei diesem ersten Fräsvorgang die elektrischen Kontakte auf der Innenlage freigelegt werden. Es kann jedoch auch mit dem ersten Fräsvorgang nur die Kavität hergestellt werden und in einem zweiten Fräsvorgang
10 oder Laserablationsvorgang können dann die Kontakte auf der Innenlage freigelegt werden und es können auch in einem zweiten Fräs- oder Laservorgang die elektrischen Kontaktflächen der Innenlage am Grund der Kavität erhaben gestaltet werden, also das Isolationsmaterial neben den Kontaktflächen abgetragen werden.

15

Die freigelegten Kontakte auf der Innenlage können dann noch immer im Mehrfachnutzen mittels OSP (Organic Surface Protection) oder mittels Nickel-Gold oder mittels Chemisch-Zinn oder mittels Chemisch-Silber oder mittels weiteren Schutzschichten der Kupferoberfläche der freigelegten Kontakte der Innenlage
20 beschichtet werden. Dabei kann auch die Kupferoberfläche der Kontakte der Innenlage etwas erhaben gestaltet werden.

Zusätzlich besteht die Möglichkeit, dass in die Leiterplatte thermisch gut ableitende Elemente integriert werden und diese Elemente können dann ebenfalls
25 mit einem Stirnfräser beziehungsweise Laserprozess elementweise freigelegt werden und kann dann auf diese freigelegte thermisch gut leitende beziehungsweise ableitende Fläche das Bauteil thermisch gut leitend montiert werden. Insbesondere können derartige thermisch gut leitende und im Inneren einer Leiterplatte angeordneten Elemente mittels Drahtlegetechnik und zumindest
30 flächenweiser Ultraschallschweißung auf Innenlagenleiterbahnstrukturen angeordnet werden. Die thermisch gut leitende Montage kann mittels entsprechender Wärmeleitpasten beziehungsweise thermisch gut leitender Kleber

beziehungsweise Pasten durchgeführt werden, als auch mit entsprechenden thermisch gut leitenden Folien.

Der Mehrfachnutzen wird nun in einzelne Bestückungsnutzen getrennt und
5 durchläuft den weiteren Leiterplattenherstellprozess nach dem Stand der Technik, also einer elektrischen Kontrolle beziehungsweise entsprechenden Qualitätskontrolle.

Der Bestückungsnutzen wird dann beim Bestücken zunächst mit den Bauteilen
10 versehen werden, die in die Kavitäten montiert werden sollen. Anschließend werden die üblichen SMD Bauteile 'lead' oder 'leadless', also mit Anschlußbeinchen die nach innen (J-Lead) oder außen gebogen sind beziehungsweise in der Form von Mövenflügeln (Gull-wings) geformt sind beziehungsweise ohne Beinchen (leadless) beziehungsweise in Form von BGAs
15 (Ball-Grid-Arrays) oder SGAs (Solder-Grid-Arrays) montiert. Bauteile mit radialen Anschlußbeinchen, wie Steckerleisten oder große beziehungsweise schwere Bauteile werden meist in ein sogenannten Mischbestückung montiert.

Grundsätzlich können auch die ersten Bauteile, die in einer Kavität angeordnet
20 werden und die zweiten Bauteile, die auf der Oberfläche der Leiterplatte angeordnet werden, in einem Arbeitsgang montiert werden. Da jedoch die ersten montierten Bauteile in einer Kavität bevorzugt noch mit einer Füllmasse (Glob Top) ausgefüllt werden und da der Montagevorgang der ersten Bauteile in der Kavität mittels Ultraschall oder Klebetechnik meist unterschiedlich ist zu dem
25 Bestückungsvorgang der zweiten Bauteile auf der Oberfläche der Leiterplatte, ist ein zweifacher Bestückungsvorgang in den meisten Fällen der effizientere Bestückungsvorgang.

Der Bestückungsvorgang der ersten Bauteile in der Kavität mittels Ultraschall
30 und/oder mittels elektrisch leitfähigem Kleber ist grundsätzlich sehr ähnlich.

Bei Verwendung von Ultraschallenergie müssen die Kontaktpartner geringfügig, also um wenige Mikrometer, höher sein, als die umgebende Isolation. Meist ist die

Verwendung eines Klebers im Sinne eines sogenannten "Underfillers", also ein sehr dünnflüssiger Klebstoff, von Vorteil. Damit werden kleinste Luftlöcher beziehungsweise Hohlräume ausgefüllt und die Stabilität und Langzeiteigenschaften verbessert. Die Kontaktpartner beim
5 Ultraschallkontaktieren können vielfältig sein. Nahezu alle bekannten metallischen Oberflächen von Bauteilkontakten und Leiterplattenoberflächen sind dabei geeignet. Da der Kontaktiervorgang weitgehend kalt erfolgt, entstehen auch kaum Thermospannungen. Durch den kurzen Ultraschallmontagevorgang werden nur die korrespondierenden Kontaktflächen auf jene Temperatur erhöht, die eine
10 intermetallische Verbindung ermöglichen. Da dieser flächenartige intermetallische Bereich jedoch nur im Mikrometer Bereich liegt, werden die Bauteile und die Innenlagen kaum erwärmt. Die Sonotrode, mit der das Bauteil gehalten und mit der die Ultraschallenergie eingebracht wird, weist ebenfalls keine erhöhte Temperatur auf.

15

Bei Verwendung von elektrisch leitfähigen Klebern werden aufgrund der Verwendung von SMD-Bauteilen bevorzugt isotrop leitfähige Kleber verwendet. Bei hochdichten Flip-Chip Montagen kann die Verwendung von anisotrop elektrisch leitfähigen Klebern ein Vorteil sein. Die leitfähigen Kleber werden
20 bevorzugt mittels Dispenserapplikation auf die elektrischen Kontakte in der Kavität angeordnet. Dabei können ein- oder zweikomponentige Kleber und Kleber mit UV- und/oder IR und/oder thermischer und/oder Mikrowellen- Härtung verwendet werden.

25 Es kann auch eine Kombination von mittels Ultraschall und mittels elektrisch leitfähigem Kleber montierten Bauteilen gewählt werden. Üblicherweise werden im Anschluß an die Montage und bevorzugt der Kontrolle der Funktion die Kavität mit dem montierten Bauteil mit einem Harz (Glob Top) ausgefüllt und gehärtet. Diese Einebnung ist für den weiteren Bestückungsvorgang der zweiten Bauteile auf der
30 Oberfläche der Leiterplatte sinnvoll und notwendig, da in nicht ausgefüllte Bereiche der Kavität Flußmittel und gegebenenfalls Lot geraten kann und derart die Funktion der gesamten bestückten Leiterplatte gefährden kann

beziehungsweise negative Auswirkungen auf die Langzeitstabilität und Funktion ausüben kann.

Alle in den Unterlagen, einschließlich der Zusammenfassung offenbarten Angaben
5 und Merkmale, insbesondere die in den Zeichnungen dargestellte Ausbildung,
werden als erfindungswesentlich beansprucht, soweit sie einzeln oder in
Kombination gegenüber dem Stand der Technik neu sind.

Die Erfindung wird nun anhand mehrerer Ausführungsbeispiele näher
10 beschrieben. Hierbei gehen aus den Zeichnungen und ihrer Beschreibung weitere
Vorteile und Merkmale hervor.

Dabei zeigt:

15 Figur 1: einen schematischen Schnitt durch eine ML-Leiterplatte mit einer
Kavität mit eingesetztem SMD-Bauteil und darüber angeordnetem SMD-Bauteil,

Figur 2: einen schematischen Schnitt durch eine ML-Leiterplatte mit einer
Kavität mit eingesetztem SMD-Bauteil und darüber angeordnetem leadless-SMD-
20 Bauteil,

Figur 3: eine schematische Draufsicht auf eine ML-Leiterplatte mit einer
runden Kavität mit eingesetztem SMD-Bauteil mit einer diagonal angeordneten
Kontaktierung,

25 Figur 4: eine schematische Draufsicht auf eine ML-Leiterplatte mit einer
runden Kavität mit eingesetztem SMD-Bauteil mit einer seitlich über die Kanten
angeordneten Kontaktierung,

30 Figur 5: eine schematische Draufsicht auf eine ML-Leiterplatte mit einer
runden Kavität mit eingesetztem SMD-Bauteil mit Mehrfachkontaktierungen an
allen vier Kanten.

In **Figur 1** ist ein schematischer Schnitt durch eine Leiterplatte (1) bestehend aus einer ML-Leiterplatte (2) mit einer Kavität (10) mit eingesetztem SMD-Bauteil (13) und darüber angeordnetem SMD-Bauteil (19) dargestellt.

5 Die Leiterplatte (2) weist in dieser Ausführungsvariante eine oben und unten liegende Leiterbahnstruktur (3, 8) auf und vier Innenlagenleiterbahnstrukturen (4, 5, 6, 7). Die Harzmatrix (9) wird durch die diversen Harzschichten der einzelnen Innenlagen gebildet und besteht beispielhaft bei Verwendung von FR-4 Material aus einem Glasfasergewebe-Epoxidharz-
10 System oder bei Verwendung von FR-2 Material aus einem Phenolharzhartpapier-System und kann grundsätzlich aus allen nach dem Stand der Technik in der Leiterplattenindustrie bekannten Systemen bis zu CEM-1 bis 3 oder Aramid oder Polyimid Folien Systemen nach dem Stand der Technik gebildet werden. Darüber hinaus kann zusätzlich zu einer der Innenlagen (4, 5, 6, 7) mittels Ultraschall-
15 Drahtlegetechnik noch ein thermisch und elektrisch gut leitendes Element, bevorzugt aus Kupferdraht beziehungsweise Kupferflachband integriert werden und kann damit eine Erhöhung der Wärmeableitung beziehungsweise kann damit eine höhere Stromleitung erzielt werden.

20 Leiterplattenbohrmaschinen beziehungsweise Fräsmaschinen können mittels spezieller Stirnfräswerkzeugen und einer exakten Tiefenkontrolle (z-Achsenkontrolle) sehr präzise Kavitäten (10) herstellen. Dabei ist eine z-Achsen Tiefenkontrolle auf einige μm möglich, wobei übliche Kupferdicken im Bereich größer 9 μm und typisch bei 35 μm liegen und derart die Freilegung von
25 Kontaktflächen (11, 12) sehr sicher erfolgen kann. Das Fräswerkzeug kann dabei in einem Arbeitsvorgang eine runde Kavität (10) mit dem Durchmesser des Stirnfräsers bewirken. Bei Verwendung eines kleineren Durchmessers kann mittels Konturfräsen nahezu jede beliebig geformte Kavität (10) fräsen, wobei die Kanten üblicherweise mit dem Radius des Fräswerkzeuges ausgebildet werden.

30

Grundsätzlich kann die Kavität (10) auch mit geeigneter Laserbestrahlung und Ablation hergestellt werden, wobei unter Umständen am Ende des

Kavitätenherstellprozesses noch ein Kupferätzvorgang beziehungsweise ein Kupfermikroätzvorgang durchgeführt wird und derart die Kupferoberflächen (11, 12) von Restmaterialien beziehungsweise ablatierten Materialresten befreit wird.

- 5 Die Herstellung der Kavität (10) und der flächigen Kontakte (11, 12) kann in einem Arbeitsvorgang erfolgen oder in zwei Arbeitsvorgängen, wobei im zweiten Fall die Kavität (10) in der gewünschten Tiefe hergestellt wird und dann die Kontaktflächen (11, 12) freigelegt werden. Dabei können die Kontaktflächen (11, 12) rund mit einem Stirnfräser mit geeignetem Durchmesser ausgeführt werden
10 oder es kann die gewünschte Fläche freigeätzt beziehungsweise gelasert werden.

- Im Anschluß an die Herstellung der zumindest einen Kavität (10) und der zumindest zwei Kontaktflächen (11, 12) kann die Leiterplatte (2) im
15 Mehrfachnutzen noch einem Kupferflächen Behandlungsprozess unterzogen werden. Dabei können die Kupferkontaktflächen (11, 12) gegen Oxidation geschützt werden beziehungsweise kann eine Beschichtung ausgeführt werden, die beim Kontaktieren eines Bauteils (13) hilfreich ist. Die Kupferbehandlung beziehungsweise -beschichtung erfolgt derart nach dem Stand der Technik mittels
20 OSP (Organic Surface Protection) oder mittels lötbarem bleifreiem Zinn oder mittels chemisch Zinn oder Nickel oder Silber oder Gold beziehungsweise mit Schichtkombinationen, wie Ni-Au und dergleichen passivierenden Oberflächen.

- Die Leiterplatte im Herstell-Mehrfachnutzen wird anschließend in den
25 Bestückungsnutzen geteilt. Die Bestückungsnutzen können aus einer einzelnen Leiterplatte gebildet werden oder es können mehrere zusammengefasst verwendet werden. Speziell bei kleinen geometrischen Abmessungen einer Leiterplatte werden die Bestückungsnutzen aus mehreren Leiterplatten gebildet. In dieser ersten aufgezeigten Ausführungsform wird ein Bauteil (13) mit seinen
30 Kontaktelementen (14, 15) mittels elektrisch leitfähigem Kleber (16, 17) mit den Kontaktflächen (11, 12) verbunden. Dabei wird üblicherweise mittels Dispenser der leitfähige Kleber (16, 17) beziehungsweise die elektrisch leitfähige Paste auf

die Kontaktflächen (11, 12) appliziert und anschließend wird das Bauteil (13) eingesetzt. Der elektrisch leitfähige Kleber (16, 17) wird anschließend nach dem Stand der Technik chemisch (2-komponentige Kleber bzw. Pasten) und/oder thermisch und/oder strahlentechnisch und/oder mit Mikrowellenenergie unter einer gewissen Druckaufbringung gehärtet. Oftmals wird zusätzlich ein sogenannter Unterfiller (18) verwendet. Damit soll die mechanische Haftung des Bauteils (13) in der Kavität (10) verbessert werden und es sollen üblicherweise Luft einschüsse vermieden werden, da diese ungünstige Lebensdauerlangzeiteffekte mit sich bringen können. Zusätzlich kann noch ein kompletter Verguß (26) ausgeführt werden, wobei der Verguß (26) und der Unterfüllvorgang (18) auch in einem Prozess und mit ein und demselben Material erfolgen kann. Durch die Ausfüllung (16) der Kavität kann bei einem späteren Lötvorgang weder Flußmittel noch Zinn in einzelne Bereiche der Kavität gelangen.

Die Oberfläche der Leiterplatte (2) im Bereich des Bauteils (13) und der Vergußmasse (26) kann zusätzlich noch mit einer Art Lötstopplack versehen werden.

Die Leiterplatte (2) mit dem integrierten Bauteil (13) kann nunmehr einem konventionellen Bestückungsprozess unterzogen werden. Dabei kann ein Bauteil (19) über dem Bauteil (13) angeordnet werden und können die Bauteilkontaktelemente (20, 21) mit Lötkontakten (22, 23) auf den Kontaktelementen (24, 25) kontaktiert werden und wird derart Leiterplattenoberfläche für die Oberflächenbestückung gewonnen werden.

In **Figur 2** wird ein schematischer Schnitt durch eine ML-Leiterplatte (2) mit einer Kavität (10) mit eingesetztem SMD-Bauteil (13) und darüber angeordnetem leadless-SMD-Bauteil (3) dargestellt. In dieser Ausführungsform werden die Bauteilkontakte (14, 15) des Bauteils (13) mittels Ultraschallenergie mit den Kontaktflächen (11, 12) intermetallisch verbunden. Die Ultraschallbondtechnik ist eine altbewährte Verbindungstechnik und stellt eine nahezu kalte Kontaktiermethode dar. Es wird das Bauteil (13) von einer Ultraschall-Sonotrode mit Druck und Schallenergie von einigen 20 kHz bis in den Bereich 60 kHz und

darüber auf die Kontaktflächen (11, 12) gedrückt. Das Bauteil (13) wird dabei praktisch nicht erwärmt. Dadurch werden auch keine Thermospannungen im intermetallischen flächigen Kontaktbereich (28, 29) eingebaut. Das Unterfüllharz (18) beziehungsweise die Vergußmasse (26) können in Analogie zu Figur 1
5 angewendet werden.

Auf die Leiterplatte (2) mit fertig integriertem Bauteil (13) wird in dieser Ausführungsform ein beinchenloser (lead-less) SMD Bauteil (30) angeordnet. Dabei wird das SMD Bauteil mittels bekannter Techniken mit einer Haftschrift
10 (27) auf der Oberfläche der Leiterplatte (2) befestigt und die Bauteilkontakte (20, 21) des SMD Bauteils (30) werden nach dem Stand der Löttechnik mit Lot (22, 23) auf den Kontaktflächen (24, 25) kontaktiert.

In **Figur 3** wird eine schematische Draufsicht auf eine ML-Leiterplatte (2)
15 mit einer runden Kavität (10) mit eingesetztem SMD-Bauteil (13) mit einer diagonal angeordneten Kontaktierung (31, 32) aufgezeigt. In dieser Ausführung ist ein kleiner Bauteil (13) mit nur zwei Kontaktflächen (31, 32) dargestellt. Dabei kann ein einfacher Stirnfräser mit dem Radius der Kavität (10) in einem Fräsvorgang die Kavität (10) herstellen und die Kontaktflächen (11, 12) freilegen. Wie bereits in der
20 Beschreibung in Figur 1 aufgezeigt, kann auch ein zweiter Fräs- oder Laservorgang zur Freilegung der Kontakte (11, 12) durchführen. In diesem zweiten Fall würden dann die Kontaktflächen (11, 12) zumindest in dem Bereich der Kontaktflächen (31, 32) des Bauteils freigelegt werden und das Niveau der Kontakte (11, 12) und der Bauteilkontakte (31, 32) kann im Fall der Verwendung
25 von elektrisch leitfähigen Klebern beziehungsweise Pasten in der z-Ache beabstandet ausgeführt sein. Bei Verwendung der Ultraschalltechnik müssen die Kontaktebenen derart ausgeführt sein, dass zumindest einige wenige Mikrometer Erhabenheit gegeben ist.

30 In **Figur 4** wird eine schematische Draufsicht auf eine ML-Leiterplatte (2) mit einer rechteckiger Kavität mit abgerundeten Ecken (10) mit eingesetztem SMD-Bauteil (13) mit einer seitlich über die Kanten angeordneten Kontaktierung

(31, 32) aufgezeigt. In dieser Ausführungsvariante wird ein Stirnfräser mit einem kleinen Radius gewählt und wird die Kavität in der Form eines Rechteckes gefräst. Die Ecken des Rechteckes werden üblicherweise den Radius des Fräswerkzeuges aufweisen.

5

In **Figur 5** wird eine schematische Draufsicht auf eine ML-Leiterplatte (2) mit einer runden Kavität (10) mit eingesetztem SMD-Bauteil (13) mit Mehrfachkontaktierungen (31 a bis f, 32 a bis f) an allen vier Kanten aufgezeigt. Diese Darstellung soll die Vielfalt an Bauteilen (13) aufzeigen, die in eine Kavität

10 (10) eingesetzt und elektrisch kontaktiert werden können.

Bezugszeichenliste

- | | |
|----|---|
| 1 | Leiterplatte mit zumindest einer Innenlage und zumindest einer Kavität und zumindest einem elektronischen Bauteil |
| 2 | Leiterplatte: mit zumindest einer Innenlage und zumindest einer Kavität |
| 5 | 3 Leiterbahnstruktur auf der Oberseite der Leiterplatte |
| 4 | Erste Innenlagenleiterbahnstruktur |
| 5 | Zweite Innenlagenleiterbahnstruktur |
| 6 | Dritte Innenlagenleiterbahnstruktur |
| 7 | Vierte Innenlagenleiterbahnstruktur |
| 10 | 8 Leiterbahnstruktur auf der Unterseite der Leiterplatte |
| 9 | Harzmatrix: diese Benennung ist nur symbolisch, da die einzelnen Harzlagen zwischen den Innenlagenleiterbahnstrukturen durch den Laminationsprozess miteinander verbunden werden. |
| 10 | Kavität |
| 15 | 11 Kontaktfläche beziehungsweise eine Mehrzahl an Kontaktflächen links beziehungsweise oben in der Kavität auf der Innenlagenleiterbahnstruktur |
| 6 | |
| 12 | Kontaktfläche beziehungsweise eine Mehrzahl an Kontaktflächen rechts beziehungsweise unten in der Kavität auf der Innenlagenleiterbahnstruktur 6 |
| 20 | |
| 13 | Bauteil: eingesetzt in die Kavität |
| 14 | Kontaktelement des Bauteils links |
| 15 | Kontaktelement des Bauteils rechts |
| 16 | Elektrisch leitfähiger Kleber links |
| 25 | 17 Elektrisch leitfähiger Kleber rechts |
| 18 | Haftverbundpolymer: sog. 'Underfiller' |
| 19 | Bauteil: konventionell aufgesetzt auf die Leiterplatte |
| 20 | Bauteilkontaktelement links |
| 21 | Bauteilkontaktelement rechts |
| 30 | 22 Lötkontakt links |
| 23 | Lötkontakt rechts |

- 24 Kontaktelement links auf der Leiterbahnstruktur auf der Oberseite der Leiterplatte
- 25 Kontaktelement rechts auf der Leiterbahnstruktur auf der Oberseite der Leiterplatte
- 5 26 Polymerer Füllstoff bzw. Vergußmasse
- 27 Haftschrift: zum Fixieren des Bauteils 19 vor dem Lötprozess; Aufbringung mittels Schablonendruck, Siebdruck, Dispenserapplikation u.dgl.
- 28 Ultraschallkontakt links
- 10 29 Ultraschallkontakt rechts
- 30 Leadless (beinchenloser) SMD Bauteil
- 31 Elektrische Kontaktierung beziehungsweise Bauteilkontaktfläche
- 32 Elektrische Kontaktierung beziehungsweise Bauteilkontaktfläche

Patentansprüche

1. Verfahren zur Herstellung einer Leiterplatte mit zumindest einer Innenlage und zumindest einer Kavität in zumindest einer der beiden Oberflächen für die Aufnahme von zumindest einem ersten elektronischen Bauteil, wobei die Kavität nach oben durch ein aufgelötetes zweites Bauteil mindestens teilweise abgedeckt ist und wobei das erste Bauteil in der Kavität mit zumindest zwei elektrischen Kontakten mit korrespondierenden elektrischen Kontakten einer Innenlage der Leiterplatte verbunden wird, wobei diese elektrischen Kontakte durch ein nicht-thermisches Kontaktierverfahren hergestellt werden.
2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet, dass** das nicht-thermische Kontaktierverfahren eine Ultraschall-Verschweißung ist.
3. Verfahren nach Anspruch 1, **dadurch gekennzeichnet, dass** das nicht-thermische Kontaktierverfahren durch Aufbringen eines elektrisch leitfähigen Klebers erfolgt.
4. Verfahren zur Herstellung einer Leiterplatte nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet, dass** das in der Kavität angeordnete Bauteil ein auf Oberflächen montierbarer Bauteil (SMDs - Surface Mount Device) ist und dass die Leiterplatte ein Multilayer mit vier oder mehr Lagen ist.
5. Verfahren zur Herstellung einer Leiterplatte nach einem der Ansprüche 1 bis 4, **dadurch gekennzeichnet, dass** die Kavität mittels Fräser in die Oberfläche der Leiterplatte hergestellt wird und dabei zumindest zwei elektrische Anschlüsselemente einer Innenlage der Leiterplatte freigelegt werden, wobei die elektrischen Anschlüsselemente in einem Arbeitsprozess mit der Herstellung der Kavität hergestellt werden oder in einem zweiten Arbeitsprozess lokal begrenzt auf die elektrischen Anschlüsselemente hergestellt werden.

6. Verfahren zur Herstellung einer Leiterplatte nach einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet, dass die zumindest zwei freigelegten elektrischen
Anschlußelemente auf einer Innenlage der Leiterplatte mittels OSP (Organic
Surface Protection) oder mittels Nickel-Gold oder mittel Chemisch-Zinn oder
5 mittels Chemisch-Silber beschichtet werden.
7. Verfahren zur Herstellung einer Leiterplatte nach einem der Ansprüche 1 bis 6,
dadurch gekennzeichnet, dass die Herstellung der elektrischen Kontakte durch
die Beaufschlagung der zu integrierenden Komponente mit Ultraschall erfolgt und
10 derart intermetallische Verbindungskontakte gegeben sind und die Kavität mit dem
Bauteil mit einem isolierenden Harz ausgefüllt wird (Underfiller).
8. Verfahren zur Herstellung einer Leiterplatte nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet, dass die Herstellung der elektrischen Kontakte durch
15 die Anordnung von elektrisch leitfähigen polymeren Klebern zwischen den
korrespondierenden Kontaktelementen erfolgt und die Kavität mit dem Bauteil mit
einem isolierenden Harz ausgefüllt wird (Underfiller).
- 9 Verfahren zur Herstellung einer Leiterplatte nach einem der Ansprüche 1 bis 8,
20 **dadurch gekennzeichnet, dass** über dem zumindest einen integrierten Bauteil
ein weiteres Bauteil angeordnet wird und dass beide Bauteile derart ausgeführt
werden, dass diese reparierbar beziehungsweise austauschbar angeordnet
werden.
- 25 10. Verfahren zur Herstellung einer Leiterplatte nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet, dass die Bestückung und Kontaktierung des
zumindest einen Bauteils in der Kavität in einem ersten Bestückungsvorgang
erfolgt und in einem weiteren Bestückungsvorgang eine konventionelle SMD-
Bestückung durchgeführt wird und dabei die elektrische Kontaktierung des zuerst
30 montierten Bauteils nicht beeinträchtigt wird.

11. Verfahren zur Herstellung einer Leiterplatte nach einem der Ansprüche 1 bis 9, **dadurch gekennzeichnet, dass** die Bestückung und Kontaktierung des zumindest einen Bauteils in der Kavität gemeinsam mit der konventionellen SMD-Bestückung erfolgt.

5

12. Leiterplatte mit zumindest einer Kavität in zumindest einer der beiden Oberflächen für die Aufnahme von zumindest einem elektronischen Bauteil hergestellt nach einem der Ansprüche 1 bis 11.

10 13. Bestückte Leiterplatte mit zumindest einer Kavität in zumindest einer der beiden Oberflächen für die Aufnahme von zumindest einem elektronischen Bauteil hergestellt nach einem der Ansprüche 1 bis 11.

15 14. Anwendung einer Leiterplatte nach einem der Ansprüche 1 bis 11 für die Herstellung von elektrischen und elektronischen Geräten.

15. Anwendung einer Leiterplatte nach einem der Ansprüche 1 bis 11 für die Herstellung von elektrischen und elektronischen Geräten.

20

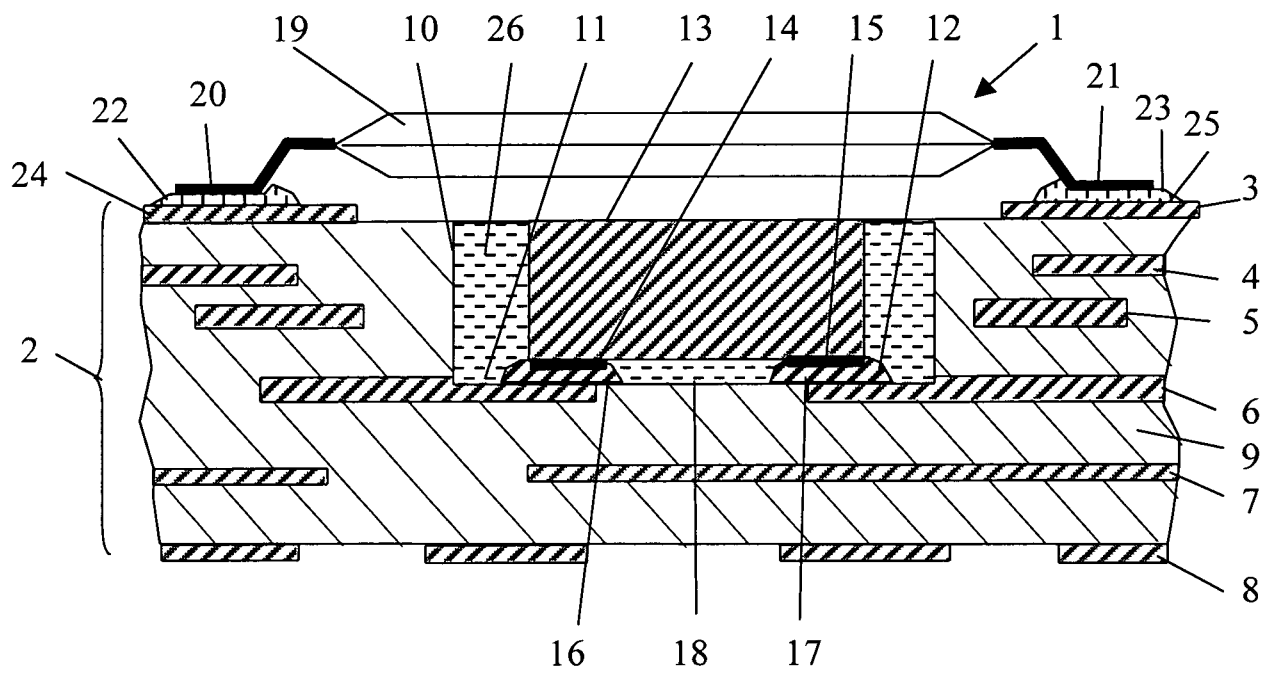


Fig. 1

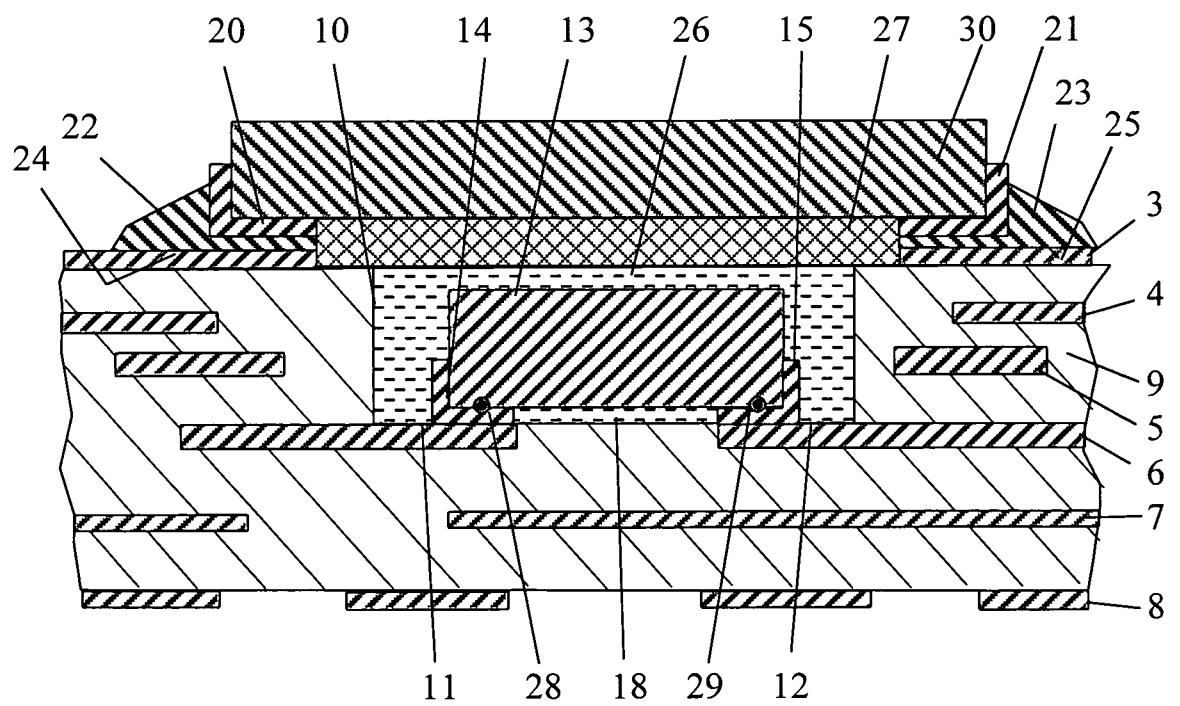


Fig. 2

2/2

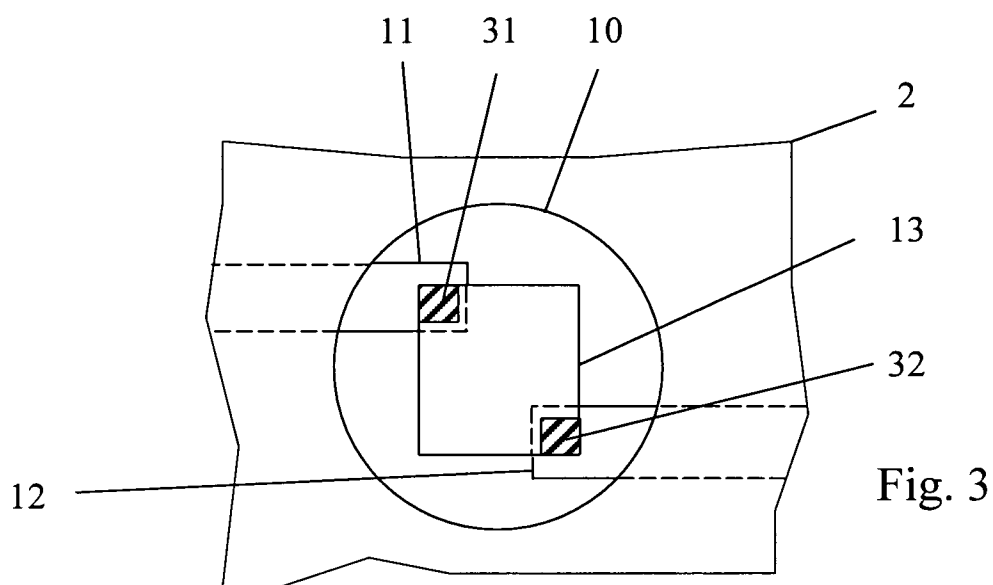


Fig. 3

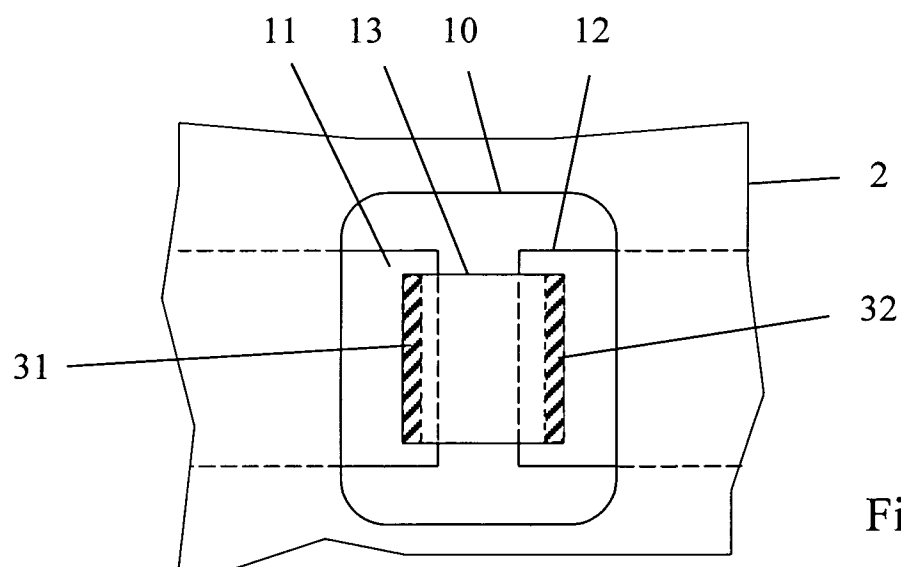


Fig. 4

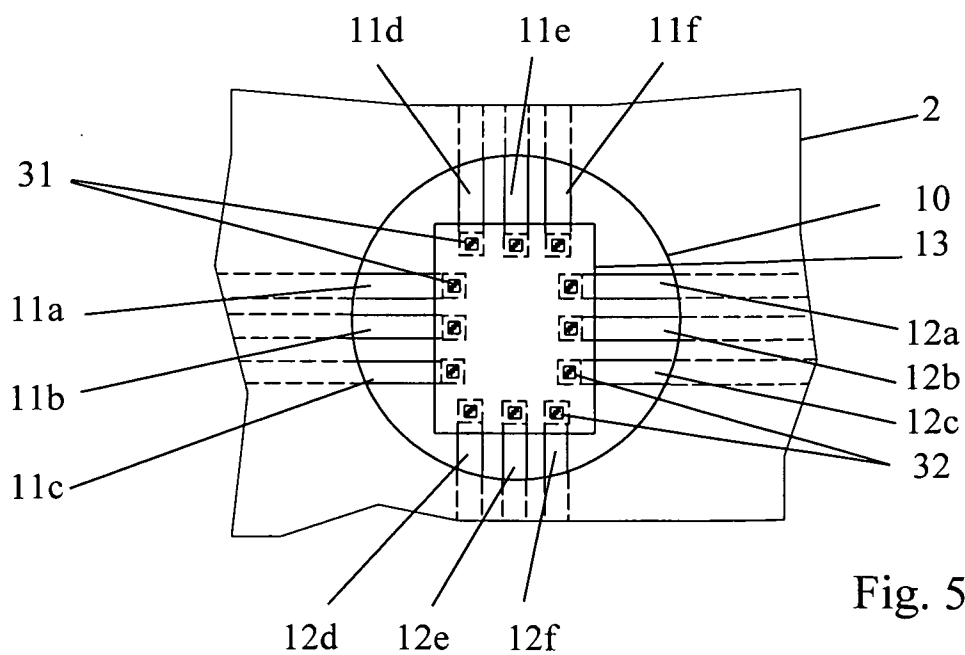


Fig. 5