

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

when detecting that a reset signal, which is obtained after the first clock signal is delayed by the delay chain (3), is at a high level. For digital signals of different rates, a delay time of a delay chain is adaptively adjusted, so as to obtain clock signals that match the rates of the digital signals, such that adaptation to the recovery of the digital signals of various rates can be realized.

(57) 摘要: 一种时钟数据恢复电路、处理芯片及电子设备。时钟数据恢复电路包括: 鉴沿器、翻转电路(2)、延迟链(3)、延迟控制模块(4)以及时钟延迟模块(5); 延迟控制模块(4)用于根据第一时钟信号的相位与第二时钟信号的相位, 调整延迟链(3)的延时时间, 直至第一时钟信号的相位与第二时钟信号的相位一致, 其中第二时钟信号为经过延迟链(3)延迟后的第一时钟信号; 翻转电路(2)用于检测到第一时钟信号经过延迟链(3)延迟后得到的复位信号处于高电平时, 将第一时钟信号置零。针对不同速率的数字信号, 自适应的调整延迟链的延时时间, 以得到与数字信号的速率匹配的时钟信号, 能够适应多种速率的数字信号的恢复。

时钟数据恢复电路、处理芯片及电子设备

技术领域

[0001] 本申请涉及信号处理技术领域，特别涉及一种时钟数据恢复电路、处理芯片及电子设备。

背景技术

[0002] 移动产业处理器接口 (Mobile Industry Processor Interface, MIPI) 联盟是为移动应用处理器制定的开放标准和一个规范，为有效提高带宽和降低功耗而服务。MIPI 联盟自定义了 D 类物理层协议 (简称 D-PHY)、M 类物理层协议 (简称 M-PHY) 和 C 类物理层协议 (简称 C-PHY) 三种电路规范。其中，在 D-PHY 中，发送侧设备通过一个时钟通道直接发出一个时钟信号给接收侧设备，以便于接收侧设备恢复出数据，而 C-PHY 使用三相信号技术通过在传输的数据中嵌入时钟的方式传输数据，和 D-PHY 相比，在相同码元率下，C-PHY 可以传递 2.28 倍的数据，由此可见，C-PHY 可在低功耗的前提下实现高数据吞吐量。

[0003] 现有的摄像头、显示屏、移动通讯、存储等在连接的物理层上，对数据线速率的要求越来越高，使用的数据线的数量越来越少，C-PHY 的每一个 Trio 组线包括三根线，C-PHY 作为连接的物理层时，具有速率高、线数少的优点。

[0004] 对于利用 C-PHY 型 MIPI 接口连接的两个设备，发送侧设备有高、中、低三种信号电压强度，接收侧设备计算三个信号的差值，并利用制定的编解码转换图来进行解码，同时恢复信号时钟。

发明内容

[0005] 本申请实施例的目的在于提供一种时钟数据恢复电路、处理芯片及电子设备，针对不同速率的数字信号，自适应的调整延迟链的延时时间，以得到与数字信号的速率匹配的时钟信号，从而能够适应多种速率的数字信号的恢复。

[0006] 本申请实施例提供了一种时钟数据恢复电路，包括：鉴沿器、翻转电路、延迟链、延迟控制模块以及时钟延迟模块；鉴沿器用于获取输入的一组数字信号的上升沿，得到一组脉冲信号；翻转电路用于在检测到一组脉冲信号中任一脉冲信号的上升沿时，在输出的第一时钟信号上生成对应的上升沿；延迟控制模块用于根据第一时钟信号的相位与第二时钟信号的相位，调整延迟链的延时时间，直至第一时钟信号的相位与第二时钟信号的相位一致，其中第二时钟信号为经过延迟链延迟后的第一时钟信号；翻转电路用于检测到第一时钟信号经过延迟链延迟后得到的复位信号处于高电平时，将第一时钟信号置零；时钟延迟模块用于根据延迟链的延迟时间对第一时钟信号进行延迟处理，得到第三时钟信号，并将第三时钟信号输入到采集器，以供采集器根据第三时钟信号恢复一组数字信号。

[0007] 本申请实施例还提供了一种处理芯片，包括上述的时钟数据恢复电路。

[0008] 本申请实施例还提供了一种电子设备，包括上述的处理芯片。

[0009] 本申请实施例现对于现有技术而言，鉴沿器能够获取输入一组数字信号中各数字信号的上升沿，生成一组脉冲信号，翻转电路在接收到该组脉冲信号后，能够在检测到该组脉冲信号中的任一脉冲信号的上升沿时，在输出的第一时钟信号上生成对应的上升沿，第一时钟信号经过延迟链延时后得到的第二时钟信号，延迟控制模块能够根据第一时钟信号的相位与第二时钟信号的相位，

调整延迟链的延时时间，直至第一时钟信号的相位与第二时钟信号的相位一致，同时第一时钟信号经过延迟链延迟后得到的复位信号被输入到翻转电路，翻转电路在检测到复位信号处于高电平时，将第一时钟信号置零，经过上述过程得到第一时钟信号还被输入到时钟延迟模块，时钟延迟模块则可以根据延迟链的延迟时间对第一时钟信号进行延迟处理，得到第三时钟信号并输入到采集器，以供采集器根据第三时钟信号恢复数据信号，本实施例中，针对不同速率的数字信号，自适应的调整延迟链的延时时间，以得到与数字信号的速率匹配的时钟信号，从而能够适应多种速率的数字信号的恢复。

[0010] 例如，延迟链包括第一半延迟链与第二半延迟链，第一半延迟链的延迟时间与第二半延迟链的延迟时间相等；延迟控制模块用于根据第一时钟信号的相位与第二时钟信号的相位，调整第一半延迟链的延迟时间与第二半延迟链的延迟时间；翻转电路用于检测到第一时钟信号经过延迟链中的第一半延迟链延迟后得到的复位信号处于高电平时，将第一时钟信号置零；时钟延迟模块用于根据第一半延迟链的延时时间或第二半延迟链的延迟时间对第一时钟信号进行延迟处理，得到第三时钟信号。本实施例中，将延迟链分为两个相同的半延迟链，便于从延迟链的半延迟位置输出复位信号，更加方便。

[0011] 例如，第一半延迟链与第二半延迟链的结构相同；每个半延迟链均包括 N 个延时单元， N 为大于 0 的整数；延迟控制模块用于根据第一时钟信号的相位与第二时钟信号的相位，调整各半延迟链的 N 值。本实施例提供了第一半延迟链与第二半延迟链的具体结构以及每个半延迟链调整延时时间的具体方式。

[0012] 例如，第一半延迟链用于根据 N 的值，确定第 M 个延时单元至第 N 个延时单元作为抽头区间，并从抽头区间中选择一个延时单元作为抽头延迟接出

点,并将抽头延迟接出点输出的信号作为复位信号, M 为 N 减去预设值的差值。

本实施例提供了生成复位信号的一种实现方式,可以在一定程度上减小线的传输延迟、工艺以及温度导致的延时,使的输出时钟信号更加准确。

[0013] 例如,第一半延迟链用于从 N 个延时单元中选择第 $N-1$ 个延时单元作为抽头延迟接出点。

[0014] 例如,每个半延迟链还包括或非门电路;第一半延迟链用于通过包含的或非门电路接收第一时钟信号;第二半延迟链通过包含的或非门电路连接于第一半延迟链,第二半延迟链还用于在通过包含的或非门电路接收到关闭控制信号时被关闭。本实施例中第二半延迟链可以在通过或非门电路接收到关闭控制信号时被关闭,以减少功耗。

[0015] 例如,延迟控制模块包括相位比较器与检测器;相位比较器用于根据第一时钟信号的相位与第二时钟信号的相位,得到相位差值;检测器用于根据相位差值,生成用于调整延迟时间的延迟控制信号,并将延迟控制信号发送到延迟链。本实施例中,提供了延迟空中模块的一种具体结构。

[0016] 例如,相位比较器用于根据第一时钟信号的相位与从延迟链抽头输出的多个第二时钟信号的相位,得到多个相位差值;检测器用于根据多个相位差值的平均累积值,生成用于调整延迟时间的延迟控制信号,并将延迟控制信号发送到延迟链;检测器用于在多个相位差值的平均累积值小于预设阈值时,判定第一时钟信号与第二时钟信号的相位一致。本实施例中,相位比较能够计算得到多个相位差值,检测器则能够根据这个多个相位差值计算得到平均累积值,并根据该平均累积值生成用于调整延迟时间的延迟控制信号,能够得到更加准确的延迟控制信号。

[0017] 例如，检测器用于在平均累积值为正值时，生成用于增大延迟时间的延迟控制信号；检测器用于在平均累积值为负值时，生成用于减小延迟时间的延迟控制信号。

[0018] 例如，一组数字信号包括三个数字信号；鉴沿器包括分别与三个数字信号对应的三个鉴沿电路；每个鉴沿电路包括异或门电路与延迟模块；每个异或门电路的第一输入端用于接收对应的数字信号，每个异或门电路的第二输入端用于接收通过延迟模块延迟后的对应的数字信号，异或门电路用于通过输出端输出与接收的数字信号对应的一个脉冲信号。本实施例提供了鉴沿器的一种具体结构。

[0019] 例如，翻转电路包括第一异或门电路、第二异或门电路、与非门电路、第一 PMOS 管、第二 PMOS 管、NMOS 管，第一反相器、第二反相器以及第三反相器；第一异或门电路的输入端用于接收一组脉冲信号，第一异或门电路的输出端分别连接于第二异或门电路的第一输入端以及与非门电路的第一输入端，第一反相器的输入端用于接收复位信号，第一反相器的输出端通过第二反相器连接于与非门电路的第二输入端，第二异或门电路的第二输入端用于接收经过第一反相器的复位信号；第二异或门电路的输出端连接于第一 PMOS 管的栅极，第一 PMOS 管的源极以及第二 PMOS 管的源极分别连接于电源端，第一 PMOS 管的漏极分别连接于 NMOS 管的漏极与第三反相器的输入端，第二 PMOS 管的栅极用于接收经过第一反相器的复位信号，第二 PMOS 管的漏极连接于第三反相器的输入端，NMOS 管的源极连接于参考电势端；第三反相器的输出端用于输出第一时钟信号。本实施例提供了翻转电路的一种具体结构。

[0020] 例如，每个半延迟链还包括与各延时单元对应连接的寄存器；延迟控制

模块用于根据第一时钟信号的相位与第二时钟信号的相位,调整各寄存器的值,以供连接寄存器的延时单元基于寄存器的值开启或关闭。本实施例提供了一种对半延迟链中接入延时单元的数量进行控制的一种具体实现方式。

[0021] 例如,一组数字信号包括:由 C-PHY 信号解码得到的三个数字信号。

附图说明

[0022] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明,这些示例性说明并不构成对实施例的限定,附图中具有相同参考数字标号的元件表示为类似的元件,除非有特别申明,附图中的图不构成比例限制。

[0023] 图 1 是根据本申请第一实施例中的时钟数据恢复电路的示意图;

[0024] 图 2 是根据本申请第一实施例中一组脉冲信号经过的时钟数据恢复电路后得到的第三时钟信号的示意图;

[0025] 图 3 是根据本申请第二实施例中的时钟数据恢复电路的示意图;

[0026] 图 4 是根据本申请第三实施例中的第一半延迟链与第二半延迟链的示意图;

[0027] 图 5 是根据本申请第三实施例中的半延迟链的示意图;

[0028] 图 6 是根据本申请第三实施例中的第一半延迟链与第二半延迟链的示意图,其中每个半延迟链还包括或非门电路;

[0029] 图 7 是根据本申请第四实施例中的时钟数据恢复电路的示意图;

[0030] 图 8 是根据本申请第四实施例中的延迟链输出多个第二时钟信号到相位比较器的具体实现方式;

[0031] 图 9 是根据本申请第五实施例的时钟数据恢复电路中翻转电路的示意图。

具体实施例

[0032] 为了使本申请的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本申请实施例进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本申请，并不用于限定本申请。

[0033] 目前，接收侧设备在恢复发送侧设备的数据信号的时钟时，一般会设定一个固定的延迟，但是对于不同速率的数据信号均采用相同的延迟，则会导致恢复出来的时钟信号不准确。基于此，发明人提出了本申请的技术方案。

[0034] 本申请第一实施例涉及一种时钟数据恢复（Clock and Data Recovery，简称 CDR）电路，可应用于电子设备中的处理芯片，比如，可以作为处理器芯片的一部分，连接到处理器芯片的 C-PHY 型 MIPI 接口以获取含时钟的信号，并从该信号中恢复出时钟与数据。CDR 可以为一种低电压的 CDR 电路，电子设备中可以同时包括接收侧设备和发送侧设备，发送侧设备可以为电子设备中的图像传感器、显示屏、存储器等，接收侧设备则可以为上述的处理芯片，发送侧设备和接收侧设备可以通过 C-PHY 型 MIPI 接口连接。

[0035] 请参考图 1，本实施例的时钟数据恢复电路包括鉴沿器、翻转电路 2、延迟链 3、延迟控制模块 4 以及时钟延迟模块 5。在一个例子中，时钟数据恢复电路还包括采集器 6。

[0036] 本实例中输入到时钟数据恢复电路为一组数字信号，包括三个数字信号，分别为图中 A 信号、B 信号以及 C 信号，在一个例子中，鉴沿器包括分别与 A 信号、B 信号以及 C 信号这三个数字信号一一对应的三个鉴沿电路，每个鉴沿电路包括异或门电路与延迟模块 12，三个异或门分别为图中的异或门 XOR1、

异或门 XOR2 以及异或门 XOR3。

[0037] 需要说明的是，本实例中的一组数字信号为来源于发送侧设备的 C-PHY 信号经过处理芯片中的信号处理后得到的三个数字信号，具体的，发送侧设备和接收侧设备通过 C-PHY 型 MIPI 接口连接时，发送侧设备和接收侧设备之间包括三根连接线，接收侧设备接收到的 C-PHY 信号包括 x 信号、y 信号、z 信号，x 信号、y 信号、z 信号包括高中低三种电压，处理芯片分别计算 x 信号、y 信号、z 信号中两两电压之间的差值，并基于 C-PHY 的编解码转换图得到三个数字信号，即为本实施例中输入到 CDR 中的 A 信号、B 信号以及 C 信号。

[0038] 鉴沿器用于获取输入的一组数字信号的上升沿，得到一组脉冲信号；具体的，对于鉴沿器中的鉴沿电路来说，每个异或门的第一端输入端用于接收对应的数字信号，每个异或门的第二输入端用于接收通过延迟模块延迟后的对应的数字信号，异或门电路用于通过输出端输出与接收的数字信号对应的一个脉冲信号。以 A 信号为例，A 信号直接输入到异或门 XOR1 的第一输入端，A 信号通过延迟模块 12 延迟后输入到异或门 XOR1 的第二输入端，延迟模块 12 的延时时间为预设值，即 A 信号与 A 信号延迟后分别输入到异或门 XOR1 的两个输入端，从而能够获取 A 信号的上升沿，得到 A 信号对应的脉冲信号 A_pluse 信号；同理，能够得到 B 信号对应的脉冲信号 B_pluse 信号、C 信号对应的脉冲信号 C_pluse 信号，A_pluse 信号、B_pluse 信号以及 C_pluse 信号组成了与一组数字信号对应的一组脉冲信号。对于三个鉴沿电路而言，其所分别包含的延迟模块 12 的延时时间一般设置相等，例如为 50 皮秒。翻转电路 2 用于在检测到一组脉冲信号中任一脉冲信号的上升沿时，在输出的第一时钟信号上生成对应的上升沿，具体的，异或门 XOR1 的输出端、异或门 XOR2 的输出端以及

异或门 XOR3 的输出端分别连接到翻转电路 2 的三个输入端,即 A_pluse 信号、B_pluse 信号以及 C_pluse 信号同时输入到翻转电路 2,对于每组脉冲信号,翻转电路 2 在检测到该组脉冲信号中 A_pluse 信号、B_pluse 信号以及 C_pluse 信号中任一脉冲信号的上升沿时,便在输出的第一时钟信号 C_CLK 上生成一个从 0 到 1 的上升沿。

[0039] 翻转电路 2 的输出端分别连接于延迟链 3、延迟控制模块 4 以及时钟延迟模块 5,从而可以将第一时钟信号 C_CLK 分别输入到延迟链 3、延迟控制模块 4 以及时钟延迟模块 5,延迟链 3 的一个输出端连接于延迟控制模块 4 的第一输入端,翻转电路 2 的输出端连接于延迟控制模块 4 的第二输入端,延迟链 3 的另一个输出端连接于翻转电路 2,延迟控制模块 4 的输出端连接于延迟链 3。

[0040] 第一时钟信号 C_CLK 在经过延迟链 3 的延迟后,得到第二时钟信号 D_CLK,延迟控制模块 4 的第一输入端接收到该第二时钟信号 D_CLK,延迟控制模块 4 的第二输入端接收到翻转电路 2 输出的第一时钟信号 C_CLK,此时延迟控制模块 4 能够根据第一时钟信号 C_CLK 的相位与第二时钟信号 D_CLK 的相位,调整延迟链 3 的延迟时间 T1,直至第一时钟信号 C_CLK 的相位与第二时钟信号 D_CLK 的相位一致。

[0041] 延迟链 3 连接于翻转电路 2 的输出端,第一时钟信号 C_CLK 经过一半延迟链 31 的延时后得到复位信号 RST_EN,该复位信号 RST_EN 被输出到翻转电路 2,翻转电路 2 还用于在检测到该复位信号 RST_EN 处于高电平时,将第一时钟信号置零,即翻转电路 2 接收延迟链 3 输出的复位信号 RST_EN,在复位信号 RST_EN 为 1 时,将第一时钟信号 C_CLK 置零,从而能够对下一个上升沿进行获取;并且由于延迟链 3 的延迟,若在延迟期间 A_pluse 信号、

B_pluse 信号以及 C_pluse 信号中存在多个上升沿，则能够仅在第一时间钟信号 C_CLK 中设置一个上升沿，能够避免翻转电路 2 在第一时间钟信号 C_CLK 中重复设置多个上升沿。

[0042] 时钟延迟模块 5 用于根据延迟链 3 的延迟时间 T1 对第一时间钟信号 C_CLK 进行延迟处理，得到第三时钟信号 CDR_CLK，并将第三时钟信号 CDR_CLK 输入到采集器 6，以供采集器 6 根据第三时钟信号 CDR_CLK 恢复数据信号。具体的，时钟延迟模块 5 能够获取延迟链 3 的延迟时间 T1，再根据延迟链 3 的延迟时间 T1 来调整自身的延迟时间 T2，得到大于采集器 6 的建立时间的延迟时间，以确保采集器 6 能够进行时钟和信号的恢复。

[0043] 其中，时间延迟模块 6 可以连接于延迟链 3，从而可以读取延迟链 3 的延时时间 T1，时钟延迟模块 5 中设置有时间延迟模块 6 的延迟时间 T2 的计算公式，从而可以基于该延迟时间 T1 得到自身的延迟时间 T2，举例来说，以 T1 表示延迟链 3 的延迟时间，以 T2 表示时间延迟模块 6 的延迟时间，则延迟时间 T2 的计算公式为： $T2 = (K+a) * T1/2$ ，K 为正整数、 $0 < a < 0.2$ 。

[0044] 本实施例中，采集器 6 可以按照第三时钟信号 CDR_CLK 去采集 A 信号、B 信号、C 信号，继而恢复得到对应的 RA 信号、RB 信号以及 RC 信号，具体的，由第一时间钟信号 C_CLK 延时得到第三时钟信号 CDR_CLK 的能够包含 A 信号、B 信号、C 信号这三个数字信号中任一信号的所有上升沿，A 信号、B 信号以及 C 信号依次输入到采集器 6，采集器 6 基于第三时钟信号 CDR_CLK 的每个上升沿进行一次信号的恢复，得到包含时钟的信号，从而能够得到 A 信号、B 信号以及 C 信号分别对应的 RA 信号、RB 信号以及 RC 信号。请参考图 2，为一组脉冲信号经过本实施例中的时钟数据恢复电路后得到的第三时钟信号

CDR_CLK 的示意图。

[0045] 本实施例相对于现有技术而言，鉴沿器能够获取输入一组数字信号中各数字信号的上升沿，生成一组脉冲信号，翻转电路在接收到该组脉冲信号后，能够在检测到该组脉冲信号中的任一脉冲信号的上升沿时，在输出的第一时钟信号上生成对应的上升沿，第一时钟信号经过延迟链延时后得到的第二时钟信号，延迟控制模块能够根据第一时钟信号的相位与第二时钟信号的相位，调整延迟链的延时时间，直至第一时钟信号的相位与第二时钟信号的相位一致，同时第一时钟信号经过延迟链延迟后得到的复位信号被输入到翻转电路，翻转电路在检测到复位信号处于高电平时，将第一时钟信号置零，经过上述过程得到第一时钟信号还被输入到时钟延迟模块，时钟延迟模块则可以根据延迟链的延迟时间对第一时钟信号进行延迟处理，得到第三时钟信号并输入到采集器，以供采集器根据第三时钟信号恢复数据信号，本实施例中，针对不同速率的数字信号，自适应的调整延迟链的延时时间，以得到与数字信号的速率匹配的时钟信号，从而能够适应多种速率的数字信号的恢复。

[0046] 本申请第二实施例涉及一种时钟数据恢复电路，本实施例相对于第一实施例而言，主要不同之处在于：将延迟链划分为两个相同的子延迟链。

[0047] 本实施例中，请参考图 3，延迟链 3 包括第一半延迟链 311 与第二半延迟链 32，第一半延迟链 31 的一个输出端连接于第二半延迟链 32 的输入端，第一半延迟链 31 的另一个输出端连接于翻转电路 2，第二半延迟链 32 的输出端连接于延迟控制模块 4 的第一输入端，延迟控制模块 4 的输出端分别连接于第一半延迟链 31 与第二半延迟链 32。其中，第一半延迟链 311 的延迟时间与第二半延迟链 32 的延迟时间相等。

[0048] 延迟控制模块 4 用于根据第一时钟信号 C_CLK 的相位与第二时钟信号 D_CLK 的相位，调整第一半延迟链 31 的延迟时间 T11 与第二半延迟链 32 的延迟时间 T12。

[0049] 第一时钟信号 C_CLK 在依次经过第一半延迟链 31 和第二半延迟链 32 后，得到第二时钟信号 D_CLK，延迟控制模块 4 通过第一输入端接收到第二时钟信号 D_CLK、并通过第二输入端接收到第一时钟信号 C_CLK，延迟控制模块 4 能够根据第一时钟信号 C_CLK 与第二时钟信号 D_CLK，调整第一半延迟链 31 的延迟时间与第二半延迟链 32 的延迟时间，直至第一时钟信号 C_CLK 的相位与第二时钟信号 D_CLK 的相位一致。

[0050] 本实施例中，当第一时钟信号 C_CLK 的相位与第二时钟信号 D_CLK 的相位一致时，说明此时可以认为第一时钟信号 C_CLK 与第二时钟信号 D_CLK 为同频同相的两个时钟信号，此时第一半延迟链 31 的延迟时间 T11 为输出的第三时钟信号的时钟周期的一半，继而第一时钟信号 C_CLK 经过第一半延迟链 31 的延迟得到复位信号 RST_EN，复位信号 RST_EN 能够在翻转电路 2 输出的第一时钟信号 C_CLK 产生上升沿后对其进行置零，能够确保翻转电路 2 检测到脉冲信号中的下一个上升沿，同时由于经过第一半延迟链 31 的延迟，避免翻转电路 2 在延迟时间内对一组脉冲信号中的多个上升沿进行翻转。

[0051] 由于第一半延迟链 31 的输出端连接于翻转电路 2，第一半延迟链 31 在通过输入端接收到第一时钟信号 C_CLK 时，第一时钟信号 C_CLK 经过第一半延迟链 31 的延时后得到复位信号 RST_EN，并输出该复位信号 RST_EN 到翻转电路 2，翻转电路 2 在接收到该复位信号 RST_EN 后，若复位信号 RST_EN 为 1，将第一时钟信号 C_CLK 置零，从而能够对下一个上升沿进行获取，并且

由于第一半延迟链 31 的延迟, 若在延迟期间 A_pluse 信号、B_pluse 信号以及 C_pluse 信号中存在多个上升沿, 则能够仅在第一时钟信号 C_CLK 中设置一个上升沿, 能够避免翻转电路 2 在第一时钟信号 C_CLK 中重复设置多个上升沿。

[0052] 本实施例中, 当第一时钟信号 C_CLK 的相位与第二时钟信号 D_CLK 的相位一致时, 说明此时可以认为第一时钟信号 C_CLK 与第二时钟信号 D_CLK 为同频同相的两个时钟信号, 此时第一半延迟链 31 的延迟时间为输出的第三时钟信号 CDR_CLK 的时钟周期的一半, 继而第一时钟信号 C_CLK 经过第一半延迟链 31 的延迟得到复位信号 RST_EN, 复位信号 RST_EN 能够在翻转电路 2 输出的第一时钟信号 C_CLK 产生上升沿后对其进行置零, 能够确保翻转电路 2 检测到脉冲信号中的下一个上升沿, 同时由于经过第一半延迟链 31 的延迟, 避免翻转电路 2 在延迟时间内对一组脉冲信号中的多个上升沿进行翻转。

[0053] 时钟延迟模块 5 用于根据第一半延迟链 31 的延时时间 T11 或第二半延迟链 32 的延迟时间 T12 对第一时钟信号 C_CLK 进行延迟处理, 得到第三时钟信号 CDR_CLK; 其中, 时钟延迟模块 5 连接于第一半延迟链 31 或第二半延迟链 32 (图中未示出), 时钟延迟模块 5 中设置有时间延迟模块 6 的延迟时间 T2 的计算公式, 从而能够基于第一半延迟链 31 的延时时间 T11 或第二半延迟链 32 的延迟时间 T12, 代入计算公式得到自身延时时间 T2。举例来说, 时钟延迟模块 5 的延迟时间 T2 的计算公式为 $T2 = (K+a) * T11$, K 为正整数、 $0 < a < 0.2$ 。

[0054] 本实施例相对于现有技术而言, 将延迟链分为两个相同的半延迟链, 便于从延迟链的半延迟位置输出复位信号, 更加方便。

[0055] 本申请第三实施例涉及一种时钟数据恢复电路, 本实施例相对于第二实

施例而言，主要不同之处在于：提供了半延迟链的具体结构及其延时时间调整方式。

[0056] 本实施例中，第一半延迟链 31 与第二半延迟链 32 的结构相同，请参考图 4，每个半延迟链均包括依次串联的 N 个延时单元，每个延时单元具有一个预设的延时时间 $T3$ ，每个半延迟链中的各延时单元的延时时间可以设置相等，此时该半延迟链的延时时间为 $N * T3$ ；其中，延时单元可以为缓冲器 BUF， N 个延时单元即为图 4 缓冲器 BUF1 至缓冲器 BUF N ， N 为大于 0 的整数， N 个缓冲器 BUF 依次串接。

[0057] 本实施例中， N 个缓冲器 BUF 依次串接形成第一半延迟链 31，另外 N 个缓冲器 BUF 依次串接形成的第二半延迟链 32，第一半延迟链 31 与第二半延迟链 32 可以形成一个含有 $2N$ 个缓冲器 BUF 的延迟链 3，第一半延迟链 31 包括前 N 个缓冲器，第二半延迟链 32 包括后 N 个缓冲器，第一半延迟链 31 的缓冲器 BUF N 与第二半延迟链 32 的 BUF1 相连接，第一半延迟链 31 与第二半延迟链 32 分别连接于延迟控制模块 4。

[0058] 延迟控制模块 4 用于根据第一时钟信号 C_CLK 的相位与第二时钟信号 D_CLK 的相位，调整各半延迟链的 N 值。具体的，以第一半延迟链 31 的最大长度值为 a 为例，第一半延迟链 31 当前接入的缓冲器 BUF 的 N 值为 b ，即将第 b 个缓冲器 BUF 的输出抽头作为第一半延迟链 31 的输出，延迟控制模块 4 根据第一时钟信号 C_CLK 的相位与第二时钟信号 D_CLK 的相位对第一半延迟链 31 接入的缓冲器 BUF 的 N 值进行调整，直至第一时钟信号 C_CLK 的相位与第二时钟信号 D_CLK 的相位一致，以 c 表示调整后的 N 值，即第一半延迟链 31 接入的缓冲器 BUF 的 N 值为 c ，此时第 c 个缓冲器 BUF 的输出抽头作为

第一半延迟链 31 的输出，即控制了第一半延迟链 31 的延时时间。第二半延迟链 32 的控制方式与第一半延迟链 31 类似，在此不再赘述。

[0059] 本实施例中，每个半延迟链还包括与各延时单元对应连接的寄存器，从而延迟控制模块 4 可以通过调整寄存器的值，来控制与其连接的延时单元的开启或关闭。具体的，延迟控制模块 4 根据第一时钟信号的相位与第二时钟信号的相位，调整各寄存器的值，以供连接寄存器的延时单元基于寄存器的值开启或关闭，控制半延迟链中接入的延时单元的数量。具体的，当寄存器的值为 1 时，该寄存器所连接的延时单元处于开启状态；当寄存器的值为 0 时，该寄存器所连接的延时单元处于关闭状态。以半延迟链的最大长度值为 a 为例，若半延迟链当前接入的延时单元的数量为 k ，则说明该半延迟链中前 k 个延时单元所连接的寄存器的值 1，后 $a-k$ 个延时单元所连接的寄存器的值 0，若要控制半延迟链接入的延时单元的数量为 L ，则控制半延迟链中前 L 个延时单元所连接的寄存器的值 1，后 $a-L$ 个延时单元所连接的寄存器的值 0，此时该半延迟链接入的延时单元的数量即为 L 。

[0060] 本实施例中，第一半延迟链 31 中用于输出复位信号 RST_EN 到翻转电路 2 的延迟单元称为抽头延迟接出点，第一半延迟链 31 中设定有一个预设值 X ，当第一半延迟链 31 的 N 值确定后，计算 N 减去预设值 X 的差值 M ，并将第 M 个延时单元至第 N 个延时单元作为抽头区间，从该抽头区间中选择一个延时单元作为抽头延迟接出点，并将抽头延迟接出点输出的信号作为复位信号 RST_EN 输入到翻转电路 2，即第一时钟信号 C_CLK 经过第一个延时单元至抽头延迟接出点处所包括延时单元产生的延时所得到复位信号 RST_EN 输入到翻转电路 2。以图 5 为例，第一半延迟链 31 的缓冲器 BUFM 至缓冲器 BUFN 形

成抽头区间,从抽头区间所包含的缓冲器 BUF_M 至缓冲器 BUF_N 中选择一个缓冲器作为抽头延迟接出点,并将抽头延迟接出点输出的延时信号作为复位信号 RST_EN 输入到翻转电路 2,由此可以在一定程度上减小线的传输延迟、工艺以及温度导致的延时,使的输出第一时钟信号更加准确。

[0061] 在一个例子中,从第一半延迟链 31 的 N 个延时单元中选择第 N-1 个延时单元作为抽头延迟接出点,并将抽头延迟接出点输出的信号作为复位信号,即第一时钟信号 C_CLK 经过前 N-1 个缓冲器延时得到复位信号 RST_EN,并将该复位信号 RST_EN 输入到翻转电路 2 中。

[0062] 在一个例子中,每个半延迟链还包括或非门电路;请参考图 6,第一半延迟链 31 包括或非门 NOR31,第二半延迟链 32 包括或非门 NOR41。

[0063] 第一半延迟链 31 通过或非门 NOR31 的输入端接收第一时钟信号 C_CLK,或非门 NOR31 的输出端连接于缓冲器 BUF1,缓冲器 BUF1 至缓冲器 BUF_N 依次串联,第二半延迟链 32 的或非门 NOR41 的一个输入端连接于第一延迟链 3 的缓冲器 BUF_N,或非门 NOR41 的输出端与第二半延迟链 32 中 BUF1 至 BUF_N 依次串联连接,或非门 NOR41 的另一个输入端连接于处理芯片中的控制器(图中未示出),控制器用于输出关闭控制信号到或非门 NOR41,或非门 NOR41 在接收到关闭控制信号时被关闭。

[0064] 示例性的,处理芯片的控制器连接于时钟控制模块 4,从而可以在第一时钟信号 C_CLK 的相位与第二时钟信号 D_CLK 的相位一致时,输出关闭控制信号到第二半延迟链 32 中的或非门 NOR41,以关闭第二半延迟链 32,减小功耗。其中,处理芯片的控制器在当前的数据信号的输入时间内,控制第二半延迟链 32 保持关闭,在新的数据信号输入时,重新控制第二半延迟链 32 开启。

[0065] 需要说明的是，本实施例还可以根据不同速率的数据信号在时钟数据恢复电路中设定多个延迟链，每个延迟链对应于一种速率的数据信号，各延迟链包含的延时单元的数量不同，每个延迟链包括第一半延迟链 31 与第二半延迟链 32。

[0066] 需要说明的是，本实施例还可以根据不同速率的数据信号在时钟数据恢复电路中设定多个延迟链，每个延迟链对应于一种速率的数据信号，各延迟链包含的延时单元的数量不同，每个延迟链包括第一半延迟链 31 与第二半延迟链 32。

[0067] 本实施例相对于第二实施例而言，提供了半延迟链的具体结构与其延时时间调整方式。

[0068] 本申请第四实施例涉及一种时钟数据恢复电路，本实施例相对于第二实施例而言，主要不同之处在于：请参考图 7，延迟控制模块 4 包括相位比较器 41 与检测器 42。其中，相位比较器 41 为鉴相器，检测器 42 可以为数字滤波器，例如为平均计数器。

[0069] 相位比较器 41 的第一输入端形成延迟控制模块 4 的第一输入端，相位比较器 41 的第二输入端形成延迟控制模块 4 的第二输入端，第二半延迟链 32 的输出端连接于相位比较器 41 的第一输入端，以接收第二时钟信号 D_CLK，相位比较器 41 的第二输入端连接于翻转电路 2，以接收第一时钟信号 C_CLK，相位比较器 41 的输出端连接于检测器 42 的输入端，检测器 42 的输出端分别连接于第一半延迟链 31 与第二半延迟链 32。

[0070] 相位比较器 41 用于根据第一时钟信号 C_CLK 的相位与第二时钟信号 D_CLK 的相位，得到相位差值；具体的，相位比较器 41 计算第一时钟信号

C_CLK 的相位减去第二时钟信号 D_CLK 的相位的相位差值。

[0071] 检测器 42 用于根据相位差值，生成用于调整延迟时间的延迟控制信号，并将延迟控制信号发送到延迟链，即将该延迟控制信号分别发送到第一半延迟链 31 与第二半延迟链 32，以调整第一半延迟链 31 的延迟时间 T11 与第二半延迟链 32 的延迟时间 T12。

[0072] 在一个例子中，相位比较器 41 用于根据第一时钟信号 C_CLK 的相位与从延迟链抽头输出的多个第二时钟信号的相位，得到多个相位差值，具体的，请参考图 8，以包括 2N 个延迟单元的延迟链为例，即从 2N 个延迟单元中选取多个延时单元作为抽头点，并将这多个抽点头输出的信号作为第二时钟信号 D_CLK 分别输入到相位比较器 41，此时相位比较器 41 分别计算第一时钟信号 C_CLK 减去每个第二时钟信号 D_CLK 的相位的相位差值，从而可以得到多个相位差值。

[0073] 检测器 42 用于根据多个相位差值的平均累积值，生成用于调整延迟时间的延迟控制信号，并将延迟控制信号发送到延迟链，即将该延迟控制信号分别发送到第一半延迟链 31 与第二半延迟链 32，以调整第一半延迟链 31 的延迟时间 T11 与第二半延迟链 32 的延迟时间 T12。

[0074] 检测器 42 还用于在多个相位差值的平均累积值的绝对值小于或等于预设阈值时，判定第一时钟信号 C_CLK 的相位与第二时钟信号 D_CLK 的相位一致，无需继续对第一半延迟链 31 的延迟时间 T11 与第二半延迟链 32 的延迟时间 T12 进行调整。其中，预设阈值大于或等于零。

[0075] 本实施例中，检测器 42 在多个相位差值的平均累积值的绝对值大于预设阈值时，对延迟链的延时时间进行调整，在平均累积值为正值时，生成用于增

大延迟时间的延迟控制信号；在平均累积值为负值时，生成用于减小延迟时间的延迟控制信号。

[0076] 具体的，检测器 42 在接收到相位比较器 41 发送的多个相位差值时，能够根据这多个相位差值，计算得到平均累积值，若该平均累积值为正值，且大于预设阈值，则说明第二时钟信号 D_CLK 的相位过早，检测器 42 生成用于增大延迟时间的延迟控制信号，分别输出到第一半延迟链 31 与第二半延迟链 32，等待新的第二时钟信号 D_CLK 输入到相位比较器 41，重复上述判断过程；若该平均累积值为负值，且该平均累积值的绝对值大于预设阈值，则说明第二时钟信号 D_CLK 的相位过迟，检测器 42 生成用于减小延迟时间的延迟控制信号，分别输出到第一半延迟链 31 与第二半延迟链 32，等待新的第二时钟信号 D_CLK 输入到相位比较器 41，重复上述判断过程；直至平均累积值的绝对值小于或等于预设阈值时，判定第一时钟信号 C_CLK 的相位与第二时钟信号 D_CLK 的相位一致。

[0077] 下面结合第三实施例中图 4 的延迟链结构，对延迟控制信号控制延迟链的延迟时间的方式进行详细说明。

[0078] 以第一半延迟链 31 当前接入的缓冲器 BUF 的 N 值为 b 为例，检测器 42 生成用于增大延迟时间的延迟控制信号时，控制第一半延迟链 31 接入的缓冲器 BUF 的数量增大，增大的数量可以为预设的步进值 z，即检测器 42 在需要增大第一延迟链 3 的延迟时间时，给 N 赋值为 $b+z$ ，即控制第一半延迟链 31 中接入的缓冲器 BUF 的数量增大为 $b+z$ ，此时将第 $b+z$ 个缓冲器 BUF 的输出抽头作为第一半延迟链 31 的输出；反之，检测器 42 生成用于减小延迟时间的延迟控制信号时，控制第一半延迟链 31 中接入的缓冲器 BUF 的数量减少，减

小的数量可以为预设的步进值 z ，即检测器 42 在需要减小第一延迟链 3 的延迟时间时，将 N 赋值为 $b-z$ ，即控制第一半延迟链 31 中接入的缓冲器 BUF 的数量减少为 $b-z$ ，此时将第 $b-z$ 个缓冲器 BUF 的输出抽头作为第一半延迟链 31 的输出。其中，第一半延迟链 31 中可以包括用于控制 N 值的调整量寄存器，调整量寄存器中存储有 N 的值，以控制第一半延迟链 31 中接入的缓冲器 BUF 的数量，即，检测器 42 基于调整第一半延迟链 31 的延时时间的需求，来给调整量寄存器中的 N 值进行赋值，从而能够控制将第一半延迟链 31 中第 N 个缓冲器 BUF 的输出抽头作为第一半延迟链 31 的输出，即控制了第一半延迟链 31 的延时时间。第二半延迟链 32 的控制方式与第一半延迟链 31 类似，在此不再赘述。

[0079] 本实例中，处理芯片的控制器还可以同时将该关闭控制信号发送给相位比较器 41 与检测器 42，以关闭相位比较器 41 与检测器 42，从而进一步减小功耗。其中，处理芯片的控制器在当前的数据信号的输入时间内，控制相位比较器 41 与检测器 42 保持关闭，在新的数据信号输入时，重新控制相位比较器 41 与检测器 42 开启。

[0080] 本实施例相对于第一实施例而言，提供了延迟控制模块的一种具体结构。

[0081] 本申请第五实施例涉及一种时钟数据恢复电路，本实施例相对于第一实施例而言，主要不同之处在于：请参考图 9，翻转电路 2 包括第一异或门电路 NOR1、第二异或门电路 NOR2、与非门电路 NAND、第一 PMOS 管 PM1、第二 PMOS 管 PM2、NMOS 管 NM1，第一反相器 INV1、第二反相器 INV2 以及第三反相器 INV3。

[0082] 第一异或门电路 NOR1 的输入端用于接收脉冲信号，具体的，第一异或

门电路 NOR1 具有三路输入端，第一异或门电路 NOR1 的三路输入端同时接收三个脉冲信号：A_pluse 信号、B_pluse 信号以及 C_pluse 信号，第一异或门电路 NOR1 的输出端分别连接于第二异或门电路 NOR2 的第一输入端以及与非门电路 NAND 的第一输入端，第一反相器的输入端用于接收复位信号 RST_EN，复位信号 RST_EN 经过第一反相器 INV1 得到复位信号 RST_EN 的反相信号 RST_EN_b，第一反相器 INV1 的输出端通过第二反相器 INV2 连接于与非门电路 NAND 的第二输入端，第二异或门电路 NOR2 的第二输入端用于接收经过第一反相器 INV1 的复位信号，即反相信号 RST_EN_b；第二异或门电路 NOR2 的输出端连接于第一 PMOS 管 PM1 的栅极，第一 PMOS 管 PM1 的源极以及第二 PMOS 管 PM2 的源极分别连接于电源端 VDD，第一 PMOS 管 PM1 的漏极分别连接于 NMOS 管 NM1 的漏极与第三反相器 INV3 的输入端，第二 PMOS 管 PM2 的栅极用于接收经过第一反相器 INV1 的复位信号 RST_EN（图中未示出），即反相信号 RST_EN_b 被输入到第二 PMOS 管 PM2 的栅极；第二 PMOS 管 PM2 的漏极连接于第三反相器 INV3 的输入端，NMOS 管 NM1 的源极连接于参考电势端，本实施例中以 GND 作为参考电势端，第三反相器 INV3 的输出端用于输出第一时钟信号，即第三反向器 INV3 分别连接于第一半延迟链 31、延迟控制模块 4 以及时钟延迟模块 5。

[0083] 需要说明的是，图 9 中以复位信号 RST_EN 经过第一反相器 INV1 得到复位信号 RST_EN 的反相信号 RST_EN_b，再经过第二反相器 INV2 恢复得到复位信号 RST_EN 输入到与非门电路 NAND 的第二输入端、并将第一反相器 INV1 得到复位信号 RST_EN 的反相信号 RST_EN_b 输入到第二 PMOS 管 PM2 的栅极为例进行说明，然不限于此，还可将复位信号 RST_EN 直接输入到与非

门电路 NAND 的第二输入端,同时将复位信号 RST_EN 通过一个反相器连接到第二 PMOS 管 PM2 的栅极,即将复位信号 RST_EN 的反相信号 RST_EN_b 输入到第二 PMOS 管 PM2 的栅极。

[0084] 本实施例相对于第一实施例而言,提供了翻转电路的一种具体结构。

[0085] 本申请第六实施例涉及一种处理芯片,包括第一至第五实施例中任一项的时钟数据恢复电路,处理芯片应用于电子设备,电子设备中可以分别接收侧设备和发送侧设备,发送侧设备可以为电子设备中的摄像头、显示屏、存储器等,接收侧设备则可以为上述的处理芯片。

[0086] 本申请第七实施例涉及一种电子设备,包括第六实施例的处理芯片,电子设备中可以分别接收侧设备和发送侧设备,发送侧设备可以为电子设备中的摄像头、显示屏、存储器等,接收侧设备则可以为上述的处理芯片。

[0087] 本领域的普通技术人员可以理解,上述各实施例是实现本申请的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本申请的精神和范围。

权利要求书

1、一种时钟数据恢复电路，其特征在于，包括：鉴沿器、翻转电路、延迟链、延迟控制模块以及时钟延迟模块；

所述鉴沿器用于获取输入的一组数字信号的上升沿，得到一组脉冲信号；

5 所述翻转电路用于在检测到所述一组脉冲信号中任一脉冲信号的上升沿时，在输出的第一时钟信号上生成对应的上升沿；

所述延迟控制模块用于根据所述第一时钟信号的相位与第二时钟信号的相位，调整所述延迟链的延时时间，直至所述第一时钟信号的相位与第二时钟信号的相位一致，其中所述第二时钟信号为经过所述延迟链延迟后的所述第一时
10 钟信号；

所述翻转电路用于检测到所述第一时钟信号经过所述延迟链延迟后得到的复位信号处于高电平时，将所述第一时钟信号置零；

所述时钟延迟模块用于根据所述延迟链的延迟时间对所述第一时钟信号进行延迟处理，得到第三时钟信号，并将所述第三时钟信号输入到采集器，以供
15 所述采集器根据所述第三时钟信号恢复所述一组数字信号。

2、如权利要求 1 所述的时钟数据恢复电路，其特征在于，所述延迟链包括第一半延迟链与第二半延迟链，所述第一半延迟链的延迟时间与所述第二半延迟链的延迟时间相等；

所述延迟控制模块用于根据所述第一时钟信号的相位与所述第二时钟信号的相位，调整所述第一半延迟链的延迟时间与所述第二半延迟链的延迟时间；
20

所述翻转电路用于检测到所述第一时钟信号经过所述延迟链中的所述第一半延迟链延迟后得到的复位信号处于高电平时，将所述第一时钟信号置零；

所述时钟延迟模块用于根据所述第一半延迟链的延时时间或第二半延迟链的延迟时间对所述第一时钟信号进行延迟处理，得到第三时钟信号。

- 3、如权利要求 2 所述的时钟数据恢复电路，其特征在于，所述第一半延迟链与所述第二半延迟链的结构相同；每个所述半延迟链均包括 N 个延时单元，
- 5 N 为大于 0 的整数；

所述延迟控制模块用于根据所述第一时钟信号的相位与所述第二时钟信号的相位，调整各所述半延迟链的 N 值。

- 4、如权利要求 3 所述的时钟数据恢复电路，其特征在于，所述第一半延迟链用于根据 N 的值，确定第 M 个所述延时单元至第 N 个所述延时单元作为抽
- 10 头区间，并从所述抽头区间中选择一个所述延时单元作为抽头延迟接出点，并将所述抽头延迟接出点输出的信号作为所述复位信号，M 为 N 减去预设值的差值。

5、如权利要求 4 所述的时钟数据恢复电路，其特征在于，所述第一半延迟链用于从 N 个所述延时单元中选择第 N-1 个所述延时单元作为抽头延迟接出点。

- 15 6、如权利要求 3 所述的时钟数据恢复电路，其特征在于，每个所述半延迟链还包括或非门电路；

所述第一半延迟链用于通过包含的所述或非门电路接收所述第一时钟信号；

- 所述第二半延迟链通过包含的所述或非门电路连接于所述第一半延迟链，
- 所述第二半延迟链还用于在通过包含的所述或非门电路接收到关闭控制信号时
- 20 被关闭。

7、如权利要求 1 所述的时钟数据恢复电路，其特征在于，所述延迟控制模块包括相位比较器与检测器；

所述相位比较器用于根据所述第一时钟信号的相位与所述第二时钟信号的相位，得到相位差值；

所述检测器用于根据所述相位差值，生成用于调整延迟时间的延迟控制信号，并将所述延迟控制信号发送到所述延迟链。

5 8、如权利要求 7 所述的时钟数据恢复电路，其特征在于，所述相位比较器用于根据所述第一时钟信号的相位与从所述延迟链抽头输出的多个所述第二时钟信号的相位，得到多个相位差值；

所述检测器用于根据所述多个相位差值的平均累积值，生成用于调整延迟时间的延迟控制信号，并将所述延迟控制信号发送到所述延迟链；

10 所述检测器用于在所述多个相位差值的平均累积值小于预设阈值时，判定所述第一时钟信号与所述第二时钟信号的相位一致。

9、如权利要求 8 所述的时钟数据恢复电路，其特征在于，所述检测器用于在所述平均累积值为正值时，生成用于增大延迟时间的所述延迟控制信号；

15 所述检测器用于在所述平均累积值为负值时，生成用于减小延迟时间的所述延迟控制信号。

10、如权利要求 1 所述的自适应的时钟数据恢复电路，其特征在于，所述一组数字信号包括三个数字信号；

所述鉴沿器包括分别与三个所述数字信号对应的三个鉴沿电路；每个所述鉴沿电路包括异或门电路与延迟模块；

20 每个所述异或门电路的第一输入端用于接收对应的所述数字信号，每个所述异或门电路的第二输入端用于接收通过所述延迟模块延迟后的对应的所述数

字信号，所述异或门电路用于通过输出端输出与接收的所述数字信号对应的一个所述脉冲信号。

11、如权利要求 1 所述的自适应的时钟数据恢复电路，其特征在于，所述翻转电路包括第一异或门电路、第二异或门电路、与非门电路、第一 PMOS 管、
5 第二 PMOS 管、NMOS 管，第一反相器、第二反相器以及第三反相器；

所述第一异或门电路的输入端用于接收所述一组脉冲信号，所述第一异或门电路的输出端分别连接于所述第二异或门电路的第一输入端以及所述与非门电路的第一输入端，所述第一反相器的输入端用于接收所述复位信号，所述第一反相器的输出端通过所述第二反相器连接于所述与非门电路的第二输入端，
10 所述第二异或门电路的第二输入端用于接收经过所述第一反相器的所述复位信号；所述第二异或门电路的输出端连接于所述第一 PMOS 管的栅极，所述第一 PMOS 管的源极以及所述第二 PMOS 管的源极分别连接于电源端，所述第一 PMOS 管的漏极分别连接于所述 NMOS 管的漏极与所述第三反相器的输入端，
所述第二 PMOS 管的栅极用于接收经过所述第一反相器的所述复位信号，所述
15 第二 PMOS 管的漏极连接于所述所述第三反相器的输入端，所述 NMOS 管的源极连接于参考电势端；

所述第三反相器的输出端用于输出所述第一时钟信号。

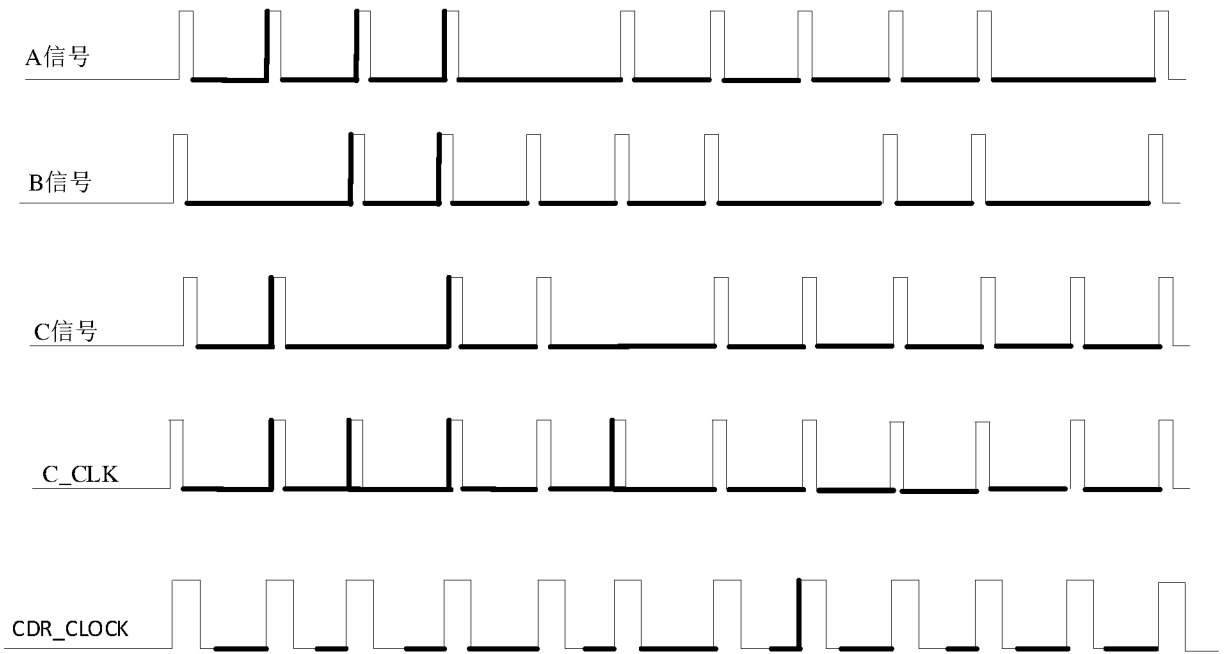
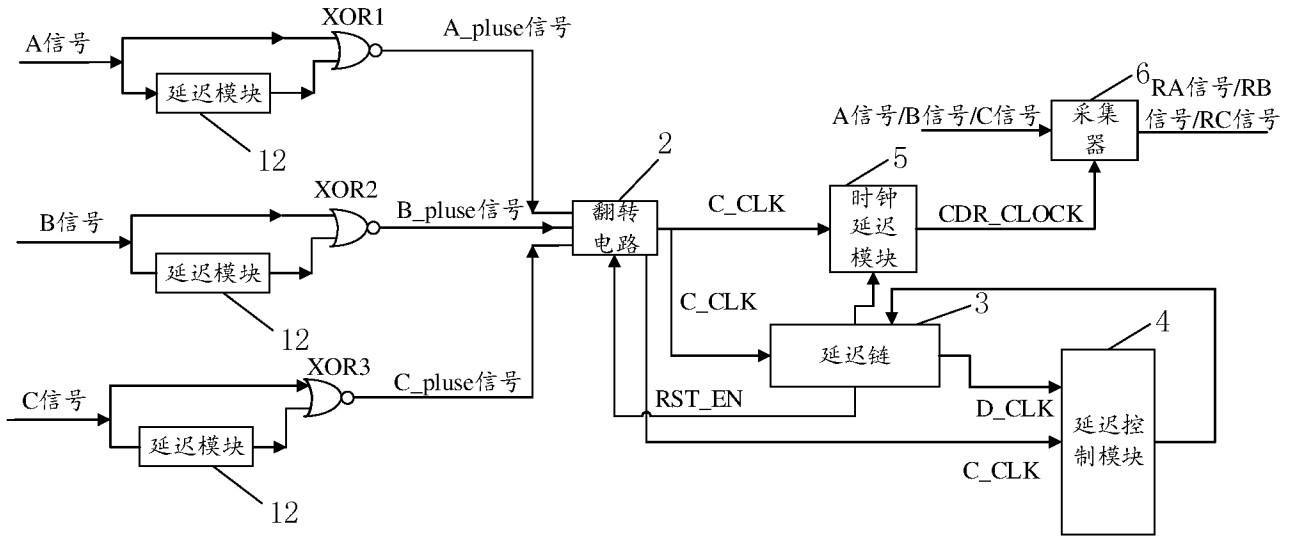
12、如权利要求 3 所述的自适应的时钟数据恢复电路，其特征在于，每个所述半延迟链还包括与各所述延时单元对应连接的寄存器；

20 所述延迟控制模块用于根据所述第一时钟信号的相位与第二时钟信号的相位，调整各所述寄存器的值，以供连接所述寄存器的所述延时单元基于所述寄存器的值开启或关闭。

13、如权利要求 1 所述的自适应的时钟数据恢复电路，其特征在于，所述一组数字信号包括：由 C-PHY 信号解码得到的三个数字信号。

14、一种处理芯片，其特征在于，包括：权利要求 1 至 14 中任一项所述的时钟数据恢复电路。

5 15、一种电子设备，其特征在于，包括权利要求 14 所述的处理芯片。



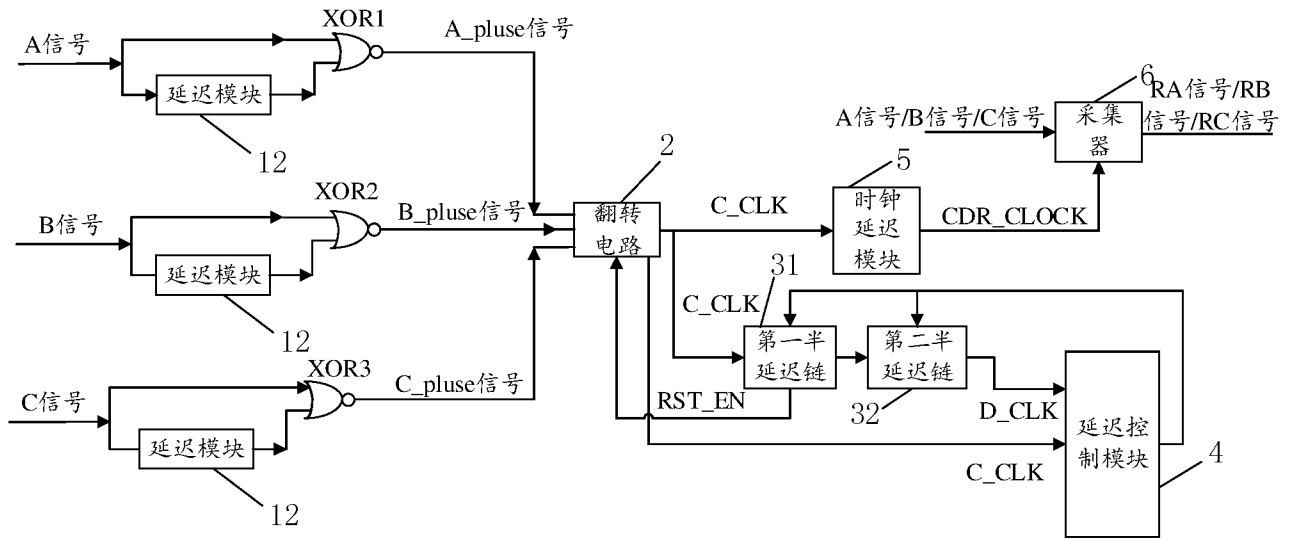


图 3

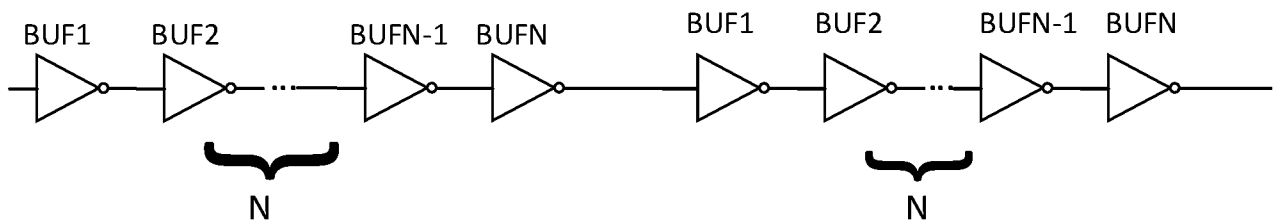


图 4

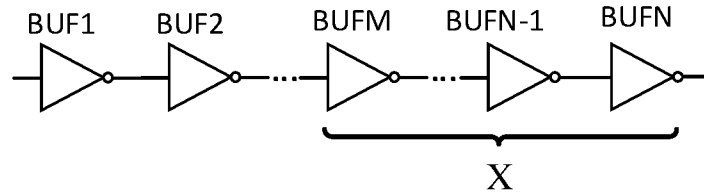


图 5

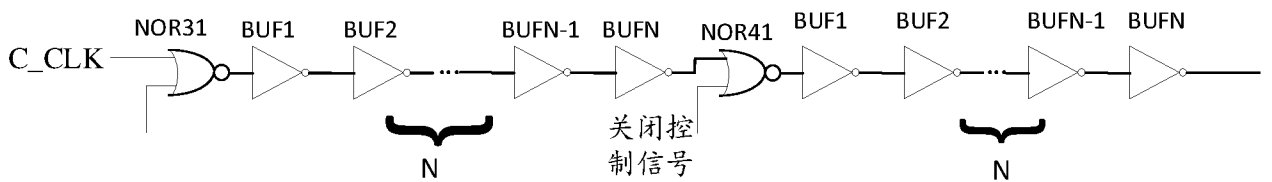


图 6

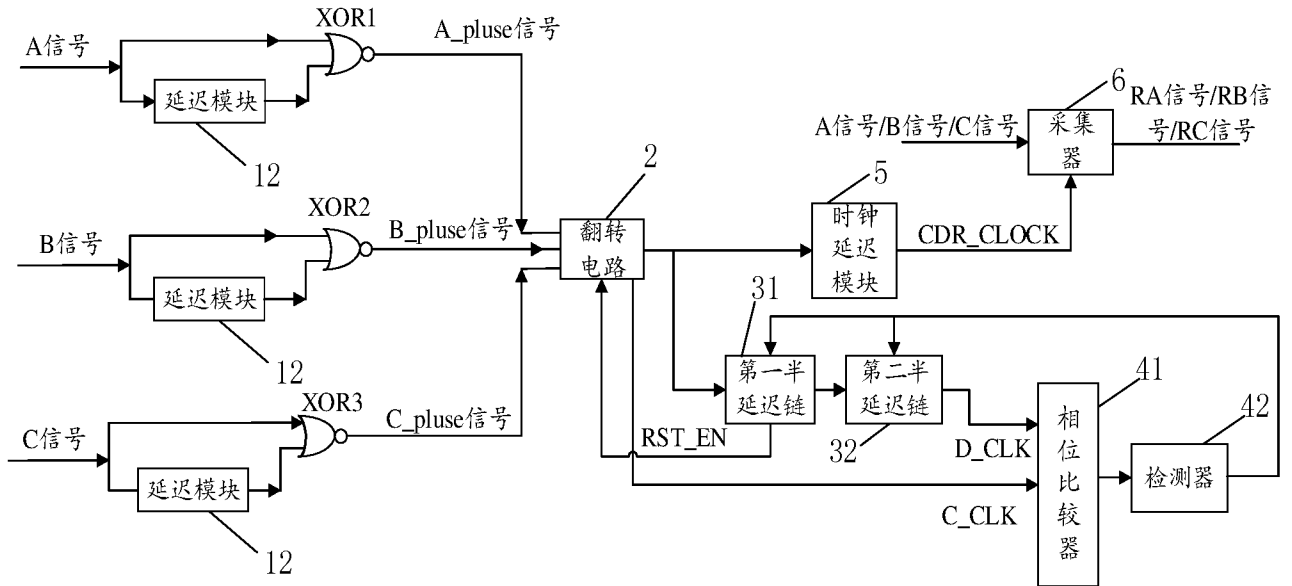


图 7

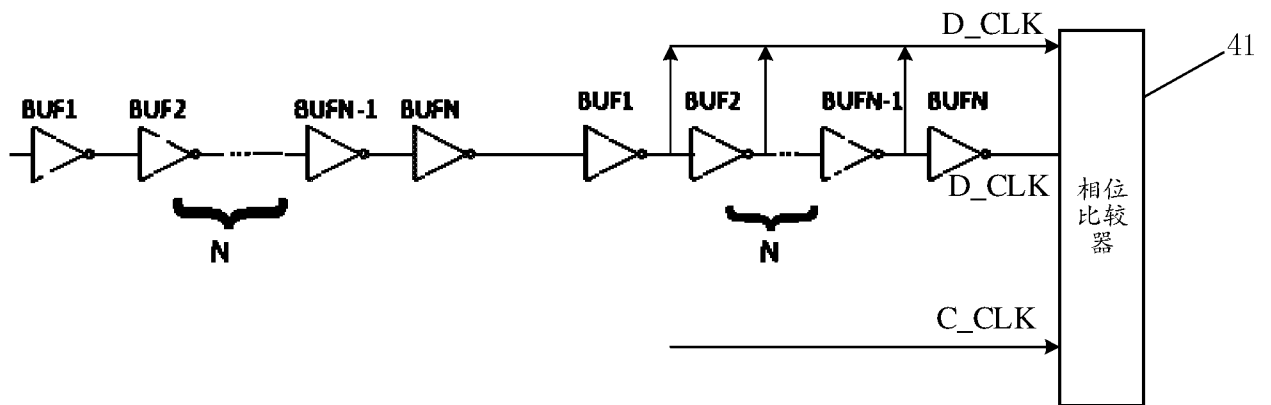


图 8

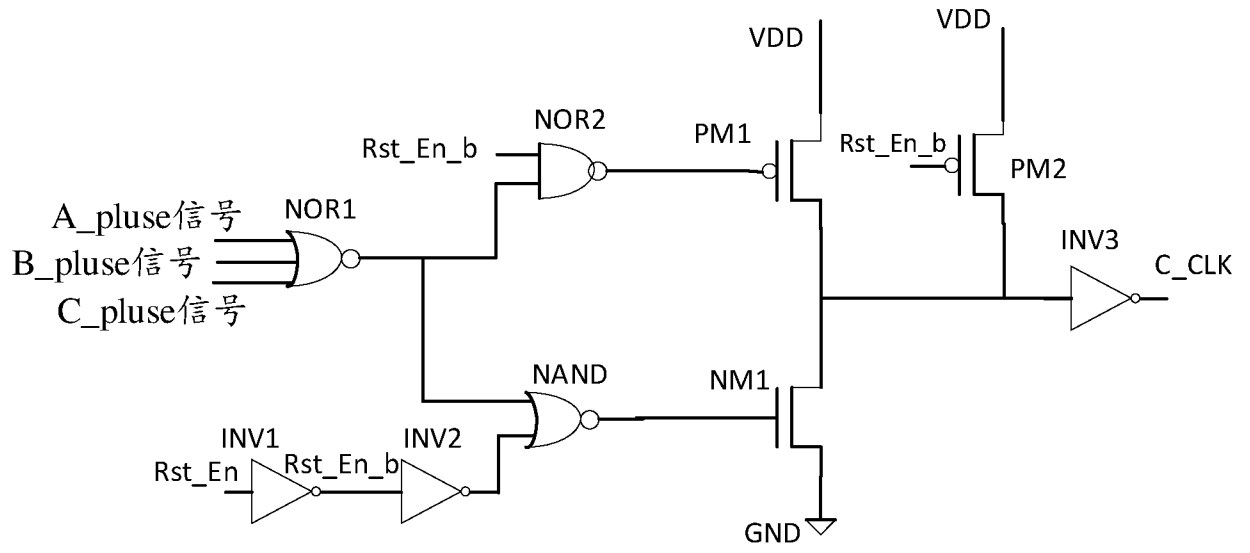


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/092595

A. CLASSIFICATION OF SUBJECT MATTER		
H03L 7/08(2006.01)i; H03L 7/087(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H03L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNKI, CNPAT, EPODOC, WPI, IEEE: 时钟, 上升沿, 脉冲, 延迟, 延时, 时延, 时间, 相位, 恢复, 处理器接口, 物理层协议, 时钟数据恢复电路, clock, CLK, ris+, advanc+, postive, edge, delay, phase, pulse, recovery, processor, interface, MIPI, PHY, CDR		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 106385251 A (OMNIVISION TECHNOLOGIES (SHANGHAI) CO., LTD.) 08 February 2017 (2017-02-08) description, paragraphs 27-36, and figures 1-7	1-15
A	CN 107959563 A (OMNIVISION TECHNOLOGIES, INC.) 24 April 2018 (2018-04-24) entire document	1-15
A	CN 109644020 A (QUALCOMM INC.) 16 April 2019 (2019-04-16) entire document	1-15
A	WO 2019212630 A1 (QUALCOMM INC.) 07 November 2019 (2019-11-07) entire document	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search		Date of mailing of the international search report
07 February 2021		25 February 2021
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/CN2020/092595

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106385251	A	08 February 2017	None			
CN	107959563	A	24 April 2018	US	9735950	B1	15 August 2017
				TW	201818669	A	16 May 2018
CN	109644020	A	16 April 2019	WO	2018044608	A1	08 March 2018
				US	2018062883	A1	01 March 2018
WO	2019212630	A1	07 November 2019	TW	201947881	A	16 December 2019
				US	10333690	B1	25 June 2019

国际检索报告

国际申请号

PCT/CN2020/092595

<p>A. 主题的分类</p> <p>H03L 7/08(2006.01)i; H03L 7/087(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H03L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNKI, CNPAT, EPODOC, WPI, IEEE: 时钟, 上升沿, 脉冲, 延迟, 延时, 时延, 时间, 相位, 恢复, 处理器接口, 物理层协议, 时钟数据恢复电路, clock, CLK, ris+, advanc+, postive, edge, delay, phase, pulse, recovery, processor, interface, MIPI, PHY, CDR</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 106385251 A (豪威科技上海有限公司) 2017年 2月 8日 (2017 - 02 - 08) 说明书第27-36段, 图1-7</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 107959563 A (豪威科技股份有限公司) 2018年 4月 24日 (2018 - 04 - 24) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 109644020 A (高通股份有限公司) 2019年 4月 16日 (2019 - 04 - 16) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>WO 2019212630 A1 (QUALCOMM INCORPORATED) 2019年 11月 7日 (2019 - 11 - 07) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 106385251 A (豪威科技上海有限公司) 2017年 2月 8日 (2017 - 02 - 08) 说明书第27-36段, 图1-7	1-15	A	CN 107959563 A (豪威科技股份有限公司) 2018年 4月 24日 (2018 - 04 - 24) 全文	1-15	A	CN 109644020 A (高通股份有限公司) 2019年 4月 16日 (2019 - 04 - 16) 全文	1-15	A	WO 2019212630 A1 (QUALCOMM INCORPORATED) 2019年 11月 7日 (2019 - 11 - 07) 全文	1-15
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	CN 106385251 A (豪威科技上海有限公司) 2017年 2月 8日 (2017 - 02 - 08) 说明书第27-36段, 图1-7	1-15															
A	CN 107959563 A (豪威科技股份有限公司) 2018年 4月 24日 (2018 - 04 - 24) 全文	1-15															
A	CN 109644020 A (高通股份有限公司) 2019年 4月 16日 (2019 - 04 - 16) 全文	1-15															
A	WO 2019212630 A1 (QUALCOMM INCORPORATED) 2019年 11月 7日 (2019 - 11 - 07) 全文	1-15															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																	
<p>国际检索实际完成的日期</p> <p>2021年 2月 7日</p>		<p>国际检索报告邮寄日期</p> <p>2021年 2月 25日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>宋朝</p> <p>电话号码 86-(10)-53961349</p>															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/092595

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106385251	A	2017年 2月 8日	无			
CN	107959563	A	2018年 4月 24日	US	9735950	B1	2017年 8月 15日
				TW	201818669	A	2018年 5月 16日
CN	109644020	A	2019年 4月 16日	WO	2018044608	A1	2018年 3月 8日
				US	2018062883	A1	2018年 3月 1日
WO	2019212630	A1	2019年 11月 7日	TW	201947881	A	2019年 12月 16日
				US	10333690	B1	2019年 6月 25日