

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-248652

(P2012-248652A)

(43) 公開日 平成24年12月13日(2012.12.13)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 3 7 1	5 F 0 8 3
H O 1 L 29/788 (2006.01)	H O 1 L 27/10 4 3 4	5 F 1 0 1
H O 1 L 29/792 (2006.01)		
H O 1 L 21/8247 (2006.01)		
H O 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 23 O L (全 54 頁)

(21) 出願番号	特願2011-118722 (P2011-118722)	(71) 出願人	302062931
(22) 出願日	平成23年5月27日 (2011. 5. 27)		ルネサスエレクトロニクス株式会社
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
		(74) 代理人	100080001
			弁理士 筒井 大和
		(74) 代理人	100113642
			弁理士 菅田 篤志
		(74) 代理人	100117008
			弁理士 筒井 章子
		(74) 代理人	100147050
			弁理士 中原 亨
		(74) 代理人	100147430
			弁理士 坂次 哲也

最終頁に続く

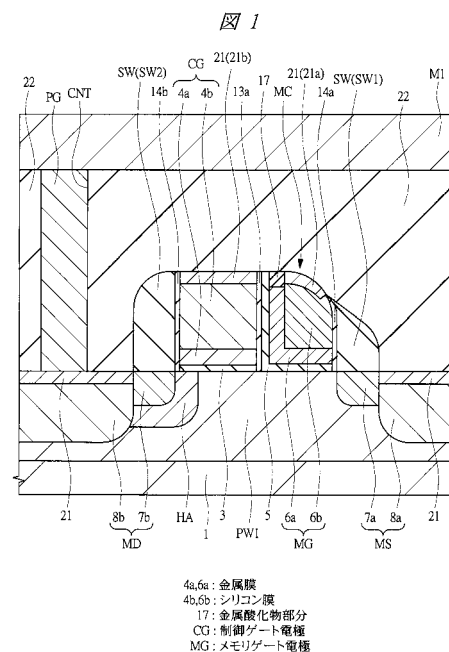
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】半導体装置の電氣的性能および信頼性を向上させる。

【解決手段】スプリットゲート型の不揮発性メモリのメモリゲート電極MGは、金属膜6aと金属膜6a上のシリコン膜6bとの積層膜で形成されたメタルゲート電極であり、金属膜6aの上端部には、金属膜6aの一部が酸化することで金属酸化物部分17が形成されている。スプリットゲート型の不揮発性メモリの制御ゲート電極は、金属膜4aと金属膜4a上のシリコン膜6bとの積層膜で形成されたメタルゲート電極である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板の上部に形成された第 1 ゲート電極と、
前記半導体基板の上部に形成され、前記第 1 ゲート電極と隣合う第 2 ゲート電極と、
前記第 1 ゲート電極と前記半導体基板との間に形成された第 1 絶縁膜と、
前記第 2 ゲート電極と前記半導体基板との間および前記第 1 ゲート電極と前記第 2 ゲート電極との間に形成された第 2 絶縁膜であって、その内部に電荷蓄積部を有する前記第 2 絶縁膜と、
を有し、

10

前記第 2 ゲート電極は、前記第 2 絶縁膜に隣接する第 1 金属膜と、前記第 1 金属膜上に形成されかつ前記第 1 金属膜を介して前記第 2 絶縁膜から離間する第 1 シリコン膜とを有し、

前記第 1 金属膜の上端部に、第 1 金属酸化物部分が形成されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記第 1 金属酸化物部分を構成する金属元素と、前記第 1 金属膜を構成する金属元素とが同じであることを特徴とする半導体装置。

【請求項 3】

20

請求項 2 記載の半導体装置において、

前記第 1 金属酸化物部分は、前記第 1 金属膜の一部が酸化されることにより形成されていることを特徴とする半導体装置。

【請求項 4】

請求項 3 記載の半導体装置において、

前記第 1 シリコン膜の上部に第 1 金属シリサイド層が形成されていることを特徴とする半導体装置。

【請求項 5】

請求項 4 記載の半導体装置において、

前記第 1 ゲート電極の上部に第 2 金属シリサイド層が形成されていることを特徴とする半導体装置。

30

【請求項 6】

請求項 5 記載の半導体装置において、

前記半導体装置は、不揮発性メモリを有し、

前記第 1 および第 2 ゲート電極は、前記不揮発性メモリを構成するゲート電極であることを特徴とする半導体装置。

【請求項 7】

請求項 6 記載の半導体装置において、

前記第 2 ゲート電極の側壁であって、前記第 1 ゲート電極に隣接する側とは反対側の側壁上に、サイドウォールスペーサが形成されており、

40

前記第 1 金属膜の前記上端部とは反対側に位置する端部と前記サイドウォールスペーサとの間に第 2 金属酸化物部分が形成されていることを特徴とする半導体装置。

【請求項 8】

請求項 7 記載の半導体装置において、

前記第 2 金属酸化物部分の少なくとも一部は、前記第 1 シリコン膜と前記第 2 絶縁膜との間に位置していることを特徴とする半導体装置。

【請求項 9】

請求項 8 記載の半導体装置において、

前記第 2 金属酸化物部分は、前記第 1 金属膜の一部が酸化されることにより形成されていることを特徴とする半導体装置。

50

【請求項 10】

請求項 9 記載の半導体装置において、

前記第 1 ゲート電極は、前記第 1 絶縁膜上に形成された第 2 金属膜と、前記第 2 金属膜上に形成された第 2 シリコン膜とを有し、前記第 2 金属シリサイド層は、前記第 2 シリコン膜の上部に形成されていることを特徴とする半導体装置。

【請求項 11】

請求項 10 記載の半導体装置において、

前記第 1 絶縁膜は、高誘電率膜であることを特徴とする半導体装置。

【請求項 12】

請求項 11 記載の半導体装置において、

前記半導体基板における前記第 1 ゲート電極の下方のチャネル領域の不純物濃度は、 $1 \times 10^{17} / \text{cm}^3$ 以下であることを特徴とする半導体装置。

10

【請求項 13】

半導体基板と、

前記半導体基板の上部に形成された第 1 ゲート電極と、

前記半導体基板の上部に形成され、前記第 1 ゲート電極と隣合う第 2 ゲート電極と、

前記第 1 ゲート電極と前記半導体基板との間に形成された第 1 絶縁膜と、

前記第 2 ゲート電極と前記半導体基板との間および前記第 1 ゲート電極と前記第 2 ゲート電極との間に形成された第 2 絶縁膜であって、その内部に電荷蓄積部を有する前記第 2 絶縁膜と、

20

を有し、

前記第 1 ゲート電極は、前記第 1 絶縁膜上に形成された金属膜を有していることを特徴とする半導体装置。

【請求項 14】

請求項 13 記載の半導体装置において、

前記第 1 ゲート電極は、前記金属膜上に形成されたシリコン膜を更に有していることを特徴とする半導体装置。

【請求項 15】

請求項 14 記載の半導体装置において、

前記第 1 絶縁膜は、高誘電率膜であることを特徴とする半導体装置。

30

【請求項 16】

請求項 15 記載の半導体装置において、

前記半導体基板における前記第 1 ゲート電極の下方のチャネル領域の不純物濃度は、 $1 \times 10^{17} / \text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項 17】

請求項 16 記載の半導体装置において、

前記半導体装置は、不揮発性メモリを有し、

前記第 1 および第 2 ゲート電極は、前記不揮発性メモリを構成するゲート電極であることを特徴とする半導体装置。

40

【請求項 18】

請求項 17 記載の半導体装置において、

前記第 1 ゲート電極のゲート長方向における前記金属膜の端部が酸化されていることを特徴とする半導体装置。

【請求項 19】

半導体基板と、

前記半導体基板の上部に形成され、互いに隣合う第 1 ゲート電極および第 2 ゲート電極と、

前記第 1 ゲート電極と前記半導体基板との間に形成された第 1 ゲート絶縁膜と、

前記第 2 ゲート電極と前記半導体基板との間に形成され、内部に電荷蓄積部を有する第 2 ゲート絶縁膜と、

50

を有する半導体装置の製造方法であって、

(a) 前記半導体基板を用意する工程、

(b) 前記半導体基板の主面に前記第1ゲート絶縁膜用の第1絶縁膜を形成する工程、

(c) 前記第1絶縁膜上に前記第1ゲート電極用の第1導電体膜を形成する工程、

(d) 前記第1導電体膜をパターンニングして前記第1ゲート電極を形成する工程、

(e) 前記半導体基板の主面と前記第1ゲート電極の表面に、前記第2ゲート絶縁膜用でかつ内部に電荷蓄積部を有する第2絶縁膜を形成する工程、

(f) 前記第2絶縁膜上に第1金属膜を形成する工程、

(g) 前記第1金属膜上に第1シリコン膜を形成する工程、

(h) 前記第1シリコン膜および前記第1金属膜の積層膜をエッチバックすることで、前記第1ゲート電極の側壁上に前記第2絶縁膜を介して前記積層膜を残して前記第2ゲート電極を形成する工程、

(i) 前記第2ゲート電極で覆われていない部分の前記第2絶縁膜を除去し、前記第2ゲート電極と前記半導体基板との間および前記第1ゲート電極と前記第2ゲート電極との間に前記第2絶縁膜を残す工程、

(j) 前記第2ゲート電極の上面で露出する前記第1金属膜の上端部を酸化して、第1金属酸化物部分を形成する工程、

を有することを特徴とする半導体装置の製造方法。

【請求項20】

請求項19記載の半導体装置の製造方法において、

(k) 前記半導体基板上に、前記第1および第2ゲート電極を覆うように、第3絶縁膜を形成する工程、

(l) 前記第3絶縁膜をエッチバックすることで、前記第1および第2ゲート電極の互いに隣接する側とは反対側の側壁上に前記第3絶縁膜を残してサイドウォールスペーサを形成する工程、

を更に有し、

前記(k)工程で形成される前記第3絶縁膜は、第1酸化シリコン膜の単体膜、または前記第1酸化シリコン膜を最下層とする積層膜からなり、

前記(j)工程では、前記第1酸化シリコン膜を形成する際に前記第1金属膜の上端部が酸化されて前記第1金属酸化物部分が形成されることを特徴とする半導体装置の製造方法。

【請求項21】

請求項20記載の半導体装置の製造方法において、

前記(j)工程では、

前記第1金属膜の前記上端部とは反対側に位置する端部であって、前記第2ゲート電極の前記第1ゲート電極と隣接する側とは反対側の側壁で露出する端部が、酸化されて第2金属酸化物部分が形成されることを特徴とする半導体装置の製造方法。

【請求項22】

請求項21記載の半導体装置の製造方法において、

前記(l)工程後、

(m) 前記第2ゲート電極を構成する前記第1シリコン膜の上部と前記第1ゲート電極の上部とに、それぞれ金属シリサイド層を形成する工程、

を更に有することを特徴とする半導体装置の製造方法。

【請求項23】

請求項19記載の半導体装置の製造方法において、

前記(i)工程後で前記(j)工程前に、

(i1) 前記半導体基板上に、前記第1および第2ゲート電極を覆うように、窒化シリコン膜を形成する工程、

(i2) 窒化シリコン膜をエッチバックすることで、前記第1および第2ゲート電極の互いに隣接する側とは反対側の側壁上に前記窒化シリコン膜を残し、前記第2ゲート電極

10

20

30

40

50

の上面で前記第 1 金属膜の上端部を露出させる工程、
を更に有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に、不揮発性メモリを有する半導体装置およびその製造方法に適用して有効な技術に関する。

【背景技術】

【0002】

電氣的に書込・消去が可能な不揮発性半導体記憶装置として、EEPROM (Electrically Erasable and Programmable Read Only Memory) が広く使用されている。現在広く用いられているフラッシュメモリに代表されるこれらの記憶装置 (メモリ) は、MISFET のゲート電極下に、酸化膜で囲まれた導電性の浮遊ゲート電極やトラップ性絶縁膜を有しており、浮遊ゲートやトラップ性絶縁膜での電荷蓄積状態を記憶情報とし、それをトランジスタの閾値として読み出すものである。このトラップ性絶縁膜とは、電荷の蓄積可能な絶縁膜をいい、一例として、窒化シリコン膜などがあげられる。このような電荷蓄積領域への電荷の注入・放出によって MISFET のしきい値をシフトさせ記憶素子として動作させる。このフラッシュメモリとしては、MONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 膜を用いたスプリットゲート型セルがある。かかるメモリにおいては、電荷蓄積領域として窒化シリコン膜を用いることで、導電性の浮遊ゲート膜と比べ、離散的に電荷を蓄積するためにデータ保持の信頼性に優れ、また、データ保持の信頼性に優れているために窒化シリコン膜上下の酸化膜を薄膜化でき、書込み・消去動作の低電圧化が可能である、等の利点を有する。

【0003】

特開 2010-108976 号公報 (特許文献 1) には、スプリットゲート型の不揮発性メモリに関する技術が記載されており、[0080] ~ [0082] 段落にはゲート絶縁膜 GOX を高誘電率膜から形成することが記載されている。

【0004】

特開 2004-266203 号公報 (特許文献 2) には、不揮発性記憶素子に関する技術が記載されており、[0138] ~ [0141] 段落には、メモリゲート電極 36 を多結晶シリコン膜よりも低抵抗の金属である導電膜 35 で形成することが記載されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】 特開 2010-108976 号公報

【特許文献 2】 特開 2004-266203 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

従来のスプリットゲート型の不揮発性メモリには、積層ゲート絶縁膜として、例えば、酸化シリコン膜と窒化シリコン膜と酸化シリコン膜からなる積層構造の ONO (Oxide-Nitride-Oxide) 膜が形成され、また、制御ゲート電極およびメモリゲート電極として、ポリシリコンゲート電極が形成される。

【0007】

近年、上記不揮発性メモリにおいては、その電氣的性能を向上させること、あるいは、信頼性を確保することなどが望まれている。

【0008】

本発明の目的は、半導体装置の電氣的性能を向上できる技術を提供することである。

【0009】

また、本発明のその他の目的は、半導体装置の信頼性を向上できる技術を提供すること

である。

【0010】

また、本発明のその他の目的は、半導体装置の電気的性能を向上できる技術を提供し、かつ、半導体装置の信頼性を向上できる技術を提供することである。

【0011】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0012】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

10

【0013】

代表的な実施の形態による半導体装置は、スプリットゲート型不揮発性メモリのメモリゲート電極が金属膜と前記金属膜上のシリコン膜とを有し、前記金属膜の上端部に金属酸化物部分が形成されているものである。

【0014】

また、代表的な実施の形態による半導体装置は、スプリットゲート型不揮発性メモリの制御ゲート電極をメタルゲート電極としたものである。

【発明の効果】

【0015】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

20

【0016】

代表的な実施の形態によれば、半導体装置の電気的性能を向上させることができる。

【0017】

また、半導体装置の信頼性を向上させることができる。

【0018】

また、半導体装置の電気的性能を向上させることができ、かつ、半導体装置の信頼性を向上させることができる。

【図面の簡単な説明】

30

【0019】

【図1】本発明の一実施の形態である半導体装置の要部断面図である。

【図2】図1の一部を拡大した部分拡大断面図である。

【図3】メモリセルの等価回路図である。

【図4】本発明の一実施の形態である半導体装置の変形例を示す要部断面図である。

【図5】「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。

【図6】本発明の一実施の形態である半導体装置の製造工程の一部を示すプロセスフロー図である。

【図7】本発明の一実施の形態である半導体装置の製造工程の一部を示すプロセスフロー図である。

40

【図8】本発明の一実施の形態の半導体装置の製造工程中の要部断面図である。

【図9】図8に続く半導体装置の製造工程中の要部断面図である。

【図10】図9に続く半導体装置の製造工程中の要部断面図である。

【図11】図10に続く半導体装置の製造工程中の要部断面図である。

【図12】図11に続く半導体装置の製造工程中の要部断面図である。

【図13】図12に続く半導体装置の製造工程中の要部断面図である。

【図14】図13に続く半導体装置の製造工程中の要部断面図である。

【図15】図14に続く半導体装置の製造工程中の要部断面図である。

【図16】図15の部分拡大断面図である。

50

- 【図 1 7】変形例の場合の図 1 5 の部分拡大断面図である。
- 【図 1 8】図 1 5 に続く半導体装置の製造工程中の要部断面図である。
- 【図 1 9】図 1 8 に続く半導体装置の製造工程中の要部断面図である。
- 【図 2 0】図 1 9 に続く半導体装置の製造工程中の要部断面図である。
- 【図 2 1】図 2 0 に続く半導体装置の製造工程中の要部断面図である。
- 【図 2 2】図 2 1 に続く半導体装置の製造工程中の要部断面図である。
- 【図 2 3】図 2 2 に続く半導体装置の製造工程中の要部断面図である。
- 【図 2 4】図 2 3 に続く半導体装置の製造工程中の要部断面図である。
- 【図 2 5】図 2 4 に続く半導体装置の製造工程中の要部断面図である。
- 【図 2 6】図 2 5 に続く半導体装置の製造工程中の要部断面図である。 10
- 【図 2 7】図 2 6 に続く半導体装置の製造工程中の要部断面図である。
- 【図 2 8】図 2 7 に続く半導体装置の製造工程中の要部断面図である。
- 【図 2 9】図 2 8 に続く半導体装置の製造工程中の要部断面図である。
- 【図 3 0】図 2 9 に続く半導体装置の製造工程中の要部断面図である。
- 【図 3 1】図 3 0 に続く半導体装置の製造工程中の要部断面図である。
- 【図 3 2】図 3 1 に続く半導体装置の製造工程中の要部断面図である。
- 【図 3 3】図 3 2 に続く半導体装置の製造工程中の要部断面図である。
- 【図 3 4】リーク電流を説明するための説明図である。
- 【図 3 5】本発明の他の実施の形態である半導体装置の要部断面図である。
- 【図 3 6】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。 20
- 【図 3 7】図 3 6 に続く半導体装置の製造工程中の要部断面図である。
- 【図 3 8】本発明の他の実施の形態である半導体装置の要部断面図である。
- 【図 3 9】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。
- 【図 4 0】図 3 9 に続く半導体装置の製造工程中の要部断面図である。
- 【図 4 1】本発明の他の実施の形態である半導体装置の要部断面図である。
- 【図 4 2】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。
- 【図 4 3】図 4 2 の部分拡大断面図である。
- 【図 4 4】図 4 2 に続く半導体装置の製造工程中の要部断面図である。
- 【図 4 5】図 4 4 の部分拡大断面図である。
- 【図 4 6】図 4 4 に続く半導体装置の製造工程中の要部断面図である。 30
- 【図 4 7】図 4 6 に続く半導体装置の製造工程中の要部断面図である。
- 【図 4 8】図 4 7 の部分拡大断面図である。
- 【図 4 9】図 4 7 に続く半導体装置の製造工程中の要部断面図である。
- 【図 5 0】図 4 9 の部分拡大断面図である。
- 【図 5 1】図 4 9 に続く半導体装置の製造工程中の要部断面図である。
- 【図 5 2】図 5 1 の部分拡大断面図である。
- 【図 5 3】本発明の他の実施の形態である半導体装置の要部断面図である。
- 【図 5 4】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。
- 【図 5 5】図 5 4 に続く半導体装置の製造工程中の要部断面図である。
- 【図 5 6】本発明の他の実施の形態である半導体装置の変形例を示す要部断面図である。 40
- 【発明を実施するための形態】
- 【0 0 2 0】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではな

いことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0021】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0022】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0023】

(実施の形態1)

本発明は、不揮発性メモリ（不揮発性記憶素子、フラッシュメモリ、不揮発性半導体記憶装置）を備えた半導体装置であり、不揮発性メモリは、主として電荷蓄積部にトラップ性絶縁膜（電荷を蓄積可能な絶縁膜）を用いたものである。以下の実施の形態では、不揮発性メモリは、 n チャネル型MISFET（MISFET: Metal Insulator Semiconductor Field Effect Transistor）を基本としトラップ性絶縁膜を用いたメモリセルをもとに説明を行う。また、以下の実施の形態での極性（書込・消去・読出時の印加電圧の極性やキャリアの極性）は、 n チャネル型MISFETを基本としたメモリセルの場合の動作を説明するためのものであり、 p チャネル型MISFETを基本とする場合は、印加電位やキャリアの導電型等の全ての極性を反転させることで、原理的には同じ動作を得ることができる。

【0024】

本実施の形態の半導体装置を図面を参照して説明する。

【0025】

図1は、本実施の形態の半導体装置の要部断面図である。本実施の形態の半導体装置は、不揮発性メモリを備えた半導体装置であり、図1には、不揮発性メモリのメモリセル領域の要部断面図が示されている。図2は、本実施の形態の半導体装置におけるメモリセルMCの部分拡大断面図（要部断面図）であり、図1の一部が拡大して示してある。図3は、メモリセルMCの等価回路図である。なお、図2は、図面を見やすくするために、図1に示される層間絶縁膜22については図示を省略している。

【0026】

図1に示されるように、例えば $1 \sim 10 \Omega \cdot \text{cm}$ 程度の比抵抗を有する p 型の単結晶シリコンなどからなる半導体基板（半導体ウエハ）1には、素子を分離するための素子分離領域（後述の素子分離領域2に対応するが、ここでは図示されていない）が形成されており、この素子分離領域で分離（規定）された活性領域に、 p 型ウエルPW1が形成されている。メモリセル領域の p 型ウエルPW1には、図1に示されるようなメモリトランジスタおよび制御トランジスタ（選択トランジスタ）からなる不揮発性メモリのメモリセルMCが形成されている。各メモリセル領域には、実際には複数のメモリセルMCがアレイ状に形成されており、図1には、そのうちの1つのメモリセルMCの断面が示されている。各メモリセル領域は、素子分離領域によって他の領域から電氣的に分離されている。

【0027】

図1～図3に示されるように、本実施の形態の半導体装置における不揮発性メモリのメモリセルMCは、スプリットゲート型のメモリセルであり、制御ゲート電極（選択ゲート電極）CGを有する制御トランジスタ（選択トランジスタ）とメモリゲート電極（メモリ用ゲート電極）MGを有するメモリトランジスタとの2つのMISFETを接続したものである。

10

20

30

40

50

【0028】

ここで、電荷蓄積部（電荷蓄積層）を含むゲート絶縁膜およびメモリゲート電極MGを備えるMISFET（Metal Insulator Semiconductor Field Effect Transistor）をメモリトランジスタ（記憶用トランジスタ）といい、また、ゲート絶縁膜および制御ゲート電極CGを備えるMISFETを制御トランジスタ（選択トランジスタ、メモリセル選択トランジスタ）という。従って、メモリゲート電極MGは、メモリトランジスタのゲート電極であり、制御ゲート電極CGは、制御トランジスタのゲート電極であり、制御ゲート電極CGおよびメモリゲート電極MGは、不揮発性メモリ（のメモリセル）を構成するゲート電極である。

【0029】

以下に、メモリセルMCの構成を具体的に説明する。

【0030】

図1および図2に示されるように、不揮発性メモリのメモリセルMCは、半導体基板1のp型ウエルPW1中に形成されたソースおよびドレイン用のn型の半導体領域MS、MDと、半導体基板1（p型ウエルPW1）の上部に形成された制御ゲート電極CGと、半導体基板1（p型ウエルPW1）の上部に形成されて制御ゲート電極CGと隣合うメモリゲート電極MGとを有している。そして、不揮発性メモリのメモリセルMCは、更に、制御ゲート電極CGおよび半導体基板1（p型ウエルPW1）間に形成された絶縁膜（ゲート絶縁膜）3と、メモリゲート電極MGおよび半導体基板1（p型ウエルPW1）間とメモリゲート電極MGおよび制御ゲート電極CG間とに形成された絶縁膜5とを有している。

【0031】

制御ゲート電極CGおよびメモリゲート電極MGは、それらの対向側面（側壁）の間に絶縁膜5を介した状態で、半導体基板1の主面に沿って延在し、並んで配置されている。制御ゲート電極CGおよびメモリゲート電極MGの延在方向は、図1の紙面に垂直な方向である。制御ゲート電極CGおよびメモリゲート電極MGは、半導体領域MDおよび半導体領域MS間の半導体基板1（p型ウエルPW1）の上部に絶縁膜3、5を介して（但し、制御ゲート電極CGは絶縁膜3を介し、メモリゲート電極MGは絶縁膜5を介して）形成されており、半導体領域MS側にメモリゲート電極MGが位置し、半導体領域MD側に制御ゲート電極CGが位置している。

【0032】

制御ゲート電極CGとメモリゲート電極MGとは、間に絶縁膜5を介在して互いに隣り合っており、メモリゲート電極MGは、制御ゲート電極CGの側面（側壁）上に絶縁膜5を介してサイドウォールスペーサ状に形成されている。また、絶縁膜5は、メモリゲート電極MGと半導体基板1（p型ウエルPW1）の間の領域と、メモリゲート電極MGと制御ゲート電極CGの間の領域の、両領域にわたって延在している。

【0033】

制御ゲート電極CGと半導体基板1（p型ウエルPW1）の間に形成された絶縁膜3（すなわち制御ゲート電極CGの下の絶縁膜3）が、制御トランジスタのゲート絶縁膜として機能し、メモリゲート電極MGと半導体基板1（p型ウエルPW1）の間の絶縁膜5（すなわちメモリゲート電極MGの下の絶縁膜5）が、メモリトランジスタのゲート絶縁膜（内部に電荷蓄積部を有するゲート絶縁膜）として機能する。

【0034】

本実施の形態では、絶縁膜3は、窒化シリコン膜よりも高い誘電率（比誘電率）を有する高誘電率膜（いわゆるHigh-k膜）である。なお、本願において、High-k膜、高誘電率膜あるいは高誘電率ゲート絶縁膜と言うときは、窒化シリコンよりも誘電率（比誘電率）が高い膜を意味する。絶縁膜3としては、例えば、酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜、酸化タンタル膜または酸化ランタン膜などの金属酸化物膜を用いることができる。

【0035】

また、高誘電率膜である絶縁膜 3 は、半導体基板 1 (p 型ウエル PW1) の表面 (シリコン面) 上に直接的に形成する (すなわち界面層 3 a を省略する) こともできるが、高誘電率膜である絶縁膜 3 と半導体基板 1 (p 型ウエル PW1) との界面に、図 2 に示されるように、酸化シリコン膜または酸化窒化シリコン膜からなる絶縁性の界面層 (絶縁層、絶縁膜) 3 a を設けることもできる。酸化シリコンまたは酸化窒化シリコンからなる界面層 3 a を設けることで、制御トランジスタのゲート絶縁膜と半導体基板 (のシリコン面) の界面を SiO_2/Si (または SiON/Si) 構造にし、トラップなどの欠陥数を減らして、駆動能力や信頼性を向上させることができる。

【0036】

絶縁膜 5 は、酸化シリコン膜 (酸化膜) 5 a と、酸化シリコン膜 5 a 上の窒化シリコン膜 (窒化膜、電荷蓄積層) 5 b と、窒化シリコン膜 5 b 上の酸化シリコン膜 (酸化膜) 5 c とを有する積層膜からなる。

【0037】

なお、図 1 では、図面を見やすくするために、酸化シリコン膜 5 a、窒化シリコン膜 5 b および酸化シリコン膜 5 c の積層膜を、単に絶縁膜 5 として図示しているが、実際には、図 2 に示されるように、絶縁膜 5 は、酸化シリコン膜 5 a と、酸化シリコン膜 5 a 上の窒化シリコン膜 5 b と、窒化シリコン膜 5 b 上の酸化シリコン膜 5 c との積層膜からなる。

【0038】

絶縁膜 5 は、酸化シリコン膜 5 a と窒化シリコン膜 5 b と酸化シリコン膜 5 c との積層構造を有しているため、メモリゲート電極 MG および半導体基板 1 (p 型ウエル PW1) 間の領域とメモリゲート電極 MG および制御ゲート電極 CG 間の領域とに延在している絶縁膜 5 を、積層ゲート絶縁膜 (積層構造のゲート絶縁膜) とみなすこともできる。但し、メモリゲート電極 MG と半導体基板 1 (p 型ウエル PW1) との間の絶縁膜 5 は、メモリトランジスタのゲート絶縁膜として機能するが、メモリゲート電極 MG と制御ゲート電極 CG との間の絶縁膜 5 は、メモリゲート電極 MG と制御ゲート電極 CG との間を絶縁 (電氣的に分離) するための絶縁膜として機能する。

【0039】

絶縁膜 5 のうち、窒化シリコン膜 5 b は、電荷を蓄積するための絶縁膜であり、電荷蓄積層 (電荷蓄積部) として機能する。すなわち、窒化シリコン膜 5 b は、絶縁膜 5 中に形成されたトラップ性絶縁膜である。このため、絶縁膜 5 は、その内部に電荷蓄積部 (電荷蓄積層、ここでは窒化シリコン膜 5 b) を有する絶縁膜とみなすことができる。

【0040】

窒化シリコン膜 5 b の上下に位置する酸化シリコン膜 5 c および酸化シリコン膜 5 a は、電荷ブロック層 (電荷ブロック膜、電荷閉じ込め層) として機能することができる。窒化シリコン膜 5 b を酸化シリコン膜 5 c および酸化シリコン膜 5 a で挟んだ構造とすることで、窒化シリコン膜 5 b への電荷の蓄積が可能となる。酸化シリコン膜 5 a、窒化シリコン膜 5 b および酸化シリコン膜 5 c は、ONO (oxide-nitride-oxide) 膜とみなすこともできる。

【0041】

また、変形例として、図 4 に示されるように、絶縁膜 5 を、酸化シリコン膜 5 a と、酸化シリコン膜 5 a 上の窒化シリコン膜 (電荷蓄積層) 5 b と、窒化シリコン膜 5 b 上の酸化シリコン膜 5 c と、酸化シリコン膜 5 c 上の絶縁膜 5 d との積層膜とし、最上層の絶縁膜 5 d を、窒化シリコン膜よりも高い誘電率 (比誘電率) を有する高誘電率膜 (いわゆる High-k 膜) とすることもできる。ここで、図 4 は、本実施の形態の半導体装置の変形例を示す要部断面図であり、図 2 に相当する断面領域が示されている。絶縁膜 5 d としては、例えば、酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜、酸化タンタル膜または酸化ランタン膜などの金属酸化物膜を用いることができる。

【0042】

半導体領域 MS は、ソース領域またはドレイン領域の一方として機能する半導体領域で

10

20

30

40

50

あり、半導体領域MDは、ソース領域またはドレイン領域の他方として機能する半導体領域である。ここでは、半導体領域MSはソース領域として機能する半導体領域、半導体領域MDはドレイン領域として機能する半導体領域である。半導体領域MS、MDは、n型の不純物が導入された半導体領域（n型不純物拡散層）よりなり、それぞれLDD（lightly doped drain）構造を備えている。すなわち、ソース用の半導体領域MSは、n⁻型半導体領域7aと、n⁻型半導体領域7aよりも高い不純物濃度を有するn⁺型半導体領域8aとを有し、ドレイン用の半導体領域MDは、n⁻型半導体領域7bと、n⁻型半導体領域7bよりも高い不純物濃度を有するn⁺型半導体領域8bとを有している。n⁺型半導体領域8aは、n⁻型半導体領域7aよりも接合深さが深くかつ不純物濃度が高く、また、n⁺型半導体領域8bは、n⁻型半導体領域7bよりも接合深さが深くかつ不純物濃度が高い。

10

【0043】

メモリゲート電極MGおよび制御ゲート電極CGの側壁（互いに隣接していない側の側壁）上には、絶縁膜（酸化シリコン膜、窒化シリコン膜、あるいはそれらの積層膜）からなるサイドウォールスペーサ（サイドウォール、側壁絶縁膜）SWが形成されている。すなわち、絶縁膜5を介して制御ゲート電極CGに隣接する側とは逆側のメモリゲート電極MGの側壁（側面）上と、絶縁膜5を介してメモリゲート電極MGに隣接する側とは逆側の制御ゲート電極CGの側壁（側面）上とに、サイドウォールスペーサSWが形成されている。

【0044】

20

ここで、制御ゲート電極CGの側壁（側面）のうち、絶縁膜5を介してメモリゲート電極MGに隣接する側の側壁（側面）を、符号11aを付して側壁（側面）11aと称し、また、絶縁膜5を介してメモリゲート電極MGに隣接する側とは逆側の側壁（側面）を、符号11bを付して側壁（側面）11bと称することとする。制御ゲート電極CGの側壁11aと側壁11bとは、互いに反対側に位置している。また、メモリゲート電極MGの側壁（側面）のうち、絶縁膜5を介して制御ゲート電極CGに隣接する側の側壁（側面）を、符号12aを付して側壁（側面）12aと称し、また、絶縁膜5を介して制御ゲート電極CGに隣接する側とは逆側の側壁（側面）を、符号12bを付して側壁（側面）12bと称することとする。メモリゲート電極MGの側壁12aと側壁12bとは、互いに反対側に位置している。また、メモリゲート電極MGの側壁（側面）12b上に形成された

30

【0045】

また、メモリゲート電極MGの側壁12b上にサイドウォールスペーサSW1が形成されているが、メモリゲート電極MGの側壁12b上に直接的にサイドウォールスペーサSW1が形成されているのではなく、メモリゲート電極MGの側壁12b上に、側壁絶縁膜14aを介してサイドウォールスペーサSW1が形成されている。つまり、メモリゲート電極MGの側壁12b上に側壁絶縁膜14aが形成され、サイドウォールスペーサSW1は、メモリゲート電極MGの側壁12b上に、この側壁絶縁膜14aを介して形成されている。また、制御ゲート電極CGの側壁11b上にサイドウォールスペーサSW2が形成されているが、制御ゲート電極CGの側壁11b上に直接的にサイドウォールスペーサSW2が形成されているのではなく、制御ゲート電極CGの側壁11b上に、側壁絶縁膜14bを介してサイドウォールスペーサSW2が形成されている。つまり、制御ゲート電極CGの側壁11b上に側壁絶縁膜14bが形成され、サイドウォールスペーサSW2は、メモリゲート電極MGの側壁11b上に、この側壁絶縁膜14bを介して形成されている。すなわち、メモリゲート電極MG（の側壁12b）とサイドウォールスペーサSW1との間に側壁絶縁膜14aが介在し、制御ゲート電極CG（の側壁11b）とサイドウォールスペーサSW2との間に、側壁絶縁膜14bが介在した状態となっている。

40

50

【0046】

また、制御ゲート電極CGの側壁11a上には側壁絶縁膜13aが形成されており、メモリゲート電極MG（の側壁12a）と制御ゲート電極CG（の側壁11a）との間には、絶縁膜5とともに、この側壁絶縁膜13aが介在している。つまり、メモリゲート電極MG（の側壁12a）と制御ゲート電極CG（の側壁11a）との間に位置する部分の絶縁膜5と、制御ゲート電極CG（の側壁11a）との間に、側壁絶縁膜13aが介在している。すなわち、メモリゲート電極MG（の側壁12a）と制御ゲート電極CG（の側壁11a）との間において、側壁絶縁膜13aと絶縁膜5とが制御ゲート電極CG側から順に積層された状態となっている。なお、側壁絶縁膜13aは、メモリゲート電極MG（の下面）と半導体基板1（p型ウェルPW1）との間には形成されていないが、絶縁膜5は、メモリゲート電極MG（の下面）と半導体基板1（p型ウェルPW1）の間にも延在している。

【0047】

ソース部の n^- 型半導体領域7aは、メモリゲート電極MGの側壁12b上の側壁絶縁膜14aの側面（メモリゲート電極MGに接する側とは逆側の側面）に対して自己整合的に形成され、 n^+ 型半導体領域8aは、サイドウォールスペーサSW1の側面（側壁絶縁膜14aに接する側とは逆側の側面）に対して自己整合的に形成されている。このため、低濃度の n^- 型半導体領域7aは、メモリゲート電極MGの側壁上のサイドウォールスペーサSW1の下（下方）に形成され、高濃度の n^+ 型半導体領域8aは、低濃度の n^- 型半導体領域7aの外側に形成されている。従って、低濃度の n^- 型半導体領域7aは、メモリトランジスタのチャンネル領域に隣接するように形成され、高濃度の n^+ 型半導体領域8aは、低濃度の n^- 型半導体領域7aに接し（隣接し）、メモリトランジスタのチャンネル領域から n^- 型半導体領域7aの分だけ離間するように形成されている。

【0048】

ドレイン部の n^- 型半導体領域7bは、制御ゲート電極CGの側壁上の側壁絶縁膜14bの側面（制御ゲート電極CGに接する側とは逆側の側面）に対して自己整合的に形成され、 n^+ 型半導体領域8bは、サイドウォールスペーサSW2の側面（側壁絶縁膜14bに接する側とは逆側の側面）に対して自己整合的に形成されている。このため、低濃度の n^- 型半導体領域7bは、制御ゲート電極CGの側壁上のサイドウォールスペーサSW2の下（下方）に形成され、高濃度の n^+ 型半導体領域8bは、低濃度の n^- 型半導体領域7bの外側に形成されている。従って、低濃度の n^- 型半導体領域7bは、制御トランジスタのチャンネル領域に隣接するように形成され、高濃度の n^+ 型半導体領域8bは、低濃度の n^- 型半導体領域7bに接し（隣接し）、制御トランジスタのチャンネル領域から n^- 型半導体領域7bの分だけ離間するように形成されている。

【0049】

メモリゲート電極MG下の絶縁膜5の下にメモリトランジスタのチャンネル領域が形成され、制御ゲート電極CG下の絶縁膜3の下に制御トランジスタのチャンネル領域が形成される。

【0050】

ドレイン部の n^- 型半導体領域7bに対しては、短チャンネル特性（パンチスルー）抑制のためのハロー領域HAが形成されている。すなわち、p型ウェルPW1において、 n^- 型半導体領域7bを包み込む（覆う）ようにハロー領域HAが形成されている。ハロー領域HAは、 n^- 型半導体領域7bとは逆の導電型で、かつp型ウェルPW1とは同じ導電型であり、p型ウェルPW1よりも不純物濃度（p型不純物濃度）が高く、ここではp型（p型の半導体領域）である。

【0051】

また、ハロー領域HAは、ドレイン用の n^- 型半導体領域7bに対して形成している（p型ウェルPW1において n^- 型半導体領域7bを包み込むように形成している）が、制御トランジスタの短チャンネル特性抑制のために形成している。ソース用の n^- 型半導体領域7aに対しては、ハロー領域HAを形成しなくともよいが、メモリトランジスタの短チ

ャネル特性抑制のために形成することもできる。

【0052】

制御ゲート電極CGは導電体（導電体膜）からなるが、本実施の形態では、金属膜4aと金属膜4a上のシリコン膜4bとにより、制御ゲート電極CGが形成されている。すなわち、制御ゲート電極CGは、ゲート絶縁膜（ここでは高誘電率ゲート絶縁膜である絶縁膜3）に接する金属膜（金属層、メタルゲート膜）4aと、この金属膜4a上のシリコン膜4bとの積層膜（積層構造）で構成されている。具体的には、制御ゲート電極CGは、パターンニングされた金属膜4aおよびシリコン膜4bの積層膜からなる。制御ゲート電極CGは、ゲート絶縁膜（ここでは高誘電率ゲート絶縁膜である絶縁膜3）に接する金属膜4aを有しているため、いわゆるメタルゲート電極（金属ゲート電極）である。金属膜4aは、金属伝導を示す導電体膜であり、例えばアルミニウム（Al）膜、チタン（Ti）膜、ジルコニウム（Zr）膜またはランタン（La）膜などを用いることができる。シリコン膜4bは、好ましくはドーフトポリシリコン膜（不純物を導入した多結晶シリコン膜）であり、不純物（例えばn型不純物）が導入されて低抵抗率とされている。

10

【0053】

メモリゲート電極MGは、金属膜（金属層、メタルゲート膜）6aと金属膜6a上のシリコン膜6bとの積層膜により形成されている。メモリゲート電極MGを構成する金属膜6aは絶縁膜5に接し、メモリゲート電極MGを構成するシリコン膜6bは、絶縁膜5に接していない。すなわち、メモリゲート電極MGを構成するシリコン膜6bと絶縁膜5との間に、メモリゲート電極MGを構成する金属膜6aが介在した状態となっている。つまり、メモリゲート電極MGのシリコン膜6bと半導体基板1（p型ウエルPW1）との間に、絶縁膜5とメモリゲート電極MGの金属膜6aとが介在し、メモリゲート電極MGのシリコン膜6bと制御ゲート電極CGとの間には、側壁絶縁膜13aと絶縁膜5とメモリゲート電極MGの金属膜6aとが介在している。メモリゲート電極MGは、メモリゲート電極MGと半導体基板1（p型ウエルPW1）との間に位置する部分の絶縁膜5に接する金属膜6aを有しているため、いわゆるメタルゲート電極（金属ゲート電極）である。金属膜6aは、金属伝導を示す導電体膜であり、特に酸化するものと更に有利であり、例えばアルミニウム（Al）膜、チタン（Ti）膜、ジルコニウム（Zr）膜またはランタン（La）膜などを用いることができる。シリコン膜6bは、好ましくはドーフトポリシリコン膜（不純物を導入した多結晶シリコン膜）であり、不純物（例えばn型不純物）が導入されて低抵抗率とされている。

20

30

【0054】

メモリゲート電極MGを構成する金属膜6aの上端部16a側には、絶縁性を有する金属酸化物部分17が形成されている。金属酸化物部分17は、金属膜6aの一部が酸化することで形成されたものであり、金属膜6aの上端部16aは金属酸化物部分17に隣接している（接している）。すなわち、金属膜6aの上端部16a上に金属酸化物部分17が、金属膜6aに連続して形成された状態となっている。このため、金属膜6aの上端部が酸化されて、金属膜6aの上端部に金属酸化物部分17が形成されているということもできる。金属酸化物部分17は、金属膜6aの一部が酸化することで形成されているため、金属酸化物部分17を構成する金属元素と、金属膜6aを構成する金属元素とは同じである。例えば、金属膜6aがアルミニウム（Al）膜である場合には、金属酸化物部分17は酸化アルミニウムからなる。また、金属膜6aの上端部が酸化されて金属酸化物部分17が形成されているため、金属酸化物部分17は、層間絶縁膜22と金属膜6aとにより上下に挟まれ、また、メモリゲート電極MGを構成するシリコン膜6bやそのシリコン膜6bの上部に形成された金属シリサイド層21aと絶縁膜5とにより横方向（ゲート長方向）に挟まれている。換言すれば、金属酸化物部分17は、メモリゲート電極MGを構成するシリコン膜6bやそのシリコン膜6bの上部に形成された金属シリサイド層21aと、金属膜6aと、絶縁膜5と、層間絶縁膜22とで囲まれている。

40

【0055】

一方、メモリゲート電極MGを構成する金属膜6aの側方端部16bは、メモリゲート

50

電極MGの側壁12b上に形成された側壁絶縁膜14aに隣接しており（接しており）、ほとんど酸化されていない。メモリゲート電極MGを構成する金属膜6aの上端部16aと側方端部16bは、制御ゲート電極CGとメモリゲート電極MGとの間からメモリゲート電極MGと半導体基板1との間にかけて延在している金属膜6aにおいて互いに反対側に位置している。ここでは、半導体基板1に平行な方向に所定の厚みをもって延在する金属膜6aにおいて、メモリゲート電極MGの側壁12bで露出する側の端部を、金属膜6aの側方端部16bと称する。また、制御ゲート電極CGの側壁11a上において、制御ゲート電極CGの側壁11aに平行な方向に所定の厚みをもって延在する金属膜6aにおいて、メモリゲート電極MGの上部側に位置する端部を、金属膜6aの上端部16aと称する。

10

【0056】

メモリゲート電極MGを構成するシリコン膜6bの上部（上面）と制御ゲート電極CGを構成するシリコン膜4bの上部（上面）と n^+ 型半導体領域8a、8bの上部（上面、表面）には、サリサイド（Salicide: Self Aligned Silicide）技術などにより、金属シリサイド層（金属シリサイド膜）21が形成されている。金属シリサイド層21は、例えばコバルトシリサイド層、ニッケルシリサイド層、または、プラチナ添加ニッケルシリサイド層などからなる。金属シリサイド層21により、拡散抵抗やコンタクト抵抗を低抵抗化することができる。メモリゲート電極MGを構成するシリコン膜6bの上部（上面）に形成された金属シリサイド層21を、符号21aを付して金属シリサイド層21aと称し、制御ゲート電極CGを構成するシリコン膜4bの上部（上面）に形成された金属シリサイド層21を、符号21bを付して金属シリサイド層21bと称することとする。制御ゲート電極CGを構成する金属膜4aおよびシリコン膜4bと、そのシリコン膜4bの上部の金属シリサイド層21bとを合わせたものを、制御ゲート電極CGとみなすこともでき、また、メモリゲート電極MGを構成する金属膜6aおよびシリコン膜6bと、そのシリコン膜6bの上部の金属シリサイド層21aとを合わせたものを、メモリゲート電極MGとみなすこともできる。また、メモリゲート電極MGを構成する金属膜6aおよびシリコン膜6bと、そのシリコン膜6bの上部の金属シリサイド層21aと、金属膜6aの上端部の金属酸化物部分17とを合わせたものを、メモリゲート電極MGとみなすこともできる（但し上述のように金属酸化物部分17は絶縁性である）。また、メモリゲート電極MGと制御ゲート電極CGとの間のショートをできるだけ防止するという観点から、メモリゲート電極MGと制御ゲート電極CGの一方または両方の上部に金属シリサイド層21を形成しない場合もあり得る。

20

30

【0057】

半導体基板1上には、制御ゲート電極CG、メモリゲート電極MGおよびサイドウォールスペーサSWを覆うように、絶縁膜として層間絶縁膜22が形成されている。層間絶縁膜22は、酸化シリコン膜の単体膜、あるいは、窒化シリコン膜と該窒化シリコン膜上に該窒化シリコン膜よりも厚く形成された酸化シリコン膜との積層膜などからなる。層間絶縁膜22の上面は平坦化されている。

【0058】

層間絶縁膜22にはコンタクトホール（開口部、貫通孔）CNTが形成されており、コンタクトホールCNT内に、導電体部（接続用導電体部）として導電性のプラグPGが埋め込まれている。

40

【0059】

プラグPGは、コンタクトホールCNTの底部および側壁（側面）上に形成された薄いバリア導体膜と、このバリア導体膜上にコンタクトホールCNTを埋め込むように形成された主導体膜とで形成されているが、図面の簡略化のために、図1では、プラグPGを構成するバリア導体膜および主導体膜を一体化して示してある。なお、プラグPGを構成するバリア導体膜は、例えば、チタン膜、窒化チタン膜、あるいはそれらの積層膜とすることができ、プラグPGを構成する主導体膜は、タングステン膜とすることができる。

【0060】

50

コンタクトホールCNTおよびそれに埋め込まれたプラグPGは、 n^+ 型半導体領域8a、8b、制御ゲート電極CGおよびメモリゲート電極MGの上部などに形成される。コンタクトホールCNTの底部では、半導体基板1の主面の一部、例えば n^+ 型半導体領域8a、8b（の表面上の金属シリサイド層21）の一部、制御ゲート電極CG（の表面上の金属シリサイド層21）の一部、メモリゲート電極MG（の表面上の金属シリサイド層21）の一部などが露出される。そして、その露出部（コンタクトホールCNTの底部の露出部）にプラグPGが接続される。なお、図1においては、 n^+ 型半導体領域8b（の表面上の金属シリサイド層21）の一部が、コンタクトホールCNTの底部で露出して、そのコンタクトホールCNTを埋めるプラグPGと電氣的に接続された断面が示されている。

10

【0061】

プラグPGが埋め込まれた層間絶縁膜22上には配線（配線層）M1が形成されている。配線M1は、例えばダマシン配線（埋込配線）であり、層間絶縁膜22上に形成された絶縁膜（図1には示されていないが、後述の絶縁膜24に対応する）に設けられた配線溝に埋め込まれている。配線M1は、プラグPGを介して、メモリトランジスタのソース領域（半導体領域MS）、制御トランジスタのドレイン領域（半導体領域MD）、制御ゲート電極CGあるいはメモリゲート電極MGなどと電氣的に接続される。なお、図1においては、配線M1の例として、制御トランジスタのドレイン領域（半導体領域MD）にプラグPGを介して電氣的に接続された配線M1が示されている。更に上層の配線および絶縁膜も形成されているが、ここではその図示および説明は省略する。また、配線M1およびそれよりも上層の配線は、ダマシン配線（埋込配線）に限定されず、配線用の導電体膜をパターンニングして形成することもでき、例えばタングステン配線またはアルミニウム配線などとすることもできる。

20

【0062】

図5は、本実施の形態の「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。図5の表には、「書込」、「消去」および「読出」時のそれぞれにおいて、図1～図3に示されるようなメモリセル（選択メモリセル）のメモリゲート電極MGに印加する電圧 V_{mg} 、ソース領域（半導体領域MS）に印加する電圧 V_s 、制御ゲート電極CGに印加する電圧 V_{cg} 、ドレイン領域（半導体領域MD）に印加する電圧 V_d 、およびp型ウェルPW1に印加される電圧 V_b が記載されている。なお、図5の表に示したものは電圧の印加条件の好適な一例であり、これに限定されるものではなく、必要に応じて種々変更可能である。また、本実施の形態では、メモリトランジスタの絶縁膜5中の電荷蓄積層（電荷蓄積部）である窒化シリコン膜5bへの電子の注入を「書込」、ホール（hole：正孔）の注入を「消去」と定義する。

30

【0063】

書込み方式は、いわゆるSSI（Source Side Injection：ソースサイド注入）方式と呼ばれるホットエレクトロン書込みを用いることができる。例えば図5の「書込」の欄に示されるような電圧を、書込みを行う選択メモリセルの各部位に印加し、選択メモリセルの絶縁膜5中の窒化シリコン膜5b中に電子（エレクトロン）を注入する。ホットエレクトロンは、2つのゲート電極（メモリゲート電極MGおよび制御ゲート電極CG）間の下のチャネル領域（ソース、ドレイン間）で発生し、メモリゲート電極MGの下の絶縁膜5中の電荷蓄積層（電荷蓄積部）である窒化シリコン膜5bにホットエレクトロンが注入される。注入されたホットエレクトロン（電子）は、絶縁膜5中の窒化シリコン膜5b中のトラップ準位に捕獲され、その結果、メモリトランジスタのしきい値電圧が上昇する。

40

【0064】

消去方法は、BTBT（Band-To-Band Tunneling：バンド間トンネル現象）ホットホール注入消去方式を用いることができる。すなわち、BTBT（バンド間トンネル現象）により発生したホール（正孔）を電荷蓄積部（絶縁膜5中の窒化シリコン膜5b）に注入することにより消去を行う。例えば図5の「消去」の欄に示されるような電圧を、消去を行う選択メモリセルの各部位に印加し、BTBT（Band-To-Band Tunneling）現象によりホ

50

ール（正孔）を発生させ電界加速することで選択メモリセルの絶縁膜 5 中の窒化シリコン膜 5 b 中にホールを注入し、それによってメモリトランジスタのしきい値電圧を低下させる。

【0065】

読出し時には、例えば図 5 の「読出」の欄に示されるような電圧を、読出しを行う選択メモリセルの各部位に印加する。読出し時のメモリゲート電極 M G に印加する電圧 V_{mg} を、書込み状態におけるメモリトランジスタのしきい値電圧と消去状態におけるメモリトランジスタのしきい値電圧との間の値にすることで、書込み状態と消去状態とを判別することができる。

【0066】

次に、本実施の形態の半導体装置の製造方法について説明する。

【0067】

図 6 および図 7 は、本実施の形態の半導体装置の製造工程の一部を示すプロセスフロー図である。図 8 ～図 33 は、本実施の形態の半導体装置の製造工程中の要部断面図である。このうち、図 8 ～図 15 および図 18 ～図 33 の断面図には、メモリセル領域（不揮発性メモリのメモリセル M C が形成される領域）1 A および周辺回路領域（不揮発性メモリ以外の回路が形成される領域）1 B の要部断面図が示されており、メモリセル領域 1 A にメモリセル M C が、周辺回路領域 1 B に M I S F E T が、それぞれ形成される様子が示されている。また、図 16 および図 17 は、図 15 の部分拡大断面図に対応している。メモリセル領域 1 A と周辺回路領域 1 B とは同じ半導体基板 1 に形成されている。メモリセル領域 1 A と周辺回路領域 1 B は隣り合っていないともよいが、理解を簡単にするために、図 8 ～図 15 および図 18 ～図 33 の断面図においては、メモリセル領域 1 A の隣に周辺回路領域 1 B を図示している。ここで、周辺回路とは、不揮発性メモリ以外の回路であり、例えば C P U などのプロセッサ、制御回路、センスアンプ、カラムデコーダ、ロウデコーダ、入出力回路などである。周辺回路領域 1 B に形成される M I S F E T は、周辺回路用の M I S F E T である。

【0068】

また、本実施の形態においては、メモリセル領域 1 A に n チャネル型の M I S F E T （制御トランジスタおよびメモリトランジスタ）を形成する場合について説明するが、導電型を逆にして p チャネル型の M I S F E T （制御トランジスタおよびメモリトランジスタ）をメモリセル領域 1 A に形成することもできる。同様に、本実施の形態においては、周辺回路領域 1 B に n チャネル型の M I S F E T を形成する場合について説明するが、導電型を逆にして p チャネル型の M I S F E T を周辺回路領域 1 B に形成することもでき、また、周辺回路領域 1 B に C M I S F E T （Complementary MISFET）などを形成することもできる。

【0069】

図 8 に示されるように、まず、例えば $1 \sim 10 \Omega \cdot \text{cm}$ 程度の比抵抗を有する p 型の単結晶シリコンなどからなる半導体基板（半導体ウエハ）1 を用意（準備）する（図 6 のステップ S 1）。それから、半導体基板 1 の主面に、活性領域を規定（画定）する素子分離領域（素子間分離絶縁領域）2 を形成する（図 6 のステップ S 2）。素子分離領域 2 は、酸化シリコンなどの絶縁体からなり、例えば S T I （Shallow Trench Isolation）法または L O C O S （Local Oxidization of Silicon）法などにより形成することができる。例えば、半導体基板 1 の主面に素子分離用の溝を形成した後、この素子分離用の溝内に、例えば酸化シリコンからなる絶縁膜を埋め込むことで、素子分離領域 2 を形成することができる。

【0070】

次に、図 9 に示されるように、半導体基板 1 のメモリセル領域 1 A に p 型ウエル P W 1 を、周辺回路領域 1 B に p 型ウエル P W 2 を形成する（図 6 のステップ S 3）。p 型ウエル P W 1, P W 2 は、例えばホウ素（B）などの p 型の不純物を半導体基板 1 にイオン注入することなどによって形成することができる。p 型ウエル P W 1, P W 2 は、半導体基

10

20

30

40

50

板 1 の主面から所定の深さにわたって形成される。

【0071】

ここで、本実施の形態では、半導体基板 1 のメモリセル領域 1 A (p 型ウエル PW1) には、チャネルドープイオン注入を行わないようにすることが望ましい。あるいは、チャネルドープイオン注入を行う場合でも、ドーズ量を少なくして、チャネル領域の不純物濃度を小さくすることが好ましい。チャネルドープイオン注入は、一般に、トランジスタのしきい値調整用のイオン注入であり、後でトランジスタのチャネル領域となる領域に不純物を導入 (ドープ) するために行われる。本実施の形態では、後で制御トランジスタやメモリトランジスタのチャネル領域となる領域に対して不純物を導入 (ドープ) するチャネルドープイオン注入を行わないか、あるいはチャネルドープイオン注入を行ってもドーズ量を少なくすることで、制御トランジスタやメモリトランジスタのチャネル領域の不純物濃度を低くすることができる。

10

【0072】

次に、例えばフッ酸 (HF) 水溶液を用いたウェットエッチングなどにより半導体基板 1 の表面の自然酸化膜を除去することによって、半導体基板 1 の表面を清浄化 (洗浄) する。これにより、半導体基板 1 (p 型ウエル PW1, PW2) の表面 (シリコン面) が露出される。

【0073】

次に、半導体基板 1 の主面 (すなわち p 型ウエル PW1, PW2 の表面) 上に、絶縁膜 3 を形成する (図 6 のステップ S4)。絶縁膜 3 は、上述のように、高誘電率膜 (High-k 膜) であり、使用可能な材料例は上述の通りである。絶縁膜 3 は、スパッタリング法、ALD (Atomic Layer Deposition: 原子層堆積) 法または CVD (Chemical Vapor Deposition: 化学的気相成長) 法などを用いて形成することができる。絶縁膜 3 の膜厚は、例えば 0.5~3.0 nm 程度とすることができる。

20

【0074】

また、絶縁膜 3 を形成する前に、半導体基板 1 の表面 (すなわち p 型ウエル PW1, PW2 の表面) 上に、酸化シリコン膜または酸窒化シリコン膜からなる上記界面層 3a を熱酸化法などを用いて形成してから、この界面層 3a 上に絶縁膜 3 を形成することもできる (図 9 では界面層 3a は図示されていない)。界面層 3a を形成した場合、絶縁膜 3 は界面層 3a 上に形成されるが、素子分離領域 2 上には界面層 3a が形成されないため、素子分離領域 2 上には直接、絶縁膜 3 が形成される。界面層 3a を形成してから、この界面層 3a 上に絶縁膜 3 を形成すれば、トラップなどの欠陥数を減らして、駆動能力や信頼性を向上させることができる。界面層 3a を形成する場合、界面層 3a の膜厚は薄く、例えば 0.5~3.0 nm 程度とすることができる。

30

【0075】

次に、図 10 に示されるように、半導体基板 1 の主面 (主面全面) 上に、すなわち絶縁膜 3 上に、メタルゲート (金属ゲート電極) 用の金属膜 (金属層、メタルゲート膜) 4a を形成 (堆積) する (図 6 のステップ S5)。金属膜 4a として好適な材料例は上述の通りである。金属膜 4a は、例えばスパッタリング法などにより形成することができ、金属膜 4a の膜厚 (形成膜厚) は、例えば 10~20 nm 程度とすることができる。

40

【0076】

次に、図 11 に示されるように、半導体基板 1 の主面 (主面全面) 上に、すなわち金属膜 4a 上に、シリコン膜 4b を形成 (堆積) する (図 6 のステップ S6)。

【0077】

シリコン膜 4b は、多結晶シリコン膜 (ポリシリコン膜) からなり、CVD 法などを用いて形成することができる。シリコン膜 4b の膜厚 (堆積膜厚) は、例えば 50~200 nm 程度とすることができる。成膜時はシリコン膜 4b をアモルファスシリコン膜として形成してから、その後の熱処理でアモルファスシリコン膜を多結晶シリコン膜とすることもできる。

【0078】

50

シリコン膜 4 b は、不純物（例えばリン（P）またはヒ素（As）などの n 型不純物またはホウ素（B）などの p 型不純物）を導入して低抵抗率とすれば、より好ましい。不純物は、シリコン膜 4 b の成膜時または成膜後に導入することができる。シリコン膜の成膜時に不純物を導入する場合には、シリコン膜 4 b の成膜用のガスにドーピングガス（不純物添加用のガス）を含ませることで、不純物が導入されたシリコン膜 4 b を成膜することができる。一方、シリコン膜の成膜後に不純物を導入する場合には、意図的には不純物を導入せずにシリコン膜を成膜した後に、このシリコン膜に不純物をイオン注入法などで導入することで、不純物が導入されたシリコン膜 4 b を形成することができる。

【0079】

ステップ S 5 で形成する金属膜 4 a の厚みを厚くすることでステップ S 6 のシリコン膜 4 b の形成工程を省略する（すなわち制御ゲート電極 CG をシリコン膜 4 b 無しの金属膜 4 a で形成する）ことも可能であるが、ステップ S 6 で金属膜 4 a 上にシリコン膜 4 b を形成する（すなわち制御ゲート電極 CG を金属膜 4 a とその上のシリコン膜 4 b との積層膜で形成する）方が、より好ましい。その理由は、金属膜 4 a の厚みが厚すぎると、金属膜 4 a が剥離しやすくなる問題や、あるいは金属膜 4 a をパターニングする際のオーバーエッチングによる基板ダメージの問題が生じる可能性があるが、金属膜 4 a とシリコン膜 4 b との積層膜で制御ゲート電極 CG を形成することで、金属膜 4 a のみで制御ゲート電極 CG を形成する場合に比べて金属膜 4 a の厚みを薄くすることができるため、上記問題を改善できるからである。また、金属膜 4 a 上にシリコン膜 4 b を形成した場合、これまでのポリシリコンゲート電極（ポリシリコンからなるゲート電極）の加工方法やプロセスを踏襲できるため、微細加工性、製造コストおよび歩留まりの点でも優位である。以降、金属膜 4 a と金属膜 4 a 上のシリコン膜 4 b との積層膜を、積層膜 4 と称するものとする。

【0080】

次に、メモリセル領域 1 A の積層膜 4（シリコン膜 4 b および金属膜 4 a の積層膜 4）をエッチング（好ましくはドライエッチング）によりパターニングして、金属膜 4 a および金属膜 4 a 上のシリコン膜 4 b からなる制御ゲート電極 CG を形成する（図 6 のステップ S 7）。ステップ S 7 のパターニング工程は、例えば次のようにして行うことができる。

【0081】

すなわち、積層膜 4 上にフォトリソグラフィ法を用いてフォトレジストパターン（ここでは図示しないけれども、メモリセル領域 1 A における制御ゲート電極 CG 形成予定領域と周辺回路領域 1 B 全体にこのフォトレジストパターンが形成される）を形成し、このフォトレジストパターンをエッチングマスクとして用いて、積層膜 4（シリコン膜 4 b および金属膜 4 a の積層膜 4）をエッチング（ドライエッチング）してパターニングする。その後、このフォトレジストパターンを除去する。

【0082】

このようにして、ステップ S 7 で積層膜 4（シリコン膜 4 b および金属膜 4 a の積層膜 4）がパターニングされ、図 12 に示されるように、メモリセル領域 1 A に、パターニングされた積層膜 4（シリコン膜 4 b および金属膜 4 a の積層膜）からなる制御ゲート電極 CG が形成される。このとき、周辺回路領域 1 B では、上述したようにフォトレジストパターンを形成していたため、積層膜 4（シリコン膜 4 b および金属膜 4 a の積層膜 4）のパターニングは行われていない。このため、周辺回路領域 1 B 全体に、積層膜 4 が残存する。

【0083】

メモリセル領域 1 A において、制御ゲート電極 CG で覆われない部分の絶縁膜 3 は（場合によっては上記界面層 3 a も）、ステップ S 7 のパターニング工程で行うドライエッチングや、あるいはそのドライエッチング後にウェットエッチングを行うことによって除去され得る。制御ゲート電極 CG の下部に位置する絶縁膜 3（上記界面層 3 a を形成した場合はこの界面層 3 a も）は、ステップ S 7 のドライエッチングや、その後のウェットエッ

チングで除去されずに残存する。メモリセル領域 1 A において、制御ゲート電極 C G の下に残存する絶縁膜 3（上記界面層 3 a を形成した場合は絶縁膜 3 および界面層 3 a）が、制御トランジスタのゲート絶縁膜となる。従って、金属膜 4 a と金属膜 4 a 上のシリコン膜 4 b とからなる制御ゲート電極 C G は、半導体基板 1（p 型ウエル P W 1）上にゲート絶縁膜としての絶縁膜 3（および上記界面層 3 a）を介して形成された状態となる。

【0084】

次に、制御ゲート電極 C G の側壁上に、絶縁体（絶縁膜）からなる側壁絶縁膜 1 3 a を形成する（図 6 のステップ S 8）。このステップ S 8 の側壁絶縁膜 1 3 a 形成工程は、次のようにして行うことができる（図 1 3 および図 1 4 参照）。

【0085】

すなわち、まず、図 1 3 に示されるように、半導体基板 1 の主面全面上に、制御ゲート電極 C G を覆うように、絶縁膜 1 3 を形成（堆積）する。この絶縁膜 1 3 は、好ましくは窒化シリコン膜からなる。それから、この絶縁膜 1 3 を異方性エッチング（エッチバック）することによって、図 1 4 に示されるように、制御ゲート電極 C G の側壁上に選択的にこの絶縁膜 1 3 を残して、側壁絶縁膜 1 3 a を形成する。側壁絶縁膜 1 3 a は、この段階では、メモリセル領域 1 A の制御ゲート電極 C G の両側壁（すなわち側壁 1 1 a, 1 1 b）上と、周辺回路領域 1 B の積層膜 4 の側壁上とに形成される。

【0086】

ステップ S 8 の側壁絶縁膜 1 3 a 形成工程を省略することも可能であるが、制御ゲート電極 C G の側壁上に側壁絶縁膜 1 3 a を形成すれば、制御ゲート電極 C G の金属膜 4 a の側面や高誘電率膜である絶縁膜 3 の側面を側壁絶縁膜 1 3 a で覆うことができるため、以降の工程で制御ゲート電極 C G の金属膜 4 a や絶縁膜 3 が不要なエッチングを受けるのを防止することができる。また、側壁絶縁膜 1 3 a を形成すれば、制御ゲート電極 C G の側壁と後で形成されるメモリゲート電極 M G の側壁との間に絶縁膜 5 だけでなく側壁絶縁膜 1 3 a も介在することになるため、制御ゲート電極 C G とメモリゲート電極 M G との間の耐圧を向上させることもできる。

【0087】

次に、洗浄処理を行って、半導体基板 1 の主面を清浄化処理した後、図 1 5 に示されるように、半導体基板 1 の主面全面に、すなわち、半導体基板 1 の主面（表面）上と制御ゲート電極 C G の表面（上面および側面）上に、メモリトランジスタのゲート絶縁膜用の絶縁膜 5 を形成する（図 6 のステップ S 9）。また、周辺回路領域 1 B では、積層膜 4 が残存しているので、この積層膜 4 の表面（上面および側面）上に絶縁膜 5 が形成される。このため、ステップ S 9 において、絶縁膜 5 は、半導体基板 1 上に、制御ゲート電極 C G および周辺回路領域 1 B の積層膜 4 を覆うように形成される。なお、制御ゲート電極 C G の側壁（1 1 a, 1 1 b）上には側壁絶縁膜 1 3 a が形成されているので、制御ゲート電極 C G の側壁（1 1 a, 1 1 b）と絶縁膜 5 との間には、側壁絶縁膜 1 3 a が介在することになる。

【0088】

絶縁膜 5 は、上記のように、内部に電荷蓄積部（電荷蓄積層）を有する絶縁膜であり、絶縁膜として、下から順に形成された酸化シリコン膜 5 a、窒化シリコン膜 5 b および酸化シリコン膜 5 c の積層膜からなるが、図面を見やすくするために、図 1 6 では、酸化シリコン膜 5 a、窒化シリコン膜 5 b および酸化シリコン膜 5 c の積層膜を、単に絶縁膜 5 として図示している。従って、実際には、図 1 6 に示されるように、絶縁膜 5 は、酸化シリコン膜（酸化膜）5 a と、酸化シリコン膜 5 a 上の窒化シリコン膜（窒化膜）5 b と、窒化シリコン膜 5 b 上の酸化シリコン膜（酸化膜）5 c との積層膜からなる。

【0089】

絶縁膜 5 のうち、酸化シリコン膜 5 a, 5 c は、例えば酸化処理（熱酸化処理）または C V D 法あるいはその組み合わせにより形成することができる。この際の酸化処理（熱酸化処理）には、I S S G（In Situ Steam Generation）酸化を用いることも可能である。絶縁膜 5 のうち、窒化シリコン膜 5 b は、例えば C V D 法により形成することができる。

10

20

30

40

50

【0090】

また、本実施の形態においては、トラップ準位を有する絶縁膜（電荷蓄積層）として、窒化シリコン膜5bを形成しているが、信頼性の面などで窒化シリコン膜が好適であるが、窒化シリコン膜に限定されるものではなく、例えば酸化アルミニウム膜（アルミナ）、酸化ハフニウム膜または酸化タンタル膜など、窒化シリコン膜よりも高い誘電率を有する高誘電率膜を電荷蓄積層（電荷蓄積部）として使用することもできる。また、シリコンナノドットで電荷蓄積層（電荷蓄積部）を形成することもできる。

【0091】

絶縁膜5を形成するには、例えば、まず、半導体基板1（p型ウエルPW1）の表面上と制御ゲート電極CGの表面（側面および上面）上と積層膜4の表面（側面および上面）上とに酸化シリコン膜5aを熱酸化法（好ましくはISSG酸化）により形成する。他の形態として、酸化シリコン膜5aをALD法で形成することもできる。それから、酸化シリコン膜5a上に窒化シリコン膜5bをCVD法で堆積し、更に窒化シリコン膜5b上に酸化シリコン膜5cをCVD法または熱酸化あるいはその両方で形成する。これにより、酸化シリコン膜5a、窒化シリコン膜5bおよび酸化シリコン膜5cの積層膜からなる絶縁膜5を形成することができる。

【0092】

酸化シリコン膜5aの厚みは、例えば2～10nm程度とすることができ、窒化シリコン膜5bの厚みは、例えば5～15nm程度とすることができ、酸化シリコン膜5cの厚みは、例えば2～10nm程度とすることができ。

【0093】

メモリセル領域1Aに形成された絶縁膜5は、後で形成されるメモリゲート電極MGのゲート絶縁膜として機能し、電荷保持（電荷蓄積）機能を有する。絶縁膜5は、電荷保持機能が必要であるため、電荷蓄積層（ここでは窒化シリコン膜5b）を電荷ブロック層（ここでは酸化シリコン膜5a、5c）で挟んだ構造を有しており、電荷蓄積層（ここでは窒化シリコン膜5b）のポテンシャル障壁高さに比べ、電荷ブロック層（ここでは酸化シリコン膜5a、5c）のポテンシャル障壁高さが高くなる。

【0094】

また、上記図4に示された変形例の半導体装置を製造する場合は、図17に示されるように、絶縁膜5は、酸化シリコン膜（酸化膜）5aと、酸化シリコン膜5a上の窒化シリコン膜（窒化膜）5bと、窒化シリコン膜5b上の酸化シリコン膜（酸化膜）5cと、酸化シリコン膜5c上の絶縁膜5dとの積層膜として形成する。酸化シリコン膜5a、窒化シリコン膜5bおよび酸化シリコン膜5cを上述のようにして形成してから、酸化シリコン膜5c上に絶縁膜5dをスパッタリング法、ALD法またはCVD法で形成することにより、図16に示されるような酸化シリコン膜5a、窒化シリコン膜5b、酸化シリコン膜5cおよび絶縁膜5dの積層膜からなる絶縁膜5を形成することができる。この場合、絶縁膜5dの厚みは、例えば0.5～2nm程度とすることができ。絶縁膜5dとして好適な材料例は上述の通りである。

【0095】

次に、図18に示されるように、半導体基板1の主面（主面全面）上に、すなわち絶縁膜5上に、メモリセル領域1Aにおいては制御ゲート電極CGを覆うように、周辺回路領域1Bにおいては積層膜4を覆うように、メモリゲート電極MG形成用の金属膜6aを形成（堆積）する（図6のステップS10）。金属膜6aとして好適な材料例は上述の通りである。金属膜6aは、例えばスパッタリング法などにより形成することができ、金属膜6aの膜厚（形成膜厚）は、例えば10～20nm程度とすることができ。

【0096】

次に、半導体基板1の主面（主面全面）上に、すなわち金属膜6a上に、シリコン膜6bを形成（堆積）する（図6のステップS11）。

【0097】

シリコン膜6bは、多結晶シリコン膜（ポリシリコン膜）からなり、CVD法などを用

10

20

30

40

50

いて形成することができる。シリコン膜 6 b の膜厚（堆積膜厚）は、例えば 40 ～ 60 nm 程度とすることができる。成膜時はシリコン膜 6 b をアモルファスシリコン膜として形成してから、その後の熱処理でアモルファスシリコン膜を多結晶シリコン膜とすることもできる。

【0098】

シリコン膜 6 b は、不純物（例えばリン（P）またはヒ素（As）などの n 型不純物またはホウ素（B）などの p 型不純物）を導入して低抵抗率とすれば、より好ましい。シリコン膜 6 b の成膜後のイオン注入でシリコン膜 6 b に不純物を導入することもできるが、シリコン膜 6 b の成膜時にシリコン膜 6 b に型不純物を導入することもできる。シリコン膜 6 b の成膜時に不純物を導入する場合には、シリコン膜 6 b の成膜用のガスにドーピングガス（不純物添加用のガス）を含ませることで、不純物が導入されたシリコン膜 6 b を成膜することができる。なお、金属膜 6 a と金属膜 6 a 上のシリコン膜 6 b との積層膜を、積層膜 6 と称するものとする。

10

【0099】

次に、異方性エッチング技術により積層膜 6（シリコン膜 6 b および金属膜 6 a の積層膜 6）をエッチバック（エッチング、ドライエッチング、異方性エッチング）して、メモリゲート電極 MG を形成する（図 6 のステップ S 12）。

【0100】

ステップ S 12 のエッチバック工程では、積層膜 6（金属膜 6 a およびシリコン膜 6 b の積層膜 6）の堆積膜厚の分だけ積層膜 6 を異方性エッチング（エッチバック）することにより、制御ゲート電極 CG の両方の側壁（側面）11 a，11 b 上に（側壁絶縁膜 13 a および絶縁膜 5 を介して）積層膜 6 をサイドウォールスペーサ状に残し、他の領域の積層膜 6 を除去する。これにより、図 19 に示すように、メモリセル領域 1 A において、制御ゲート電極 CG の両方の側壁 11 a，11 b のうち、一方の側壁 11 a 上に側壁絶縁膜 13 a および絶縁膜 5 を介してサイドウォールスペーサ状に残存した積層膜 6 により、メモリゲート電極 MG が形成され、また、他方の側壁 11 b 上に側壁絶縁膜 13 a および絶縁膜 5 を介してサイドウォールスペーサ状に残存した積層膜 6 により、積層膜スペーサ SP 1 が形成される。この積層膜スペーサ SP 1 は、積層膜 6 からなるサイドウォールスペーサとみなすこともできる。メモリゲート電極 MG は、絶縁膜 5 上に、側壁絶縁膜 13 a および絶縁膜 5 を介して制御ゲート電極 CG と隣合うように形成される。メモリゲート電極 MG と積層膜スペーサ SP 1 とは、制御ゲート電極 CG の互いに反対側となる側壁上に形成されており、制御ゲート電極 CG を挟んでほぼ対称な構造を有している。また、周辺回路領域 1 B に残存させている積層膜 4 の側面（側壁）上にも、積層膜 6 が絶縁膜 5 を介してサイドウォールスペーサ状に残存するが、これを積層膜スペーサ SP 2 と称することとする。

20

30

【0101】

ステップ S 12 で形成されたメモリゲート電極 MG と半導体基板 1（p 型ウエル PW 1）との間およびメモリゲート電極 MG と制御ゲート電極 CG との間には絶縁膜 5 が介在しており、このメモリゲート電極 MG は、絶縁膜 5 に接する金属膜 6 a と、金属膜 6 a を介して絶縁膜 5 から離間するシリコン膜 6 b とで形成されている。なお、上述のように制御ゲート電極 CG の側壁上に側壁絶縁膜 13 a を形成していた場合には、メモリゲート電極 MG と制御ゲート電極 CG との間に、側壁絶縁膜 13 a および絶縁膜 5 が介在することになる。

40

【0102】

ステップ S 12 のエッチバック工程を行った段階で、メモリゲート電極 MG と積層膜スペーサ SP 1，SP 2 で覆われていない領域の絶縁膜 5 が露出される。メモリセル領域 1 A におけるメモリゲート電極 MG の下の絶縁膜 5 が、メモリトランジスタのゲート絶縁膜となる。上記ステップ S 10，S 11 で堆積する金属膜 6 a およびシリコン膜 6 b の堆積膜厚を調整することで、メモリゲート長を調整することができる。

【0103】

50

次に、フォトリソグラフィ技術を用いて、メモリゲート電極MGが覆われかつ積層膜スペーサSP1, SP2が露出されるようなフォトレジストパターン（図示せず）を半導体基板1上に形成してから、このフォトレジストパターンをエッチングマスクとしたドライエッチングにより、積層膜スペーサSP1, SP2を除去する（図7のステップS13）。その後、このフォトレジストパターンを除去する。ステップS13のエッチング工程により、図20に示されるように、積層膜スペーサSP1, SP2が除去されるが、メモリゲート電極MGは、フォトレジストパターンで覆われていたので、エッチングされずに残存する。

【0104】

次に、図21に示されるように、絶縁膜5のうち、メモリゲート電極MGで覆われずに露出する部分をエッチング（例えばウェットエッチング）によって除去する（図7のステップS14）。この際、メモリセル領域1Aにおいて、メモリゲート電極MGの下とメモリゲート電極MGおよび制御ゲート電極CG間とに位置する絶縁膜5は、除去されずに残存し、他の領域の絶縁膜5は除去される。図21からも分かるように、メモリセル領域1Aにおいて、メモリゲート電極MGと半導体基板1（p型ウエルPW1）の間の領域と、メモリゲート電極MGと制御ゲート電極CGの間の領域の、両領域にわたって絶縁膜5が連続的に延在している。

【0105】

また、ステップS14で絶縁膜5を除去する際に、制御ゲート電極CGの側壁11b上の側壁絶縁膜13aも除去され、図21にはこの場合が示されている。他の形態として、制御ゲート電極CGの側壁11b上の側壁絶縁膜13aが除去されずに残存するように、ステップS14の絶縁膜5の除去（エッチング）工程を行なった場合には、図21の段階で、制御ゲート電極CGの側壁11b上に側壁絶縁膜13aが形成されている（残存している）状態が維持される。

【0106】

次に、周辺回路領域1Bの積層膜4をフォトリソグラフィ技術およびエッチング技術を用いてパターニングすることにより、周辺回路領域1Bにゲート電極GEを形成する（図7のステップS14）。このステップS14のパターニング工程は、例えば次のようにして行うことができる。

【0107】

すなわち、半導体基板1の主面上にフォトリソグラフィ法を用いてフォトレジストパターン（ここでは図示しないけれども、周辺回路領域1Bにおけるゲート電極GE形成予定領域とメモリセル領域1A全体にこのフォトレジストパターンが形成される）を形成する。そして、このフォトレジストパターンをエッチングマスクとして用いて、周辺回路領域1Bの積層膜4（シリコン膜4bおよび金属膜4aの積層膜4）をエッチング（ドライエッチング）してパターニングする。一方、メモリセル領域1Aは、フォトレジストパターンで覆われているため、メモリゲート電極MGおよび制御ゲート電極CGはエッチングされない。その後、このフォトレジストパターンを除去する。

【0108】

このようにして、図22に示されるように、パターニングされた積層膜4（金属膜4aおよび金属膜4a上のシリコン膜4bの積層膜4）からなるゲート電極GEが周辺回路領域1Bに形成される。ゲート電極GEは、周辺回路を構成するMISFETのゲート電極である。

【0109】

次に、制御ゲート電極CGおよびメモリゲート電極MGの側壁（絶縁膜5を介して互いに隣合う側とは反対側の側壁）上とゲート電極GEの側壁上とに、絶縁体（絶縁膜）からなる側壁絶縁膜14を形成する（図7のステップS16）。このステップS16の側壁絶縁膜14形成工程は、次のようにして行うことができる（図23および図24参照）。

【0110】

すなわち、まず、図23に示されるように、半導体基板1の主面全面上に、制御ゲート

10

20

30

40

50

電極CG、メモリゲート電極MGおよびゲート電極GEを覆うように、側壁絶縁膜14用の絶縁膜14dを形成（堆積）する。この絶縁膜14dは、好ましくは窒化シリコン膜からなる。それから、この絶縁膜14dを異方性エッチング（エッチバック）することによって、図24に示されるように、制御ゲート電極CGおよびメモリゲート電極MGの側壁（絶縁膜5を介して互いに隣合う側とは反対側の側壁）上とゲート電極GEの側壁上とに選択的にこの絶縁膜14dを残して、側壁絶縁膜14を形成する。側壁絶縁膜14は、制御ゲート電極CGおよびメモリゲート電極MGの側壁（絶縁膜5を介して互いに隣合う側とは反対側の側壁）上とゲート電極GEの側壁上とに残存する絶縁膜14dからなる。

【0111】

側壁絶縁膜14は、制御ゲート電極CGの側壁11b上と、メモリゲート電極MGの側壁12b上と、ゲート電極GEの両側壁上とに形成されるが、このうち、メモリゲート電極MGの側壁12b上に形成された側壁絶縁膜14を、符号14aを付して側壁絶縁膜14aと称し、制御ゲート電極CGの側壁11b上に形成された側壁絶縁膜14を、符号14bを付して側壁絶縁膜14bと称することとする。また、ゲート電極GEの両側壁上に形成された側壁絶縁膜14を、符号14cを付して側壁絶縁膜14cと称することとする。ここで、制御ゲート電極CGの側壁11bは、制御ゲート電極CGの側壁（側面）のうち、絶縁膜5（および側壁絶縁膜13a）を介してメモリゲート電極MGに隣接する側とは逆側の側壁（側面）であり、メモリゲート電極MGの側壁12bは、メモリゲート電極MGの側壁（側面）のうち、絶縁膜5（および側壁絶縁膜13a）を介して制御ゲート電極CGに隣接する側とは逆側の側壁（側面）である。

【0112】

なお、ステップS14で絶縁膜5を除去する際に、制御ゲート電極CGの側壁11b上の側壁絶縁膜13aも除去した場合には、ステップS16で側壁絶縁膜14を形成したとき、制御ゲート電極CGの側壁11b上に形成されている側壁絶縁膜14bは、側壁絶縁膜14（すなわち絶縁膜14dの残存部分）からなり、図24にはこの場合が示されている。他の形態として、ステップS14で絶縁膜5を除去する際に、制御ゲート電極CGの側壁11b上の側壁絶縁膜13aが除去されずに残存した場合には、ステップS16で側壁絶縁膜14を形成したとき、制御ゲート電極CGの側壁11b上に形成されている側壁絶縁膜14bは、側壁絶縁膜13aと側壁絶縁膜14（すなわち絶縁膜14dの残存部分）との積層膜（積層構造）からなる。

【0113】

次に、イオン注入法などを用いて例えばヒ素（As）またはリン（P）などのn型の不純物を、制御ゲート電極CG、メモリゲート電極MGおよびゲート電極GEをマスク（イオン注入阻止マスク）として用いて半導体基板1（p型ウェルPW1，PW2）に導入（ドーピング）することで、図25に示されるように、n⁻型半導体領域（不純物拡散層）7a，7b，7cを形成する（図7のステップS17）。

【0114】

この際、n⁻型半導体領域7aは、メモリセル領域1Aにおいて、メモリゲート電極MGの側壁12b上の側壁絶縁膜14aの側面に自己整合して形成される。また、n⁻型半導体領域7bは、メモリセル領域1Aにおいて、制御ゲート電極CGの側壁11b上の側壁絶縁膜14bの側面に自己整合して形成される。また、n⁻型半導体領域7cは、周辺回路領域1Bにおいて、ゲート電極GEの両側壁上に形成された側壁絶縁膜14cの側面に自己整合して形成される。n⁻型半導体領域7aおよびn⁻型半導体領域7bは、メモリセル領域1Aに形成されるメモリセルのソース・ドレイン領域（ソースまたはドレイン領域）の一部として機能し、n⁻型半導体領域7cは周辺回路領域1Bに形成されるMISFETのソース・ドレイン領域（ソースまたはドレイン領域）の一部として機能することができる。n⁻型半導体領域7aとn⁻型半導体領域7bとn⁻型半導体領域7cとは、同じイオン注入工程で形成することができるが、異なるイオン注入工程で形成することも可能である。また、n⁻型半導体領域7a，7b，7c形成のためのイオン注入は、斜めイオン注入ではなく、半導体基板1の主面に対して垂直な方向にイオン注入することが

好ましい。

【0115】

次に、メモリセル領域1Aの半導体基板1（p型ウエルPW1）にp型不純物のイオン注入（ハローイオン注入）を行って、ハロー領域（p型半導体領域）HAを形成する（図7のステップS18）。ハロー領域HAは、n⁻型半導体領域7bを包み込む（覆う）ように形成され、p型ウエルPW1よりも不純物濃度（p型不純物濃度）が高い。

【0116】

ハロー領域HAは、n⁻型半導体領域7bに対して形成されたハロー領域であり、p型ウエルPW1においてn⁻型半導体領域7bを包み込む（覆う）ように形成されるが、n⁻型半導体領域7bとは逆の導電型で、かつp型ウエルPW1とは同じ導電型であり、こ

10

【0117】

ハロー領域HAを形成するためのイオン注入の際、制御ゲート電極CGはマスク（イオン注入阻止マスク）として機能することができるが、このハロー領域HAを形成するためのイオン注入は、斜めイオン注入（傾斜イオン注入）とすることがより好ましく、これにより、n⁻型半導体領域7bを包み込む（覆う）ようにハロー領域HAを的確に形成することができる。なお、一般のイオン注入では、半導体基板1の主面に対して垂直な方向に不純物イオンを加速して打ち込むが、斜めイオン注入では、半導体基板1の主面に対して垂直な方向から所定の角度（傾斜角）傾斜した方向に不純物イオンを加速して打ち込む。

20

【0118】

また、n⁻型半導体領域7bとハロー領域HAとは、必ずしもこの順序で形成しなくともよいが、n⁻型半導体領域7bを形成するイオン注入とハロー領域HAを形成するイオン注入とは、少なくとも、制御ゲート電極CG形成後で、かつ、後述のサイドウォールスペーサSWを形成する前に行う必要がある。

【0119】

また、ハロー領域HAは、短チャネル特性抑制のために形成するため、ドレイン用のn⁻型半導体領域7bに対して形成する（n⁻型半導体領域7bを包み込むように形成する）が、ソース用のn⁻型半導体領域7aに対しては、ハロー領域HAを形成する必要はない。このため、ハロー領域HAを形成するためのイオン注入の際には、ソース用のn⁻型半導体領域7aは、フォトレジストパターンで覆っておき、n⁻型半導体領域7aに対しては、p型のハロー領域が形成されないようにすればよい。図25の場合は、周辺回路領域1B全体とメモリセル領域1Aのn⁻型半導体領域7aとをフォトレジストパターン（図示せず）で覆った状態で、ハロー領域HAを形成するためのイオン注入を行い、n⁻型半導体領域7bに対してハロー領域HAを形成するが、n⁻型半導体領域7aおよびn⁻型半導体領域7cに対してはハロー領域を形成しない場合が示されている。他の形態として、短チャネル特性抑制のためにn⁻型半導体領域7aとn⁻型半導体領域7cに対してもハロー領域を形成することもできる。

30

【0120】

次に、図26に示されるように、半導体基板1の主面全面上に、サイドウォールスペーサSW用の絶縁膜15を形成（堆積）する（図7のステップS19）。この絶縁膜15は、絶縁膜15は、酸化シリコン膜の単体膜か、あるいは、酸化シリコン膜とその上の絶縁膜との積層膜である。具体的には、絶縁膜15は、酸化シリコン膜の単体膜、酸化シリコン膜とその上の窒化シリコン膜との積層膜、あるいは、酸化シリコン膜とその上の窒化シリコン膜とその上の酸化シリコン膜との積層膜などとすることができる。

40

【0121】

ステップS19で絶縁膜15を形成する際に、メモリゲート電極MGを構成していた金属膜6aの露出部を酸化させる。すなわち、メモリゲート電極MGを構成していた金属膜6aの露出部を酸化させることができるように、絶縁膜15の形成工程を行う。絶縁膜15は、酸化シリコン膜の単体膜か、あるいは最下層が酸化シリコン膜である積層膜である

50

が、その酸化シリコン膜を形成する際に、金属膜 6 a の露出部を酸化させる。このため、絶縁膜 1 5 が酸化シリコン膜の単体膜の場合は、その単体膜を構成する酸化シリコン膜を、また、絶縁膜 1 5 が積層膜の場合は、その積層膜の最下層の酸化シリコン膜を、金属膜 6 a の露出部を酸化できるような条件で成膜することが好ましい。O₃-TEOS 酸化膜は、酸化性が強いため、その成膜に際して金属膜 6 a の露出部を酸化させるのに好適な膜である。ここで、O₃-TEOS 酸化膜とは、O₃（オゾン）および TEOS（Tetraethoxysilane：テトラエトキシシラン、または Tetra Ethyl Ortho Silicate とも言う）を原料ガス（ソースガス）として用いて熱 CVD 法により形成した酸化シリコン膜である。このため、絶縁膜 1 5 が酸化シリコン膜の単体膜の場合は、その単体膜を O₃-TEOS 酸化膜とすることが好ましく、また、絶縁膜 1 5 が積層膜の場合は、その積層膜の最下層を、O₃-TEOS 酸化膜とすることが好ましい。

10

【0122】

絶縁膜 1 5 を形成する直前の段階で、金属膜 6 a が露出しているのは、金属膜 6 a の上端部 1 6 a である。このため、ステップ S 1 9 で絶縁膜 1 5 を形成する際に、メモリゲート電極 MG を構成していた金属膜 6 a の上端部 1 6 a が酸化されて、絶縁性を有する金属酸化物部分 1 7 が形成される。金属酸化物部分 1 7 は、金属膜 6 a の一部が酸化することで形成されたため、金属酸化物部分 1 7 を構成する金属元素と、金属膜 6 a を構成する金属元素とは同じである。例えば、金属膜 6 a がアルミニウム（Al）膜である場合には、金属酸化物部分 1 7 は酸化アルミニウムからなる。一方、メモリゲート電極 MG の側壁 1 2 b 上には側壁絶縁膜 1 4 a が形成されているので、メモリゲート電極 MG を構成する金属膜 6 a の側方端部 1 6 b は、側壁絶縁膜 1 4 a で覆われ、露出されていないため、ステップ S 1 9 で絶縁膜 1 5 を形成する際に、メモリゲート電極 MG を構成する金属膜 6 a の側方端部 1 6 b は酸化されない。すなわち、金属膜 6 a は酸化されず、メモリゲート電極 MG の上面で、金属膜 6 a が酸化されて金属酸化物部分 1 7 が形成され、一方、メモリゲート電極 MG の側面（側壁 1 2 b）では、金属膜 6 a は酸化されないのである。

20

【0123】

また、絶縁膜 1 5 の成膜時に金属膜 6 a の一部を酸化して金属酸化物部分 1 7 を形成する際に、シリコン膜 6 b の露出部が若干酸化する場合もあり得るが、この際にシリコン膜 6 b よりも金属膜 6 a の方が酸化されやすいように、金属膜 6 a の材料や絶縁膜 1 5 の成膜条件を選択しておく。

30

【0124】

次に、絶縁膜 1 5 を異方性エッチング（エッチバック）することによって、図 2 7 に示されるように、制御ゲート電極 CG およびメモリゲート電極 MG の側壁（絶縁膜 5 を介して互いに隣合う側とは反対側の側壁）上とゲート電極 GE の側壁上とに選択的にこの絶縁膜 1 5 を残して、サイドウォールスペーサ SW を形成する（図 7 のステップ S 2 0）。サイドウォールスペーサ SW は、制御ゲート電極 CG およびメモリゲート電極 MG の側壁（絶縁膜 5 を介して互いに隣合う側とは反対側の側壁）上とゲート電極 GE の側壁上とにそれぞれ残存する絶縁膜 1 5 からなる。なお、サイドウォールスペーサ SW のうちのサイドウォールスペーサ SW 1 は、メモリゲート電極 MG の側壁 1 2 b 上に、側壁絶縁膜 1 4 a を介して形成され、サイドウォールスペーサ SW のうちのサイドウォールスペーサ SW 2 は、制御ゲート電極 CG の側壁 1 1 b 上に、側壁絶縁膜 1 4 b を介して形成される。

40

【0125】

次に、図 2 8 に示されるように、n⁺型半導体領域（不純物拡散層）8 a, 8 b, 8 c をイオン注入法などを用いて形成する（図 7 のステップ S 2 1）。

【0126】

ステップ S 2 1 において、例えばヒ素（As）またはリン（P）などの n 型の不純物を、制御ゲート電極 CG、メモリゲート電極 MG およびゲート電極 GE とそれらの側壁上のサイドウォールスペーサ SW（および側壁絶縁膜 1 3 a, 1 4 a, 1 4 b, 1 4 c）とをマスク（イオン注入阻止マスク）として用いて半導体基板 1（p 型ウエル PW 1, PW 2）に導入（ドーピング）することで、n⁺型半導体領域 8 a, 8 b, 8 c を形成できる。

50

この際、 n^+ 型半導体領域 8 a は、メモリセル領域 1 A において、メモリゲート電極 MG の側壁上のサイドウォールスペーサ SW 1 に自己整合して形成され、 n^+ 型半導体領域 8 b は、メモリセル領域 1 A において、制御ゲート電極 CG の側壁上のサイドウォールスペーサ SW 2 に自己整合して形成される。また、 n^+ 型半導体領域 8 c は、周辺回路領域 1 B において、ゲート電極 GE の両側壁上のサイドウォールスペーサ SW に自己整合して形成される。これにより、LDD (lightly doped drain) 構造が形成される。 n^+ 型半導体領域 8 a と n^+ 型半導体領域 8 b と n^+ 型半導体領域 8 c は、同じイオン注入工程で形成することができるが、異なるイオン注入工程で形成することも可能である。

【0127】

このようにして、 n^- 型半導体領域 7 a とそれよりも高不純物濃度の n^+ 型半導体領域 8 a とにより、メモリトランジスタのソース領域として機能する n 型の半導体領域 MS が形成され、 n^- 型半導体領域 7 b とそれよりも高不純物濃度の n^+ 型半導体領域 8 b とにより、制御トランジスタのドレイン領域として機能する n 型の半導体領域 MD が形成される。また、 n^- 型半導体領域 7 c とそれよりも高不純物濃度の n^+ 型半導体領域 8 c とにより、周辺回路領域 1 B の MISFET のソース・ドレイン領域として機能する n 型の半導体領域が形成される。

【0128】

次に、ソースおよびドレイン用の n 型の半導体領域 (n^- 型半導体領域 7 a, 7 b, 7 c および n^+ 型半導体領域 8 a, 8 b, 8 c) などに導入された不純物を活性化するための熱処理である活性化アニールを行う (図 7 のステップ S22)。

【0129】

このようにして、メモリセル領域 1 A に不揮発性メモリのメモリセル MC が形成され、周辺回路領域 1 B に MISFET が形成される。

【0130】

次に、半導体基板 1 の主面全面上に酸化シリコン膜を CVD 法などにより形成する。それから、この酸化シリコン膜 (この酸化シリコン膜は金属シリサイド層 21 を形成すべきでないシリコン領域上に残される) をフォトリソグラフィ法およびエッチング法を用いて除去して、 n^+ 型半導体領域 8 a, 8 b, 8 c の上面 (表面) と制御ゲート電極 CG の上面とメモリゲート電極 MG の上面とゲート電極 GE の上面の各シリコン面 (シリコン領域、シリコン膜) を露出させる。それから、図 29 に示されるように、 n^+ 型半導体領域 8 a, 8 b, 8 c の上面 (表面) 上とメモリゲート電極 MG の上面 (サイドウォールスペーサ SW で覆われていない部分) 上と制御ゲート電極 CG の上面上とゲート電極 GE の上面上とを含む半導体基板 1 の主面全面上に、制御ゲート電極 CG、メモリゲート電極 MG、ゲート電極 GE およびサイドウォールスペーサ SW を覆うように、金属膜 20 を形成 (堆積) する。金属膜 20 は、例えばコバルト (Co) 膜、ニッケル (Ni) 膜、または、ニッケルプラチナ合金膜 (ニッケル白金合金膜) などからなり、スパッタリング法などを用いて形成することができる。

【0131】

次に、半導体基板 1 に対して熱処理を施すことによって、 n^+ 型半導体領域 8 a, 8 b, 8 c、制御ゲート電極 CG のシリコン膜 4 b、メモリゲート電極 MG のシリコン膜 6 b およびゲート電極 GE のシリコン膜 4 b の各上層部分 (表層部分) を金属膜 20 と反応させる。これにより、図 30 に示されるように、 n^+ 型半導体領域 8 a, 8 b, 8 c、制御ゲート電極 CG のシリコン膜 4 b、メモリゲート電極 MG のシリコン膜 6 b およびゲート電極 GE のシリコン膜 4 b の各上部 (上面、表面、上層部) に、それぞれ金属シリサイド層 21 が形成される。金属シリサイド層 21 は、例えばコバルトシリサイド層 (金属膜 20 がコバルト膜の場合)、ニッケルシリサイド層 (金属膜 20 がニッケル膜の場合)、または、プラチナ添加ニッケルシリサイド層 (金属膜 20 がニッケルプラチナ合金膜の場合) とすることができる。その後、未反応の金属膜 20 を除去する。図 30 にはこの段階の断面図が示されている。このように、いわゆるサリサイド (Salicide: Self Aligned Silicide) プロセスを行うことによって、 n^+ 型半導体領域 8 a, 8 b, 8 c、制御ゲート電

極CG、メモリゲート電極MGおよびゲート電極GEの上部に金属シリサイド層21を形成し、それによって、ソース、ドレインや各ゲート電極(CG, MG, GE)の抵抗を低抵抗化することができる。

【0132】

次に、図32に示されるように、半導体基板1の主面全面上に、制御ゲート電極CG、メモリゲート電極MG、ゲート電極GEおよびサイドウォールスペーサSWを覆うように、絶縁膜として層間絶縁膜22を形成(堆積)する。層間絶縁膜22は、酸化シリコン膜の単体膜、あるいは、窒化シリコン膜と該窒化シリコン膜上に該窒化シリコン膜よりも厚く形成された酸化シリコン膜との積層膜などからなり、例えばCVD法などを用いて形成することができる。層間絶縁膜22の形成後、必要に応じてCMP (Chemical Mechanical Polishing) 法などを用いて層間絶縁膜22の上面を平坦化する。 10

【0133】

次に、フォトリソグラフィ法を用いて層間絶縁膜22上に形成したフォトレジストパターン(図示せず)をエッチングマスクとして、層間絶縁膜22をドライエッチングすることにより、図32に示されるように、層間絶縁膜22にコンタクトホール(開口部、貫通孔)CNTを形成する。

【0134】

次に、コンタクトホールCNT内に、導電体部(接続用導体部)として、タングステン(W)などからなる導電性のプラグPGを形成する。

【0135】

プラグPGを形成するには、例えば、コンタクトホールCNTの内部(底部および側壁上)を含む層間絶縁膜22上に、バリア導体膜(例えばチタン膜、窒化チタン膜、あるいはそれらの積層膜)を形成する。それから、このバリア導体膜上にタングステン膜などからなる主導体膜をコンタクトホールCNTを埋めるように形成し、層間絶縁膜22上の不要な主導体膜およびバリア導体膜をCMP法またはエッチバック法などによって除去することにより、プラグPGを形成することができる。なお、図面の簡略化のために、図32では、プラグPGを構成するバリア導体膜および主導体膜(タングステン膜)を一体化して示してある。 20

【0136】

コンタクトホールCNTおよびそれに埋め込まれたプラグPGは、 n^+ 型半導体領域8a, 8b, 8c、制御ゲート電極CG、メモリゲート電極MG、ゲート電極GEの上部などに形成される。コンタクトホールCNTの底部では、半導体基板1の主面の一部、例えば n^+ 型半導体領域8a, 8b, 8c(の表面上の金属シリサイド層21)の一部、制御ゲート電極CG(の表面上の金属シリサイド層21)の一部、メモリゲート電極MG(の表面上の金属シリサイド層21)の一部、あるいはゲート電極GE(の表面上の金属シリサイド層21)の一部などが露出される。なお、図32の断面図においては、 n^+ 型半導体領域8b, 8c(の表面上の金属シリサイド層21)の一部がコンタクトホールCNTの底部で露出して、そのコンタクトホールCNTを埋めるプラグPGと電氣的に接続された断面が示されている。 30

【0137】

次に、プラグPGが埋め込まれた層間絶縁膜22上に第1層目の配線である配線(配線層)M1を形成するが、この配線M1を、ダマシン技術(ここではシングルダマシン技術)を用いて形成する場合について説明する。 40

【0138】

まず、図33に示されるように、プラグPGが埋め込まれた層間絶縁膜22上に、絶縁膜24を形成する。絶縁膜24は、複数の絶縁膜の積層膜で形成することもできる。それから、フォトレジストパターン(図示せず)をエッチングマスクとしたドライエッチングによって絶縁膜24の所定の領域に配線溝を形成した後、配線溝の底部および側壁上を含む絶縁膜24上にバリア導体膜(例えば窒化チタン膜、タンタル膜または窒化タンタル膜など)を形成する。それから、CVD法またはスパッタリング法などによりバリア導体膜 50

上に銅のシード層を形成し、さらに電解めっき法などを用いてシード層上に銅めっき膜を形成して、銅めっき膜により配線溝の内部を埋め込む。それから、配線溝以外の領域の主導体膜（銅めっき膜およびシード層）とバリア導体膜をCMP法により除去して、配線溝に埋め込まれた銅を主導電材料とする第1層目の配線M1を形成する。図33では、図面の簡略化のために、配線M1は、バリア導体膜、シード層および銅めっき膜を一体化して示してある。

【0139】

配線M1はプラグPGを介して、メモリトランジスタのソース領域（半導体領域MS）、制御トランジスタのドレイン領域（半導体領域MD）、周辺回路領域1BのMISFETのソース・ドレイン領域（ n^+ 型半導体領域8c）、制御ゲート電極CG、メモリゲート電極MGあるいはゲート電極GEなどと電気的に接続される。その後、デュアルダマシン法などにより2層目以降の配線を形成するが、ここでは図示およびその説明は省略する。また、配線M1およびそれよりも上層の配線は、ダマシン配線に限定されず、配線用の導電体膜をパターンニングして形成することもでき、例えばタングステン配線またはアルミニウム配線などとすることもできる。

【0140】

以上のようにして、本実施の形態の半導体装置が製造される。

【0141】

次に、本実施の形態の主要な特徴と効果について、より詳細に説明する。

【0142】

本実施の形態の半導体装置の主要な特徴の一つは、上記図1、図2および図4にも示されるように、メモリゲート電極MGが、絶縁膜5に隣接する金属膜6aと、金属膜6a上に形成されかつ金属膜6aを介して絶縁膜5から離間するシリコン膜6bとを有していることである。具体的には、メモリゲート電極MGは、金属膜6aと金属膜6a上のシリコン膜6bとの積層膜により形成されており、絶縁膜5に接する部分のメモリゲート電極MGは金属膜6aで構成され、メモリゲート電極MGのシリコン膜6bは、絶縁膜5に接しておらず、金属膜6aを介して絶縁膜5から離間している。そして、本実施の形態の半導体装置の主要な特徴の他の一つは、金属膜6aの上端部に、金属酸化物部分17が形成されていることである。

【0143】

本実施の形態とは異なり、メモリゲート電極全体をポリシリコンで形成した場合には、メモリゲート電極の空乏化の影響が生じる懸念がある。このため、本実施の形態のように、メモリゲート電極をメタルゲート電極とすることで、メモリゲート電極の空乏化の問題を解決でき、半導体装置の性能（電気的性能）を向上させることができる。しかしながら、メモリゲート電極と制御ゲート電極とは、薄い絶縁膜（絶縁膜5に相当する絶縁膜）を介して近接しているため、メモリゲート電極をメタルゲート電極とした場合においても、信頼性向上のためには、メモリゲート電極と制御ゲート電極との間がショート（短絡）しにくい構造にすることが望ましい。

【0144】

そこで、本実施の形態では、メモリゲート電極をメタルゲート電極とするにあたって、金属膜6aと金属膜6a上のシリコン膜6bとの積層膜によりメモリゲート電極MGを形成するとともに、金属膜6aの上端部に金属酸化物部分17を形成している。この金属酸化物部分17は、金属膜6aの一部が酸化されることにより形成されている。本実施の形態とは異なり、金属膜6aの上端部に金属酸化物部分17が形成されていない場合には、金属膜6aの上端部が制御ゲート電極CGの上端部（制御ゲート電極CGの上部の金属シリサイド層21bの端部）に近接するため、金属膜6aの上端部が制御ゲート電極CGの上端部とショート（短絡）する懸念がある。しかしながら、本実施の形態のように金属膜6aの上端部に金属酸化物部分17を形成すれば、金属膜6aの上端部（16a）は制御ゲート電極CGの上端部（制御ゲート電極CGの上部の金属シリサイド層21bの端部）に近接せず、金属膜6aの上端部（16a）と制御ゲート電極CGの上端部との間には絶

10

20

30

40

50

縁性の金属酸化物部分 17 が介在することになる。このため、金属膜 6 a の上端部が制御ゲート電極 C G の上端部とショートするのを的確に防止することができる。

【0145】

また、メモリゲート電極 M G を構成するシリコン膜 6 b は、絶縁膜 5 に隣接する金属膜 6 a 上に形成されかつ金属膜 6 a を介して絶縁膜 5 から離間しているため、メモリゲート電極 M G を構成するシリコン膜 6 b やその上の金属シリサイド層 2 1 a は、制御ゲート電極 C G とショートしにくくなっている。つまり、メモリゲート電極 M G のうち、最も制御ゲート電極 C G とショートしやすい部分は、金属膜 6 a の上端部であったが、本実施の形態では、この金属膜 6 a の上端部を酸化して絶縁性の金属酸化物部分 17 に変えたことにより、メモリゲート電極と制御ゲート電極との間がショート（短絡）するのを的確に防止
10

【0146】

また、本実施の形態とは異なり、メモリゲート電極全体を金属膜で形成する（シリコン膜 6 b を用いない）ことも考えられるが、この場合、メモリゲート電極の上面全体が酸化されて金属酸化物部分が形成されることになり、メモリゲート電極にプラグ P G を接続することが困難になる。

【0147】

それに対して、本実施の形態では、メモリゲート電極 M G を、絶縁膜 5 に隣接する金属膜 6 a と、金属膜 6 a 上に形成されかつ金属膜 6 a を介して絶縁膜 5 から離間するシリコン膜 6 b との積層構造としており、金属膜 6 a の一部を酸化して形成した金属酸化物部分 17 は、メモリゲート電極 M G を構成するシリコン膜 6 b の上部には形成されない。このため、メモリゲート電極 M G にプラグ P G を接続する場合には、シリコン膜 6 b 上にコンタクトホール C N T およびプラグ P G を形成し、このプラグ P G をシリコン膜 6 b 上の金属シリサイド層 2 1 a に接続することができる。従って、金属酸化物部分 17 の形成が、メモリゲート電極 M G へのプラグ P G の接続を邪魔することが無くなる。
20

【0148】

また、本実施の形態では、ステップ S 19 でサイドウォールスペーサ S W 用の絶縁膜 15 を形成する際に、金属膜 6 a の一部を酸化して形成した金属酸化物部分 17 を形成しているため、金属酸化物部分 17 の形成に伴う製造工程数の増加を抑制することができる。

【0149】

また、制御ゲート電極の上部に金属シリサイド層を形成すると、メモリゲート電極と制御ゲート電極との間にショート（短絡）が生じやすくなる。このため、本実施の形態および以下の実施の形態 2, 4 は、制御ゲート電極 C G の上部に金属シリサイド層 2 1 b を形成する場合に適用すれば、その効果は極めて大きい。
30

【0150】

また、上記図 4 のように、絶縁膜 5 が最上層に絶縁膜 5 d を含んでいる場合には、次のような効果も得ることができる。

【0151】

すなわち、本実施の形態では、絶縁膜 5 が最上層に絶縁膜 5 d を含み、この絶縁膜 5 d に接してメモリゲート電極 M G を形成しており、この絶縁膜 5 d は、フェルミレベルピンギを生じ得る絶縁膜としている。このため、絶縁膜 5 d とメモリゲート電極 M G との間の界面でフェルミレベルピンギが起きることで、絶縁膜 5 d が無い場合（図 1 の場合）に比べて、フェルミレベルを低い位置（低いエネルギー位置）に固定することができる。このため、メモリゲート電極 M G と半導体基板 1（p 型ウエル P W 1）との間の電位差（の絶対値）を小さくする作用を得ることができる。この作用により、図 4 の場合は、窒化シリコン膜 5 b 中に蓄積（保持）されているホール（正孔）が半導体基板 1（p 型ウエル P W 1）側に不必要に抜けてしまう現象や、半導体基板 1（p 型ウエル P W 1）側から窒化シリコン膜 5 b 中に電子が不必要に注入されてしまう現象を抑制することができる。これにより、不揮発性メモリのデータすなわち不揮発性メモリの記憶情報の保持特性を向上
40
50

ことができる。また、絶縁膜 5 d の誘電率を高くしたことで、絶縁膜 5 d を追加しても、絶縁膜 5 d を形成していない場合（図 1 に対応）と比べて、メモリゲート電極 M G と半導体基板 1（p 型ウェル P W 1）との間に介在する絶縁膜 5 の実効膜厚（等価酸化膜厚）の増加を抑制することができる。このため、絶縁膜 5 d を追加しても、書込み動作時や消去動作時にメモリゲート電極 M G と半導体基板 1（p 型ウェル P W 1）との間に介在する絶縁膜 5 に生じる電界の低下を抑制または防止できるため、書込み速度や消去速度の低下を防止できる。

【0152】

このため、絶縁膜 5 d は、フェルミレベルピンングを生じ得ることと、誘電率が高いことの両方の観点から選択することが必要であり、この観点から、絶縁膜 5 d は、H f（ハフニウム）、Z r（ジルコニウム）、A l（アルミニウム）、T a（タンタル）、L a（ランタン）のうちの少なくとも 1 種を含む金属化合物により形成する。絶縁膜 5 d として特に好適な材料膜を具体的に挙げると、酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜、酸化タンタル膜または酸化ランタン膜である。

【0153】

また、本実施の形態の半導体装置の主要な特徴の更に他の一つは、制御ゲート電極 C G をメタルゲート電極としていることである。すなわち、制御ゲート電極 C G は、ゲート絶縁膜（ここでは絶縁膜 3）上に形成された金属膜 4 a を有している。制御ゲート電極をポリシリコンゲート電極とした場合には、制御ゲート電極が空乏化して駆動力が低下する懸念があるが、本実施の形態のように制御ゲート電極 C G をメタルゲート電極とすることにより、制御ゲート電極 C G の空乏化の問題を解決でき、駆動力を向上することができる。このため、半導体装置の性能（電気的性能）を向上させることができる。

【0154】

また、不揮発性メモリの性能（電気的性能）の向上のためには、制御トランジスタの高速化が重要であるが、制御ゲート電極 C G をメタルゲート電極としたことにより、制御ゲート電極 C G を低抵抗化でき、駆動力も上がるので、制御トランジスタの高速化を図ることができる。これにより、不揮発性メモリを有する半導体装置の性能（電気的性能）を向上させることができる。

【0155】

また、メタルゲート電極を用いた場合、ポリシリコンゲート電極を用いた場合に比べて、M I S F E T のしきい値電圧の絶対値が大きくなる。しきい値電圧は、チャネル領域の不純物濃度にも依存しているため、メタルゲート電極を用いた場合とポリシリコンゲート電極を用いた場合とで M I S F E T のしきい値電圧を同じにしようとすると、ポリシリコンゲート電極を用いた場合よりもメタルゲート電極を用いた場合の方が、チャネル領域の不純物濃度を低くすることができる。

【0156】

このため、制御ゲート電極 C G にメタルゲート電極を用いた場合とポリシリコンゲート電極を用いた場合とで、しきい値電圧を同じにしたときには、制御ゲート電極 C G にメタルゲート電極を用いた場合の方が、ポリシリコンゲート電極を用いた場合よりも、制御トランジスタのチャネル領域の不純物濃度を低くすることができる。制御トランジスタのチャネル領域とは、制御ゲート電極 C G の下方に形成されるチャネル領域のことであり、具体的には、p 型ウェル P W 1（半導体基板 1）において、制御ゲート電極 C G の下部の絶縁膜 3 の下方に形成されるチャネル領域に対応している。つまり、本実施の形態では、制御ゲート電極 C G をメタルゲート電極としたことにより、制御ゲート電極をポリシリコンゲート電極とした場合に比べて、制御トランジスタのチャネル領域の不純物濃度を低くすることが可能になる。

【0157】

本実施の形態では、制御トランジスタのチャネル領域の不純物濃度は、 $1 \times 10^{17} / \text{cm}^3$ 以下とすることが、より好ましい。制御トランジスタのチャネル領域をこのような低不純物濃度にする理由は、次のようなものである。

【0158】

すなわち、不揮発性メモリの高容量化や小型化のためには、不揮発性メモリのセルサイズを小さくすることが有効であるが、そのためには、制御ゲート電極のゲート長を小さくすることが望ましい。しかしながら、制御ゲート電極のゲート長を小さくすると、それに伴うしきい値電圧の低下を補うために、制御トランジスタのチャネル領域の不純物濃度を高くする必要があるが生じる。しかしながら、制御ゲート電極のゲート長を小さくしたときに制御トランジスタのチャネル領域の不純物濃度を高くしてしまうと、図34に示されるリーク電流31が増大する可能性がある。ここで、図34は、リーク電流31を説明するための説明図であり、上記図1と同じ断面図が示されている。図34において、点線で囲まれた領域32は、絶縁膜5にホール（正孔）が蓄積されたときに、この絶縁膜5に蓄積されたホールによって反転層（この反転層はn型領域として振る舞う）が形成される基板領域（Si基板領域）に対応しており、この反転層（すなわち領域32）はメモリゲート電極MGの下に絶縁膜5の直下に形成される。

10

【0159】

絶縁膜5にホール（正孔）が蓄積されて領域32に反転層が形成されると、図34において符号31を付した矢印で示される経路でリーク電流が流れる（このリーク電流をリーク電流31と称する）。すなわち、 n^+ 型半導体領域8aから、 n^- 型半導体領域7a、反転層（領域32に形成される反転層）、制御トランジスタのチャネル領域（図34において一点鎖線で囲まれた領域33に対応）、ハロー領域HAおよびp型ウエルPW1を経由して、半導体基板1にリーク電流31が流れる。このリーク電流31は、制御トランジスタのチャネル領域の不純物濃度が高くなるほど、流れやすくなる（すなわちリーク電流31が増大する）。これは、制御トランジスタのチャネル領域（図34において一点鎖線で囲まれた領域33に対応）において、不純物濃度が高くなるほど、電界が強くなってリーク電流31が流れやすくなるためである。

20

【0160】

このように、制御ゲート電極CGのゲート長を小さくしたときに制御トランジスタのチャネル領域の不純物濃度を高くしてしまうと、リーク電流31が増大する可能性がある。しかしながら、本実施の形態では、制御ゲート電極CGにメタルゲート電極を用いていることで制御トランジスタのしきい値電圧の絶対値を大きくすることができるため、制御ゲート電極CGのゲート長を小さくしても制御トランジスタのチャネル領域の不純物濃度を低下させなくとも済む。つまり、制御ゲート電極のゲート長を小さくしても、それに伴うしきい値電圧の低下は、制御トランジスタのチャネル領域の不純物濃度を高めることなく、制御ゲート電極CGにメタルゲート電極を適用することで、補うことができる。このため、本実施の形態では、制御ゲート電極CGにメタルゲート電極を適用したことに伴い、制御トランジスタのチャネル領域の不純物濃度を低くすることが可能になるため、リーク電流31を抑制することができ、不揮発性メモリを有する半導体装置の信頼性を向上することができる。また、データの保持特性を向上させることもでき、不揮発性メモリを有する半導体装置の性能（電気的性能）を向上させることができる。また、不揮発性メモリのメモリセル間の特性のばらつきを抑制または防止することもできる。

30

【0161】

また、制御ゲート電極CGのゲート長を小さくした場合、特に制御ゲート電極CGのゲート長を80nm以下にした場合に、リーク電流31が大きくなりやすいため、本実施の形態および以下の実施の形態3、4、5は、制御ゲート電極CGのゲート長を80nm以下にした場合に適用すれば、効果が大きい。また、制御トランジスタのチャネル領域の不純物濃度を低くすることによってリーク電流31を抑制できるが、その効果は制御トランジスタのチャネル領域の不純物濃度が $1 \times 10^{17} / \text{cm}^3$ 以下の場合に大きくなる。このため、本実施の形態および以下の実施の形態3、4、5では、制御トランジスタのチャネル領域の不純物濃度は、 $1 \times 10^{17} / \text{cm}^3$ 以下とすることが、より好ましい。

40

【0162】

また、本実施の形態では、制御ゲート電極CGをメタルゲート電極としているが、制御

50

トランジスタのゲート絶縁膜（ここでは絶縁膜 3）を上述のように高誘電率ゲート絶縁膜とすることが、より好ましい。不揮発性メモリのセルサイズの縮小に伴い、制御トランジスタの薄膜化が進み、薄い酸化シリコン膜をゲート絶縁膜として使用すると、制御トランジスタのチャネルを流れる電子が酸化シリコンのゲート絶縁膜によって形成される障壁をトンネルして制御ゲート電極に流れる、いわゆるトンネル電流が発生してしまう懸念がある。しかしながら、制御トランジスタのゲート絶縁膜（ここでは絶縁膜 3）を高誘電率ゲート絶縁膜とすることにより、容量を同じにしても物理的膜厚を増加させることができるため、制御トランジスタのゲート絶縁膜をトンネルして制御ゲート電極 CG に流れるリーク電流を低減することができる。このため、不揮発性メモリを有する半導体装置の信頼性を更に向上させることができる。

10

【0163】

また、制御トランジスタのゲート絶縁膜（ここでは絶縁膜 3）を高誘電率ゲート絶縁膜とすることにより、制御トランジスタのしきい値電圧の絶対値の増大を図ることができるため、上述のように制御トランジスタのチャネル領域の不純物濃度を更に低くすることが可能となり、リーク電流 31 を更に抑制できるようになる。このため、不揮発性メモリを有する半導体装置の信頼性を更に向上させることができる。

【0164】

（実施の形態 2）

図 35 は、本実施の形態 2 の半導体装置の要部断面図であり、上記実施の形態 1 の上記図 1 に対応するものである。本実施の形態の半導体装置も、不揮発性メモリを備えた半導体装置であり、図 35 には、不揮発性メモリのメモリセル領域の要部断面図が示されている。

20

【0165】

本実施の形態の半導体装置が、上記実施の形態 1 の半導体装置と相違しているのは、制御トランジスタの制御ゲート電極 CG およびゲート絶縁膜である。すなわち、上記実施の形態 1 では、制御ゲート電極 CG は、金属膜 4a と金属膜 4a 上のシリコン膜 4b とにより形成されていたが、本実施の形態では、制御ゲート電極 CG は、金属膜 4a を有しておらず、シリコン膜 4b の単体膜により形成されている。シリコン膜 4b の上部に金属シリサイド層 21b が形成されている点は、本実施の形態と上記実施の形態 1 とで同様である。すなわち、上記実施の形態 1 では、制御ゲート電極 CG はメタルゲート電極であったが、本実施の形態では、制御ゲート電極 CG はポリシリコンゲート電極（ポリシリコンからなるゲート電極）である。

30

【0166】

また、上記実施の形態 1 では、制御トランジスタのゲート絶縁膜は、高誘電率膜である絶縁膜 3 で形成されているか、あるいは界面層 3a と絶縁膜 3 との積層構造（積層膜）で形成されていたが、本実施の形態では、制御トランジスタのゲート絶縁膜は、酸化シリコン膜または酸化窒化シリコン膜からなる絶縁膜 3b により形成されている。すなわち、本実施の形態では、シリコン膜 4b からなる制御ゲート電極 CG と半導体基板 1（p 型ウエル PW1）との間に、酸化シリコン膜または酸化窒化シリコン膜からなる絶縁膜 3b が形成されており、この絶縁膜 3b（すなわち制御ゲート電極 CG の下の絶縁膜 3）が、制御トランジスタのゲート絶縁膜として機能する。また、本実施の形態では、制御ゲート電極 CG をポリシリコンゲート電極とし、制御トランジスタのゲート絶縁膜を酸化シリコン膜または酸化窒化シリコン膜からなる絶縁膜 3b としたことに伴い、側壁絶縁膜 13a の形成を省略している。

40

【0167】

本実施の形態の半導体装置の他の構成は、上記実施の形態 1 と基本的には同じであるので、ここではその説明は省略する。

【0168】

次に、本実施の形態の半導体装置の製造工程について説明する。以下では、上記実施の形態 1 の製造工程との相違点を主として説明する。

50

【0169】

図36および図37は、本実施の形態の半導体装置の製造工程中の要部断面図である。図36および図37には、上記実施の形態1の上記図8～図15および図18～図33の断面に対応する断面が示されている。

【0170】

本実施の形態の半導体装置を製造するには、上記実施の形態1と同様にして上記ステップS1, S2, S3を行った後、図36に示されるように、希釈フッ酸洗浄などによって半導体基板1 (p型ウェルPW1, PW2) の表面を清浄化してから、半導体基板1の主面 (p型ウェルPW1, PW2の表面) に、ゲート絶縁膜用の絶縁膜3bを形成する。この絶縁膜3bは、薄い酸化シリコン膜または酸窒化シリコン膜により形成することができる。絶縁膜3bの膜厚 (形成膜厚) は、例えば2～3nm程度とすることができる。つまり、上記実施の形態1のステップS4で界面層3aおよび絶縁膜3の形成工程を行う代わりに、本実施の形態では、絶縁膜3bの形成工程を行うのである。

10

【0171】

それから、本実施の形態では、上記金属膜4aを形成することなく、図36に示されるように、半導体基板1の主面 (主面全面) 上に、すなわち絶縁膜3b上に、ゲート電極用のシリコン膜4bを形成 (堆積) する。すなわち、上記実施の形態1のステップS5, S6で金属膜4aおよびシリコン膜4bの積層膜4を形成する代わりに、本実施の形態では、シリコン膜4bの単体膜を形成するのである。

20

【0172】

それから、メモリセル領域1Aのシリコン膜4bをエッチング (好ましくはドライエッチング) によりパターニングして、シリコン膜4bからなる制御ゲート電極CGを形成する。すなわち、上記実施の形態1のステップS7で金属膜4aおよびシリコン膜4bの積層膜4をパターニングして制御ゲート電極CGを形成する代わりに、本実施の形態では、シリコン膜4bをパターニングして制御ゲート電極CGを形成するのである。

【0173】

また、本実施の形態では、制御ゲート電極CGをポリシリコンゲート電極とし、制御トランジスタのゲート絶縁膜を酸化シリコン膜または酸窒化シリコン膜からなる絶縁膜3bとしたことに伴い、上記ステップS8の側壁絶縁膜13a形成工程を省略する。

【0174】

以降の工程は、基本的には上記実施の形態1と同様であるので、ここではその説明は省略する。

30

【0175】

本実施の形態では、制御トランジスタについては、ゲート絶縁膜と制御ゲート電極CGの構成が、上記実施の形態1と相違している。本実施の形態では、制御ゲート電極CGはポリシリコンゲート電極であり、制御トランジスタのゲート絶縁膜は酸化シリコン膜または酸窒化シリコン膜であるため、上記実施の形態1で制御ゲート電極CGをメタルゲート電極としたことや、制御トランジスタのゲート絶縁膜を高誘電率ゲート絶縁膜としたことに付随する効果については、本実施の形態では得られない。しかしながら、本実施の形態では、メモリトランジスタの構造は上記実施の形態1と同様である。このため、上記実施の形態1でメモリトランジスタの構成 (メモリゲート電極MGの構成、金属酸化物部分17の形成、絶縁膜5の構成) に付随した効果は、本実施の形態でも得ることができる (その効果の繰り返しの説明はここでは省略する)。

40

【0176】

(実施の形態3)

図38は、本実施の形態3の半導体装置の要部断面図であり、上記実施の形態1の上記図1に対応するものである。本実施の形態の半導体装置も、不揮発性メモリを備えた半導体装置であり、図38には、不揮発性メモリのメモリセル領域の要部断面図が示されている。

【0177】

50

本実施の形態の半導体装置が、上記実施の形態 1 の半導体装置と相違しているのは、メモリトランジスタのメモリゲート電極 MG である。すなわち、上記実施の形態 1 では、メモリゲート電極 MG は、金属膜 6 a と金属膜 6 a 上のシリコン膜 6 b とにより形成されていたが、本実施の形態では、メモリゲート電極 MG は、金属膜 6 a を有しておらず、シリコン膜 6 b の単体膜により形成されている。メモリゲート電極 MG が金属膜 6 a を有していないことに付随して、金属酸化物部分 1 7 も形成されていない。また、本実施の形態では、メモリゲート電極 MG はシリコン膜 6 b の単体膜からなるが、そのシリコン膜 6 b の上部には金属シリサイド層 2 1 が形成されている。すなわち、上記実施の形態 1 では、メモリゲート電極 MG はメタルゲート電極であったが、本実施の形態では、メモリゲート電極 MG はポリシリコンゲート電極（ポリシリコンからなるゲート電極）である。

10

【0178】

また、本実施の形態では、メモリゲート電極 MG をポリシリコンゲート電極としたことに伴い、金属酸化物部分 1 7 が形成されていないが、側壁絶縁膜 1 4 a, 1 4 b の形成を省略することも可能であり、図 3 8 には、側壁絶縁膜 1 4 a, 1 4 b の形成を省略した場合が示されている。但し、 n^- 型半導体領域 7 a, 7 b を形成するイオン注入工程（上記ステップ S 1 7 に対応）で、オフセットスペーサが必要な場合には、上記実施の形態 1 と同様に、本実施の形態でも、側壁絶縁膜 1 4 a, 1 4 b を形成することもできる。また、図 3 8 には、制御ゲート電極 CG の側壁 1 1 b 上の側壁絶縁膜 1 3 a が除去されなかった場合が示されている。

【0179】

20

本実施の形態の半導体装置の他の構成は、上記実施の形態 1 と基本的には同じであるので、ここではその説明は省略する。

【0180】

次に、本実施の形態の半導体装置の製造工程について説明する。以下では、上記実施の形態 1 の製造工程との相違点を主として説明する。

【0181】

図 3 9 および図 4 0 は、本実施の形態の半導体装置の製造工程中の要部断面図である。図 3 9 および図 4 0 には、上記実施の形態 1 の上記図 8 ～図 1 5 および図 1 8 ～図 3 3 の断面に対応する断面が示されている。

【0182】

30

本実施の形態の半導体装置を製造するには、まず、上記実施の形態 1 と同様にして上記ステップ S 9 までの工程を行って上記図 1 5 の構造を得る。それから、上記金属膜 6 a を形成することなく、図 3 9 に示されるように、半導体基板 1 の主面（主面全面）上に、すなわち絶縁膜 5 上に、メモリセル領域 1 A においては制御ゲート電極 CG を覆うように、周辺回路領域 1 B においては積層膜 4 を覆うように、メモリゲート電極形成用のシリコン膜 6 b を形成（堆積）する。すなわち、上記実施の形態 1 のステップ S 1 0, S 1 1 で金属膜 6 a およびシリコン膜 6 b の積層膜 6 を形成する代わりに、本実施の形態では、シリコン膜 6 b の単体膜を形成するのである。

【0183】

40

それから、異方性エッチング技術によりシリコン膜 6 b をエッチバック（エッチング、ドライエッチング、異方性エッチング）して、シリコン膜 6 b からなるメモリゲート電極 MG を形成する。すなわち、上記実施の形態 1 のステップ S 1 2 で金属膜 6 a およびシリコン膜 6 b の積層膜 6 をエッチバックしてメモリゲート電極 MG を形成する代わりに、本実施の形態では、シリコン膜 6 b をエッチバックしてメモリゲート電極 MG を形成するのである。シリコン膜 6 b をエッチバックしてメモリゲート電極 MG を形成する際に、積層膜スペーサ SP 1, SP 2 も形成されるが、上記実施の形態 1 では、積層膜スペーサ SP 1, SP 2 は金属膜 6 a およびシリコン膜 6 b の積層膜 6 で形成されるが、本実施の形態では、積層膜スペーサ SP 1, SP 2 はシリコン膜 6 b からなる。

【0184】

以降の工程は、基本的には上記実施の形態 1 と同様であるので、ここではその説明は省

50

略する。但し、本実施の形態では、メモリゲート電極MGをポリシリコンゲート電極としたことに伴い、上記ステップS19で絶縁膜15を形成する際に、上記金属酸化物部分17は形成されない。また、ステップS16の側壁絶縁膜14形成工程を省略することもできる。

【0185】

本実施の形態では、メモリトランジスタについては、メモリゲート電極MGの構成が、上記実施の形態1と相違している。本実施の形態では、メモリゲート電極MGはポリシリコンゲート電極であるため、上記実施の形態1でメモリゲート電極MGをメタルゲート電極としたことや、上記金属酸化物部分17を形成したことに付随する効果については、本実施の形態では得られない。しかしながら、本実施の形態では、制御トランジスタの構造は上記実施の形態1と同様である。このため、上記実施の形態1で制御トランジスタの構成（制御ゲート電極CGの構成、制御トランジスタのゲート絶縁膜の構成）に付随した効果は、本実施の形態でも得ることができる（その効果の繰り返しの説明はここでは省略する）。

【0186】

（実施の形態4）

図41は、本実施の形態4の半導体装置の要部断面図であり、上記実施の形態1の上記図1に対応するものである。本実施の形態の半導体装置も、不揮発性メモリを備えた半導体装置であり、図41には、不揮発性メモリのメモリセル領域の要部断面図が示されている。

【0187】

本実施の形態の半導体装置が、上記実施の形態1の半導体装置と相違しているのは、上記実施の形態1では、メモリゲート電極MGを構成する金属膜6aの上端部（16a）に金属酸化物部分17が形成されていたのに対して、本実施の形態では、メモリゲート電極MGを構成する金属膜6aの上端部（16a）に金属酸化物部分17が形成され、金属膜6aの側方端部（16b）に金属酸化物部分17aが形成されている。また、本実施の形態では、制御ゲート電極CGを構成する金属膜4aの端部（特に制御ゲート電極CGのゲート長方向の両端部）に金属酸化物部分18が形成されている。また、上記実施の形態1で形成していた側壁絶縁膜13a、14a、14bについては、本実施の形態では形成していない。

【0188】

本実施の形態の半導体装置の他の構成は、上記実施の形態1と基本的には同じであるので、ここではその説明は省略する。

【0189】

金属酸化物部分17a、18について具体的に説明する。なお、金属酸化物部分17については、上記実施の形態1と同様であるので、ここではその説明は省略する。

【0190】

メモリゲート電極MGを構成する金属膜6aの側方端部16b側には、絶縁性を有する金属酸化物部分17aが形成されている。金属酸化物部分17aは、金属膜6aの一部が酸化することで形成されたものであり、金属膜6aの側方端部16bは金属酸化物部分17に隣接している（接している）。すなわち、金属膜6aの側方端部16bに隣接して金属酸化物部分17aが、金属膜6aに連続して形成された状態となっている。このため、金属膜6aの側方端部が酸化されて、金属膜6aの側方端部に金属酸化物部分17aが形成されているということもできる。メモリゲート電極MGの側壁上にはサイドウォールスペーサSW1が形成されているため、金属酸化物部分17aは、金属膜6aの側方端部16bとサイドウォールスペーサSW1との間に形成された状態になっている。

【0191】

金属酸化物部分17aは、金属膜6aの一部が酸化することで形成されているため、金属酸化物部分17aを構成する金属元素と、金属膜6aを構成する金属元素とは同じである。すなわち、金属酸化物部分17aを構成する金属元素と、金属酸化物部分17を構成

する金属元素と、金属膜 6 a を構成する金属元素とは同じである。例えば、金属膜 6 a がアルミニウム (A l) 膜である場合には、金属酸化物部分 1 7 と金属酸化物部分 1 7 a とは、酸化アルミニウムからなる。

【0192】

また、金属膜 6 a の側方端部が酸化されて金属酸化物部分 1 7 a が形成されているため、金属酸化物部分 1 7 a の少なくとも一部は、メモリゲート電極 M G を構成するシリコン膜 6 b の下方に位置している。すなわち、金属酸化物部分 1 7 a の少なくとも一部は、メモリゲート電極 M G を構成するシリコン膜 6 b と絶縁膜 5 との間に位置している。具体的には、金属酸化物部分 1 7 a は、メモリゲート電極 M G を構成するシリコン膜 6 b と絶縁膜 5 とで上下に挟まれ、また、金属膜 6 a とサイドウォールスペーサ S W 1 とで横方向 (ゲート長方向) に挟まれているため、金属酸化物部分 1 7 a は、メモリゲート電極 M G を構成するシリコン膜 6 b と、絶縁膜 5 と、金属膜 6 a と、サイドウォールスペーサ S W 1 とで、囲まれた状態となっている。

10

【0193】

また、制御ゲート電極 C G を構成する金属膜 4 a の端部 (特に制御ゲート電極 C G のゲート長方向の両端部) には、絶縁性を有する金属酸化物部分 1 8 が形成されている。金属酸化物部分 1 8 は、金属膜 4 a の一部が酸化することで形成されたものであり、金属膜 4 a の端部 (特に制御ゲート電極 C G のゲート長方向の両端部) は金属酸化物部分 1 8 に隣接している (接している)。このため、制御ゲート電極 C G を構成する金属膜 4 a の端部 (特に制御ゲート電極 C G のゲート長方向の両端部) が酸化されて、制御ゲート電極 C G を構成する金属膜 4 a の端部 (特に制御ゲート電極 C G のゲート長方向の両端部) に金属酸化物部分 1 8 が形成されているということもできる。

20

【0194】

金属酸化物部分 1 8 は、金属膜 4 a の一部が酸化することで形成されているため、金属酸化物部分 1 8 を構成する金属元素と、金属膜 4 a を構成する金属元素とは同じである。例えば、金属膜 4 a がアルミニウム (A l) 膜である場合には、金属酸化物部分 1 8 は、酸化アルミニウムからなる。また、制御ゲート電極 C G を構成する金属膜 4 a の端部が酸化されて金属酸化物部分 1 8 が形成されているため、金属酸化物部分 1 8 の少なくとも一部は、制御ゲート電極 C G を構成するシリコン膜 4 b の下方に位置している。すなわち、金属酸化物部分 1 8 の少なくとも一部は、制御ゲート電極 C G を構成するシリコン膜 4 b と絶縁膜 3 との間に位置している。具体的には、金属酸化物部分 1 8 は、制御ゲート電極 C G を構成するシリコン膜 4 b と絶縁膜 3 とで上下に挟まれ、また、制御ゲート電極 C G を構成する金属膜 4 a とサイドウォールスペーサ S W 2 または絶縁膜 5 とで横方向 (ゲート長方向) に挟まれているため、金属酸化物部分 1 8 は、制御ゲート電極 C G を構成するシリコン膜 4 b と、絶縁膜 5 と、金属膜 4 a と、サイドウォールスペーサ S W 2 または絶縁膜 5 とで、囲まれた状態となっている。

30

【0195】

次に、本実施の形態の半導体装置の製造工程について説明する。以下では、上記実施の形態 1 の製造工程との相違点を主として説明する。

【0196】

図 4 2 ~ 図 5 2 は、本実施の形態の半導体装置の製造工程中の要部断面図である。このうち、図 4 2、図 4 4、図 4 6、図 4 7、図 4 9 および図 5 1 には、上記実施の形態 1 の上記図 8 ~ 図 1 5 および図 1 8 ~ 図 3 3 の断面に対応する断面が示されている。また、図 4 3 は図 4 2 の部分拡大断面図であり、図 4 5 は図 4 4 の部分拡大断面図であり、図 4 8 は図 4 7 の部分拡大断面図であり、図 5 0 は図 4 9 の部分拡大断面図であり、図 5 2 は図 5 1 の部分拡大断面図である。

【0197】

本実施の形態の半導体装置を製造するには、上記実施の形態 1 と同様にして上記ステップ S 7 までの工程を行って、上記図 1 2 と同様の図 4 2 および図 4 3 の構造を得る。それから、本実施の形態では、上記ステップ S 8 の側壁絶縁膜 1 3 a 形成工程を行うことなく

40

50

、上記ステップ S 9 の絶縁膜 5 形成工程を行って、図 4 4 および図 4 5 の構造を得る。なお、図 4 5 は、酸化シリコン膜 5 a と酸化シリコン膜 5 a 上の窒化シリコン膜 5 b と窒化シリコン膜 5 b 上の酸化シリコン膜 5 c との積層膜として絶縁膜 5 を形成する場合が示されているが、変形例として、酸化シリコン膜 5 a と酸化シリコン膜 5 a 上の窒化シリコン膜 5 b と窒化シリコン膜 5 b 上の酸化シリコン膜 5 c と酸化シリコン膜 5 c 上の上記絶縁膜 5 d との積層膜として絶縁膜 5 を形成することもできる。

【0198】

本実施の形態では、図 4 4 および図 4 5 に示されるように、絶縁膜 5 を形成する際に、制御ゲート電極 C G の側壁に側壁絶縁膜 1 3 a は形成されておらず、半導体基板 1 の主面（表面）上と制御ゲート電極 C G の表面（上面および側面）上に絶縁膜 5 が形成される。また、周辺回路領域 1 B では、積層膜 4 の表面（上面および側面）上に絶縁膜 5 が形成される。上記実施の形態 1 と大きく相違しているのは、絶縁膜 5 の最下層の酸化シリコン膜 5 a を形成する際に、制御ゲート電極 C G を構成していた金属膜 4 a の端部（特に制御ゲート電極 C G のゲート長方向の両端部）が酸化されて、絶縁性を有する金属酸化物部分 1 8 が形成されることである。本実施の形態では、絶縁膜 5 を形成する直前の段階で、制御ゲート電極 C G の側壁に側壁絶縁膜 1 3 a は形成されておらず、制御ゲート電極 C G を構成する金属膜 4 a の端部（特に制御ゲート電極 C G のゲート長方向の両端部）は露出している。このため、絶縁膜 5 の最下層の酸化シリコン膜 5 a を形成する際に、制御ゲート電極 C G を構成していた金属膜 4 a の端部（特に制御ゲート電極 C G のゲート長方向の両端部）を酸化して、金属酸化物部分 1 8 を形成することができる。この際、周辺回路領域 1 B においても、金属膜 4 a の端部が露出している場所では、同様に金属酸化物部分 1 8 が形成される。ただし、周辺回路領域 1 B において形成される金属酸化物部分 1 8 は、その後のステップ S 1 5 におけるゲート電極 G E を形成する工程で除去される。

【0199】

また、酸化シリコン膜 5 a の成膜時に制御ゲート電極 C G の金属膜 4 a の端部（特に制御ゲート電極 C G のゲート長方向の両端部）を酸化して金属酸化物部分 1 8 を形成するため、酸化シリコン膜 5 a は、金属膜 4 a の露出部を酸化できるような条件で成膜することが好ましい。I S S G (In Situ Steam Generation) 酸化は、酸化性が強いいため、I S S G 酸化で酸化シリコン膜 5 a を形成すると、その成膜に際して金属膜 4 a の露出部を酸化させるのに好適である。このため、本実施の形態では、I S S G 酸化で酸化シリコン膜 5 a を形成することが好ましい。

【0200】

また、酸化シリコン膜 5 a の成膜時に金属膜 4 a の一部を酸化して金属酸化物部分 1 8 を形成する際に、シリコン膜 4 b の露出部が若干酸化する場合もあり得るが、この際にシリコン膜 4 b よりも金属膜 4 a の方が酸化されやすいように、金属膜 4 a の材料や酸化シリコン膜 5 a の成膜条件を選択しておく。

【0201】

絶縁膜 5 を形成した後、ステップ S 1 5 でゲート電極 G E を形成するまでの工程は、上記実施の形態 1 と基本的には同じである。すなわち、上記実施の形態 1 と同様に上記ステップ S 1 0, S 1 1, S 1 2, S 1 3, S 1 4, S 1 5 を行って、上記図 2 2 に対応する図 4 6 の構造を得る。それから、本実施の形態では、上記ステップ S 1 6 の側壁絶縁膜 1 4 形成工程を行うことなく、上記ステップ S 1 7 (n⁻型半導体領域 7 a, 7 b, 7 c 形成工程) およびステップ S 1 8 (ハロー領域 H A 形成工程) を行って、上記図 2 5 に対応する図 4 7 の構造を得る。なお、図 4 8 は、図 4 7 の部分拡大断面図である。本実施の形態では、ステップ S 1 7 (n⁻型半導体領域 7 a, 7 b, 7 c 形成工程) およびステップ S 1 8 (ハロー領域 H A 形成工程) は、制御ゲート電極 C G、メモリゲート電極 M G およびゲート電極 G E の側壁に側壁絶縁膜 1 4 が形成されていない状態で行われるが、それ以外については、上記実施の形態 1 のステップ S 1 7, S 1 8 と基本的には同じである。

【0202】

それから、本実施の形態では、ステップ S 1 9 の絶縁膜 1 5 形成工程を行って、上記図

26に対応する図49の構造を得る。なお、図50は、図49の部分拡大断面図である。

【0203】

本実施の形態でも、ステップS19で絶縁膜15を形成する際に、メモリゲート電極MGを構成していた金属膜6aの露出部を酸化させる。具体的には、上述のように絶縁膜15は、酸化シリコン膜の単体膜か、あるいは最下層が酸化シリコン膜である積層膜であり、その酸化シリコン膜を形成する際に、メモリゲート電極MGを構成する金属膜6aの露出部を酸化させる。上記実施の形態1と相違しているのは、本実施の形態では、絶縁膜15を形成する直前の段階で、メモリゲート電極MGの側壁に上記側壁絶縁膜14(14a)は形成されておらず、メモリゲート電極MGを構成する金属膜6aの上端部だけでなく、金属膜6aの側方端部(16b)も露出していることである。このため、ステップS19で絶縁膜15を形成する際に、本実施の形態でも上記実施の形態1と同様に、メモリゲート電極MGを構成していた金属膜6aの上端部16aが酸化されて、絶縁性を有する金属酸化物部分17が形成されるとともに、上記実施の形態1とは異なり、メモリゲート電極MGを構成していた金属膜6aの側方端部16bが酸化されて、絶縁性を有する金属酸化物部分17aが形成される。金属酸化物部分17と金属酸化物部分17aとは、金属膜6aの一部が酸化することで形成されたため、金属酸化物部分17、17aを構成する金属元素と、金属膜6aを構成する金属元素とは同じである。

【0204】

また、上記ステップS16の側壁絶縁膜14形成工程を行っていないため、ゲート電極GEの側壁にも側壁絶縁膜14(14c)が形成されておらず、絶縁膜15を形成する直前の段階で、ゲート電極GEを構成する金属膜4aの端部(側面)も露出している。このため、本実施の形態では、ステップS19で絶縁膜15を形成する際に、メモリゲート電極MGを構成していた金属膜6aの露出部(上端部および側方端部)が酸化して金属酸化物部分17、17aが形成されるだけでなく、ゲート電極GEを構成していた金属膜4aの端部(側面)が酸化されて、絶縁性を有する金属酸化物部分19が形成される。この金属酸化物部分19は、ゲート電極GEを構成していた金属膜4aの端部(特にゲート電極GEのゲート長方向の両端部)に形成され、金属酸化物部分19を構成する金属元素と、金属膜4aを構成する金属元素とは同じである。

【0205】

また、絶縁膜15の成膜時に金属膜4a、6aの一部を酸化して金属酸化物部分17、17a、19を形成する際に、シリコン膜4b、6bの露出部が若干酸化する場合もあり得るが、この際にシリコン膜4b、6bよりも金属膜4a、6aの方が酸化されやすいように、金属膜4a、6aの材料や絶縁膜15の成膜条件を選択しておく。

【0206】

以降の工程は、上記実施の形態1と基本的には同じである。すなわち、本実施の形態においても、上記実施の形態1と同様にステップS20の絶縁膜15の異方性エッチング(エッチバック)工程を行ってサイドウォールスペースSWを形成して、上記図27に対応する図51の構造を得る。なお、図52は、図51の部分拡大断面図である。その後、上記実施の形態1と同様に、上記ステップS21(n^+ 型半導体領域8a、8b、8c形成工程)およびそれ以降の工程を行うが、ここではその繰り返しの説明は省略する。

【0207】

本実施の形態では、上記実施の形態1の効果に加えて、更に次のような効果を得ることができる。

【0208】

すなわち、制御ゲート電極CGを構成する金属膜4aの端部(特に制御ゲート電極CGのゲート長方向の両端部)に金属酸化物部分18が形成されているため、この金属酸化物部分18の分、制御ゲート電極CGの実効的なゲート長 L_{eff} を短くすることができる。このため、オン電流を増大させることができるため、駆動力を向上させることができる。従って、不揮発性メモリを有する半導体装置の性能(電気的性能)を更に向上させることができる。

【0209】

また、メモリゲート電極MGを構成する金属膜6aの側方端部(16b)に金属酸化物部分17aが形成されているため、上記側壁絶縁膜14aのようなオフセットスペーサがなくとも、n⁻型半導体領域7aを形成するイオン注入工程で不純物が注入される領域の端部(起点)を、メモリゲート電極MGを構成する金属膜6aの側方端部16bから、金属酸化物部分17aの分、離間させることができる。このため、リーク電流を低減し、短チャネル特性を向上させることができる。また、上記側壁絶縁膜14aのようなオフセットスペーサが不要となるため、メモリセルのセルサイズ(ゲート長方向におけるセルサイズ)を縮小することが可能となり、半導体装置の小型化(小面積化)を図ることができる。

10

【0210】

また、上記実施の形態2において、メモリゲート電極MGの金属膜6aに対して金属酸化物部分17、17aを形成することもでき、また、上記実施の形態3において、制御ゲート電極CGの金属膜4aに対して金属酸化物部分18を形成することもできる。

【0211】

(実施の形態5)

本実施の形態においては、上記実施の形態3の不揮発性メモリの制御ゲート電極CGを金属膜4aとシリコン膜4bと絶縁膜との積層膜で形成する場合について説明する。

【0212】

図53は、本実施の形態5の半導体装置の要部断面図であり、上記実施の形態1の上記図1や上記実施の形態3の上記図38に対応するものである。本実施の形態の半導体装置も、不揮発性メモリを備えた半導体装置であり、図53には、不揮発性メモリのメモリセル領域の要部断面図が示されている。

20

【0213】

図53に示されるように、本実施の形態における不揮発性メモリのメモリセルは、制御ゲート電極CGが、金属膜4aとシリコン膜4bと絶縁膜41との積層膜(積層パターン、積層構造)で構成されている。より具体的には、制御ゲート電極CGが、金属膜4aと金属膜4a上のシリコン膜4bとシリコン膜4b上の絶縁膜41aと絶縁膜41a上の絶縁膜41bとの積層膜(積層膜パターン)で構成されている。絶縁膜41は、シリコン膜4b上の絶縁膜41aと絶縁膜41a上の絶縁膜41bとで構成されており、絶縁膜41aは、絶縁膜41bより薄く形成されている。絶縁膜41aは、好ましくは酸化シリコン膜からなり、絶縁膜41bは、好ましくは窒化シリコン膜からなる。

30

【0214】

本実施の形態においては、メモリセルの制御ゲート電極CGの上部に絶縁膜41(ここでは絶縁膜41a、41b)が形成されているため、メモリセルの制御ゲート電極CG上には、金属シリサイド層21は形成されていない。すなわち、上記実施の形態3において金属膜4aと金属膜4a上のシリコン膜4bとシリコン膜4bの上部の金属シリサイド層21(21b)によって形成されていた制御ゲート電極CGを、金属膜4aと金属膜4a上のシリコン膜4bとシリコン膜4b上の絶縁膜41との積層膜によって形成された制御ゲート電極CGに置き換えたものが、本実施の形態の半導体装置に相当している。

40

【0215】

本実施の形態のメモリセルの他の構成は、上記実施の形態3と同様であるので、ここではその説明は省略する。

【0216】

次に、本実施の形態の半導体装置の製造工程について説明する。以下では、上記実施の形態3の製造工程との相違点を主として説明する。

【0217】

図54および図55は、本実施の形態の半導体装置の製造工程中の要部断面図である。図54および図55には、上記実施の形態1の上記図8～図15および図18～図33の断面に対応する断面が示されている。

50

【0218】

本実施の形態では、上記ステップS6（シリコン膜4b形成工程）と上記ステップS7との間に、図54に示されるように、シリコン膜4b上に絶縁膜41を形成する工程が追加される。絶縁膜41形成工程は、シリコン膜4b上に絶縁膜41aを形成する工程と、絶縁膜41a上に絶縁膜41bを形成する工程とを有している。

【0219】

それから、上記ステップS7において、上記実施の形態3では金属膜4aと金属膜4a上のシリコン膜4bとの積層膜4をパターンニングして制御ゲート電極CGを形成したが、本実施の形態では、金属膜4aと金属膜4a上のシリコン膜4bとシリコン膜4b上の絶縁膜41との積層膜をパターンニングする。これにより、図55に示されるように、金属膜4aと金属膜4a上のシリコン膜4bとシリコン膜4b上の絶縁膜41との積層膜パターンからなる制御ゲート電極CGを形成する。それから、ステップS7とステップS8の間に、絶縁膜41を除去すべき領域（例えば周辺回路領域1Bなど）において、適宜絶縁膜41の除去を行う。以降の工程（ステップS8およびそれ以降の工程）は、上記実施の形態3と基本的には同様であるため、ここではその説明は省略する。

【0220】

本実施の形態においても、上記実施の形態3と同様の効果を得ることができる。

【0221】

また、それに加えて、本実施の形態では、制御ゲート電極CGを金属膜4aとシリコン膜4bと絶縁膜41（より特定的には絶縁膜41a、41b）との積層膜で形成するため、金属膜4aおよびシリコン膜4bを上記実施の形態3よりも薄く形成した場合においても、制御ゲート電極CGの側壁にサイドウォールスペーサ状に形成されるメモリゲート電極MGの高さを確保することができる。

【0222】

更に、本実施の形態では、以下の効果も得ることができる。すなわち、制御ゲート電極CGの上部に絶縁膜41を形成した場合には、制御ゲート電極CGの上部に金属シリサイド層21を形成することができないため、本実施の形態とは異なり制御ゲート電極がポリシリコンゲート電極であると、制御ゲート電極の抵抗が高くなってしまい、制御トランジスタの高速化に不利となる。それに対して本実施の形態では、制御ゲート電極CGが金属膜4aを有しており、いわゆるメタルゲート電極とされているため、制御ゲート電極CGの上部に絶縁膜41を形成することで制御ゲート電極CGの上部に金属シリサイド層21が形成されなくとも、制御ゲート電極CGを低抵抗化することができる。このため、制御トランジスタを高速化することができ、不揮発性メモリを有する半導体装置の性能（電気的性能）を向上させることができる。

【0223】

図56は、本実施の形態の変形例の半導体装置の要部断面図であり、上記図53や上記実施の形態1の上記図1に対応するものである。

【0224】

図56の変形例は、上記実施の形態1の上記図1のメモリセルにおいて、制御ゲート電極CGを、上記図53の制御ゲート電極CGと同様の構成（金属膜4aとシリコン膜4bと絶縁膜41との積層構造）としたものである。具体的には、図56の変形例でも、図53のメモリセルと同様に、制御ゲート電極CGが、金属膜4aと金属膜4a上のシリコン膜4bとシリコン膜4b上の絶縁膜41aと絶縁膜41a上の絶縁膜41bとの積層膜（積層膜パターン）で構成されており、制御ゲート電極CG上には、金属シリサイド層21は形成されていない。図56の変形例のメモリセルの他の構成は、上記実施の形態1と同様であるので、ここではその説明は省略する。

【0225】

図56の変形例は、図53のメモリセルにおいて、メモリゲート電極MGをメタルゲート電極（金属膜6aおよびシリコン膜6bの積層構造）とし、上記金属酸化物部分17を形成した場合とみなすこともできる。

【0226】

図56の変形例では、上記図53のメモリセルと同様に、制御ゲート電極CG上には金属シリサイド膜21bは形成されない。しかしながら、上記図28に示される工程（上記ステップS21）などにおいて、側壁絶縁膜13aおよび絶縁膜5の上部の露出している部分にも、不純物が注入（イオン注入）されることにより、制御ゲート電極CGとメモリゲート電極MGとの間の電位差が大きくなった場合に、制御ゲート電極CGとメモリゲート電極MGの上部においてリーク電流が流れる虞がある。しかしながら、図56に示されるように、金属酸化物部分17を形成することにより、制御ゲート電極CGの上部とメモリゲート電極の上部の間には絶縁性の金属酸化物部分17が介在し、それ故、制御ゲート電極CGの上部とメモリゲート電極MGの上部とにおける導電膜同士の距離が長くなる。従って、上記リーク電流の発生を防止、または、減少させることができる。

【0227】

また、本実施の形態の更に他の変形例として、図53のメモリセルや図56のメモリセルにおいて、更に上記金属酸化物部分18を形成することもできる。また、本実施の形態の更に他の変形例として、図56のメモリセルにおいて、更に上記金属酸化物部分17aを形成することもできる。また、本実施の形態の更に他の変形例として、図56のメモリセルにおいて、更に上記金属酸化物部分17a、18を形成することもできる。

【0228】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【産業上の利用可能性】

【0229】

本発明は、半導体装置およびその製造技術に適用して有効である。

【符号の説明】

【0230】

- 1 半導体基板
- 1A メモリセル領域
- 1B 周辺回路領域
- 2 素子分離領域
- 3 絶縁膜
- 3a 界面層
- 3b 絶縁膜
- 4 積層膜
- 4a 金属膜
- 4b シリコン膜
- 5 絶縁膜
- 5a, 5c 酸化シリコン膜
- 5b 窒化シリコン膜
- 5d 絶縁膜
- 6a 金属膜
- 6b シリコン膜
- 7a, 7b, 7c n^- 型半導体領域
- 8a, 8b, 8c n^+ 型半導体領域
- 11a, 11b 側壁（側面）
- 12a, 12b 側壁（側面）
- 13 絶縁膜
- 13a 側壁絶縁膜
- 14, 14a, 14b, 14c 側壁絶縁膜
- 14d 絶縁膜

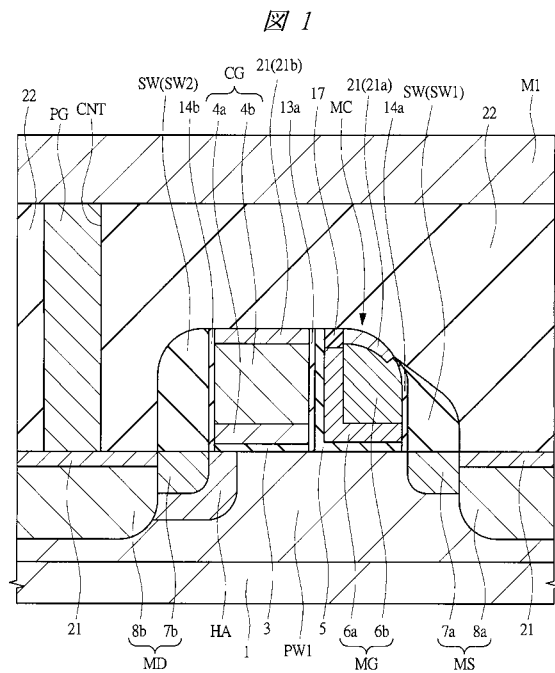
- 1 5 絶縁膜
 1 6 a 上端部
 1 6 b 側方端部
 1 7, 1 7 a, 1 8, 1 9 金属酸化物部分
 2 0 金属膜
 2 1, 2 1 a, 2 1 b 金属シリサイド層
 2 2 層間絶縁膜
 2 4 絶縁膜
 3 1 リーク電流
 3 2, 3 3 領域
 4 1, 4 1 a, 4 1 b 絶縁膜
 C G 制御ゲート電極
 C N T コンタクトホール
 H A ハロー領域
 M 1 配線
 M C メモリセル
 M D, M S 半導体領域
 M G メモリゲート電極
 P G プラグ
 P W 1, P W 2 p型ウエル
 S P 1, S P 2 積層膜スペーサ
 S W, S W 1, S W 2 サイドウォールスペーサ

10

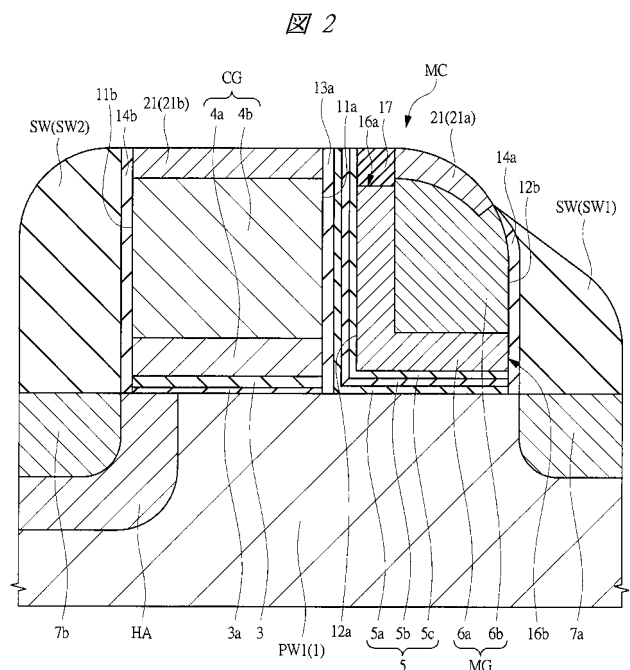
20

【図 1】

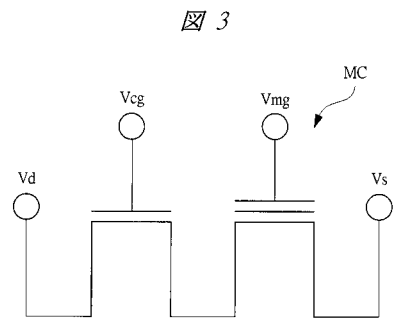
【図 2】



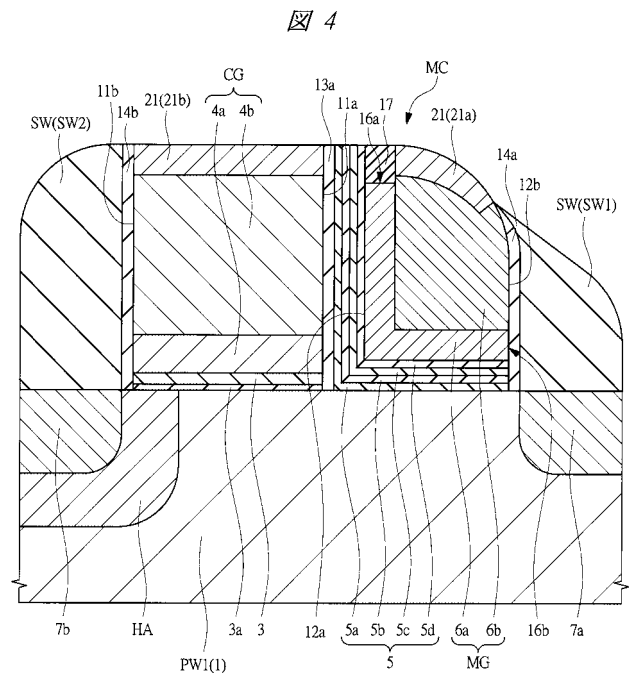
4a, 6a: 金属膜
 4b, 6b: シリコン膜
 17: 金属酸化物部分
 CG: 制御ゲート電極
 MG: メモリゲート電極



【図 3】



【図 4】



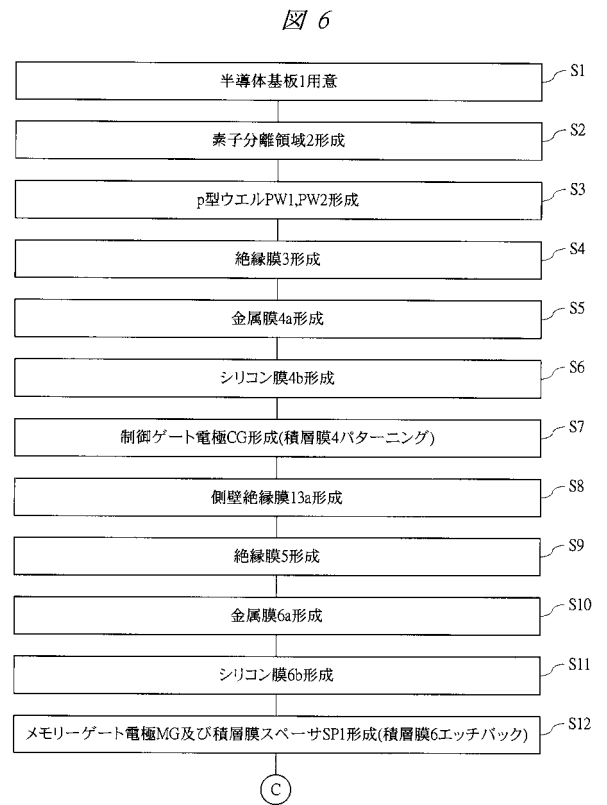
【図 5】

図 5

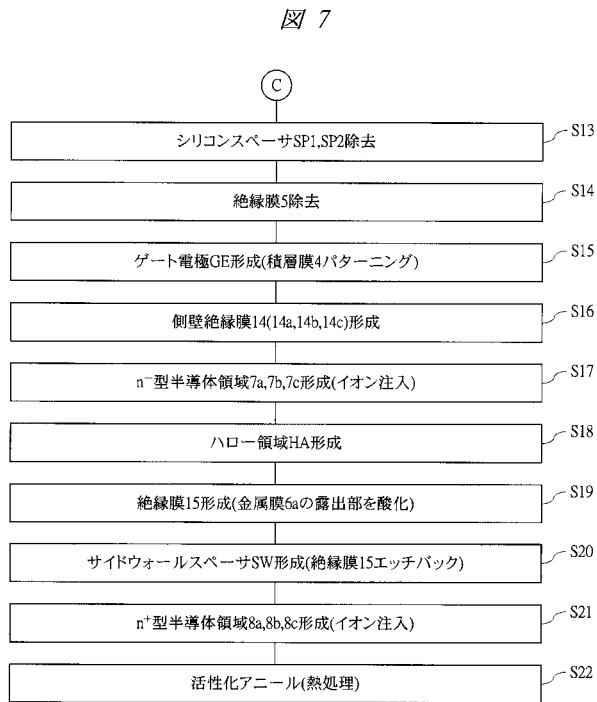
印加電圧 動作	Vd	Vcg	Vmg	Vs	Vb
書込	Vdd	1V	12V	6V	0
消去	0	0	-6V	6V	0
読出	Vdd	Vdd	0	0	0

Vdd = 1.5V

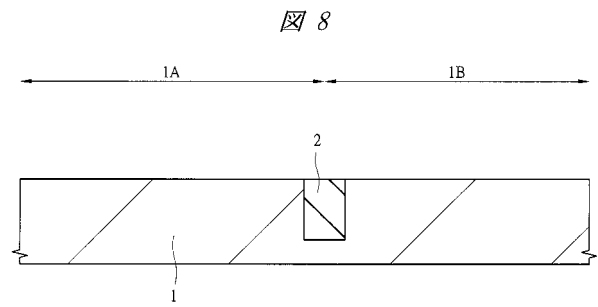
【図 6】



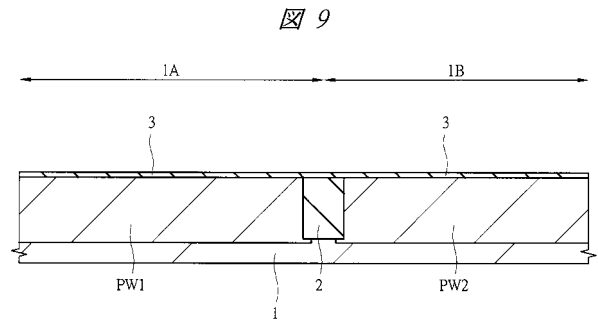
【図 7】



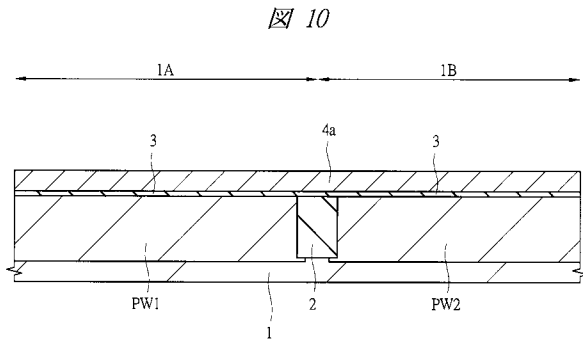
【図 8】



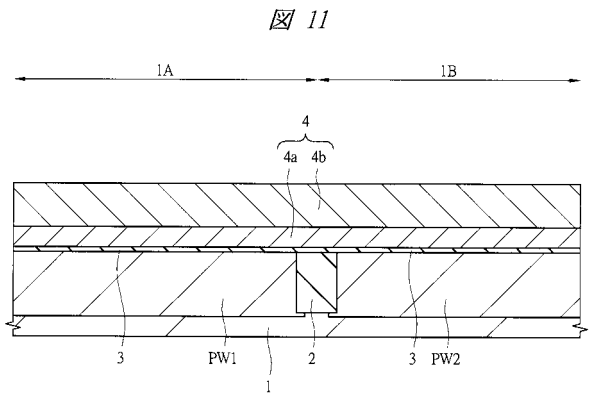
【図 9】



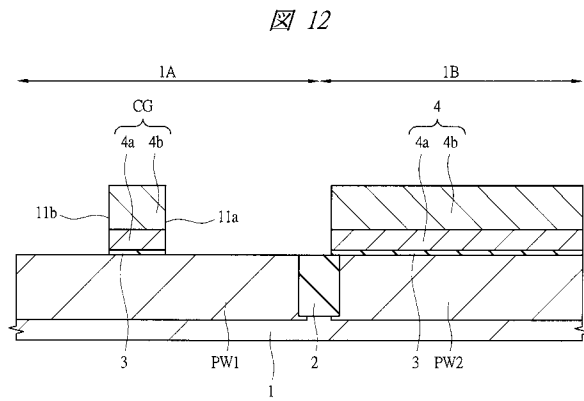
【図 10】



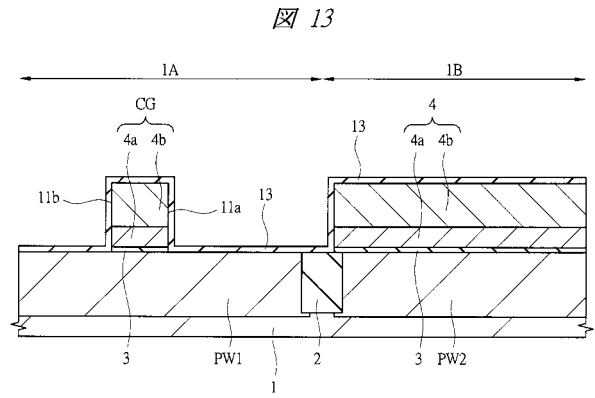
【図 11】



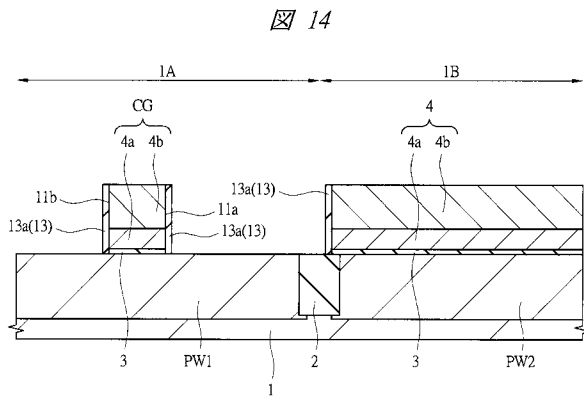
【図 1 2】



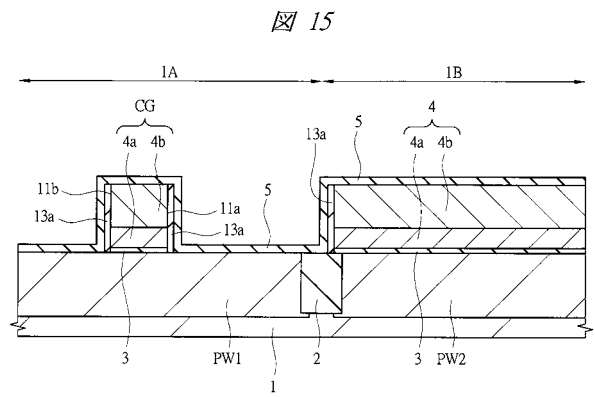
【図 1 3】



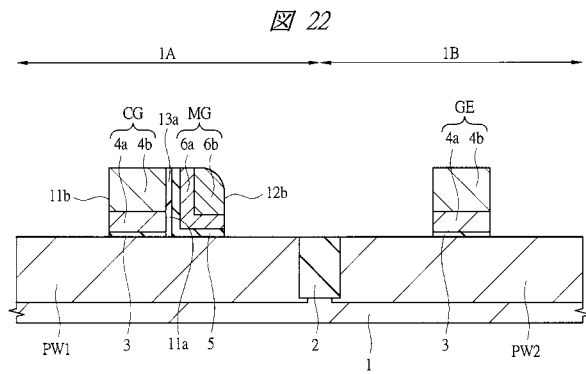
【図 1 4】



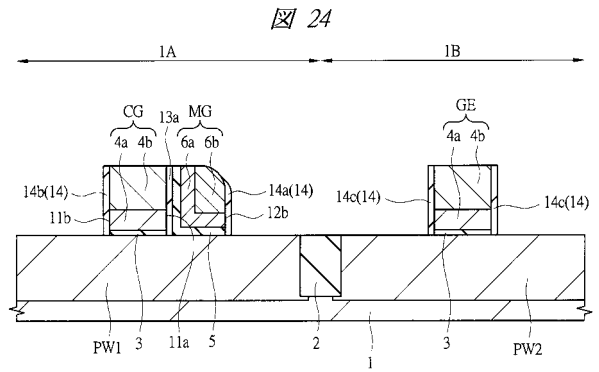
【図 1 5】



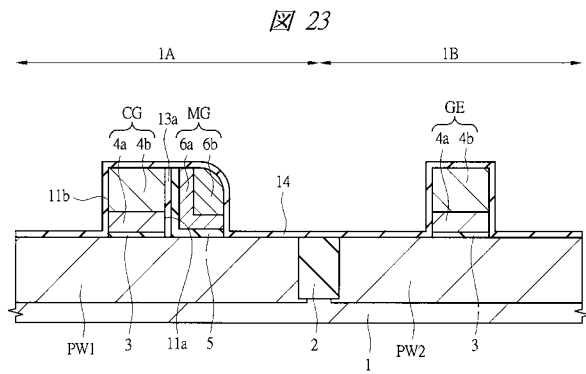
【図 2 2】



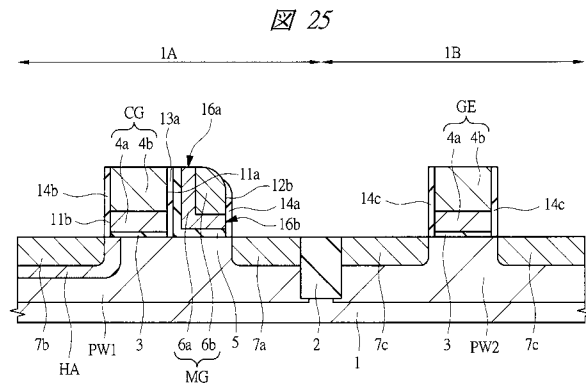
【図 2 4】



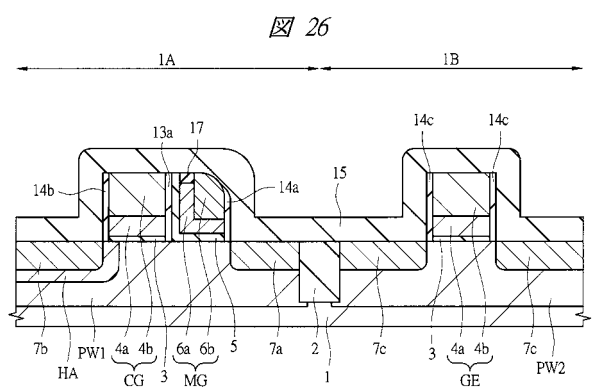
【図 2 3】



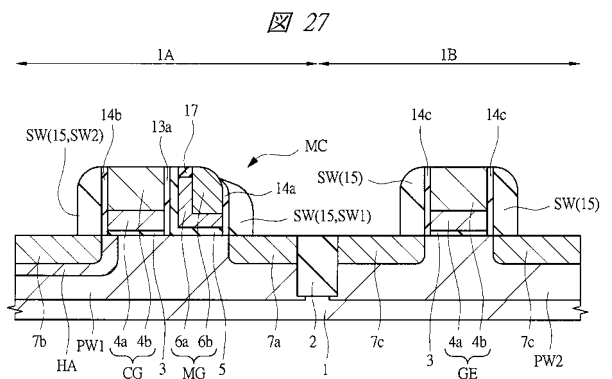
【図 2 5】



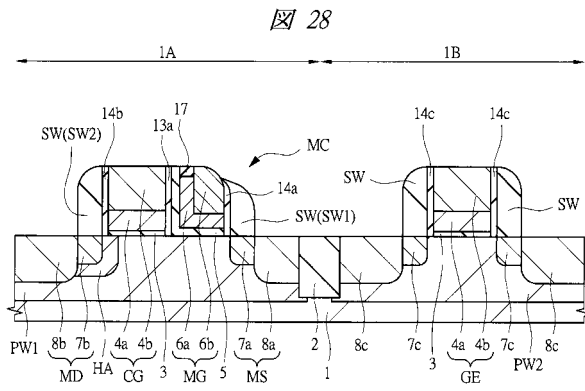
【図 2 6】



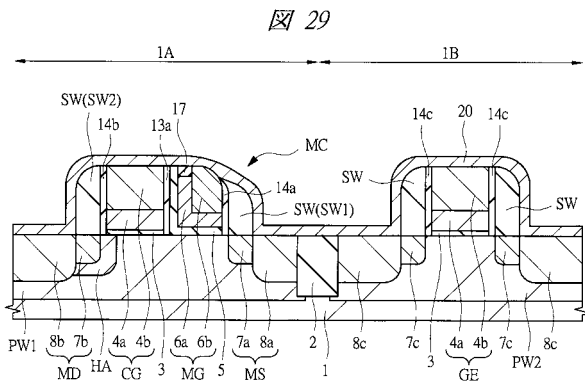
【図 2 7】



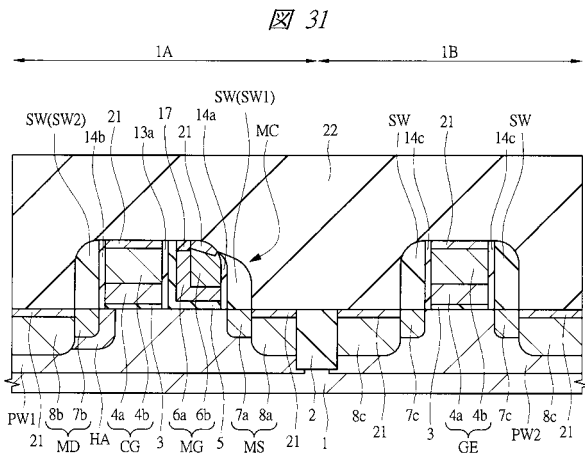
【図 28】



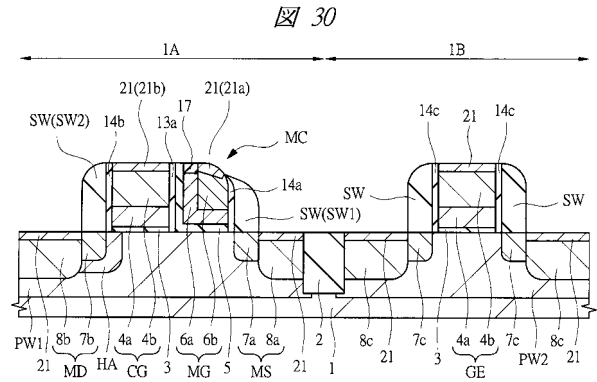
【図 29】



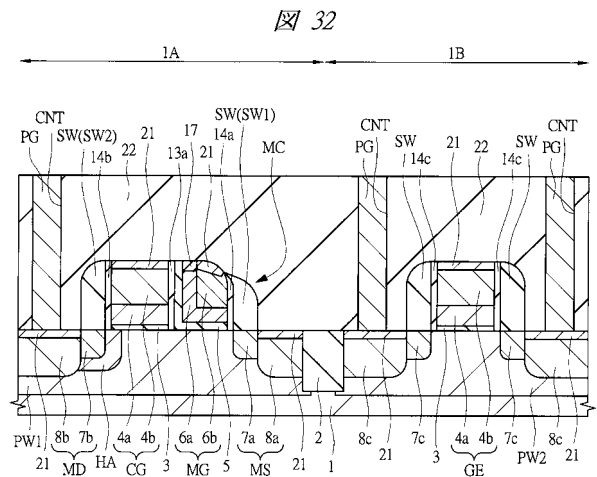
【図 31】



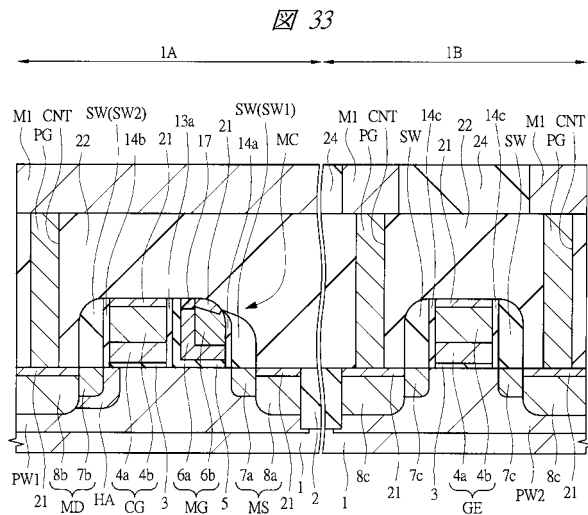
【図 30】



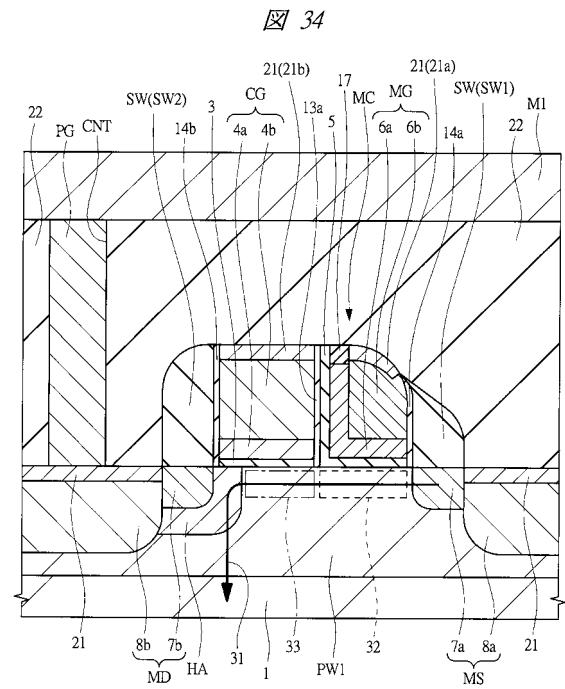
【図 32】



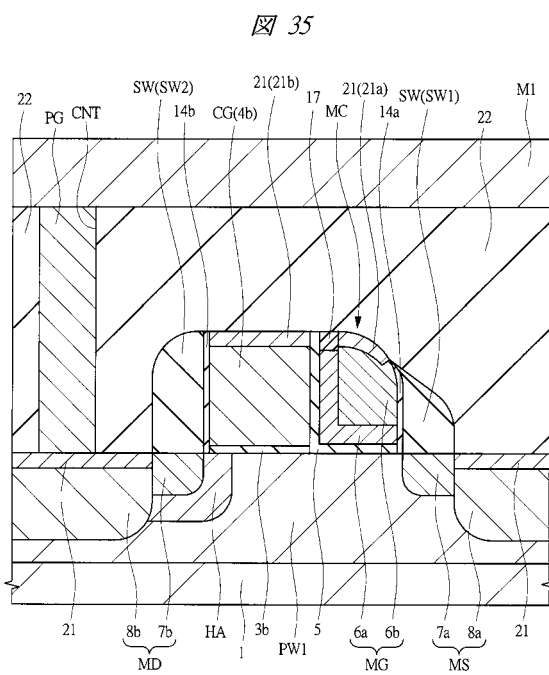
【図 3 3】



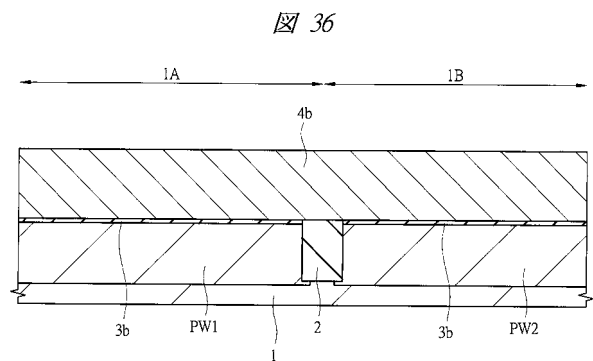
【図 3 4】



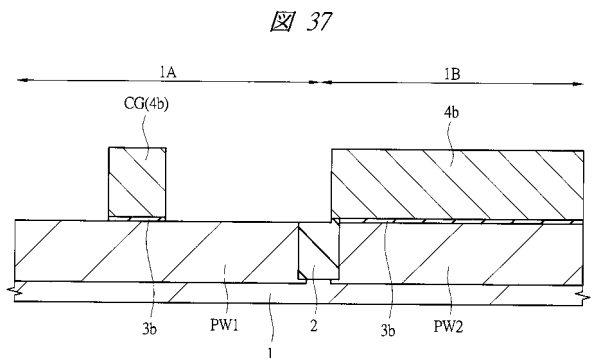
【図 3 5】



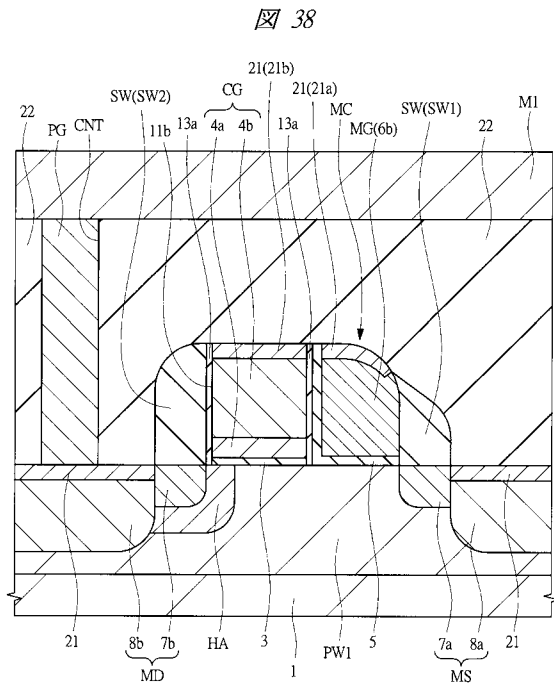
【図 3 6】



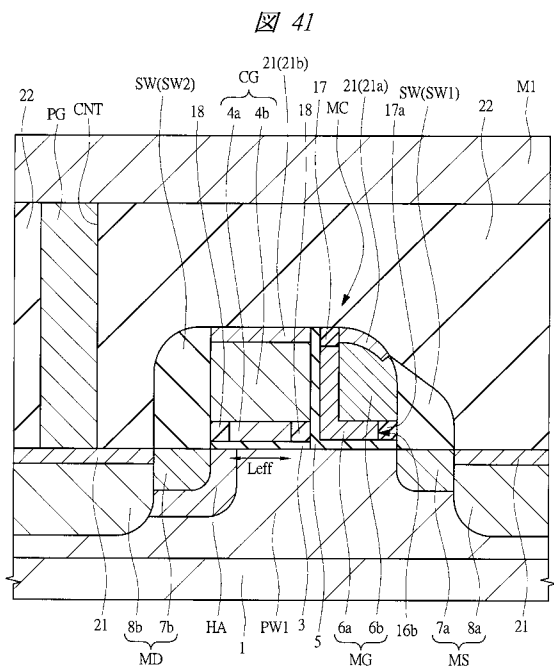
【図 3 7】



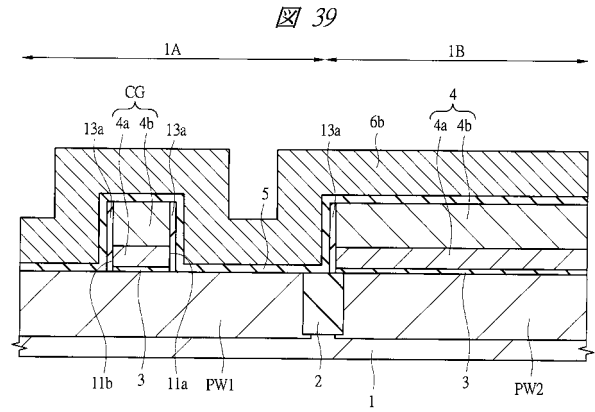
【図 38】



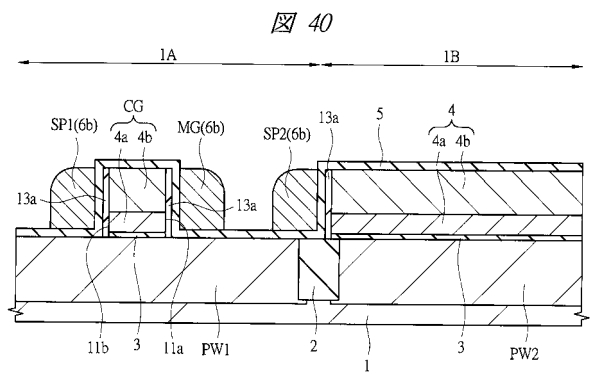
【図 41】



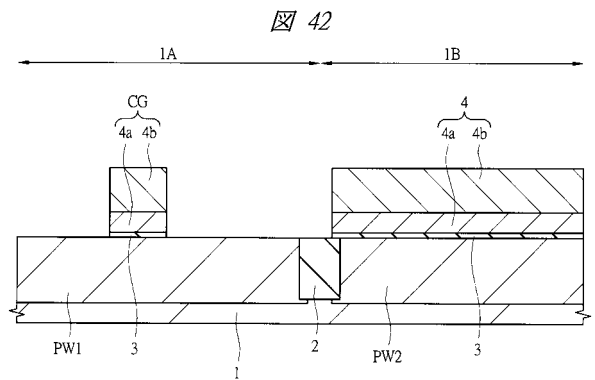
【図 39】



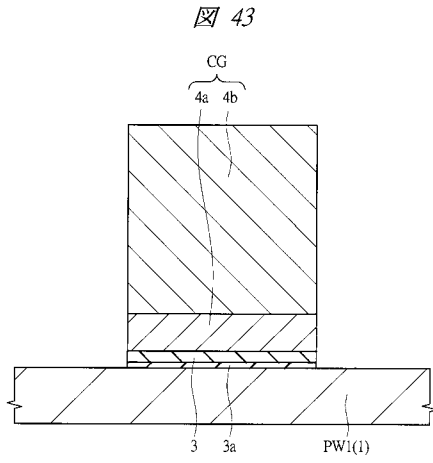
【図 40】



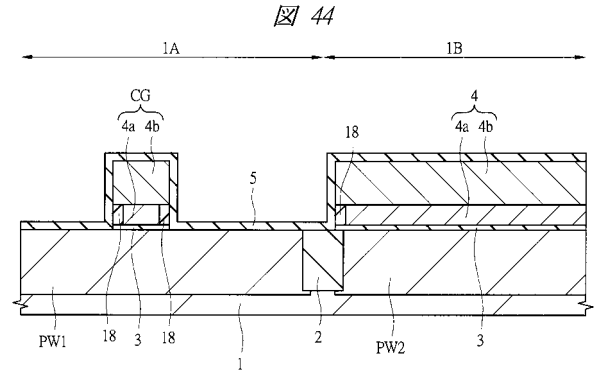
【図 42】



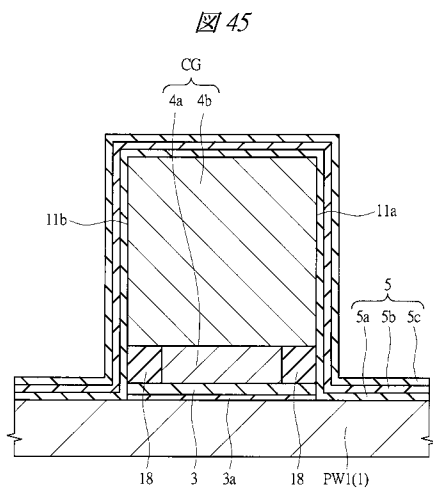
【図 4 3】



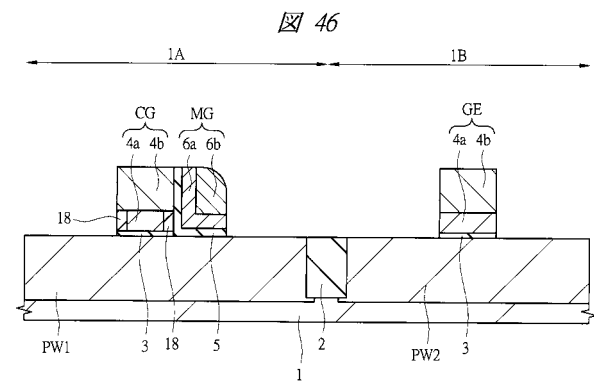
【図 4 4】



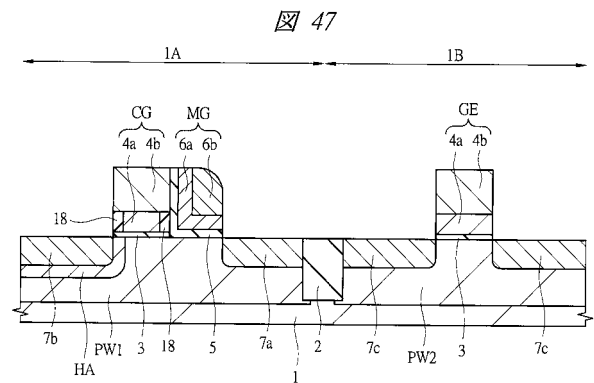
【図 4 5】



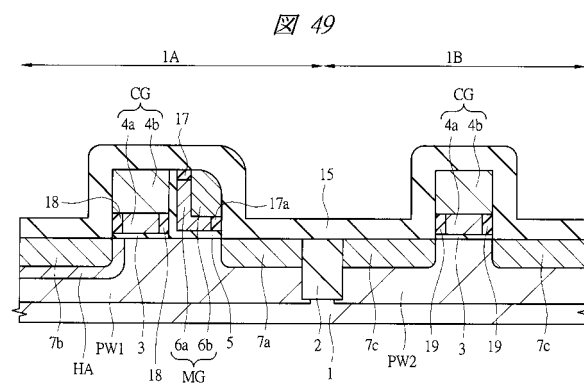
【図 4 6】



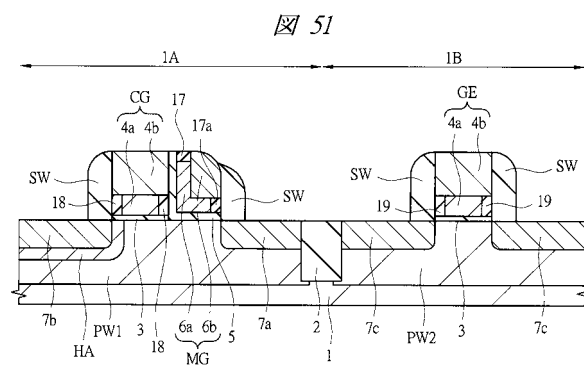
【図 4 7】



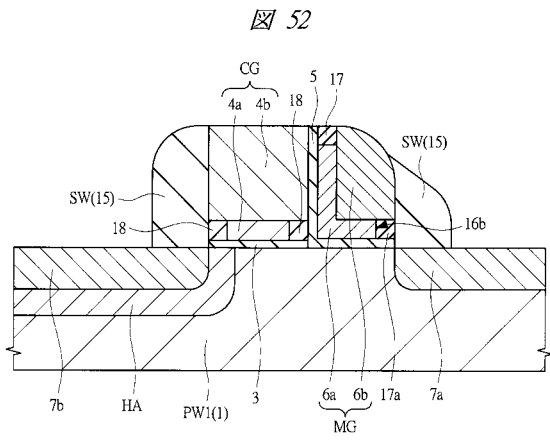
【図 49】



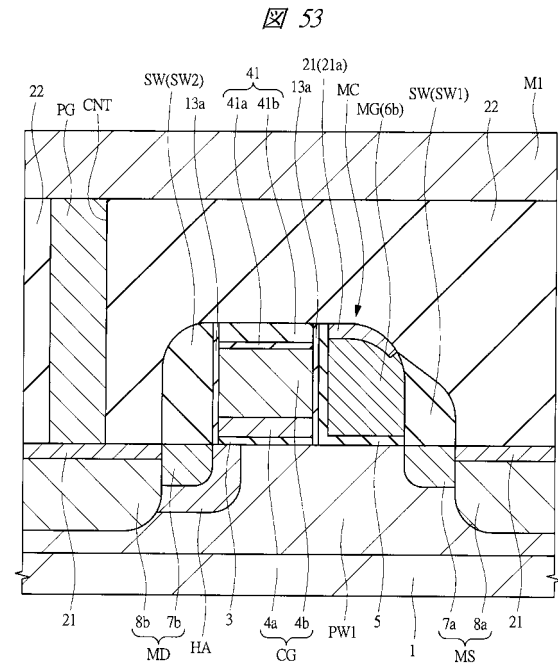
【図 5 1】



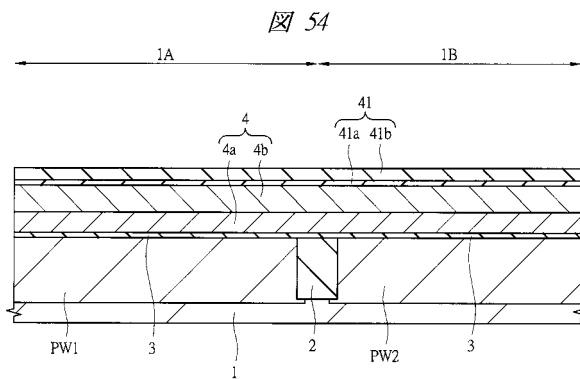
【図 5 2】



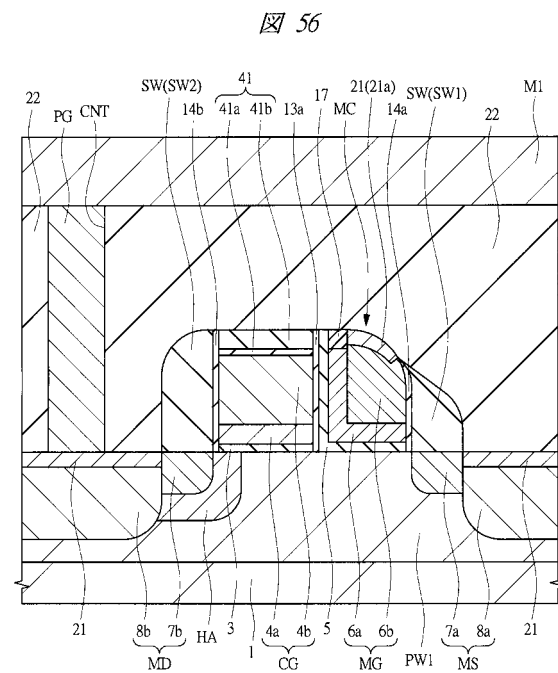
【図 5 3】



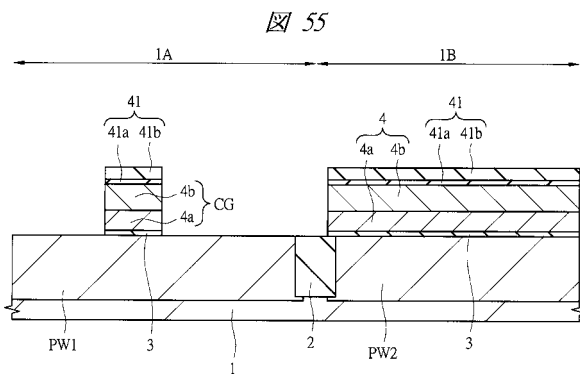
【図 5 4】



【図 5 6】



【図 5 5】



フロントページの続き

- (72)発明者 齊藤 健太郎
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 柳沢 一正
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 石井 泰之
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 鳥羽 功一
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- F ターム(参考) 5F083 EP18 EP25 EP36 EP48 EP49 EP63 EP68 ER02 ER11 GA02
JA02 JA06 JA35 JA36 JA38 JA39 JA40 MA06 MA19 PR43
PR44 PR46 PR53 PR54 PR56
5F101 BA45 BB04 BC11 BD07 BD22 BE02 BE05 BE07