

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5669365号
(P5669365)

(45) 発行日 平成27年2月12日 (2015. 2. 12)

(24) 登録日 平成26年12月26日 (2014. 12. 26)

(51) Int. Cl.

F I

HO 1 L 21/338 (2006. 01)
 HO 1 L 29/812 (2006. 01)
 HO 1 L 21/336 (2006. 01)
 HO 1 L 29/78 (2006. 01)
 HO 1 L 29/06 (2006. 01)

HO 1 L 29/80 Q
 HO 1 L 29/78 3 O 1 B
 HO 1 L 29/06 6 O 1 W
 HO 1 L 29/80 H

請求項の数 13 外国語出願 (全 36 頁) 最終頁に続く

(21) 出願番号 特願2009-116320 (P2009-116320)
 (22) 出願日 平成21年5月13日 (2009. 5. 13)
 (65) 公開番号 特開2010-10663 (P2010-10663A)
 (43) 公開日 平成22年1月14日 (2010. 1. 14)
 審査請求日 平成23年12月15日 (2011. 12. 15)
 (31) 優先権主張番号 61/052, 869
 (32) 優先日 平成20年5月13日 (2008. 5. 13)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 08168648.7
 (32) 優先日 平成20年11月7日 (2008. 11. 7)
 (33) 優先権主張国 欧州特許庁 (EP)

(73) 特許権者 591060898
 アイメック
 I M E C
 ベルギー、ペー-3001ルーヴァン、カ
 ペルドリーフ75番
 (73) 特許権者 599098493
 カトリーケ・ユニフェルシテイト・ルーヴ
 アン
 Katholieke Universi
 teit Leuven
 ベルギー、ペー-3000ルーヴァン、ワ
 ーイストラート6番、ボックス5105、
 カーユー・ルーヴァン・アール・アンド・
 ディ

最終頁に続く

(54) 【発明の名称】 小型化可能な量子井戸デバイスおよびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

量子井戸デバイスであって、

基板 (1) と、

基板 (1) を覆いこれと接するバッファ構造 (2) であって、第1バンドギャップを有する半導体材料を含むバッファ構造 (2) と、

バッファ構造 (2) を覆いこれと接するチャネル構造 (3) であって、第2バンドギャップを有する半導体材料を含むチャネル構造 (3) と、

チャネル構造 (3) を覆いこれと接するバリア構造 (4') であって、第3バンドギャップを有する半導体材料を含み、更に2次元キャリアガスの形成に適したドーピング材料を含むバリア構造 (4') と、

バリア構造の一部を覆い、ゲート電極 (6) を含むゲート領域 (G) と、

ソースおよびドレインコンタクト (10、10'、13、13') と、を含み、

第1バンドギャップと第3バンドギャップは、第2バンドギャップより広く、

ゲート領域の下に位置するバリア構造の部分に、ドーピング材料が存在せず、

ゲート領域 (G) は、バリア構造 (4') の一部を覆うゲート電極 (6) と、第1の絶縁サイドウォールスペーサ (7) の組とを含み、

ソース領域とドレイン領域との間隔は、ゲート長と、ゲート電極の両側の絶縁サイドウォールスペーサの幅との和と等しく、

2次元キャリアガスは、薄層の高移動度キャリアを含む量子井戸デバイス。

10

20

【請求項 2】

バリア構造 (4') は、

チャネル構造を覆いこれと接するバリア層 (4) であって、第 3 バンドギャップを有するアンドープの半導体材料を含み、バッファ構造、チャネル構造、およびバリア層が、量子井戸領域 (QW) を形成するバリア層 (4) と、

ゲート領域に隣接するソース領域 (S) およびドレイン領域 (D) であって、ソースおよびドレイン領域はゲート領域 (G) に対してそれぞれセルフアラインであり、ソースおよびドレイン領域は、第 4 バンドギャップとドーパされた領域とを有する半導体材料 (8) を含み、第 4 バンドギャップは第 2 バンドギャップより広い請求項 1 に記載のデバイス。

10

【請求項 3】

ドーパされた領域は、ドーピング層 (9) からなる請求項 1 または 2 に記載のデバイス。

【請求項 4】

ドーパされた領域は、均一にドーパされた (11) 請求項 1 または 2 に記載のデバイス。

【請求項 5】

ドーパされた領域は、傾斜ドーパされ (12)、上面 (12a) において最大ドーパント濃度を有する請求項 1 または 2 に記載のデバイス。

【請求項 6】

バリア層 (4) は、3 オングストロームと 2 nm の間の厚みを有する請求項 1 ~ 5 のいずれかに記載のデバイス。

20

【請求項 7】

それぞれの絶縁サイドウォールスペーサの幅は、5 nm 以下である請求項 1 に記載のデバイス。

【請求項 8】

ソース領域 (S) およびドレイン領域 (D) は、量子井戸領域 (QW) 中のリセスにより形成された窪んだ領域であり、リセスの深さ (dr) は、リセスの端部から、チャネル構造の上面 (3a) までの距離より大きく、リセスの端部からバッファ構造の底面 (1a) までの距離より小さく、リセス領域は、再成長したドーパされた半導体材料 (14) で充填される請求項 1 ~ 7 のいずれかに記載のデバイス。

30

【請求項 9】

更に、ゲート領域 (G) 中の、バリア層 (4) とゲート電極 (6) との間に挟まれたゲート誘電体 (5) を含む請求項 1 ~ 8 のいずれかに記載のデバイス。

【請求項 10】

基板 (1) と、基板を覆う量子井戸領域 (QW) と、量子井戸領域の一部を覆うゲート領域 (G) と、ゲート領域に隣接するソース領域 (S) とドレイン領域 (D) とを含む NFE T 量子井戸デバイスであって、

この量子井戸領域は、

基板 (1) を覆いこれと接するバッファ構造 (2) であって、第 1 バンドギャップを有する III - V 属化合物半導体材料を含むバッファ構造 (2) と、

40

バッファ構造 (2) を覆いこれと接するチャネル構造 (3) であって、第 2 バンドギャップを有する III - V 属化合物半導体材料を含むチャネル構造 (3) と、

チャネル構造 (3) を覆いこれと接するバリア層 (4) であって、第 3 バンドギャップを有するアンドープの III - V 属化合物半導体材料を含むバリア層 (4) と、を含み、

第 1 バンドギャップと第 3 バンドギャップは、第 2 バンドギャップより広く、

ゲート領域 (G) は、バリア層 (4) の一部を覆うゲート電極 (6) と、第 1 の絶縁サイドウォールスペーサ (7) の組とを含み、

ソース領域 (S) とドレイン領域 (D) は、それぞれゲート領域 (G) に対してセルフ

50

アラインで、ソース領域とドレイン領域との間隔は、ゲート長と、ゲート電極の両側の絶縁サイドウォールスペーサの幅との和と等しく、かつ第4バンドギャップとドーピングされた領域を有するIII-V族化合物半導体材料を含み、第4バンドギャップは第2バンドギャップより広いNFE T量子井戸デバイス。

【請求項11】

量子井戸デバイスの製造方法であって、

基板を提供する工程と、

量子井戸領域(QW)を形成する工程であって、

エピタキシャル成長によりバッファ構造(2)を形成する工程であって、基板(1)を覆い、第1バンドギャップを有する半導体材料を含むバッファ構造(2)を形成する工程と、

10

エピタキシャル成長によりチャネル構造(3)を形成する工程であって、バッファ構造(2)を覆い、第2バンドギャップを有する半導体材料を含むチャネル構造(3)を形成する工程と、

エピタキシャル成長によりバリア層(4)を形成する工程であって、チャネル構造(3)を覆い、第3バンドギャップを有するアンドープの半導体材料を含むバリア構造(4)を形成する工程とを含み、

第1バンドギャップと第3バンドギャップは、第2バンドギャップより広くなる工程と、

量子井戸領域(QW)の一部を覆うゲート領域(G)を形成する工程であって、バリア層(4)の一部を覆うゲート電極(6)と、ゲート電極(6)の両側に、第1の絶縁サイドウォールスペーサ(7)の組を形成する工程と、

20

第2バンドギャップより大きな第4バンドギャップを有する半導体材料(8)の選択成長により、ゲート領域(G)に対してセルフアラインとなるソース領域(S)およびドレイン領域(D)を形成し、ソース領域とドレイン領域との間隔は、ゲート長と、ゲート電極の両側の絶縁サイドウォールスペーサの幅との和と等しい、ソース領域(S)およびドレイン領域(D)のそれぞれがドーピングされた領域を含む工程と、を含む量子井戸デバイスの製造方法。

【請求項12】

更に、ゲート領域(G)を形成する工程後に、ゲート領域の両側にリセスをエッチングすることにより、量子井戸領域(QW)中に窪んだソースおよびドレイン領域を形成し、リセスの深さ(dr)は、リセスの端部からチャネル構造の上面(3a)までの距離よりも大きく、リセスの端部からバッファ構造の底面(1a)までの距離よりも小さい工程を含む請求項11に記載の製造方法。

30

【請求項13】

NFE T量子井戸デバイスの製造方法であって、

基板(1)を提供する工程と、

量子井戸領域(QW)を形成する工程であって、

エピタキシャル成長によりバッファ構造(2)を形成する工程であって、基板(1)を覆い、第1バンドギャップを有するIII-V族化合物半導体材料を含むバッファ構造(2)を形成する工程と、

40

エピタキシャル成長によりチャネル構造(3)を形成する工程であって、バッファ構造(2)を覆い、第2バンドギャップを有するIII-V族化合物半導体材料を含むチャネル構造(3)を形成する工程と、

エピタキシャル成長によりバリア層(4)を形成する工程であって、チャネル構造(3)を覆い、第3バンドギャップを有するアンドープのIII-V族化合物半導体材料を含むバリア層(4)を形成する工程とを含み、

第1バンドギャップと第3バンドギャップは、第2バンドギャップより広くなる工程と、

量子井戸領域(QW)の一部を覆うゲート領域(G)を形成する工程であって、バリア

50

層(4)の一部を覆うゲート電極(6)と、ゲート電極(6)の両側に、第1の絶縁サイドウォールスペーサ(7)の組を形成する工程と、

第2バンドギャップより広い第4バンドギャップを有するIII-V族化合物半導体材料(8)の選択成長により、ゲート領域(G)に対してセルフアラインとなるソース領域(S)およびドレイン領域(D)を形成し、ソース領域とドレイン領域との間隔は、ゲート長と、ゲート電極の両側の絶縁サイドウォールスペーサの幅との和と等しい、ソース領域(S)およびドレイン領域(D)のそれぞれがドーパされた領域を含む工程と、を含むNFE T量子井戸デバイスの製造方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体デバイスと、半導体デバイスの製造方法に関する。特に、本発明は、小型化可能な(scalable)量子井戸デバイスおよびその製造方法に関する。

【背景技術】

【0002】

メインストリームのシリコンCMOS(相補型金属酸化物半導体)技術の連続した物理的な小型化(scaling)は、過去40年間、シリコンデバイスの性能を引き上げてきた。しかしながら、高誘電率(high-k)誘電体および金属のゲートのような近年導入された新しい材料の特徴でさえも、より小型のデバイスに向かう競争で、22nmノード以下の性能向上においても興味深いかどうか保証できない。

20

【0003】

少なくとも次のテクノロジノードに対して、可能な解決は、より高いキャリア移動度の新しいチャネル材料を導入することである。高い電子移動度を有するInSb、InAs、およびInGaAsのようなIII-V族化合物は、22nmを超えるSi-CMOSに対して、非常に有望な材料であり有望な解決策である。

【0004】

改良された輸送特性に加えて、III-V族化合物半導体は、MESFET(金属半導体電界効果トランジスタ)、HEMT(高電子移動度トランジスタ)、およびHBT(ヘテロ接合バイポーラトランジスタ)のようなマイクロ波周波数コミュニケーションやレーダーへの応用のためのデバイスの作製において、既に使用されている確立された製造技術の長所を有する。

30

【0005】

古典的なHEMTにより影響されたデバイスアーキテクチャは、文献に記載されている。しかしながら、記載されたデバイスは、小型化にはあまり適さないリセス(キャピティ型の溝)ゲートおよび/またはT型ゲート形状を有する。更に、ゲートやチャネル層に隣接するリセス構造の作製は、デバイスの更なる性能の低下や不安定な動作の原因となる損傷を形成する。

【0006】

それゆえに、技術的な優位点にもかかわらず、22nmを超えるCMOSのための小型化可能なアーキテクチャを備えた量子井戸デバイスの提供が必要となる

40

【図面の簡単な説明】

【0007】

全ての図面は、本発明の幾つかの形態と具体例を表すことを意図する。記載された図面は、単に模式的であり、限定するものではない。

【0008】

【図1A】本発明にかかる量子井戸(QW)デバイスの断面を模式的に表す。ここで、1 基板；1a 基板の上面；S ソース領域；G ゲート領域；D ドレイン領域；QW 量子井戸領域；2 バッファ構造；2a バッファ構造の上面；3 チャネル構造；3a チャネル構造の上面；4 バリア層；4a バリア層の上面；4' バリア構造；6 ゲート電極；7 絶縁サイドウォールスペーサの第1の組；8 第4バンドギャップを

50

有する半導体材料； 8 a 半導体材料の上面； 9 ドープ層。

【図 1 B】図 1 A のデバイスを模式的に表し、更にゲート酸化物 5 を含む。

【図 1 C】図 1 A のデバイスを模式的に表し、更に S / D オーミックコンタクト 1 0、1 0' を含む。

【図 2 A】図 1 A のデバイスを模式的に表し、半導体材料 8 において、 ドープ層 9 が均一ドープ領域 1 1 で置き換えられている。 1 1 a 均一ドープ領域 1 1 を含む半導体材料の上面； 1 1 b 均一ドープ領域 1 1 を含む半導体材料の側面（ファセット面）。

【図 2 B】図 2 A のデバイスを模式的に表し、更に、 S / D オーミックコンタクト 1 0、1 0' を含む。

【図 2 C】図 2 A のデバイスを模式的に表し、更に、均一ドープ領域 1 1 を含む半導体材料の上面 1 1 a を覆うセルフアライン S / D 1 3、1 3' を含む。 1 5 絶縁サイドウォールスペーサの第 2 の組。

10

【図 3 A】図 1 A のデバイスを模式的に表し、半導体材料 8 において、 ドープ層 9 が傾斜ドープ領域 1 2 で置き換えられている。 1 2 a 傾斜ドープ領域 1 2 を含む半導体材料の上面； 1 2 b 傾斜ドープ領域 1 2 を含む半導体材料の側面（ファセット面）。

【図 3 B】図 3 A のデバイスを模式的に表し、更に、 S / D オーミックコンタクト（1 0、1 0'）を含む。サイドウォールスペーサでゲート

【図 3 C】図 3 A のデバイスを模式的に表し、更に、傾斜ドープ領域 1 2 を含む半導体材料の上面 1 2 a を覆うセルフアライン S / D 1 3、1 3' を含む。 1 5 絶縁サイドウォールスペーサの第 2 の組。

20

【図 4 A】リセス S / D 領域を含む Q W デバイスの断面を模式的に表す。 1 4 c リセス S / D 領域の底面。

【図 4 B】再成長ドープ半導体材料 1 4 で満たされたりセス S / D 領域を含む Q W デバイスの断面を模式的に示す。 1 4 a 再成長ドープ半導体材料 1 4 の上面； 1 4 b 再成長半導体材料の側面（ファセット面）； 1 0、1 0' S / D オーミックコンタクト。

【図 4 C】S / D オーミックコンタクトを有さない図 4 B のデバイスを模式的に表し、更に、再成長ドープ半導体材料 1 4 の上面 1 4 a を覆うセルフアライン S / D 1 3、1 3' を含む。 1 5 絶縁サイドウォールスペーサの第 2 の組。

【図 5】図 1 ~ 4 に表されるいずれかの具体例に示される H E M T - I I I - V - Q W デバイス（I）と、H E M T - G e チャネル - Q W デバイス（II）とを含むハイブリッド Q W デバイスを模式的に表す。 1 基板； 2 - I、2 - II バッファ構造； 3 - I、3 - II チャネル構造； 4 - I、4 - II バッファ層； 1 1 - I、1 1 - II ドープ領域を含む選択成長 S / D 領域； 1 6 シャロートレンチ分離（S T I）酸化物。

30

【図 6】シミュレーションされた Q W デバイスを模式的に表し、（a）連続した ドープ層を有する H E M T 構造、（b）本発明にかかる中断した ドープ層を有する H E M T、（c）本発明にかかる中断した ドープ層と小型化された E O T（等価酸化膜厚）を有する H E M T、を表す。

【図 7】 $V_{DS} = 1 \text{ V}$ に対して、多くのシミュレーションされた構造（表 1 の参照、および A - D）の I - V カーブを表す。 $V_{DS} = 50 \text{ m A}$ において、直線 V_T が外挿された。

【図 8】 $V_{DD} = 1 \text{ V}$ で評価した、ドレイン誘起バリア低下（D I B L、 $\text{m V} / \text{V}$ ）とサブスレッシュホールド勾配（S S、 $\text{m V} / \text{dec}$ ）を表す。

40

【図 9】 $V_{DS} = 1 \text{ V}$ に対して、中断されたドープ層と小型化された E O T を有するデバイス構造の、様々なシミュレーションされたゲート長（ L_g ）に対する $I_{ds} - V_g$ カーブを示す。

【図 1 0 A】ドープの中断（スペーサ幅）の長さの関数としての駆動電流のシミュレーションの結果を表す。

【図 1 0 B】図 1 0 A に示されたシミュレーションを行うのに使用された、ゲートの無い構造である。

【発明の詳細な説明】

【0 0 0 9】

50

電界効果トランジスタ (F E T) のような電界効果デバイスは、データ処理や遠距離通信のための回路を含む、殆どのデジタル回路および多くのアナログ回路の基本構成である。

【 0 0 1 0 】

電界効果デバイスは、一般に、ソース領域とドレイン領域の間に導電性経路を含む。チャネル (ソースとドレインの間の経路の領域) は、ゲート電極により形成される電界により制御される。

【 0 0 1 1 】

例えば、 n チャネルデプレッションモード (または、ノーマリオンデバイス) では、電圧が与えられない場合にソースからチャネルを通してドレインに電流が流れる。十分な負電圧がゲートに与えられたら、チャネル領域はキャリアが空乏化してソース - ドレイン電流は減少し、または完全にカットオフされる。例えば、 n チャネルエンハンスメントモード (または、ノーマリオフデバイス) では、ソース電圧に対して正のゲート電圧が与えられた場合に、導電性チャネルがトランジスタ中に形成される。正電圧は、ボディ中で自由に動く (free floating) 電子をゲートに向かって引きつけ、導電性チャネルを形成する。最初に、十分な電子が、F E T のボディに加えられたドーパントイオンを無効にするために、ゲート近傍に引きつけられなければならない、これが可動なキャリアの無い領域 (空乏領域) を形成し、対応する電圧は F E T の閾値電圧とよばれる。C M O S は、エンハンスメントモードのデバイスの典型例であり、H E M T の場合は双方の動作モードが可能である。

【 0 0 1 2 】

動作周波数 (スイッチとして用いた場合のそのようなデバイスの速度) は、ゲートチャネル領域の長さにより決まる。チップ上でのデバイス密度の増加のための要求とともに、より高い動作周波数の要求は、デバイスの小型化のための決定的要素である。

【 0 0 1 3 】

H E M T (高電子移動度トランジスタ) は、一般的な M O S F E T のようにドーブされた領域の代わりに、異なるバンドギャップを有する 2 つの材料の間の接合 (即ち、ヘテロ接合またはヘテロ構造) を組み込んだ電界効果トランジスタである。一般に使用される材料の組み合わせは、デバイスへの適用に応じて広いバリエーションがあるが、G a A s と A l G a A s である。

【 0 0 1 4 】

H E M T トランジスタの動作の物理的原理について更に説明する。一般に、導電性になるためには、半導体は、不純物がドーブされて可動電子を形成する必要がある。しかしながら、これにより電子は遅くなる。なぜならば、電子を形成するために使用される不純物との衝突のためである。先端技術の H E M T は、高ドーブのワイドバンドギャップの n 型ドナー供給層 (例えば A l G a A s) とノンドープのナローギャップのチャネル層 (例えば G a A s) とのヘテロ接合を用いて形成した高移動度電子を使用することにより、この矛盾を解決する。 n 型 A l G a A s の薄層中で形成された電子は、完全にチャネル層 (G a A s) 中に落ちる。なぜならば、異なったバンドギャップの材料により形成されたヘテロ接合は、G a A s 側の伝導帯に量子井戸 (Q W) を形成し、これにより、電子は不純物との衝突無しに速く動けるからである。この現象の効果は、非常に高濃度の高移動度導電性電子の非常に薄い層が、チャネルを低抵抗 (または高電子移動度) にすることである。この層は、また、2次元電子ガス (2 - D E G) として知られる。F E T の他の型の場合、ゲート電極に与えられる電圧は、この層の伝導性を変化させる。類似の H H M T (高ホール移動度トランジスタ) では、高移動導電性ホールの非常に薄い層が、非常に高い濃度で現れ、チャネルを低抵抗 (または高ホール移動度) にする。H E M T と H H M T の双方に言及する場合、高移動キャリアの薄層は、2次元キャリアガスとして知られる。

【 0 0 1 5 】

ここで、特定の化学名や科学式が与えられた場合、材料は、化学名で表された化学量論的に正確な式の、非化学量論的なばらつきを含んでも良い。式中の要素の下付き文字が無

10

20

30

40

50

い場合、化学量論的に数字「1」を表す。正確な化学量論値からのプラス/マイナス20%の範囲内のばらつきは、この目的では、化学名や化学式に含まれる。数字の下付き文字が記載された場合、プラス/マイナス約20%の範囲内ばらつきは、それぞれの下付け文字の値に含まれる。そのような様々な値は、足して整数になる必要ななく、この逸脱を意図する。そのようなばらつきは、プロセスの意図した選択や制御、または意図しないプロセスのばらつきにより起きる。

【0016】

本発明では、「III-V族化合物半導体」の用語は、周期律表の少なくとも1つのIII族の元素と、周期律表の少なくとも1つのV族の元素とを含むことをいう。一般には、III-V族化合物半導体は、III/V元素を含む2元、3元、または4元の合金である。本発明で使用されるIII-V族化合物半導体の例は、GaAs、InP、InSb、InGaAs、AlGaAs、InAlAs、InAlAsSb、InAlAsP、およびInGaAsPの合金を含むが、これに限定されるものではない。

10

【0017】

この発明を通して、「バンドギャップ」の用語は、価電子帯(valence band)の上端と、伝導帯(conduction band)の下端との間のエネルギー差をいう。一般に、ワイドバンドギャップ(WBG)半導体は、1eVより大きな、好適には2eVより大きな電子バンドギャップを有する半導体材料である。一般に、ナローバンドギャップ(NBG)半導体は、1eVより小さな、好適には0.6eVより小さな電子バンドギャップを有する半導体材料である。しかしながら、上述の絶対距離は単に参照的なものであり、この発明を通して、それは、バンドギャップの実際の絶対値より、むしろデバイスの良好な仕事を規定するWBGとNBGの間の相対的差異である。

20

【0018】

本発明では、「半導体」の用語は、約 $10^5 \cdot \text{cm}$ の抵抗率(resistivity)の材料(例えば、本来のSiは約 $240 \text{ k} \cdot \text{cm}$ の抵抗率)をいい、一方、「半絶縁性(semi-insulator)」の用語は、約 $10^9 \cdot \text{cm}$ のような、より高い抵抗率を有する材料をいう。

【0019】

3.9(Siのk値)より大きな誘電率を有する誘電体材料は、ここではhigh-k誘電体と呼ばれる。一般に、high-k誘電体は、約7.0またはそれ以上の誘電率を有し、約 10.0 またはそれ以上の誘電率がより一般的である。

30

【0020】

本発明は、更に、本発明の多くの特定の具体例の詳細な記載により説明される。本発明の他の具体例は、本発明の真実の精神や技術的な示唆から離れることなく、当業者の知識に基づいてなされることは、明らかである。

【0021】

動作において、HEMTのチャネル構造を通して、2次元電子ガス(2-DEG)が流れる。伝統的なアプローチでは、電子は、隣接するバリア層/構造中の(ドナー種を含む)ドーピング層により供給される(図6(a)参照)。

【0022】

40

本発明は、小型化可能な量子井戸(QW)デバイス、およびその製造方法に関する。もっとも一般的な方法で記載されると、本発明のデバイスは、量子井戸デバイスであって、基板(1)と、

基板(1)を覆いこれと接するバッファ構造(2)であって、第1バンドギャップを有する半導体材料を含むバッファ構造(2)と、

バッファ構造(2)を覆いこれと接するチャネル構造(3)であって、第2バンドギャップを有する半導体材料を含むチャネル構造(3)と、

チャネル構造(3)を覆いこれと接するバリア構造(4')であって、第3バンドギャップを有する半導体材料を含み、更に、QWデバイスの動作時に2次元キャリアガスを形成するのに適したバリア構造(4')と、

50

バリア構造の一部を覆い、ゲート電極(6)を含むゲート領域(G)と、ソースコンタクトおよびドレインコンタクト(10、10'、13、13')とを含み、

第1バンドギャップと第3バンドギャップは、第2バンドギャップより広く、

ゲート領域の下部の、バリア構造(4')の部分には、ドーピング材料が存在しない。好適に具体例では、基板の面内で測定された部分の寸法(即ち、横方向の寸法、即ち幅や長さであって厚さではない)は、ゲート領域の寸法に対応する。図6のデバイスの場合、ゲート領域は、ゲート電極(L_g)と2つの絶縁サイドウォールスペーサ(W_{ox})により規定される。

【0023】

図6に示されるように、本発明のデバイスは、HEMTデバイス(またはHHMTデバイス)と類似した構成を有し、バッファ層2、チャネル層3、およびバリア構造4'を含む。図6(a)は、このデバイスを模式的に示し、バリア構造に、デバイスの全ての表面を覆う連続したドーブ層を有する。デバイスは、ゲート電極6、絶縁サイドウォールスペーサ7とともに、ソースおよびドレインのオーミックコンタクト10、10'を含む。

【0024】

図6(b)は、本発明にかかるQWデバイスであり、ドーピング層は、ゲートの下の領域で中断し、好適にはゲートとスペーサとを併せた幅に対応して中断する。ゲートの下にドーピング層が存在しないため、(図6(c)に示すように)バリアの高さ h_{sp} はその領域で低減される。

【0025】

図1Aに示す好適な具体例では、本発明のデバイスは、セルフアラインのソースおよびドレイン領域8、即ち、(スペーサ7で)包まれたゲート電極6に隣接する半導体領域を、バリア層4の上に含む。バリア層自身はドーブされず、ソースおよびドレイン領域が、例えばドーピングを用いてドーブされる。次に、「バリア構造4」が、アンドープのバリア層4と、ドーブされたソース/ドレイン領域を用いて形成される(図の太い線を参照)。この結果は、図6(b)と同様であり、即ち、ドーピングされない材料が、ゲート領域の下に存在する。この記載では、「量子井戸領域」は、ドーブされたセルフアラインのソースおよびドレイン領域を有する具体例では、層2、3、および4から形成された領域として規定される(図1A)。なお、バリア層4はドーブされず、この層にドーピングが故意に行われないものとして理解される。しかしながら、最終的なデバイスでは、ドーピング材料がソース/ドレイン領域から、層4の中に拡散しても良い。また、しかしながら、この場合、ゲート領域の下にはドーピング材料は存在しない。

【0026】

本発明の多くの具体例は、アンドープバリア層と、ゲート領域に隣接するセルフアラインのソース/ドレイン領域に含まれるドーブ層/ドーブされた領域とを含み、ゲート/ソース/ドレイン領域がバリア層を覆うデバイスを開示する。特徴的には、浅いセルフアラインのソースおよびドレインコンタクトが、ソースおよびドレイン領域に上面の上に形成されている。

【0027】

本発明では、ソースとドレインの間隔が低減され、ゲート長と、ゲートの両側の絶縁サイドウォールスペーサの幅との和と等しい。それゆえに、非常にコンパクトで、セルフアラインのデザインが、小型化には適しており、本発明の特徴となる。なぜなら、この結果、デバイス容量が減り、これにより動作周波数が増加するからである。他の特徴は、ドーブ層(またはドーブ領域、以下に示す)が中断されて、バリア層の外側に配置されることにより、100nmより小さいゲート長に適するように、バリア層の厚さが、より小さい値(より低いEOT)に向かって小さくできる。これは、バリア膜厚を更に低減/小型化するのを妨げる、ゲートとQW構造との間にドーピング層が存在する古典的なHEMT構造では不可能である。

【0028】

本発明の第1の形態では、基板(1)、基板を覆う量子井戸領域(QW)、量子井戸領域を覆うゲート領域(G)、ゲート領域に隣接するソース領域(S)およびドレイン領域(D)を含む量子井戸デバイスであって、

量子井戸領域は、

基板(1)を覆いこれと接するバッファ構造(2)であって、第1バンドギャップを有する半導体材料を含むバッファ構造(2)と、

バッファ構造(2)を覆いこれと接するチャネル構造(3)であって、第2バンドギャップを有する半導体材料を含むチャネル構造(3)と、

チャネル構造(3)を覆いこれと接するバリア構造(4)であって、第3バンドギャップを有するアンドープの半導体材料を含むバリア構造(4)とを含み、

第1バンドギャップと第3バンドギャップは、第2バンドギャップより広く、

ソース領域(S)とドレイン領域(D)は、それぞれゲート領域(G)に対してセルフアラインであり、第4バンドギャップとドーパされた領域を有する半導体材料を含み、第4バンドギャップは第2バンドギャップより広い。

【0029】

図1の具体例で定義されたように、量子井戸領域(QW)は3つの構造を含む。バッファ構造(2)、チャネル構造(3)、およびバリア層(4)である。それらの構造のそれぞれは、1またはそれ以上の層を含む。

【0030】

本発明の異なる具体例では、バッファ構造(2)が、第1バンドギャップを有する半導体または半絶縁性(semi-insulator)の材料を含み、第1バンドギャップは、チャネル構造(3)を作製するのに使用される半導体材料の第2バンドギャップより大きい。一般に、第1バンドギャップを有する半導体/半絶縁性材料は、本文のいずれかで定義したような、ワイドバンドギャップ(WBG)材料である。

【0031】

代わりに、バッファ構造(2)が多層を含み、それぞれの層がワイドバンドギャップの半導体または半絶縁性材料からなるものであっても良い。

【0032】

本発明の異なる具体例では、チャネル構造(3)が第2バンドギャップを有するアンドープの半導体材料を含み、第2バンドギャップは、バッファ構造(2)およびバリア構造(4)を形成するのにそれぞれ使用される、半導体材料の第1バンドギャップおよび第3バンドギャップより狭い。一般に、第2バンドギャップを有する半導体材料は、本文のいずれかで定義したような、ナローバンドギャップ(NBG)半導体材料である。

【0033】

代わりに、チャネル構造(3)が多層を含み、それぞれの層が、ナローバンドギャップの半導体材料からなっても良い。本発明の特定の具体例では、チャネル構造が3つの層を含み、下部層はバッファ層(2)を覆ってこれと接し、上部層はバリア層(4)を覆ってこれと接し、中間層は下部層と上部層の間に挟まる。上部層と下部層のそれぞれは、界面欠陥が最小になるように選択された材料を含み、一方中間層は、移動度を増加させるように選択された材料を含む。実際、インジウムを用いた傾斜ドーピング(例えば、InGaAs/InAs/InGaAsを含むスタック)が、上述の機能を示す。

【0034】

特徴的に、チャネル構造/層(3)は、3nmから20nmの間の厚み(h_c 、図1A)を有する。好適には、チャネル構造/層(3)は、7nmの厚みを有する。

【0035】

本発明の異なる具体例では、バリア層(4)が第3バンドギャップを有するアンドープの半導体材料を含み、第3バンドギャップは、チャネル構造/層(3)を形成するのに使用される半導体材料の第2バンドギャップより広い。一般に、第3バンドギャップを有する半導体材料は、本文のいずれかで定義したような、ワイドバンドギャップ(WBG)半導体材料である。

【0036】

代わりに、バリア層(4)が多層を含み、それぞれの層が、ワイドバンドギャップの半導体材料からなっても良い。特徴的には、バリア層は非常に薄く(1~20モノレイヤ)、アンドープの(即ち、上述のように故意のドーピングの無い)半導体材料からなり、下方のチャンネル構造と完全に格子整合する。薄く、アンドープで格子整合したバリア層は、チャンネル構造上で良好に制御でき、ゲート電極との界面での界面散乱を最小にし、チャンネル中のキャリアの移動特性を保護する。好適には、バリア層(4)は、5オングストロームから2nmの間の厚み(h_{sp} 、図1A)を有する。好適には、バリア層は、3オングストロームの厚みを有する。

【0037】

10

本発明では、ゲート領域(G)は、バリア層(4)を覆うゲート電極(6)と、パターンニングされたゲート電極の両側の、第1のサイドウォールスペーサの組を含む。この場合、ゲート領域の寸法は、ゲート電極とスペーサの組み合わせた寸法に対応する。ゲート電極を最初にパターンニングし、続いてドーピング層/領域を含むセルフアラインのソースおよびドレイン領域を形成することが、オーバーラップしたゲート-ソース/ドレイン容量を低減し、ソース/ドレイン領域で低い抵抗を得る長所を有する。ゲート-ソース/ドレインのオーバーラップ容量を低減することで、デバイスのスイッチング速度を改良できる。

【0038】

20

特徴的に、第1の絶縁サイドウォールスペーサの組は、S/D領域に含まれるドーピング層/領域からドーパントが、ゲート領域の下方に拡散するのを防止する。ドーパントは、ソースおよびドレイン領域の下方のバリア層に拡散しても良い、ゲート電極の両側上で、絶縁サイドウォールスペーサの厚さは、5nm以下であり、更に好適には、4nm以下である。

【0039】

本発明の第1形態の他の具体例では、ドーピングされた領域は、ドーピング層(9)からなる。好適には、ドーピング層は、デルタドーピング層であり、少なくとも1モノレイヤのドーパントからなる。

【0040】

本発明の第1形態の代わりの具体例では、ドーピングされた領域は、図2Aに示すように均一にドーピングされる(11)。

30

【0041】

本発明の第1形態の他の具体例では、ドーピングされた領域はドーパントが傾斜ドーピングされる(12)、図3Aに示すように、上面(12a)において最大ドーパント濃度となる。

【0042】

本発明の第1形態の代わりの具体例では、ソース領域(S)およびドレイン領域(D)は、図4Aに示すように、量子井戸領域(QW)中に形成された窪んだ領域である。リセスの深さ(d_r)は、(QW領域の上面に対応する)リセスの上端から、チャンネル構造(3a)の上面までの距離より大きく、リセスの上端からバッファ構造(1a)の底面までの距離より小さい。

40

【0043】

本発明の異なる具体例では、図1Bに示すように、ゲート領域(G)は、更に、バリア層(4)とゲート電極(6)の間に挟まれるゲート誘電体(5)を含む。ゲート誘電体の存在は、ゲートリークを減らすことで、QWデバイスの性能を改良する。

【0044】

特徴的には、ゲート誘電体(5)は、high-k誘電体を含む。本発明で使用されるhigh-k誘電体は、これらに限定されないが、酸化物、窒化物、酸窒化物、および/または金属シリケートを含むシリケート、アルミネイト、タイタネイト、およびナイトレイトを含む。好適には、high-k誘電体は、 HfO_2 、 $HfSiO$ 、 ZrO_2 、 Al_2O_3 、 TiO_2 、ランタニド系酸化物(即ち、 La_2O_3 、 $GdGaO$)、 Y_2O_3 、

50

Ga_2O_3 、ペロブスカイト（即ち、 $SrTiO_3$ ）またはそれらの組み合わせを含む。

【0045】

更には、QWデバイスのゲート領域は、high-k材料（5）の下にあるパッシベーション層（図示せず）を含み、パッシベーション膜はバリア層（4）の前処理（洗浄／UV照射／短い堆積工程）により形成される。

【0046】

本発明の第1形態の異なる具体例では、QWデバイスは、更に、ゲート端部の近傍の、セルフアラインのソース領域およびドレイン領域の側面領域（11b、12b、14b）を覆う第2の絶縁サイドウォールスペーサの組と、ソース領域（S）とドレイン領域（D）のそれぞれの上表面（8a、11a、12a、14a）を覆う、セルフアラインのソースとドレインのシャローコンタクト（13、13'）を含む。それらの具体例は、図2C、3C、および4Cに示される。セルフアラインのソースとドレインのシャローコンタクト（13、13'）は、金属シリサイド、または金属ゲルマナイド、または金属-III-V化合物を含む。シャローコンタクトは、より低いソースおよびドレイン抵抗の特徴を有し、この方法でQWデバイスの動作速度を向上させる。更には、シャローコンタクトは、小型化のための好適な選択肢である。

10

【0047】

代わりの具体例では、図1C、2B、3B、4B、6の（b）、（c）に示すように、QWデバイスは、更に、ソースおよびドレインオーミックコンタクト（10、10'）を含む。オーミックコンタクトは、金属、合金、窒化金属、または金属シリサイド／ゲルマナイドを含んでも良い。特定の具体例では、オーミックコンタクトは、W、Al、Ti、Ta、Pt、またはNiAuGeのようなAuベース合金を含んでも良い。

20

【0048】

本発明の具体例では、第1バンドギャップを有する半導体材料、第3バンドギャップを有する半導体材料、および第4バンドギャップを有する半導体材料は、ワイドバンドギャップ半導体（WBG）半導体である。好適には、第4バンドギャップは、第3バンドギャップより広い。

【0049】

本発明の特定の具体例では、WBG半導体材料は、AlGaAs、AlGaSb、GaInP、およびそれらの組み合わせからなるグループから選択される。

30

【0050】

WBG半導体材料の代わりの具体例は、 $Si_{1-x}Ge_x$ であり、xは0と0.7の間の実数であり、好適には0と0.5の間の実数である。

【0051】

他の具体例では、WBG半導体材料は、GaN、AlGaN、AlN、および電子バンドギャップが3eVより大きい関連する材料からなるグループから選択される。NBG材料としてのGeと組み合わせて、WBG材料としてのGaN、AlGaN、AlNを用いることは、品質の高い層や界面を成長／堆積させる確立された技術を用いるという追加の長所を有する。

【0052】

本発明の具体例では、第2バンドギャップを有する半導体材料は、ナローバンドギャップ（NBG）半導体である。

40

【0053】

好適には、NBG半導体材料は、InGaAs、InGaSb、InAs、InAsP、InAsSb、およびそれらの組み合わせからなるグループから選択される。

【0054】

本発明の代わりに具体例では、NBG半導体材料は、 $Si_{1-y}Ge_y$ であり、yは0.3と1の間の実数であり、好適には0.5と1の間の実数である。

【0055】

特定の具体例では、WBG半導体材料は $Si_{1-x}Ge_x$ で、xは0と0.7の間の実

50

数であり、NBG半導体材料は、 $\text{Si}_{1-y}\text{Ge}_y$ で、 y は 0.3 と 1 の間の実数であり、 $y > x$ である。

【0056】

本発明の具体例では、ドーピングされた領域はドーパントを含む。ドーパントは、n型ドーパント（ドナー種）またはp型ドーパントである。更に、ドナー種はSiであっても良い。代わりに、WBG/NBG材料がSi含有材料および/またはGe含有材料の場合、ドーパントは、B、As、P、Sb、Ga、およびそれらの組み合わせからなる組から選択されても良い。

【0057】

ドーピングされた領域は、それぞれ、図1A、2A、および3Aに表されたように、ドーピング層（9）、または均一ドーピング領域（11、14）、または漸次ドーピングされた領域（12、14）であっても良い。

【0058】

ドーパントがドーピング層に閉じ込められた場合、ドーピング層の厚みは、3nmより薄く、好適には1nmより薄い。ドーピング層は、セルフアラインのソースおよびドレイン領域中のいずれかに配置され、好適にはバリア層（4）との界面近傍に配置される。好適には、ドーピング層中のドナー種/ドーパントの濃度は、 $10^{11} \sim 10^{13} \text{ atom} \cdot \text{cm}^{-2}$ である。更に好適には、ドーピング層中のドナー種/ドーパントの濃度は、 $10^{12} \text{ atom} \cdot \text{cm}^{-2}$ より高く、更に好適には、 $5 \cdot 10^{12} \text{ atom} \cdot \text{cm}^{-2}$ より高い。ソースおよびドレイン領域の高いドーピングレベルは、ソースおよびドレインの抵抗を更に改良する。

【0059】

ソース領域およびドレイン領域の多くの部分にドーパントが均一に分配された場合、ドーパントの濃度は、 $10^{17} \sim 10^{21} \text{ atom} \cdot \text{cm}^{-3}$ の範囲となる。更に好適には、ドーパントの濃度は、 $10^{18} \sim 2 \cdot 10^{20} \text{ atom} \cdot \text{cm}^{-3}$ の範囲となる。

【0060】

傾斜ドーピングされた領域の特定の具体例では、ドーパントの最も高い濃度、即ち先に述べた均一ドーピングされた領域の範囲の上限値（例えば、 $2 \cdot 10^{20} \text{ atom} \cdot \text{cm}^{-3}$ ）は、ソース/ドレイン領域の上面に位置する。

【0061】

本発明の異なる具体例では、図1～5に示すように、基板（1）は、バルク半導体基板または少なくとも半導体基板を含む材料スタックでも良い。好適には、基板（1）は、Si、Ge、SiGe、シリコン・オン・インシュレータ（SOI）、ゲルマニウム・オン・シリコン（GOI）、GaAsを含む。

【0062】

本発明の異なる具体例では、ゲート電極（6）は、金属、合金、金属シリサイド、金属ナイトライド、金属ゲルマナイド、多結晶シリコン（ポリSi）、多結晶シリコンゲルマニウム、およびこれらの組み合わせや積層のような導電性材料を含む。好適には、ゲート導電体は、Al、Au、W、またはTiの元素の少なくとも1つを含む金属であるゲート電極の材料を選択することにより、デバイスの実効仕事関数と、これにより閾値電圧を有利に決定できる。

【0063】

本発明の特定の具体例では、基板（1）と、基板を覆う量子井戸領域（QW）と、量子井戸領域を覆うゲート領域（G）と、ゲート領域に隣接するソース領域（S）とドレイン領域（D）とを含むNFE T量子井戸デバイスが記載され、

この量子井戸領域は、

基板を覆いこれと接するバッファ構造（2）であって、第1バンドギャップを有するIII-V属化合物半導体材料を含むバッファ構造（2）と、

バッファ構造（2）を覆いこれと接するチャネル構造（3）であって、第2バンドギャップを有するIII-V属化合物半導体材料を含むチャネル構造（3）と、

チャネル構造(3)を覆いこれと接するバリア構造(4)であって、第3バンドギャップを有するアンドープのIII-V属化合物半導体材料を含むバリア構造(4)と、を含み、

第1バンドギャップと第3バンドギャップは、第2バンドギャップより広く、

ソース領域(S)とドレイン領域(D)は、それぞれゲート領域(G)に対してセルフアラインであり、第4バンドギャップとドーパされた領域を有するIII-V属化合物半導体材料を含み、第4バンドギャップは第2バンドギャップより広い。

【0064】

更なる具体例では、先の具体例のいずれかで記載されたNFEET(HEMT)量子井戸デバイス(I)と、Geチャネル構造を含むPFET(HHMT:高ホール移動度トランジスタ)量子井戸デバイス(II)とを含むハイブリッドデバイスが記載されている。この具体例は、図5に模式的に表される。

【0065】

図5に表される特定の具体例では、HEMTデバイス(I)のQW領域は、GaAsを含みまたはからなるバッファ構造(2-I)と、歪InGaAsを含みまたはからなるチャネル構造(3-I)と、InGaAlAsまたはInPを含みまたはからなるバリア層(4-I)を含む。HEMTのセルフアラインのS/D領域(11)は、選択的に成長した、nドーパGaAsを含みまたはからなる。HHMTデバイス(II)のQW領域は、SiGeを含みまたはからなるバッファ構造(2-II)と、歪Geを含みまたはからなるチャネル構造(3-II)と、Siパッシベーション層を含みまたはからなるバリア層(4-II)を含む。HHMTのセルフアラインのS/D領域(11')は、選択的に成長した、pドーパGaAsを含みまたはからなる。双方のデバイスは、例えばSi基板(1)の上に集積され、シャロートレンチ分離(16)により分離される。

【0066】

上述の量子井戸デバイスに加えて、本発明は、そのような量子井戸デバイスの製造方法に関する。量子井戸デバイスの製造方法は、

基板を提供する工程と、

量子井戸領域(QW)を形成する工程であって、

エピタキシャル成長によりバッファ構造(2)を形成する工程であって、基板(1)を覆い、第1バンドギャップを有する半導体材料を含むバッファ構造(2)を形成する工程と、

エピタキシャル成長によりチャネル構造(3)を形成する工程であって、バッファ構造(2)を覆い、第2バンドギャップを有する半導体材料を含むチャネル構造(3)を形成する工程と、

エピタキシャル成長によりバリア層(4)を形成する工程であって、チャネル構造(3)を覆い、第3バンドギャップを有するアンドープの半導体材料を含むバリア構造(4)を形成する工程とを含み、

第1バンドギャップと第3バンドギャップは、第2バンドギャップより広くなる工程と、

バリア層中に部分的にリセスを形成し(即ち、リセスの深さはバリア層の厚みより小さい)、導電性材料を堆積させることにより、バリア層の一部の上にT型(リセス)ゲート電極を形成する工程と、

量子井戸領域にトレンチをエッチングし、チャネル構造と接続するように、トレンチを導電性材料で埋めることにより、T型ゲート電極のいずれかの側に、ソースコンタクトとドレインコンタクトを形成する工程と、

ゲート電極の両側でゲート電極の下部分を除くバリア層中に、イオン注入または他の適当なドーピング技術を用いて、ドーパ層を形成する工程と、を含む。

【0067】

本発明の第2形態では、セルフアラインのソース/ドレイン領域を有する量子井戸デバイスの製造方法が開示される。この製造方法は、

基板（１）を提供する工程と、

量子井戸領域（ＱＷ）を形成する工程であって、

エピタキシャル成長によりバッファ構造（２）を形成する工程であって、基板（１）を覆い、第１バンドギャップを有する半導体材料を含むバッファ構造（２）を形成する工程と、

エピタキシャル成長によりチャネル構造（３）を形成する工程であって、バッファ構造（２）を覆い、第２バンドギャップを有する半導体材料を含むチャネル構造（３）を形成する工程と、

エピタキシャル成長によりバリア層（４）を形成する工程であって、チャネル構造（３）を覆い、第３バンドギャップを有するアンドープの半導体材料を含むバリア構造（４）を形成する工程とを含み、

第１バンドギャップと第３バンドギャップは、第２バンドギャップより広くなる工程と、

量子井戸領域（ＱＷ）の一部を覆うようにゲート領域（Ｇ）を形成する工程と、

第２バンドギャップより広い第４バンドギャップを有する半導体材料（８）の選択成長により、ゲート領域（Ｇ）にセルフアラインしたソース領域（Ｓ）およびドレイン領域（Ｄ）を形成する工程であって、ソース領域（Ｓ）およびドレイン領域（Ｄ）がドープ領域を含む工程と、を含む。

【００６８】

本発明の第２形態の幾つかの具体例では、ゲート領域（Ｇ）を形成する工程は、更に、図１Ａに示すように、バリア層（４）の一部を覆うゲート電極（６）を形成する工程と、ゲート電極（６）の両側に、第１の絶縁サイドウォールスペーサ（７）の組を形成する工程とを含む。ゲート電極（６）を形成する工程は、バリア層（４）を覆うように導電性材料（ゲート電極）の層または積層を堆積する工程と、フォトリソマスクを用いてゲート電極のリソグラフィパターンニングをする工程とを含む。例えばＳｉ酸化物またはＳｉ窒化物を含むハードマスク層は、ゲート電極とフォトリソ材料との間に挟まれても良い。有利には、５０ｎｍより短い、好適には２５ｎｍより短いゲート長（ L_g ）が使用される。

【００６９】

代わりに、ゲート電極（６）は、ゲートプロセスの置き換えによって形成しても良い（図示せず）。置き換えゲートプロセスは、ダマシンのようなプロセスからなり、以下の複数の工程を含む。即ち、「ゲート第１」プロセスで犠牲ゲート電極を形成する工程と、絶縁サイドウォールスペーサでゲート電極を包む工程と、犠牲ゲート電極を除去する工程と、犠牲ゲートの選択除去により残されたトレンチをゲート電極材料（即ち金属）で埋める工程と、化学機械研磨（ＣＭＰ）を行う工程とを含む。この方法では、置き換えゲートプロセスの終わりに、Ｔ型ゲートにすることなく、ゲートの最初の寸法を回復できる。

【００７０】

第１の絶縁サイドウォールスペーサの組を形成する工程は、絶縁性材料（例えば、Ｓｉ酸化物、Ｓｉ窒化物）の層を堆積させ、その後にスペーサをパターンニングして（例えば、ゲート領域およびソース／ドレイン領域の上面から選択的に、下方の材料に向かって、絶縁性材料を異方的に除去して）、絶縁サイドウォールスペーサ（７）をゲート電極（６）の両側に形成する。

【００７１】

絶縁サイドウォールスペーサの幅（ W_{ox} ）は、それぞれの側のゲート電極上で１０ｎｍ以下であり、好適には５ｎｍ以下である。最小の幅／厚さは、ゲートとソースドレイン領域の間で良好な絶縁性を有するように決められる。絶縁サイドウォールスペーサの最適な幅／厚さは、例１と図１０Ａ、１０Ｂのシミュレーションに示されるように、チャネルドーピングに影響しないドーピング層中の最大の中断により、即ちＱＷデバイスの直列抵抗 R_s により決定される。

【００７２】

10

20

30

40

50

本発明の第2形態の異なる具体例では、方法は、更に、セルフアラインのソース(S)およびドレイン(D)領域の選択成長の後に、ゲート端(11b、12b、14b)近傍の選択成長させたソースおよびドレイン領域の側面領域を覆うように第2の絶縁サイドウォールスペーサ(15)を形成し、その後に、浅いセルフアラインのソースおよびドレインコンタクト(13、13')を形成する工程を含む。これらの具体例は、図2C、3C、および4Cに示される。

【0073】

浅いセルフアラインのソースおよびドレインコンタクトを形成する工程は、ソース、ドレイン、およびゲート領域を覆う薄い金属層を堆積させ、その後に、熱処理を行って、ソースおよびドレイン領域の上面で、薄い金属層を半導体材料の表面層(11、12、14)と反応させて金属化合物(例えば、シリサイド、ゲルマナイド、III-V金属化合物)を形成し、続いて未反応の金属を金属化合物に対して選択的に除去する工程を含む。

【0074】

ソースおよびドレイン領域の選択成長は、選択エピタキシャル成長(SEG)技術で行われる。選択エピタキシャル成長中、エピタキシャル成長した材料(第4バンドギャップを有する半導体材料)のファセッティング(faceting)が、絶縁サイドウォールスペーサの近傍で起きる。このファセッティングにより、高くなったソース/ドレイン領域の厚さが、絶縁材料の端部近傍で薄くなり、デバイス作製の問題点となる。例えば、S/Dシャローコンタクトの形成(シリサイドーション、ゲルマナイドーション)中に、S/D領域とゲート領域との間に、局所短絡が形成される。そのような問題点を避けるために、第2の絶縁サイドウォールスペーサ(15)の組が、選択エピタキシャル成長後に形成される。

【0075】

本発明の第2形態の異なる具体例では、ドーブされた領域(9、11、12、14)が、選択エピタキシャル成長中のその場(in-situ)ドーピングにより形成される。

【0076】

第2形態の代替りの具体例では、選択エピタキシャル成長後に、ドーブされた領域(9、11、12、14)が注入により形成される。

【0077】

本発明の第2形態の幾つかの具体例では、QWデバイスの製造方法は、更に、ゲート領域(G)の形成後に、図4Aに示すように、ゲート領域の両側にリセスをエッチングすることにより、量子井戸領域(QW)中に窪んだソースおよびドレイン領域を形成する工程を含む。好適には、リセスの深さ(d_r)は、リセスの端部からチャネル構造の上面(3a)までの距離よりも大きく、リセスの端部からバッファ構造の底面(1a)までの距離よりも小さい。

【0078】

本発明の第2形態の異なる具体例では、方法は、更に、図1Bに示すように、ゲート領域(G)で、バリア層(4)とゲート電極(6)との挟まれたゲート誘電体(5)をパターンニングする工程を含む。好適には、ゲート誘電体はhigh-k材料(k 値 $>k_{SiO_2}=3.9$)である。代わりに、QWデバイスのゲート領域は、high-k材料(5)の下にパッシベーション層(図示せず)を含み、パッシベーション層は、バリア層の上で、例えば前処理(洗浄/UD照射/短堆積工程)を行うことにより形成しても良い。

【0079】

本発明の第2形態の特定の具体例では、NFE T量子井戸デバイスの製造方法が記載され、この製造方法は、

基板(1)を提供する工程と、

量子井戸領域(QW)を形成する工程であって、

エピタキシャル成長によりバッファ構造(2)を形成する工程であって、基板(1)を覆い、第1バンドギャップを有するIII-V族化合物半導体材料を含むバッファ構造(2)を形成する工程と、

エピタキシャル成長によりチャネル構造(3)を形成する工程であって、バッファ構造(2)を覆い、第2バンドギャップを有するIII-V族化合物半導体材料を含むチャネル構造(3)を形成する工程と、

エピタキシャル成長によりバリア層(4)を形成する工程であって、チャネル構造(3)を覆い、第3バンドギャップを有するアンドープのIII-V族化合物半導体材料を含むバリア構造(4)を形成する工程とを含み、

第1バンドギャップと第3バンドギャップは、第2バンドギャップより広くなる工程と、

量子井戸領域(QW)の一部を覆うゲート領域(G)を形成する工程と、

第2バンドギャップより広い第4バンドギャップを有するIII-V族化合物半導体材料(8)の選択成長により、ゲート領域(G)にセルフアラインするソース領域(S)およびドレイン領域(D)を形成し、ソース領域(S)およびドレイン領域(D)のそれぞれがドープされた領域を含む工程と、を含む。

【0080】

本発明の異なる具体例では、QW領域に含まれる構造は、分子線エピタキシ(MBE)、金属有機物化学気相成長(MOCVD)、金属有機物気相成長(MOVPE)、低压化学気相成長(LPCVD)、超高真空化学気相成長(UHV-CVD)、または大気圧化学気相成長(APCVD)のようなエピタキシャル堆積技術を用いて形成される。ソース/ドレイン領域および再成長ソース/ドレイン領域に含まれる半導体材料は、選択堆積/成長により形成される。選択成長技術の一般的な例は、これらに限定されないが、分子線エピタキシ(MBE)、金属有機物化学気相成長(MOCVD)、または金属有機物気相成長(MOVPE)を含む。

【0081】

本発明の第2形態の特定の具体例では、ハイブリッドQWデバイスの製造方法が記載され、ハイブリッドQWデバイスは、III-Vチャネル構造を有するHEMTデバイス(I)と、Si互換(Si-compatible)のゲート第1プロセスフローを用いてSi基板上に形成されたGeチャネル構造を有するHHMTデバイス(II)とを含む。

【0082】

Si互換プロセスフローは、以下の工程を含む。

- (1) シャロートレンチ分離(STI)領域を含む基板形成工程。
- (2) Si基板上に、III-V族化合物材料とSiGe材料とを、それぞれ局所成長(local growth)させることにより、バッファ構造(2-I、2-II)、チャネル構造(3-I、3-II)、およびバリア層(4-I、4-II)を含みまたはからなるQW構造を形成する工程。
- (3) ゲートパターンニングおよび絶縁サイドウォールスペーサ形成工程。
- (4) ドープ領域を含む(セルフアライン)ソース/ドレイン領域の選択形成工程。
- (5) ソース/ドレインコンタクトの形成工程。

【0083】

例1

この例は、高電子移動度トランジスタのゲートの下のデルタ()ドーピング層が、10nmゲートに対して除去されることを示す。結果の V_T シフトは、ドーピング層中のシート電荷の増加により起きる。同時に、ドーピング層の除去は、ゲートの下のバリア膜厚を減少させ、ゲートの制御性が向上する。

【0084】

ゲートの下のHEMTのドーピング層を22nmノード($L_g = 10nm$)に対して中断させた影響が、TCADシミュレーション(Sentaurus(登録商標)、Synopsys Inc.)に基づいて示される。ゲートの下のドーピング層を中断させることで、ゲートがチャネルに近くなり、または代わりに、AlGaAsバリア層に代えてhigh-kゲートスタックが使用され、これにより、普通のMOSFETのようにゲートの制御性が向上する。

【 0 0 8 5 】

表 1

構造	δ (cm ⁻²)	L_g (nm)	h_{sp} (nm)
参照	$3 \cdot 10^{12}$	—	10
A	$3 \cdot 10^{12}$	18	10
B	$9 \cdot 10^{12}$	18	10
C	$9 \cdot 10^{12}$	18	7
D	$9 \cdot 10^{12}$	18	4

10

【 0 0 8 6 】

図 6 (a) は、参照構造の模式図である。これは、ゲート長 $L_g = 10 \text{ nm}$ の古典的な HEMT 構造である。GaAs 基板上に、厚さ 7 nm の $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ 量子井戸 (QW) が存在する。ゲートはショットキ接続 ($\phi_B = 0.8 \text{ eV}$) と仮定され、AlGaAs バリア (スペース) 層 ($h_{sp} = 10 \text{ nm}$) により QW から分離され、AlGaAs バリア層は、QW より 3 nm 上に配置された、連続した ドープ層を含み、 3 nm の厚みを有する。横方向に、ゲートは酸化物スペース ($W_o = 4 \text{ nm}$) で分離されている。

【 0 0 8 7 】

図 6 (b) は、代替りの HEMT 構造であり、ドープ層は、長さ L_g に渡って中断されている。図 6 (c) は、他の代替りの HEMT 構造であり、ドープ層は、長さ L_g に渡って中断され、EOT は低く / 低減されている。中断 L_g の長さは、ゲート長 (L_g) と、ゲートの両側の絶縁 (酸化) スペース幅 (W_o) との和に等しい。

【 0 0 8 8 】

代替りの HEMT の分析が、5 つの構造について行われる。第 1 の構造は古典的な HEMT の参照構造である。構造 A は、ドープ層が 18 nm 中断するのを除いて参照構造と同じである。(以下の段落で説明するような) 結果の V_T シフトは、構造 B 中の ドーピングシート電荷を増加させることにより補償される。最後に、構造 C および D は、ゲート下の ドープを除去して形成できるような、ゲートをチャネルに近づくように動かす (バリア膜厚 h_{sp} を減らす) 影響について調べる。表 1 に、調査した構造の重要なパラメータを列挙する。

【 0 0 8 9 】

図 7 は、 $V_{DS} = 1 \text{ V}$ における、ゲート電圧の関数としてのドレイン電流を示す。max - g_m 法を用いて外挿し、それぞれの構造について (直線の) V_T が、キャプション中に含まれる。参照 HEMT は、 -0.19 V の V_T を有する。ゲートおよびスペースの下の ドーピング層を除去すると (構造 A)、 V_T が 350 mV 増加する。ドーピング層の除去と組み合わせて EOT を小さくすることにより、更に V_T が増加する (参照と比較して、構造 D では 430 mV)。構造 D のデバイスは、エンハンスメントモードとして機能する。これは、ドーピング層の中断が QW チャネル中の電荷を減らすことを考慮すれば理解できる。この結果、ゲート上の負電荷をより減らすことが、電子のチャネルの空乏化に要求される。参照構造の V_T に戻るために、ドーピングは増加させなければならない (構造 B)。図 7 からわかるように、この結果、双方の構造において、同じサブスレッシュホールド特性とはならない。更に、増加したシート電荷は、構造 B において、より高いオン電流となる。

【 0 0 9 0 】

ドーピングの中断の利点は、ゲートと QW チャネルとの間隔 (バリア膜厚、 h_{sp}) の更なる小型化が行えることである。図 7 に示すように、 h_{sp} を 7 nm または 4 nm まで減らすことにより (構造 C および構造 D)、サブスレッシュホールド領域で、明らかにより良いゲート制御性が得られる。サブスレッシュホールド勾配は、参照構造の場合の 1

20

30

40

50

50 mV / dec から、中断した ドーピングと小型化された EOT を有する構造 D の場合の 110 mV / dec までばらつく。これは、図 8 の短チャネル効果を見るとより明らかになる。

【0091】

図 8 は、異なった構造（参照、A ~ D）について、 $V_{DD} = 1\text{ V}$ で調査された、ドレイン誘起バリア低下（Drain Induced Barrier Lowering: DIBL、mV / V、データは四角（ ）で示される）と、サブスレッシュホールド勾配（SS、mV / dec、データはダイヤモンド（ ）で示される）とを示す。DIBL は、 V_{DS} の変化の結果としての、デバイスの閾値電圧 V_T の変化を測定したものである。小さな DIBL 値は、製造のバリエーションに対して良好な V_T 安定性を示す。更に、DIBL およびサブスレッシュホールド勾配は、デバイスの全体の静電気完全性（electrostatic integrity）の測定を与える。参照と構造 B の双方と比較すると、DIBL およびサブスレッシュホールド勾配（SS）は、減少したバリア膜厚 h_{sp} の構造（C および D）について、かなり改良される。

10

【0092】

図 9 は、様々なシミュレーションされたゲート長（ L_g ）についての、 $I_{ds} - V_g$ カーブであり、中断されたドーピング層と縮小された EOT を有するデバイス構造について、 $V_{DS} = 1$ に対するものである。ドーピング層は、 $3 \cdot 10^{12} \text{ atoms} \cdot \text{cm}^{-2}$ のシート電荷を有し、絶縁サイドウォールスペーサはそれぞれのゲートの側面で 4 nm の幅を有する。 I_{on} は、蓄積モードでのゲートチャネル機能により決定され、一方 I_{off} は空乏および中断されたドーピングにより決定される。図 9 に示すように、 $L_g < 150 \text{ nm}$ に対して、 I_{on} に不利益はなく、中断したドーピング層を有するデバイスアーキテクチャにおいて、 L_g は重大な設計要因ではないことが確認される。

20

【0093】

図 10 A は、最適スペーサ膜厚 / 幅についてのシミュレーション結果を表す。スペーサ膜厚を変化させた効果は、図 10 B に示された構造のような、ゲートの無い（中断されたドーピングのみの）デバイスを用いてシミュレーションされた。

【0094】

（第 1 の組の）絶縁スペーサの下では、ゲート制御も、ドーピングにより供給される電荷も存在しない。それゆえに、QW デバイスの直列抵抗 R_s は、スペーサ幅 W_{ox} が所定の値以上で非常に高くなる。シミュレーションは、10 nm またはそれより短いドーピングの中断は、チャネルドーピング、およびこの結果、QW デバイスの直列抵抗には影響しないことを示す。

30

【0095】

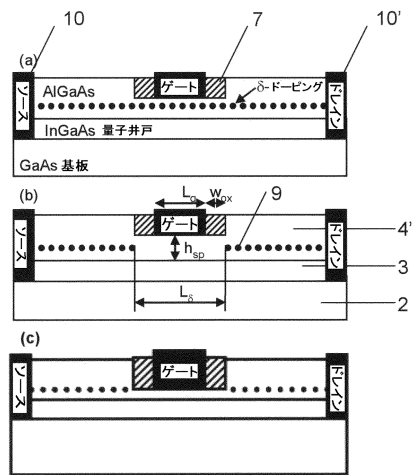
先に述べた記載は、本発明の具体例を詳述する。しかしながら、以下に詳細にテキスト中に表されても、本発明は多くの方法で実施することができる。なお、本発明の所定の特徴や形態を表すために、特定の用語が使用された場合でも、用語が関連する発明の特徴や形態の特定の特性を含むように限定されて、ここで再定義されたと解釈すべきではない。

【0096】

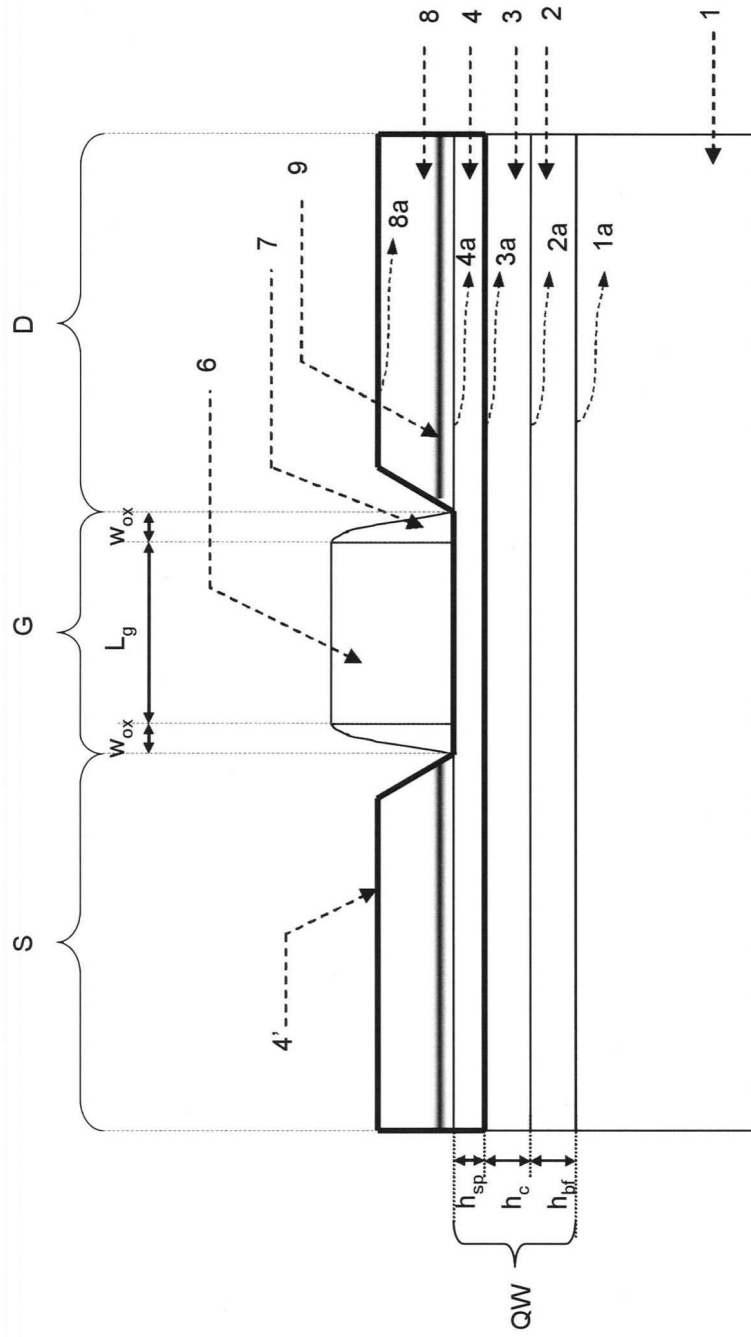
上述の詳細な説明が、様々な具体例に適用される本発明の新規な特徴を示し、記載し、指摘しても、記載されたデバイスまたはプロセスの形態や細部において、様々な省略、代換え、および変化が、本発明の精神から離れることなく、当業者によって行うことができることを理解すべきである。

40

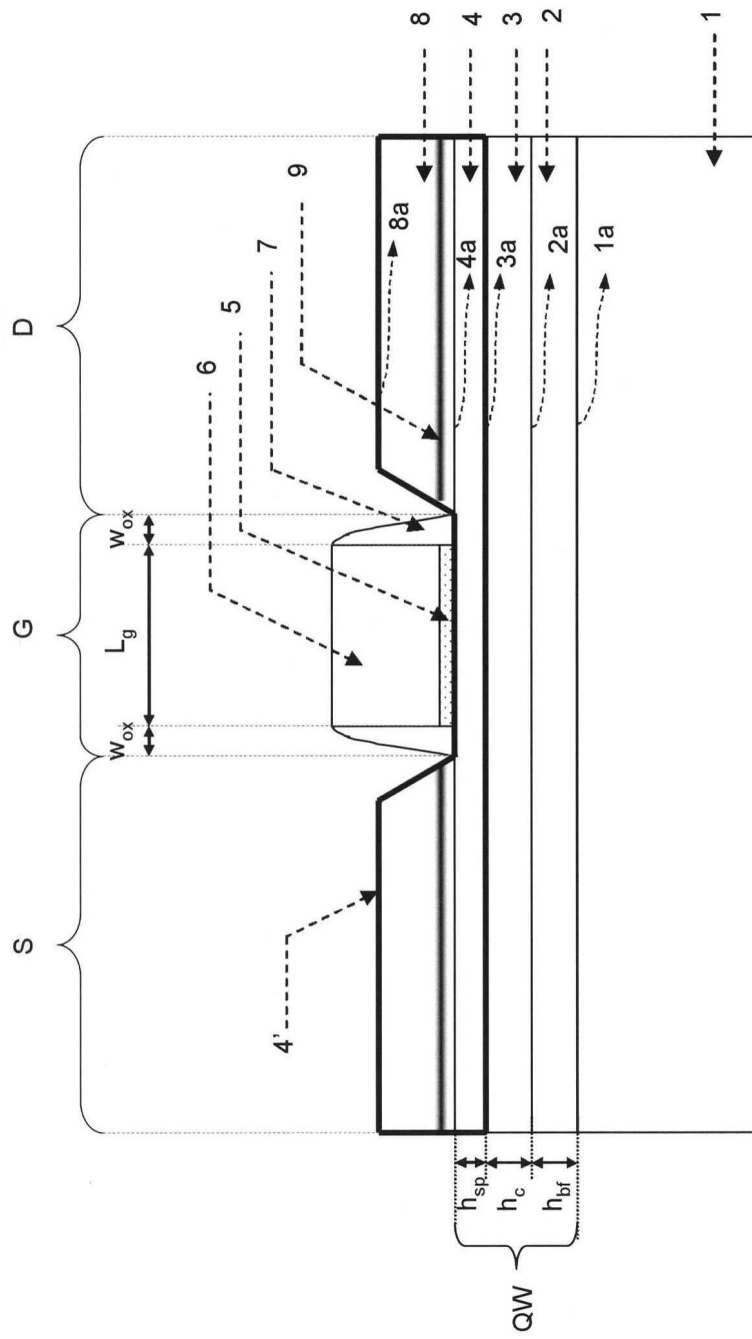
【図 6】



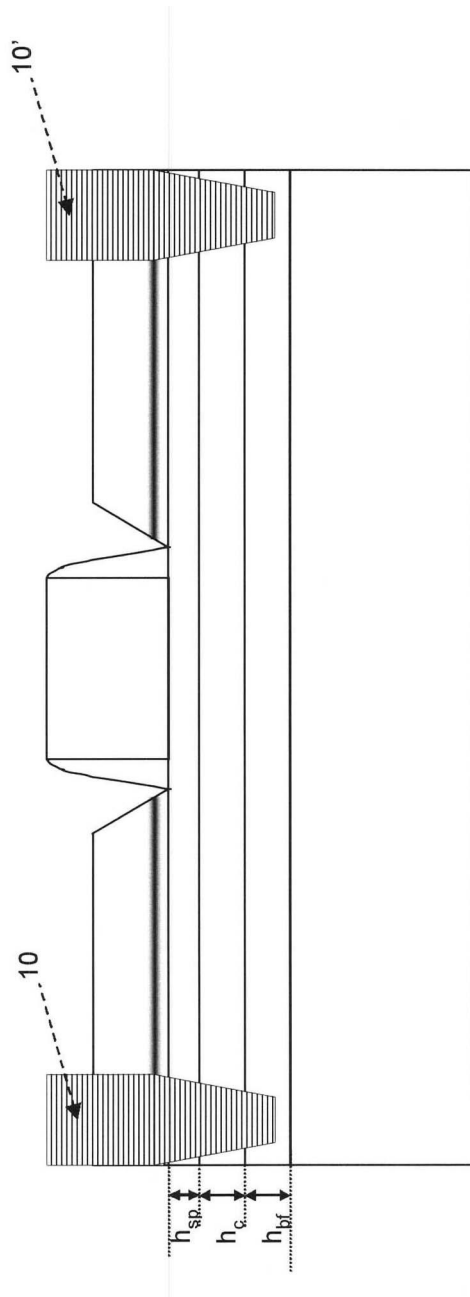
【図 1 A】



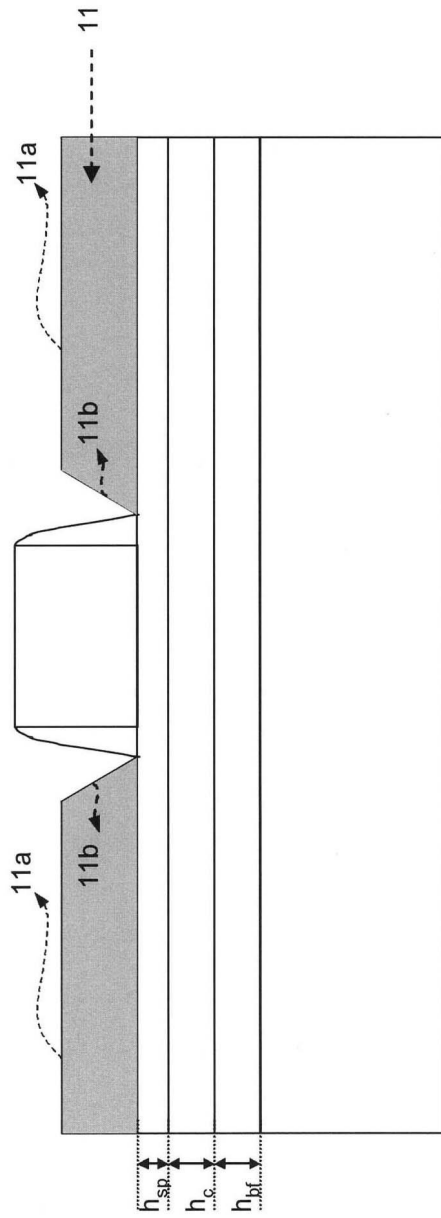
【図 1 B】



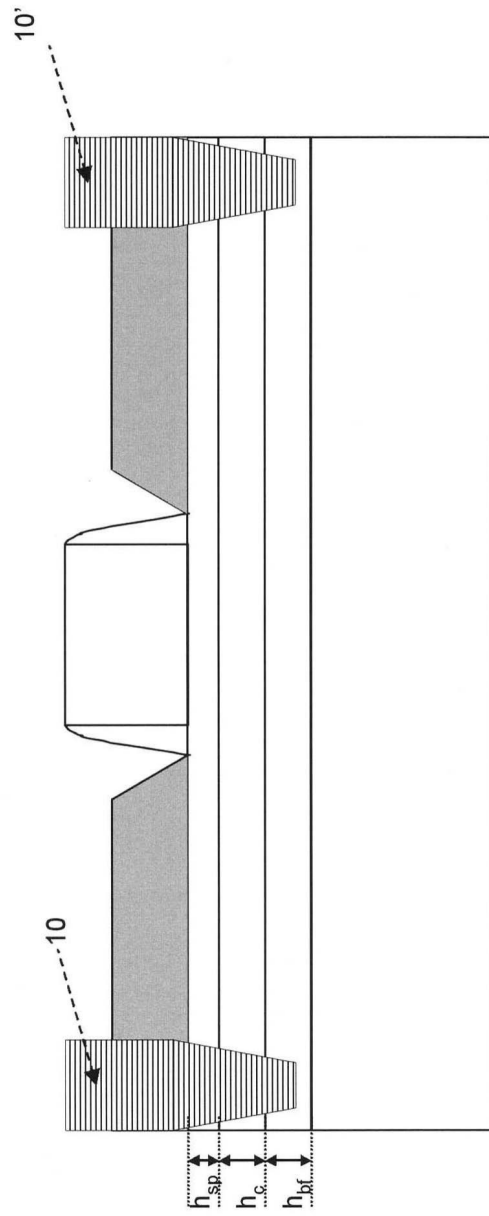
【図 1 C】



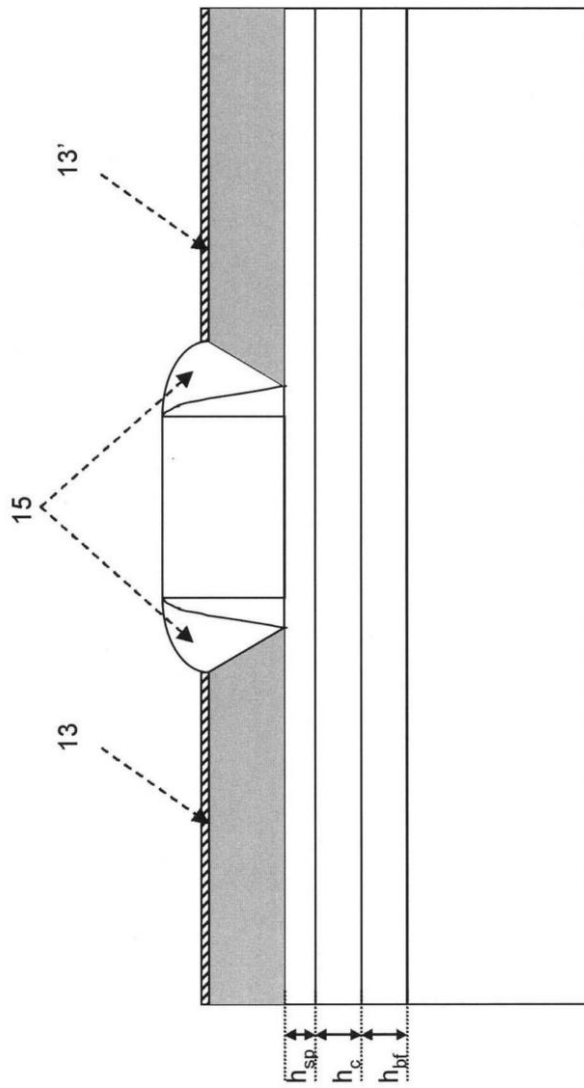
【図 2 A】



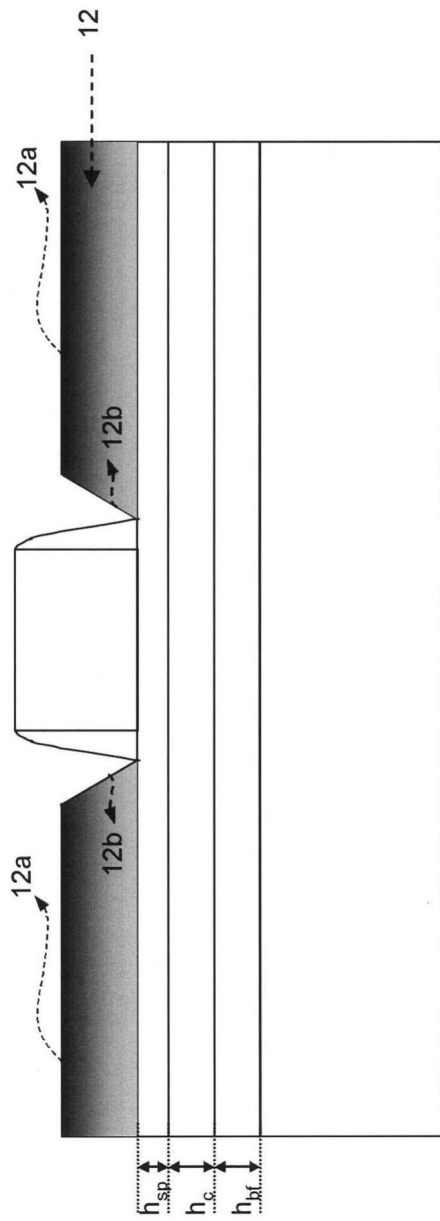
【図 2 B】



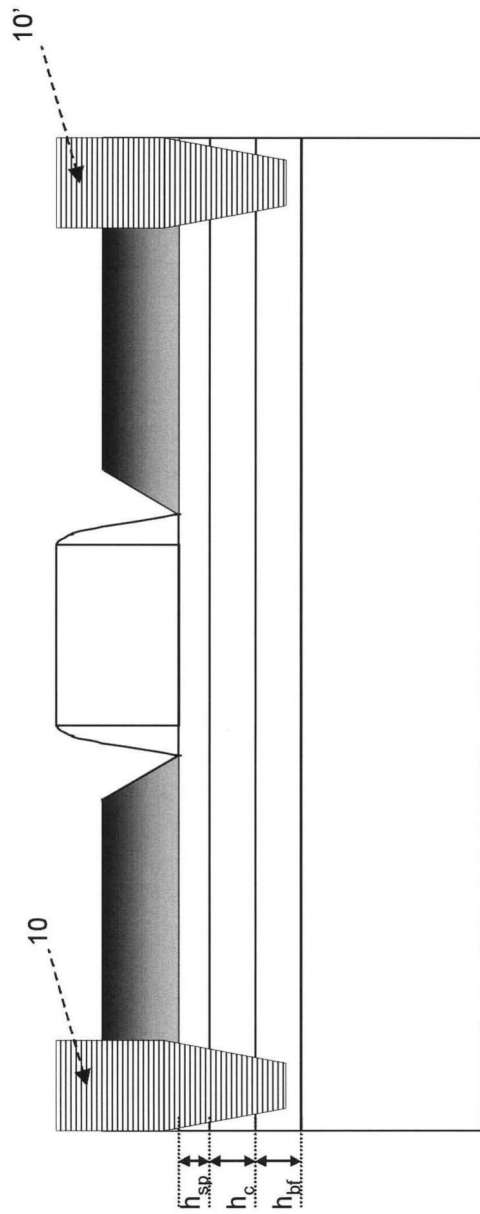
【図 2 C】



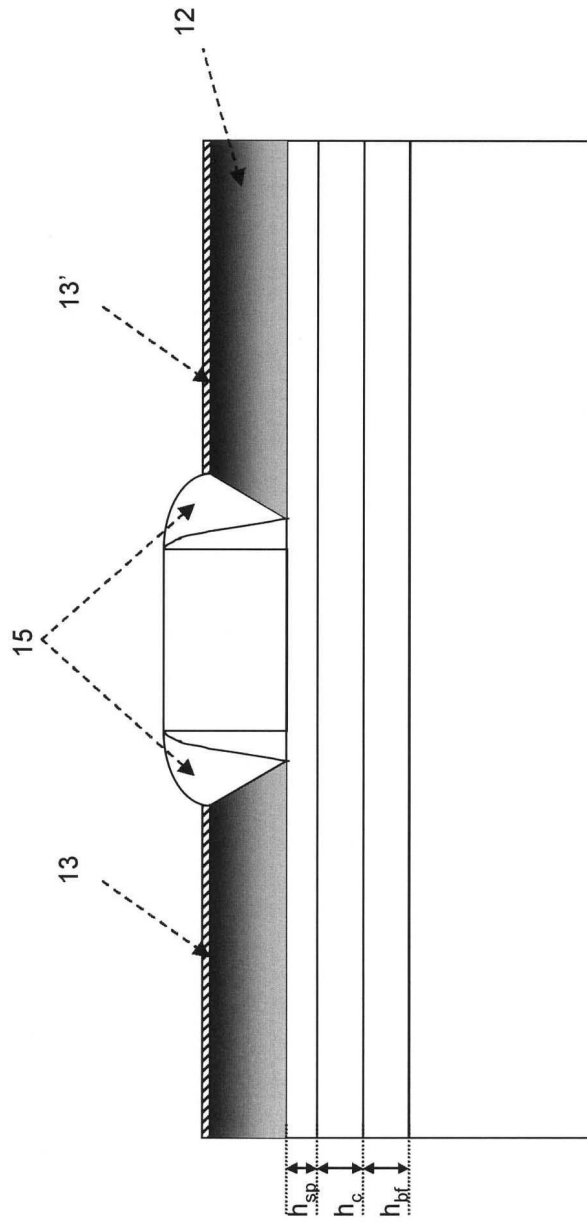
【図 3 A】



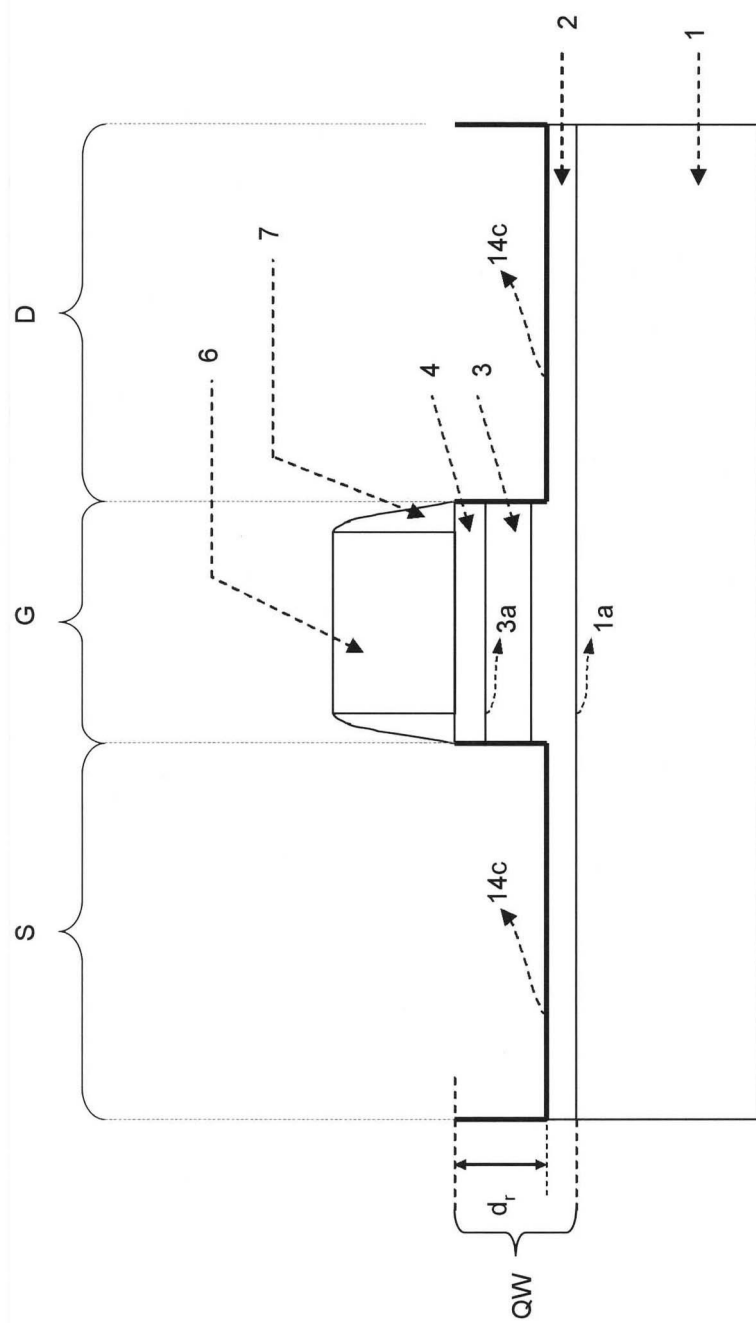
【図 3 B】



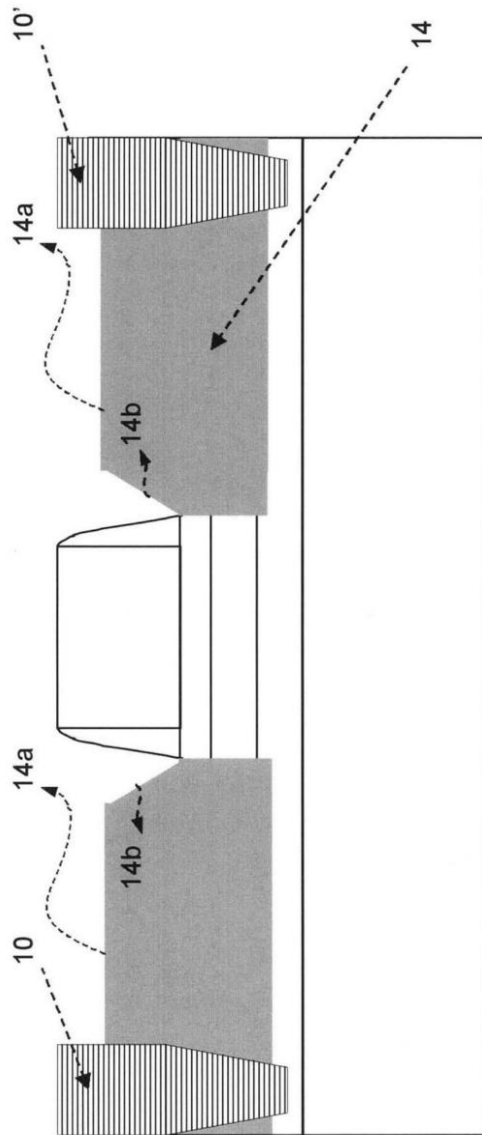
【図 3 C】



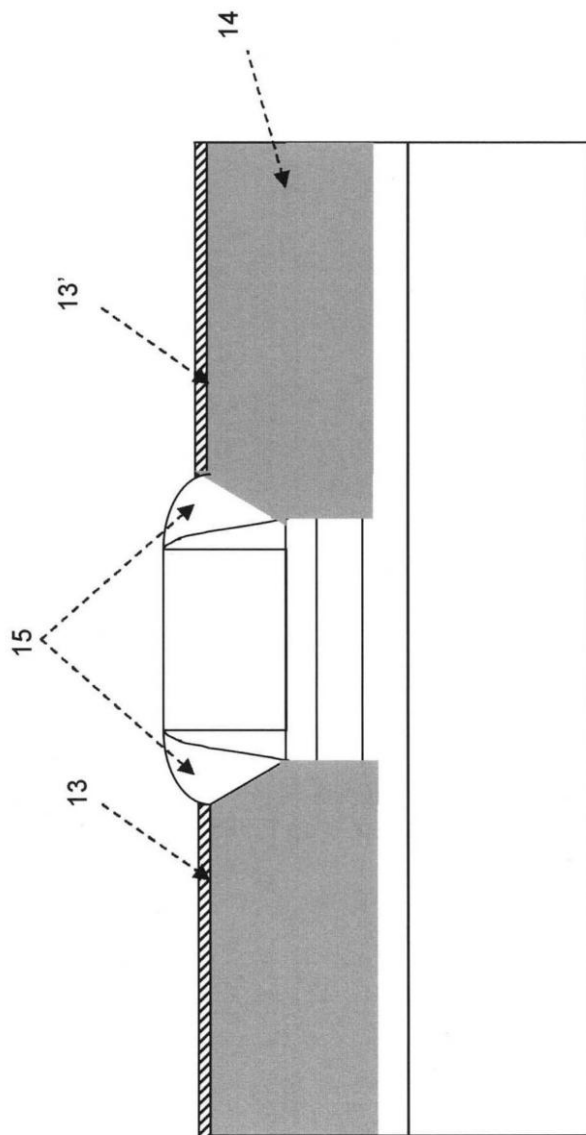
【 図 4 A 】



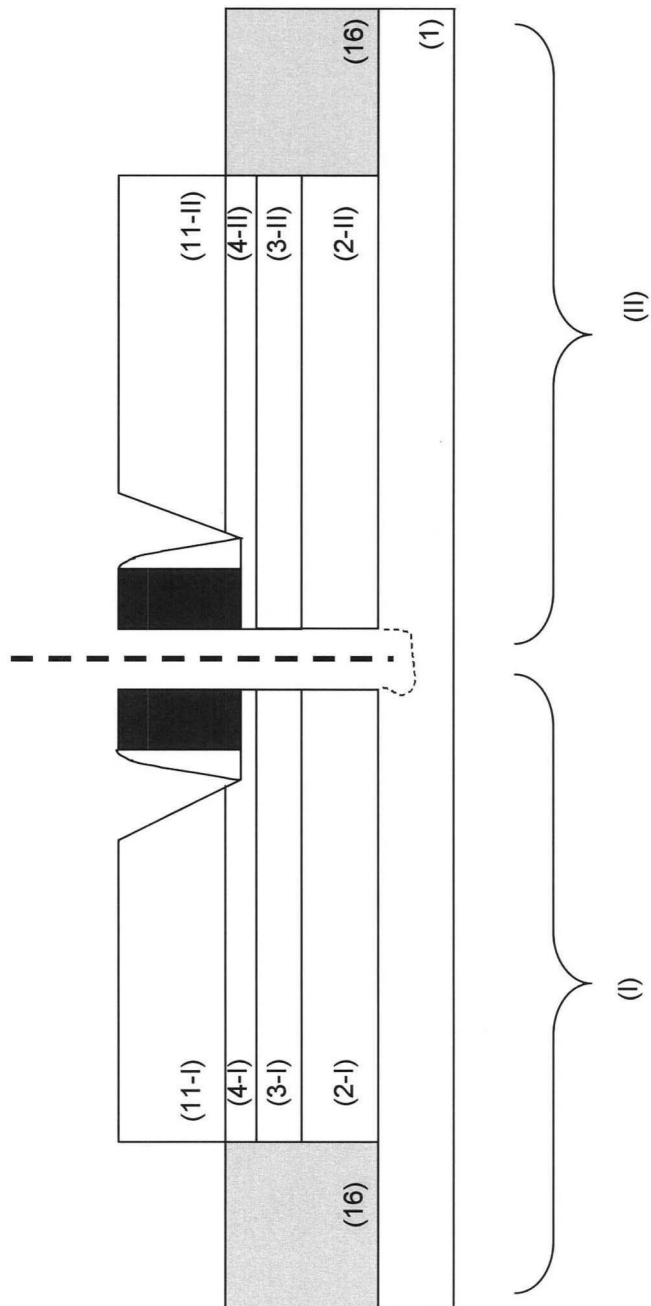
【図 4 B】



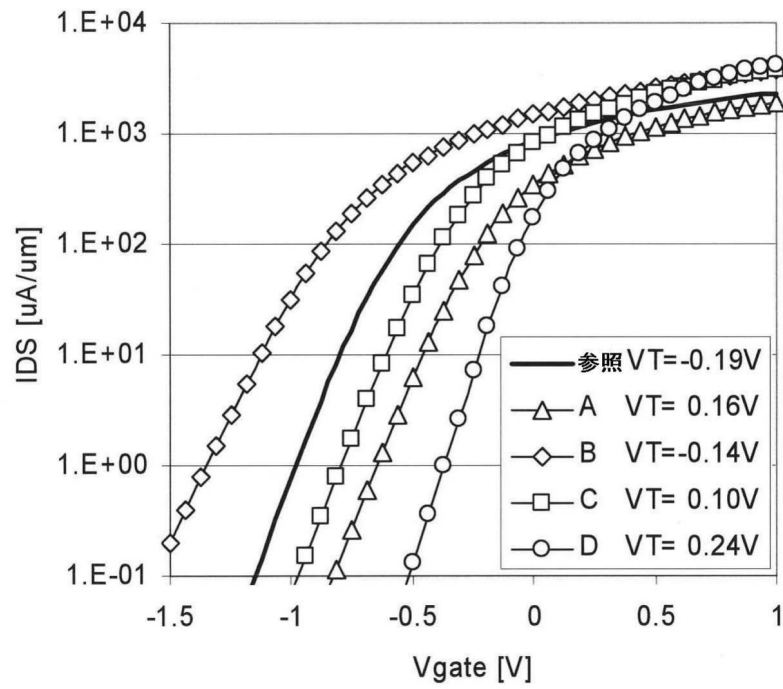
【図 4 C】



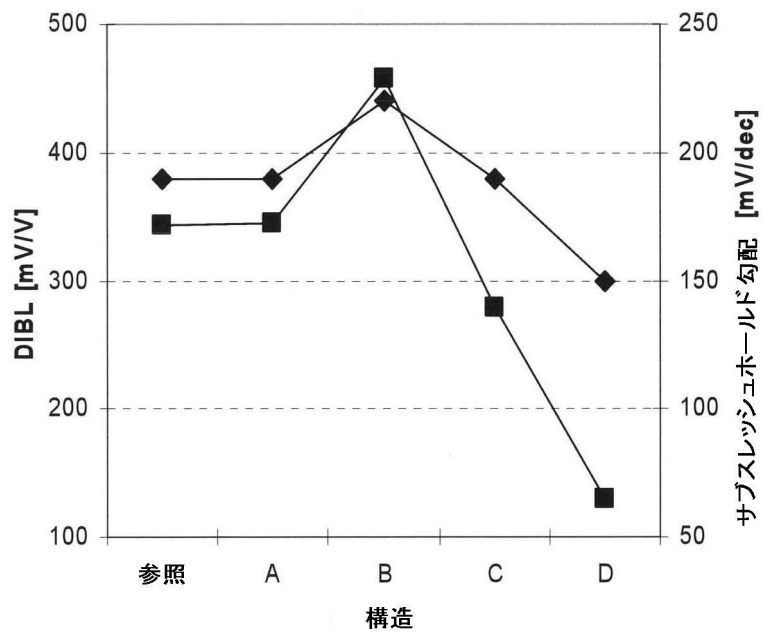
【図 5】



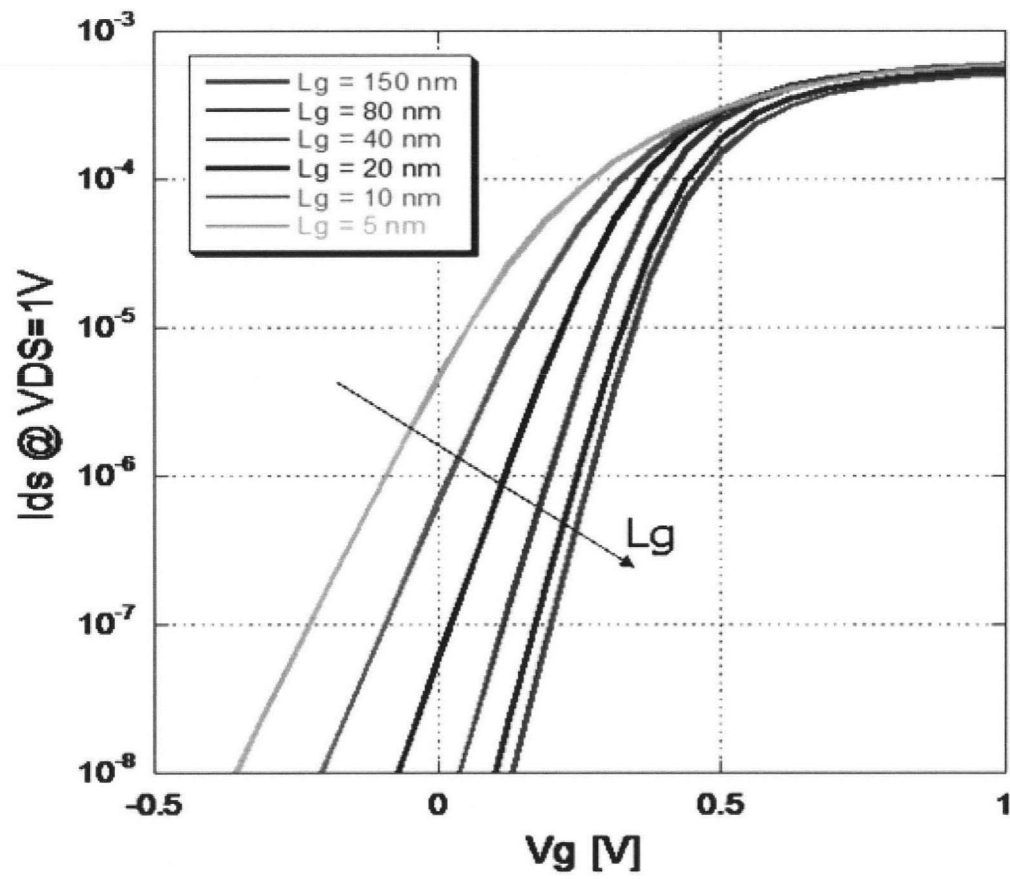
【図 7】



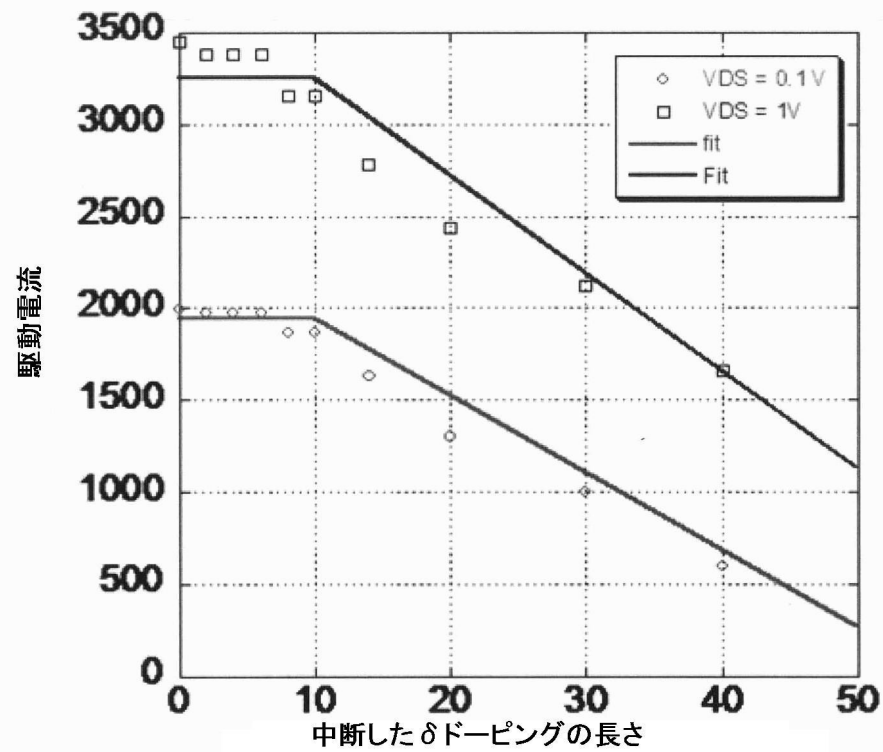
【図 8】



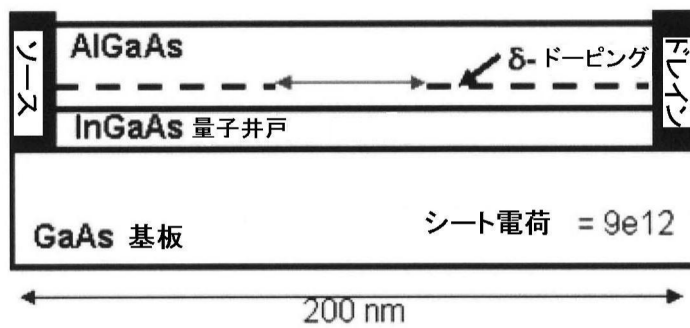
【図 9】



【図 10 A】



【図 10 B】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 29/778 (2006.01)

(74)代理人 100101454

弁理士 山田 卓二

(74)代理人 100081422

弁理士 田中 光雄

(74)代理人 100112911

弁理士 中野 晴夫

(72)発明者 ヘールト・ヘリングス

ベルギー 3 0 0 0 ルーヴァン、エム・テレシアストラート 2 6 番

(72)発明者 ヘールト・エネマン

ベルギー 3 0 0 1 ヘフェルレー、ワフェルセバーン 2 2 0 番

(72)発明者 マルク・メウリス

ベルギー 3 1 4 0 ケールベルヘン、デー・リーケンスラーン 2 7 番

審査官 棚田 一也

(56)参考文献 特開昭 6 0 - 0 1 2 7 7 5 (J P , A)

特開 2 0 0 4 - 1 1 9 8 2 0 (J P , A)

特開 2 0 0 0 - 0 9 1 2 4 1 (J P , A)

特開 2 0 0 7 - 0 2 7 2 8 4 (J P , A)

特開 2 0 0 6 - 1 9 0 9 9 1 (J P , A)

特開 2 0 0 6 - 2 7 8 5 7 0 (J P , A)

特開 2 0 0 7 - 0 3 5 9 0 5 (J P , A)

特開 2 0 0 9 - 0 9 9 6 9 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 8

H 0 1 L 2 1 / 3 3 7 - 3 3 8

H 0 1 L 2 9 / 0 6

H 0 1 L 2 9 / 7 7 8

H 0 1 L 2 9 / 7 8

H 0 1 L 2 9 / 8 0 - 8 1 2