

(21)申請案號：101142040

(22)申請日：中華民國 101 (2012) 年 11 月 12 日

(51)Int. Cl. : **H03M13/39 (2006.01)**

(30)優先權：2012/05/30 美國

13/483,100

(71)申請人：L S I 股份有限公司 (美國) LSI CORPORATION (US)

美國

(72)發明人：張方 ZHANG, FAN (CN)；王仲立 WANG, CHUNG LI (TW)；韓洋 HAN, YANG (CN)；楊少華 YANG, SHAOHUA (US)；吳學彬 WU, XUEBIN (CN)；夏海濤 XIA, HAITAO (CN)；金明 JIN, MING (CN)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：20 項 圖式數：7 共 57 頁

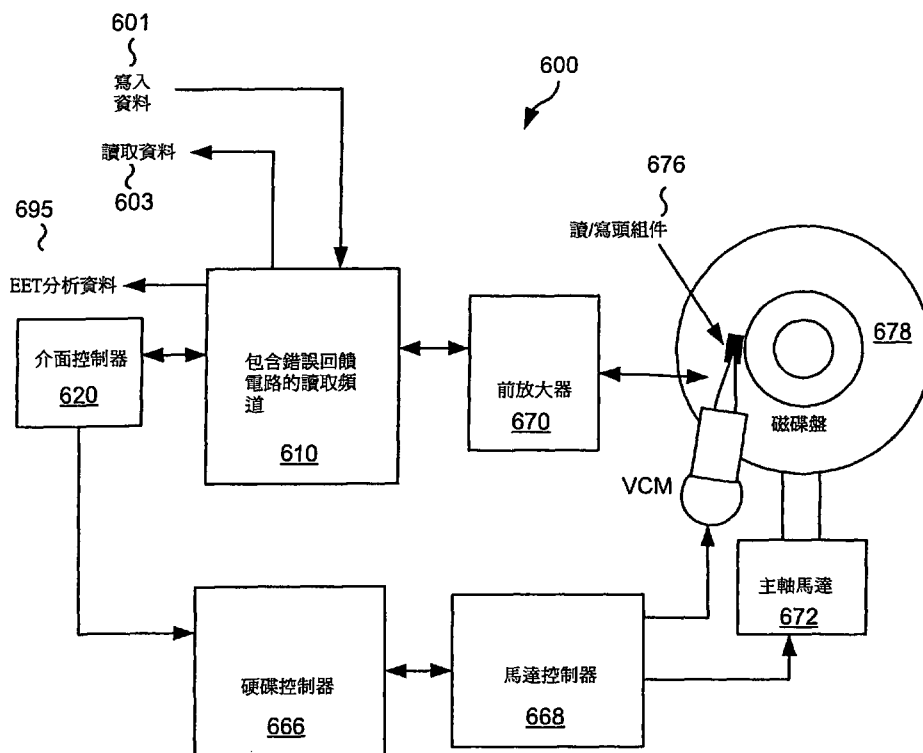
(54)名稱

包括 E E T 回饋的資料處理之系統及方法

SYSTEMS AND METHODS FOR DATA PROCESSING INCLUDING EET FEEDBACK

(57)摘要

本發明係有關資料處理系統特性之系統及方法。



600：儲存系統

601：寫入資料

603：讀取資料

610：包含錯誤回饋電路的讀取頻道

620：介面控制器

666：硬碟控制器

668：馬達控制器

670：前放大器

672：主軸馬達

676：讀/寫頭組件

678：磁碟盤

695：EET 分析資料

第6圖

(21)申請案號：101142040

(22)申請日：中華民國 101 (2012) 年 11 月 12 日

(51)Int. Cl. : H03M13/39 (2006.01)

(30)優先權：2012/05/30 美國

13/483,100

(71)申請人：L S I 股份有限公司 (美國) LSI CORPORATION (US)

美國

(72)發明人：張方 ZHANG, FAN (CN)；王仲立 WANG, CHUNG LI (TW)；韓洋 HAN, YANG (CN)；楊少華 YANG, SHAOHUA (US)；吳學彬 WU, XUEBIN (CN)；夏海濤 XIA, HAITAO (CN)；金明 JIN, MING (CN)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：20 項 圖式數：7 共 57 頁

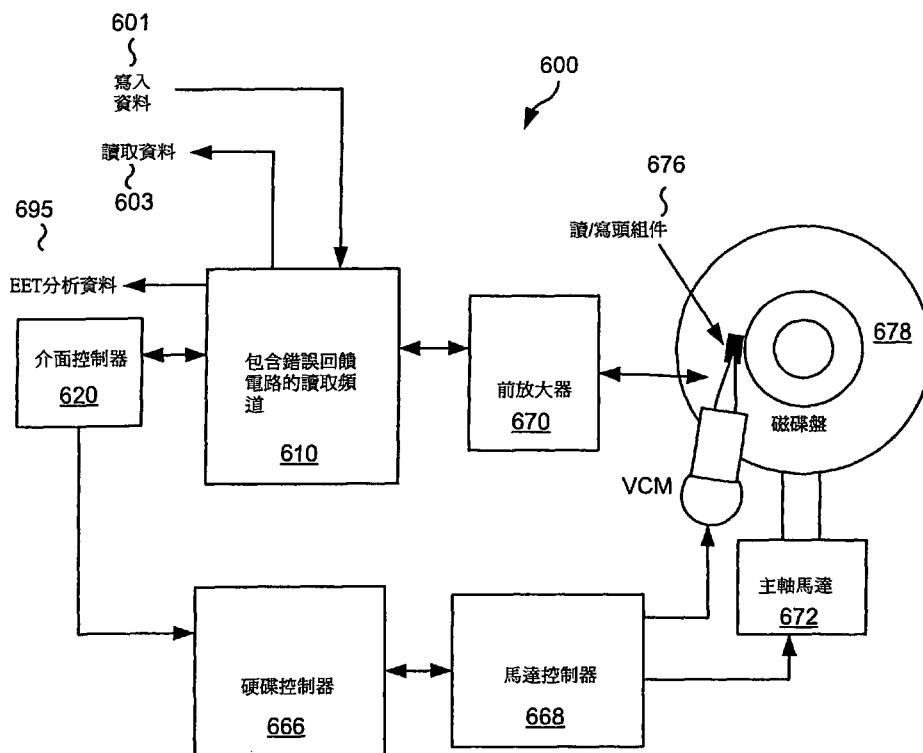
(54)名稱

包括 E E T 回饋的資料處理之系統及方法

SYSTEMS AND METHODS FOR DATA PROCESSING INCLUDING EET FEEDBACK

(57)摘要

本發明係有關資料處理系統特性之系統及方法。



600：儲存系統

601：寫入資料

603：讀取資料

610：包含錯誤回饋電路的讀取頻道

620：介面控制器

666：硬碟控制器

668：馬達控制器

670：前放大器

672：主軸馬達

676：讀/寫頭組件

678：磁碟盤

695：EET 分析資料

第6圖

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101142040

※申請日：101 年 11 月 12 日

※IPC 分類：

H03M 13/59 (2006.01)

一、發明名稱：(中文／英文)

包括 EET 回饋的資料處理之系統及方法

Systems and methods for data processing including EET feedback

二、中文發明摘要：

本發明係有關資料處理系統特性之系統及方法。

三、英文發明摘要：

The present invention is related to systems and methods for data processing system characterization.

四、指定代表圖：

(一) 本案指定代表圖為：第(6)圖。

(二) 本代表圖之元件符號簡單說明：

600：儲存系統

601：寫入資料

603：讀取資料

620：介面控制器

695：EET分析資料

670：前放大器

672：主軸馬達

676：讀/寫頭組件

678：磁碟盤

666：硬碟控制器

668：馬達控制器

610：包含錯誤回饋電路的讀取頻道

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無



六、發明說明

【發明所屬之技術領域】

本發明係有關於資料處理系統特性的系統及方法。

【先前技術】

不同的資料轉換系統已被發展，包含儲存系統(storage system)、手機系統(cellular telephone system)、無線傳輸系統(radio transmission system)。在每一前述系統中，資料會透過若干媒體(medium)由一傳送者(sender)轉換至一接收者(receiver)。例如，在一儲存系統中，資料透過儲存媒體由一傳送者(即寫入功能，write function)傳送至一接收者(即讀取功能，read function)。在某些情況下，迭代編解碼器(iterative codec)系統被使用於包含彼此迭代傳送外部對數類似比(log likelihood ratio)資料的資料檢測器電路以及資料編碼器電路的資料處理。傳統上，這類的迭代編解碼器系統使用外部資訊轉換圖表進行分析與最佳化。這種外部資訊轉換圖表的精密計算是非常複雜的，而且在圖表發展中必須加入不同的假設以降低複雜度至可管理的階層。因為假設具相當的不確定性，以此等圖表為基礎的分析是令人困擾的。

因此，基於前述至少一原因，對於先進的資料處理電路分析系統及方法確實有需求。

【發明內容】

本發明係有關於資料處理系統特性的系統及方法。

本發明不同實施例提供包含資料處理電路之資料處理系統。資料處理電路包含一資料檢測器電路，其用以施行一資料檢測演算法於一樣本資料集以產生一檢測輸出，以及一檢測輸出錯誤計數電路，其用以產生與保留在該檢測輸出中錯誤數量相對應的一輸出端錯誤計數。該檢測輸出錯誤計數電路於該資料處理電路外部提供該輸出端錯誤計數。此外，尚包含一資料解碼器電路，其用以施行一資料解碼演算法於該檢測輸出以產生一解碼輸出，以及一解碼輸出錯誤計數電路，其用以產生與保留在該解碼輸出中錯誤數量相對應的一輸入端錯誤計數。該解碼輸出錯誤計數電路於該資料處理電路外部提供該輸入端錯誤計數。在某些情形下，資料處理系統實現為一儲存裝置或者一接收裝置之一部分。在這些情形下該輸入端錯誤計數以及該輸出端錯誤計數係提供於裝置外部。在另一些情形下，資料處理系統係實現為一積體電路之一部分。在這些情形下該輸入端錯誤計數以及該輸出端錯誤計數係提供於該積體電路外部。

在前述實施例的某些情形下，其中該輸入端錯誤計數為一第一輸入端錯誤計數，該解碼輸出為與施行該解碼演算法於該檢測輸出之一第一局部迭代相對應之一第一解碼輸出，該資料解碼器電路用以施行該資料解碼演算法於該檢測輸出以產生一第二解碼輸出，其與施行該解碼演算法於該檢測輸出之一第一局部迭代相對應。該解碼輸出錯誤



計數電路更用以產生與保留在該第二解碼輸出中錯誤數量相對應之一第二輸入端錯誤計數。在前述實施例的某些情形下，該系統更包括一處理器以及一電腦可讀媒體。該電腦可讀媒體包含該處理器可執行指令用以基於該輸入端錯誤計數及該輸出端錯誤計數之至少部分決定該資料處理電路之一特性。在一或多情形下，該處理器可執行指令包含用以規劃複數輸出端錯誤計數及複數輸入端錯誤計數之可執行指令。在某些情形下，該處理器可執行指令包含平均該複數輸出端錯誤計數以產生一第一曲線之可執行指令以及平均該複數輸入端錯誤計數以產生一第二曲線之可執行指令。

前述內容僅為本發明若干實施例之一概要說明。本發明之更多其他物件、特性、優點以及其他實施例將於下輔以專利申請範圍及圖式詳加說明。

【實施方式】

本發明係有關於執行資料處理的系統及方法，特別是有關於一種在資料處理系統中適應性參數調整的系統及方法。

本發明不同實施例提供包含資料檢測器電路及資料解碼器電路之資料處理電路。資料檢測器電路及資料解碼器電路彼此迭代的饋入資訊以作為資料處理演算法之一部分。特別地，由資料檢測器電路而來的一檢測輸出提供給施行資料解碼演算法的資料解碼器電路以復原一原始寫入

資料集(written data set)。當資料解碼演算法產生原始寫入資料集時，解碼輸出稱為“收斂(converged)”。在某些情形下，收斂用以指示滿足資料解碼演算法中所有依賴的同位元檢查方程式。基於本發明於此所提供的揭露，本技藝通常技術者當知，解碼輸出可在不同的情形下被視為收斂。此等收斂資料集提供作為資料處理電路的輸出。

當資料解碼演算法的施用無法達到收斂時，解碼輸出可提供回資料檢測器電路，以引導資料檢測器電路對於資料檢測演算法的後續施用以及稍後透過資料解碼器電路的處理。通過資料檢測器電路以及資料解碼器電路兩者在此被參照為“總體迭代(global iteration)”。在某些情形下，資料處理電路被設計為允許複數總體迭代。在不同的情形下，資料解碼電路可在一給定總體迭代期間對檢測輸出施用複數次資料解碼演算法。在此情形下，每一資料解碼演算法的施用在此被參照為“局部迭代(local iteration)”。

在本發明不同實施例中，包含第一錯誤計數電路以計數保留在檢測輸出的錯誤，以及包含第二錯誤計數電路以計數在一給定總體迭代結束時保留在解碼輸出中的錯誤。在本發明的特定實施例中，可包含第三錯誤計數電路以透過資料解碼器電路在每一局部迭代結束時計數保留在解碼輸出中的錯誤。在某些情形下，來自錯誤計數電路的資料會提供至分析系統，其基於錯誤的不同數量決定一或多參數改變。

請參照第 1 圖，第 1 圖顯示根據本發明一或多實施例



具有外部錯誤傳遞(以下稱 EET)相關錯誤輸出電路之資料處理電路 100。資料處理電路 100 包含用以接收類比輸入 108 的類比前端電路 110。類比前端電路 110 處理類比輸入 108 以及提供已處理類比信號 112 給類比數位轉換器電路 115。如本技藝所知(但不限於)，類比前端電路 110 可包含類比濾波器(analog filter)及放大器電路(amplifier circuit)。基於本發明於此所提供的揭露，本技藝通常技術者當知不同的電路可被包含在類比前端電路 110 作為其中一部分。在某些情形下，類比輸入 108 可由配置與儲存媒體(未圖示)相關的讀/寫頭組件(未圖示)導出。在其他情形下，類比輸入 108 可由從傳輸媒體(未顯示)接收信號的接收器電路(未圖示)導出。傳輸媒體可以是有線的(wired)或無線的(wireless)。基於本發明於此所提供的揭露，本技藝通常技術者當知類比輸入 108 可由不同來源導出。

類比數位轉換器電路 115 轉換已處理類比信號 112 為一對應序列的數位樣本 117。類比數位轉換器電路 115 可以是本技藝所知的能將類比輸入信號產生對應數位樣本的任何電路。基於本發明於此所提供的揭露，本技藝通常技術者當知根據本發明不同實施例可使用不同的類比數位轉換器電路。數位樣本 117 提供給等化器電路(equalizer circuit)120。等化器電路 120 對數位樣本 117 施用等化演算法以產生等化輸出 122，在本發明若干實施例中，等化器電路 120 可為本技藝所知之數位有限脈衝響應濾波器電路。

等化輸出 122 同時提供給資料檢測器電路 125 及樣本緩衝器電路 (sample buffer circuit) 175。樣本緩衝器電路 175 儲存等化輸出 122 作為緩衝資料 177，其為透過資料檢測器電路 125 進行後續迭代之用。資料檢測器電路 125 可以是本技藝所知用以產生檢測輸出 127 之任何資料檢測器電路。舉例而言，資料檢測器電路 125 可為(但不限於)本技藝所知之維特比 (Viterbi) 演算法或最大後機率資料檢測電路 (maximum a posteriori)。值得注意的，在此通用詞“維特比資料檢測演算法 (Viterbi data detection algorithm)”或“維特比演算法資料檢測器電路 (Viterbi algorithm data detector circuit)”是以其較廣意義進行解釋意謂任何維特比檢測演算法或維特比演算法檢測器電路，包含(但不限於)雙向維特比檢測演算法或雙向維特比演算法檢測器電路。同時，在此通用詞“最大後機率資料檢測演算法”或“最大後機率資料檢測器電路”是以其較廣意義進行解釋意謂任何最大後機率檢測演算法或檢測器電路，包含(但不限於)簡化最大後機率資料檢測演算法以及 max-log 最大後機率檢測演算法或對應的檢測器電路。基於本發明於此所提供的揭露，本技藝通常技術者當知本發明不同實施例中可使用不同的資料檢測器電路。檢測輸出 127 可包含硬決策 (hard decision) 及軟決策 (soft decision) 兩者。“硬決策”及“軟決策”是以其較廣意義進行解釋。特別地，“硬決策”為輸出用以指示期望的原始輸入值(如二進制 ‘1’ 或 ‘0’，或非二進制數位值)，以及“軟決策”

用以指示對應硬決策為正確的概似度。基於本發明於此所提供的揭露，本技藝通常技術者當知本發明不同實施例中可使用不同的硬決策及軟決策。

檢測輸出 127 提供給中央佇列記憶電路 (central queue memory circuit) 160，其用以緩衝在資料檢測器電路 125 及資料解碼器電路 150 間通過的資料。在某些情形下，中央佇列記憶電路 160 包含本技藝所知之交錯 (interleaving) (即資料重排、data shuffling) 以及解交錯 (de-interleaving) (即資料解重排、data un-shuffling) 電路。當資料解碼器電路 150 為可用時，資料解碼器電路 150 存取來自中央佇列記憶電路 160 的檢測輸出 127 以作為解碼器輸入 156。資料解碼器電路 150 對解碼器輸入 156 施用資料解碼演算法以圖回復原始寫入的資料。資料解碼演算法的結果提供作為解碼輸出 152。與檢測輸出 127 類似，解碼輸出 152 可包含硬決策與軟決策兩者。舉例而言，資料解碼器電路 150 可為本技藝所知可對所接收輸入施用解碼演算法之任何資料解碼器電路。資料解碼器電路 150 可為 (但不限於) 本技藝所知之低密度同位元檢查 (LDPC) 解碼器電路或是羅德所羅門 (Reed Solomon) 解碼器電路。基於本發明於此所提供的揭露，本技藝通常技術者當知本發明相關之不同實施例可使用不同的資料解碼器電路。當原始資料被復原 (即資料解碼演算法收斂) 或逾時 (timeout) 條件發生時，解碼輸出 152 會被儲存至包在硬決策輸出電路 180 中的記憶體中。接著，硬決策輸出電路

180 提供收斂解碼輸出 152 給接收方(未圖示)以作為資料輸出 184。例如，接收方可為用以接收已處理資料集的介面電路。以本發明所揭露為基礎，本技藝通常技術者當知本發明相關之不同實施例可使用不同的接收方。當原始資料在逾時(timeout)條件發生前未被復原(即資料解碼演算法無法收斂)，解碼輸出 152 指出如下詳細說明之資料無法使用，以及資料輸出 184 同樣也被識別為無法使用。

透過資料檢測器電路 125 及資料解碼器電路 150 結合的一或多迭代可費力的完成原始寫入資料集收斂。如前所述，透過資料檢測器電路及資料解碼器電路兩者的處理參照為總體迭代。對第一次總體迭代而言，資料檢測器電路 125 施用資料檢測演算法以等化輸出 122 而沒有解碼輸出的引導。對後續總體迭代而言，資料檢測器電路 125 由解碼輸出 152 引導對緩衝資料 177 施用資料檢測演算法。為促進引導，解碼輸出 152 儲存至中央佇列記憶電路 160 以作為解碼器輸出 154，以及當等化輸出 122 要透過資料檢測器電路 125 重處理時從中央佇列記憶電路 160 被提供作為檢測器輸入 129。

每一總體迭代期間，資料解碼器電路 150 可製造一或多局部迭代，包含對解碼器輸入 156 施用資料解碼演算法。對第一次局部迭代而言，資料解碼器電路 150 施用資料解碼器演算法而沒有來自解碼輸出 152 的引導。對後續局部迭代而言，資料解碼器電路 150 由先前解碼輸出 152 引導下對解碼器輸入 156 施用資料解碼演算法。例如，局

部迭代可允許的數目可為 10。基於本發明於此所提供的揭露，本技藝通常技術者當知本發明相關之不同實施例可使用不同的局部迭代數量。當透過資料解碼器電路 150 所進行的局部迭代超過所允許的數量，但決定在資料集標準處理期間至少允許一額外總體迭代時，解碼輸出 152 會提供回中央佇列記憶電路 160 以作為解碼輸出 154。解碼輸出 154 會保留在中央佇列記憶電路 160 中直到資料檢測器電路 125 變為可用以執行額外處理時。

相反地，當透過資料解碼器電路 150 的局部迭代數量超過允許數目及總體迭代超過資料集的允許數目，及/或特定資料集處理終結的記憶體使用呼叫或逾時，資料集標準處理得出結論並且指出錯誤。在某些情形下，重試 (retry) 處理或若干離線 (offline) 處理可被施用以回復相反未收斂資料集 (otherwise unconverged data set)。基於本發明於此所提供的揭露，本技藝通常技術者當知本發明相關之不同實施例可施用不同的非標準處理技術以回復相反未收斂資料集。

檢測輸出 127 提供給檢測輸出錯誤計數電路 194，其用以決定由資料檢測器電路 125 施用資料檢測演算法後所保留不滿足檢查 (unsatisfied checks) 或錯誤的數量。檢測器輸入 129 (即對應至解碼輸出 154) 同時提供給解碼輸出錯誤計數電路 190，其用以決定在一給定總體迭代結尾由資料解碼器電路 150 施用資料解碼演算法後所保留不滿足檢查或錯誤的數量。來自解碼輸出錯誤計數電路 190 的輸

入端錯誤計數 192 以及來自檢測輸出錯誤計數電路 194 的輸出端錯誤計數 196 提供給分析系統(未圖示)，在此對應的實例被使用來識別資料處理電路 100 的改善參數。

請參照第 2 圖，係顯示根據本發明一或多實施例具有 EET 相關錯誤輸出電路之一資料處理電路 200。資料處理電路 200 包含用以接收類比輸入 208 之類比前端電路 (analog front end circuit) 210。類比前端電路 210 用以處理類比輸入 208 以及提供已處理類比信號 212 到類比數位轉換器電路 215。類比前端電路 210 可包含(但不限於)本技藝所知之類比濾波器以及放大器電路。基於本發明於此所提供的揭露，本技藝通常技術者當知本發明相關之不同實施例類比前端電路 210 可包含不同的電路以作為其中一部分。在某些情形下，類比輸入 208 可由配置與儲存媒體(未圖示)相關的讀/寫頭組件(未圖示)導出。在其他情形下，類比輸入 208 可由從傳輸媒體(未圖示)接收信號的接收器電路(未圖示)導出。傳輸媒體可以是有線的(wired)或無線的(wireless)。基於本發明於此所提供的揭露，本技藝通常技術者當知類比輸入 208 可由不同來源導出。

類比數位轉換器電路 215 轉換已處理類比信號 212 為一對應序列的數位樣本 217。類比數位轉換器電路 215 可為本技藝所知可產生對應類比輸入信號數位樣本的任何電路。基於本發明於此所提供的揭露，本技藝通常技術者當知根據本發明不同實施例可使用不同的類比數位轉換器電路。數位樣本 217 提供給等化器電路 220。等化器電路

220 對數位樣本 217 施用等化演算法以產生等化輸出 222，在本發明若干實施例中，等化器電路 220 可為本技藝所知之數位有限脈衝響應濾波器電路。

等化輸出 222 同時提供給資料檢測器電路 225 及樣本緩衝器電路 275。樣本緩衝器電路 275 儲存等化輸出 222 作為緩衝資料 277，其為透過資料檢測器電路 225 進行後續迭代之用。資料檢測器電路 225 可以是本技藝所知用以產生檢測輸出 227 之任何資料檢測器電路。舉例而言，資料檢測器電路 225 可為(但不限於)本技藝所知之維特比演算法或最大後機率資料檢測演算法。值得注意的，在此通用詞“維特比資料檢測演算法”或“維特比演算法資料檢測器電路”是以其較廣意義進行解釋意謂任何維特比檢測演算法或維特比演算法檢測器電路或其他，包含(但不限於)雙向維特比檢測演算法或雙向維特比演算法檢測器電路。同時，在此通用詞“最大後機率資料檢測演算法”或“最大後機率資料檢測器電路”是以其較廣意義進行解釋意謂任何最大後機率檢測演算法或檢測器電路或其他，包含(但不限於)簡化最大後機率資料檢測演算法以及 $\max\text{-log}$ 最大後機率檢測演算法，或對應的檢測器電路。基於本發明於此所提供的揭露，本技藝通常技術者當知本發明不同實施例中可使用不同的資料檢測器電路。檢測輸出 227 可包含硬決策及軟決策兩者。“硬決策”及“軟決策”是以其較廣意義進行解釋。特別地，“硬決策”為用以指示期望原始輸入值的輸出(如二進制‘1’或‘0’，或非二進制

數位值)，以及“軟決策”指示對應硬決策為正確的概似度。基於本發明於此所提供的揭露，本技藝通常技術者當知本發明不同實施例中可使用不同的硬決策及軟決策。

檢測輸出 227 提供給中央佇列記憶電路 260，其用以緩衝在資料檢測器電路 225 及資料解碼器電路 250 間通過的資料。在某些情形下，中央佇列記憶電路 260 包含本技藝所知之交錯(即資料重排)以及解交錯(即資料解重排電路)電路。當資料解碼器電路 250 可用時，資料解碼器電路 250 存取來自中央佇列記憶電路 260 的檢測輸出 227 以作為解碼輸入 256。資料解碼器電路 250 對解碼器輸入 256 施用資料解碼演算法以企圖回復原始寫入的資料。資料解碼演算法的結果提供作為解碼輸出 252。與檢測輸出 227 類似，解碼輸出 252 可包含硬決策與軟決策。舉例而言，資料解碼器電路 250 可為本技藝所知可對所接收輸入施用解碼演算法之任何資料解碼器電路。資料解碼器電路 250 可為(但不限於)本技藝所知之低密度同位元檢查(LDPC)解碼器電路或是羅德所羅門(Reed Solomon)解碼器電路。以本發明所揭露為基礎，本技藝通常技術者當知本發明相關之不同實施例可使用不同的資料解碼器電路。當原始資料被復原(即資料解碼演算法收斂)或逾時(timeout)條件發生時，解碼輸出 252 會被儲存至硬決策輸出電路 280 中所包含的記憶體中。依次的，硬決策輸出電路 280 提供收斂解碼輸出 252 給接收方(未圖示)以作為資料輸出 284。例如，接收方可為用以接收已處理資料集的介面電



路。基於本發明於此所提供的揭露，本技藝通常技術者當知本發明相關之不同實施例可使用不同的接收方。當原始資料在逾時(timeout)條件發生前未被復原(即資料解碼演算法無法收斂)，解碼輸出 252 會如下詳細說明指出資料無法使用，以及資料輸出 284 也會同樣被識別為無法使用。

透過資料檢測器電路 225 及資料解碼器電路 250 結合所進行的一或多迭代可費力完成原始寫入資料集收斂。如前所述，透過資料檢測器電路及資料解碼器電路兩者的處理參照為總體迭代。對第一次總體迭代而言，資料檢測器電路 225 施用資料檢測演算法以等化輸出 222 而沒有解碼輸出的引導。對後續總體迭代而言，資料檢測器電路 225 由解碼輸出 252 引導對緩衝資料 177 施用資料檢測演算法。為促進引導，解碼輸出 252 儲存至中央佇列記憶電路 260 以作為解碼器輸出 254，以及當等化輸出 222 要透過資料檢測器電路 225 重處理時從中央佇列記憶電路 260 被提供作為檢測器輸入 229。

每一總體迭代期間，可能地資料解碼器電路 250 可能製造包含對解碼器輸入 256 的資料解碼演算法應用的一或多局部迭代。對第一次局部迭代而言，資料解碼器電路 250 施用資料解碼器演算法而沒有來自解碼輸出 252 的引導。對後續局部迭代而言，資料解碼器電路 250 由先前解碼輸出 252 引導下對解碼器輸入 256 施用解碼演算法。例如局部迭代可允許的數目可為 10。基於本發明於此所提

供的揭露，本技藝通常技術者當知本發明相關之不同實施例可允許不同的局部迭代數量。當透過資料解碼器電路 250 所進行的局部迭代超過所允許的數量，但決定在標準資料集處理期間至少允許一額外總體迭代時，解碼輸出 252 會提供回中央佇列記憶電路 260 以作為解碼輸出 254。解碼輸出 254 會保留在中央佇列記憶電路 260 中直到資料檢測器電路 225 變為可用以執行額外處理時。

相反地，當透過資料解碼器電路 250 的局部迭代數量超過允許數目及總體迭代超過資料集的允許數目，及/或特定資料集處理終結的記憶體使用呼叫或逾時，資料集標準處理得出結論並且指出錯誤。在某些情形下，重試 (retry) 處理或若干離線 (offline) 處理可被施用以回復相反未收斂資料集 (otherwise unconverged data set)。基於本發明於此所提供的揭露，本技藝通常技術者當知本發明相關之不同實施例可施用不同的非標準處理技術以回復相反未收斂資料集。

檢測輸出 227 提供給檢測輸出錯誤計數電路 294，其用以決定由資料檢測器電路 225 施用資料檢測演算法後所保留不滿足檢查 (unsatisfied checks) 或錯誤的數量。檢測器輸入 229 (即對應至解碼輸出 254) 同時提供給解碼輸出錯誤計數電路 290，其用以決定在一給定總體迭代結尾由資料解碼器電路 250 施用資料解碼演算法後所保留不滿足檢查或錯誤的數量。此外，檢測輸出 252 提供給局部迭代錯誤計數電路 297，其用以決定在一給定總體迭代結尾由



資料解碼器電路 250 施用資料解碼演算法後所保留不滿足檢查或錯誤的數量。來自解碼輸出錯誤計數電路 290 的輸入端錯誤計數 292，來自檢測輸出錯誤計數電路 294 的輸出端錯誤計數 296，以及複數局部迭代錯誤計數 299(如每一局部迭代為一)提供至分析系統(未圖示)，在此對應的實例被使用來識別資料處理電路 200 的改善參數。

請參照第 3a-3f 圖，流程圖 300、345、392 及圖形 303、304 顯示根據本發明實施例，報告操作狀態及分析狀態以識別改善參數之方法之流程圖及範例圖。根據第 3a 圖中流程圖 300，類比輸入被接收(區塊 305)。例如類比輸入可由儲存媒體或資料傳輸頻道導出。基於本發明於此所提供的揭露，本技藝通常技術者當知類比輸入可來自不同來源。類比輸入轉換為一序列的數位樣本(區塊 310)。類比數位轉換可使用本技藝所知之類比輸入轉換器電路。值得注意的，本技藝所知任何用以轉換類比信號為表示所接收類比信號序列數位值的電路均可使用。結果數位樣本進行等化以產生一等化輸出(區塊 315)。在本發明若干實施例中，等化可為本技藝所知之數位有限脈衝響應濾波器電路。基於本發明於此所提供的揭露，本技藝通常技術者當知本發明不同實施例中可使用不同等化器電路以取代數位有限脈衝響應濾波器電路。等化輸出會被緩衝儲存(區塊 320)。

資料檢測器電路被決定是否為可用的(區塊 325)。當資料檢測器電路為可用的(區塊 325)，來自樣本緩衝器的

下一等化輸出被選擇以進行處理(區塊 330)，對所選擇的等化輸出執行資料檢測以產生檢測輸出(區塊 335)。檢測輸出接著被儲存在中央記憶體中(區塊 340)。此外，決定錯誤報告是否啟動(區塊 345)。舉例而言，在測試或分析期間以使用者輸入為基礎錯誤報告可被啟動(enabled)，以及在正常操作模式期間被停用(disabled)。當錯誤報告被啟動時(區塊 345)，EET 資料被計算且傳輸到接收方(區塊 350)。EET 資料包含施用資料檢測演算法後保留在檢測輸出中的錯誤數目。在某些情形下，錯誤數目對應保留不滿足檢查的數目。舉例而言，接收方可以類似如下第 5 圖所討論之分析系統。

請參照第 3b 圖流程圖 345，決定解碼器電路是否可用以處理先前儲存的檢測輸出(區塊 301)。當解碼器電路可用時(區塊 301)，由中央記憶電路選擇檢測輸出的下一導出以進行處理及存取(區塊 306)。資料解碼器電路對所選擇的檢測輸出施用資料解碼演算法的第一局部迭代以產生解碼輸出(區塊 311)。在本發明的不同實施例中，資料解碼演算法可以是低密度同位元檢查演算法。

接著決定解碼輸出是否收斂(即產生正確結果)(區塊 316)。當解碼輸出收斂(區塊 316)，解碼輸出提供給硬決策輸出緩衝器(區塊 321)。接著決定硬決策輸出緩衝器是否準備好進行卸載(unloaded)(區塊 356)。在某些情形下，當最新完成的解碼輸出為先前提供作為資料輸出後的下一解碼輸出，硬決策輸出緩衝器準備好進行卸載。當硬決策



輸出緩衝器準備好進行卸載(區塊 356)，所有保留在硬決策輸出緩衝器的連續解碼輸出會提供給接收方裝置作為資料輸出(區塊 361)。基於本發明於此所提供的揭露，本技藝通常技術者當知本發明不同實施例中可使用不同接收方裝置。

或者，當解碼輸出無法收斂時(區塊 316)，決定局部迭代計數是否超出局部迭代限制(區塊 326)。例如局部迭代限制可能為 10 次。當局部迭代尚未超過時(區塊 326)，為解碼輸出所引導的後續局部迭代對目前處理資料集再施用資料解碼演算法以產生卸載解碼輸出(區塊 331)。處理從區塊 316 開始重覆。此外，決定錯誤報告是否啟動(區塊 366)。例如，在測試或分析期間基於使用者輸入錯誤報告可被啟動，以及在正常操作模式期間被關閉。當錯誤報告啟動時(區塊 366)，目前局部迭代的 EET 資料會被計算並傳輸給接收方(區塊 371)。EET 資料包含目前局部迭代施用資料解碼演算法後保留在解碼輸出中的錯誤數目。在某些情形下，錯誤數目對應保留不滿足檢查數目。舉例而言，接收方可以是如下第 5 圖所討論的資料分析系統。

或者，當目前進行總體迭代的局部迭代數目超過時(區塊 326)，其決定總體迭代最大數目是否已施用在目前處理資料集(區塊 336)。例如，當逾時條件發生或已超出記憶體使用限制總體迭代數目可以是完成的。當總體迭代是未完成的(區塊 336)，解碼輸出會被儲存在中央記憶體中以等待後續總體迭代期間資料檢測演算法引導施用中使

用(區塊 341)。此外，決定錯誤報告是否啓動(區塊 366)。例如，在測試或分析階段，基於使用者輸入錯誤報告可被啓動，也可在正常操作模式期間被關閉。當錯誤報告啓動時(區塊 366)，目前總體迭代結尾解碼輸出的 EET 資料會被計算並傳輸給接收方(區塊 371)。EET 資料包含在目前總體迭後保留在解碼輸出中的錯誤數目。在某些情形下，錯誤數目對應保留不滿足檢查數目。舉例而言，接收方可以是如下第 5 圖所討論的資料分析系統。或者，當總體迭代是完成時(區塊 336)，指出錯誤(區塊 346)。

請參照第 3c 圖，流程圖 392 顯示可實現在分析系統中使用來自資料處理電路的錯誤資料以改善資料處理電路一或多參數之方法。依據流程圖 392，資料處理電路的目標磁區故障率(sector failure rate, SFR)被選擇(區塊 302)。此故障率可指出端設計(end design)中可接受的資料解碼處理中的錯誤率，以及可基於特別期望電路配置進行選擇。並行地，對應區塊 350 所產生檢測器輸出的 EET 資料及對應區塊 371 所產生解碼器輸出的 EET 資料被接收(即總體迭代資料結尾及每一局部迭代資料結尾兩者)(區塊 307、區塊 312)。

對應至第一總體迭代的資料被選擇(區塊 357)。此資料包含對應檢測器輸出的一 EET 資料集。此外，對應所選擇總體迭代的第一局部迭代資料被選擇(區塊 362)。所接收資料以對應解碼器輸出的 EET 資料集繪製於 x-軸上以及以對應檢測器輸出的 EET 資料集繪製於 y-軸(區塊



317)。前述繪圖 383 其 x-軸對應所繪製如區塊 317 中資料之一範例顯示於第 3d 圖中。如圖所示，對應檢測器輸出(其對應接收來自解碼輸出的錯誤)EET 資料的大部分值沿 y-軸繪製以及通常落在區域 393 中。對應解碼器輸出(其對應接收來自檢測器輸出的錯誤)EET 資料的大部分值沿 x-軸繪製以及通常落在區域 399 中。

EET 曲線接著藉由平均來自區塊 317 繪製的 x-軸值及 y-軸值進行計算與繪製(區塊 322)。使用如第 3d 圖中的範例，利用平均包含在區域 393 中的值以產生一曲線，以及利用平均包含在區域 399 中的值以產生另一曲線。對應平均 x-軸值的曲線接著與對應 y-軸值的曲線翻轉以產生一對 EET 曲線(區塊 327)。請參照第 3e 圖，繪圖 303 顯示對應區域 393、399 的範例 EET 曲線 323、333。如圖所示，目標磁區故障率 313 以向 EET 曲線 333 延伸的垂直線 343 繪製，依循由垂直線 343 與 EET 曲線 333 交叉處向 EET 曲線 323 延伸的水平線 353，依循由水平線 353 與 EET 曲線 323 交叉處向 EET 曲線 333 延伸的垂直線 363，以及依循由垂直線 363 與 EET 曲線 333 交叉處向 EET 曲線 323 延伸的水平線 373。此等在資料檢測結尾所保留錯誤及相對資料解碼局部迭代之間的彎曲轉換(zigzag transition)(以線 343、353、363、373 表示)，以及藉此若局部迭代數對應局部迭代目前數目總體迭代數目可望被使用。

決定對所選擇的總體迭代而言是否有另一局部迭代

(區塊 367)。當存在另一局部迭代的資料(區塊 367)，下一局部迭代被選擇(區塊 372)，以及區塊 317、322、327、367 為下一局部迭代重覆。或者，當不存在另一局部迭代的資料(區塊 367)，則決定另一總體迭代的資料是否存在(區塊 377)。當存在另一總體迭代的資料(區塊 377)，下一總體迭代被選擇(區塊 382)，以及區塊 362、317、322、327、367、372、377 為下一總體迭代重覆。此造成對應至所有總體迭代及其中個別局部迭代個別 EET 曲線的一些繪圖。

接著決定收斂/非收斂行為，包含決定對每一總體迭代所需的局部迭代數(區塊 332)。此可根據下列虛擬碼完成：

```

For(Global Iteration=1 to Maximum Allowable Global
Iterations){
    For(Local Iteration=1 to Maximum Allowable
Local Iterations){
        Plot the EET Chart for the Particular
Combination of Local and Global
Iteration;
    }
    Select the Best Local Iteration for Each
Global Iteration;
    Set the Maximum Number of Local Iterations for the
Global Iterations Based on the Best Local Iteration;
}

```



在本發明之一特定實施例中，對應 EET 曲線對(即解碼器 EET 曲線及檢測器 EET 曲線)的最佳局部迭代(the best local iteration)其以 EET 曲線之一值加上其他 EET 曲線值之交錯區為最小者。

如此的虛擬碼導致對每一總體迭代與局部迭代的結合會有若干 EET 曲線被繪製(例如：總體迭代=1 及局部迭代=3)。第 3f 圖顯示在一給定總體迭代中複數不同局部迭代若干 EET 曲線圖形 304 之一範例。特別地，圖形 304 包含曲線對(即對 314、324；344、354；374、384)。基於這些曲線對的交叉處(即交叉 334、364、394)，可決定一給定總體迭代適當的局部迭代數及磁區故障率。EET 曲線 314 在交叉處 334 的值為 27(y-軸)以及 EET 曲線 324 在交叉處 334 的值為 126(x-軸)，對在交叉處 334 來說和為 153(即 26+127)。EET 曲線 344 在交叉處 364 的值為 27(y-軸)以及 EET 曲線 354 在交叉處 364 的值為 117(x-軸)，對在交叉處 364 來說和為 144(即 27+117)。EET 曲線 374 在交叉處 394 的值為 36(y-軸)以及 EET 曲線 384 在交叉處 394 的值為 130(x-軸)，對在交叉處 364 來說和為 166(即 36+130)。因此，對一給定總體迭代的最佳局部迭代數可被選定為對應 EET 曲線對 344、354 的局部迭代數。

請參照第 4a-4c 圖，流程圖 400、445、492 顯示根據若干實施例報告操作狀態及分析狀態以識別改善參數之方法。依循第 4a 圖中流程圖 400，接收一類比輸入(區塊 405)。舉例而言，類比輸入可來由儲存媒體或資料傳輸頻

道。基於本發明於此所提供的揭露，本技藝通常技術者當知類比輸入可有不同來源。類比輸入轉換為一序列的數位樣本(區塊 410)。類比數位轉換可使用本技藝所知之類比輸入轉換器電路或系統。值得注意的，本技藝所知任何用以轉換類比信號為表示所接收類比信號的序列數位值電路均可使用。結果數位樣本進行等化以產生一等化輸出(區塊 415)。在本發明若干實施例中，等化可使用本技藝所知之數位有限脈衝響應濾波器電路。基於本發明於此所提供的揭露，本技藝通常技術者當知本發明不同實施例中可使用不同等化器電路以取代數位有限脈衝響應濾波器電路。等化輸出會被緩衝儲存(區塊 420)。

決定資料檢測器電路是否為可用的(區塊 425)。當資料檢測器電路為可用的(區塊 425)，來自樣本緩衝器的下一等化輸出被選擇以進行處理(區塊 430)，對所選擇的等化輸出執行資料檢測以產生檢測輸出(區塊 435)。此檢測輸出接著被儲存在中央記憶體中(區塊 440)。此外，決定錯誤報告是否啟動(區塊 445)。舉例而言，在測試或分析階段中基於使用者輸入之錯誤報告可被啟動(enabled)，以及在正常操作模式期間被停用(disabled)。當錯誤報告被啟動時(區塊 445)，EET 資料被計算且傳輸到接收方(區塊 450)。EET 資料包含施用資料檢測演算法後保留在檢測輸出中的錯誤數目。在某些情形下，錯誤數目對應保留不滿足檢查的數目。舉例而言，接收方可以是類似如下第 5 圖所討論之資料分析系統。



請參照第 4b 圖流程圖 445，決定解碼器電路是否可用以處理先前儲存的檢測輸出(區塊 401)。當解碼器電路可用(區塊 401)，由中央記憶電路選擇檢測輸出的下一導出以進行處理及存取(區塊 406)。資料解碼器電路對所選擇的檢測輸出施用資料解碼演算法的第一局部迭代以產生解碼輸出(區塊 411)。在本發明的不同實施例中，資料解碼演算法可以是低密度同位元檢查演算法。

接著決定解碼輸出是否收斂(即產生正確結果)(區塊 416)。當解碼輸出收斂(區塊 416)，解碼輸出提供給硬決策輸出緩衝器(區塊 421)。接著決定硬決策輸出緩衝器是否準備好進行卸載(unloaded)(區塊 456)。在某些情形下，當最新完成的解碼輸出為先前提供作為資料輸出後的下一解碼輸入時，硬決策輸出緩衝器準備好進行卸載。當硬決策輸出緩衝器準備好進行卸載(區塊 456)，所有保留在硬決策輸出緩衝器的連續解碼輸出會提供給接收方裝置作為資料輸出(區塊 461)。基於本發明於此所提供的揭露，本技藝通常技術者當知本發明不同實施範例中可使用不同的接收方裝置。

再者，當解碼輸出無法收斂時(區塊 416)，決定局部迭代計數是否超出局部迭代限制(區塊 426)。例如局部迭代限制可能為 10 次。當局部迭代尚未超過時(區塊 426)，為解碼輸出所引導的後續局部迭代對目前處理資料集重施用資料解碼演算法以產生更新解碼輸出(區塊 431)。處理從區塊 416 開始接著重覆。

或者，當目前進行總體迭代的局部迭代數目超過時(區塊 426)，決定總體迭代最大數目是否已施用在目前進行資料集(區塊 436)。例如，當逾時條件發生或已超出記憶體使用限制總體迭代數目可以是完成的。當總體迭代數目是未完成的(區塊 436)，解碼輸出會被儲存在中央記憶體中以等待後續總體迭代期間資料檢測演算法引導施用中使用(區塊 441)。此外，決定錯誤報告是否啓動(區塊 466)。例如，在測試或分析期間，基於使用者輸入錯誤報告可被啓動，以及在正常操作模式期間被關閉。當錯誤報告啓動時(區塊 466)，目前局部迭代的 EET 資料會被計算並傳輸給接收方(區塊 471)。EET 資料包含在目前總體迭代施用資料解碼演算法後保留在解碼輸出中的錯誤數目。在某些情形下，錯誤數目對應保留不滿足檢查數目。舉例而言，接收方可以是類似如下第 5 圖所討論的資料分析系統。或者，當總體迭代是完成時(區塊 436)，指出錯誤(區塊 446)。

請參照第 4c 圖，流程圖 492 顯示可實現在分析系統中使用來自資料處理電路的錯誤資料以改善資料處理電路一或多參數之方法。依據流程圖 492，資料處理電路的目標磁區故障率(sector failure rate, SFR)被選擇(區塊 402)。此故障率可指出端設計(end design)中可接受的資料解碼處理中的錯誤率，以及可基於特別期望電路配置進行選擇。並行地，對應區塊 450 所產生檢測器輸出的 EET 資料及對應區塊 471 所產生解碼器輸出的 EET 資料被接



收 (區塊 407、區塊 412)。

對應第一總體迭代的資料被選擇(區塊 457)，以及所選擇資料以對應解碼器輸出的 EET 資料集繪製於 x-軸上及以對應檢測器輸出的 EET 資料集繪製於 y-軸(區塊 417)。請參照第 3d 圖，前述繪圖 383 其 x-軸對應所繪製如區塊 417 中資料之一範例。如 3d 圖所示，對應檢測器輸出(其對應接收來自解碼輸出的錯誤)EET 資料大部分的值沿 y-軸繪製以及通常落在區域 393 中。對應解碼器輸出(其對應接收來自檢測器輸出的錯誤)EET 資料大部分的值沿 x-軸繪製以及通常落在區域 399 中。

EET 曲線接著藉由平均來自區塊 417 繪製的 x-軸值及 y-軸值進行計算與繪製(區塊 422)。使用如第 3d 圖中的範例，利用平均包含在區域 393 中的值以產生一曲線，以及利用平均包含在區域 399 中的值以產生另一曲線。對應平均 x-軸值的曲線接著與對應 y-軸值的曲線翻轉以產生一對 EET 曲線(區塊 427)。請參照第 3e 圖，繪圖 303 顯示對應區域 393、399 的範例 EET 曲線 323、333。如圖所示，目標磁區故障率 313 以向 EET 曲線 333 延伸的垂直線 343 繪製，依循由垂直線 343 與 EET 曲線 333 交叉處向 EET 曲線 323 延伸的水平線 353，依循由水平線 353 與 EET 曲線 323 交叉處向 EET 曲線 333 延伸的垂直線 363，以及依循由垂直線 363 與 EET 曲線 333 交叉處向 EET 曲線 323 延伸的水平線 373。此等在資料檢測結尾所保留錯誤及相對資料解碼局部迭代之間的彎曲轉換(zigzag

transition)(以線 343、353、363、373 表示)，以及藉此若局部迭代數對應局部迭代目前數目，總體迭代數目可望被使用。

接著基於彎曲轉換決定收斂/非收斂行為(區塊 432)。依循第 3e 圖所示之範例，輸入錯誤計數(即來自第一總體迭代中結尾的資料解碼器)約為 87(即 y-軸值)。彎曲轉換(線 343)產生輸入給資料檢測器電路(即 107 錯誤)，以及資料解碼器電路的輸入(即 13 錯誤)。此程序沿垂直及水平線(353、363、373)繼續。平均地，圖形 303 顯示 3 總體迭代可望產生收斂。

接著決定另一總體迭代的資料是否可用(區塊 477)。當額外資料可用時(區塊 477)，下一總體迭代被選擇(區塊 482)，以及區塊 417、422、427、432 及 477 為下一總體迭代重覆。此程序對所有可用的總體迭代繼續進行，以使第 3e 圖中的圖形 303 會擴張到包含對應不同總體迭代的若干隧道(tunnel)。

不同頻道及不同信號對不同雜訊條件會有不同的雜訊統計(noise statistics)。因此顯示於第 3e 圖範例中的隧道形狀對不同特性會有所不同。在曲線 323、333 間較寬隧道顯示較佳磁區故障率執行。如第 4 圖中所討論之方法提供最佳化編解碼執行的有效途徑。如前所述最佳化或改善之範例，如第 4a-4c 圖所述之方法在使用對雜訊率在不同頻道及不同信號方面允許相當簡單最佳化資料處理電路，藉由調整相對於總體迭代的局部迭代數目以使隧道開口較



寬。或者，或此外，所繪 EET 曲線的分析對一特定磁區或資料集所給定輸入錯誤計數提供一平均總體迭代數。在此情形下，當資料處理電路接收一資料集具有太多錯誤以致無法在一逾時窗(timeout window)收斂時，在標準處理期間此資料集可被跳過，以及保留在允許足夠總體迭代時重試處理。又或者，圖形可在解碼器電路計畫與檢測器電路最佳化以及低密度同位元檢查碼設計上提供使用基準。以本發明所揭露為基礎，本技藝通常技術者當知本發明不同實施例具有其他優點。

請參照第 5 圖，第 5 圖顯示根據本發明一或多實施例之分析系統 500。分析系統 500 包含電腦 522 以及電腦可讀媒體 524。電腦 522 可以是本技藝所知以處理器為基礎之裝置。電腦可讀媒體 524 可以是本技藝所知之任何媒體，包含(但不限於)隨機存取記憶體(random access memory)、硬碟機(hard disk drive)、磁帶機(tape drive)、光學儲存裝置(optical storage device)或任何其他可儲存資料之裝置或結合裝置。電腦可讀媒體 524 包含可由電腦 522 所執行之指令以使用所接收之錯誤資料分析資料處理電路 526。此等指令可引發如第 3c 圖或 4c 圖所示之方法。在某些情形下，此等指令可以是軟體指令。基於本發明於此所提供的揭露，本技藝通常技術者當知本發明不同實施例中可使用不同種類之指令。在本發明若干實施例中，資料處理電路 526 可類似前第 1 圖或第 2 圖所討論被使用，及/或處理可類似前第 3a-3b 圖或第 4a-4b 圖所討論

被完成。

請參照第 6 圖，第 6 圖顯示根據本發明若干實施例儲存系統 600 包含具有錯誤回饋電路之讀取頻道電路 610。例如儲存系統 600 可為硬碟機(hard disk drive)。儲存系統 600 同時包含前放大器(preamplifier)670、介面控制器 620、硬碟控制器(hard disk controller)666、馬達控制器(motor controller)668、主軸馬達(spindle motor)672、磁碟盤(disk platter)678 及讀/寫頭組件(read/write head assembly)676。介面控制器 620 控制資料來/回磁碟盤 678 的定址及時間。磁碟盤 678 上的資料由當組件適當置放於磁碟盤 678 時可被讀/寫頭組件 676 所檢測之磁性信號組成。在一實施例中，磁碟盤 678 可包含以縱向(longitudinal)或垂直(perpendicular)記錄方式所記錄之磁性信號。

在典型的讀取操作中，讀/寫頭組件 676 藉由馬達控制器 668 可準確定位在磁碟盤 678 上所需的資料磁軌。馬達控制器 668 同時定位關於磁碟盤 678 的讀/寫頭組件 676 以及在硬碟控制器 666 引導下藉由移動讀/寫頭組件 676 到磁碟盤 678 上適當的資料磁軌以驅動主軸馬達 672。主軸馬達 672 以預定旋轉率(RPMs)旋轉磁碟盤 678。一旦讀/寫頭組件 676 鄰近適當資料磁軌，當主軸馬達 672 旋轉磁碟盤 678 時，磁碟盤 678 上表示資料的磁性信號會被讀/寫頭組件 676 感測到。所感測的磁性信號提供作為代表磁碟盤 678 磁性資料的連續微小(minute)類比信號。此微



小類比信號透過前放大器(preamplifier)670 由讀/寫頭組件 676 轉換到讀取頻道電路 610。前放大器 670 用以放大由磁碟盤 678 所存取的微小類比信號。接著，讀取頻道電路 610 解碼並數位化所接收的類比信號以重建原始寫入磁碟盤 678 的資訊。此資料提供給接收電路以作為讀取資料 603。寫入操作以寫入資料 601 提供給讀取頻道電路 610 實際上是前述讀取操作的相反程序。資料接著被編碼及寫入磁碟盤 678 中。

在讀取操作期間，資料由磁碟盤 678 被感測以及透過包含資料檢測器電路及資料解碼器電路之資料處理電路進行處理。透過資料檢測器電路及資料解碼器電路兩者，原始寫入資料集上的收斂可包含一或多總體迭代，以及透過資料解碼器電路對每一總體迭代之一或多局部迭代。在分析期間，錯誤計數可藉由檢測器電路輸出、一給定總體迭代結尾的解碼器電路輸出及/或每一局部迭代結尾的解碼器輸出而被啟動。根據不同的錯誤數目，資料轉換到分析系統以決定讀取頻道電路 610 的一或多參數改變。在本發明若干實施例中，資料處理電路可類似如前所討論之第 1 圖或第 2 圖，及/或處理可類似如前所討論之第 3a-3b 圖或第 4a-4b 圖。分析系統可實現類似第 5 圖所討論，以及可執行類似如前第 3c 圖或第 4c 圖所討論之分析。

值得注意的是儲存系統 600 可整合為一大儲存系統如以容錯式陣列磁碟 RAID(redundant array of inexpensive disks or redundant array of independent disks)為基礎的儲

存系統。RAID 儲存系統結合多重磁碟為一邏輯單位透過冗餘 (redundancy) 增加穩定度及可信度。資料可根據不同的演算法分散至 RAID 所包含的不同磁碟中，而作業系統存取如同單一磁碟。舉例而言，資料可鏡射 (mirrored) 至 RAID 儲存系統的多重磁碟中，或以不同技術切割及分配到多重磁碟中。若 RAID 儲存系統中少數磁碟故障或變成不可用時，糾錯技術可以 RAID 儲存系統中資料保留的部分進行遺缺資料的重建。RAID 儲存系統中的磁碟可為 (但不限於) 如儲存系統 600 之個別儲存系統，以及可配置相近或彼此分配較遠以增加保密性。在寫入操作中，寫入資料會提供給控制器，控制器透過如鏡射 (mirroring) 或分散讀寫 (striping) 方式儲存寫入資料於磁碟中。在讀取操作中，控制器由磁碟擷取資料。控制器接著產生結果讀取資料如同 RAID 儲存系統為單一磁碟般。

關於讀取頻道電路 610 的資料解碼器電路可為 (但不限於) 本技藝所知之低密度同位元檢查 (low density parity check) 解碼器電路。低密度同位元檢查技術可用於實體透過任何頻道的資訊傳輸或者實體任何媒體的資訊儲存。傳輸應用包含 (但不限於) 光纖 (optical fiber)、無線頻道 (radio frequency channels)、有線或無線區域網路、數位用戶線 (digital subscriber line) 技術、無線蜂巢 (wireless cellular)、透過任何如銅線或光纖等媒體之乙太網路 (Ethernet)、有線電視 (cable television) 之有線頻道 (cable channel) 以及地球衛星通信 (Earth-satellite



communications)。儲存應用包含(但不限於)硬碟機(hard disk drive)、光碟(compact disk)、數位光碟(digital video disk)、磁帶(magnetic tape)以及如 DRAM、NAND flash、NOR flash 等之非揮發性記憶體(non-volatile memory)與實體狀態機等記憶體裝置。

請參照第 7 圖，第 7 圖顯示根據本發明之實施例包含具有錯誤回饋電路接收器 720 之資料傳輸裝置 700。資料傳輸系統 700 包含用以透過本技藝所知之傳輸媒體 730 發射編碼資訊之發射器 710。編碼資訊由接收器 720 透過傳輸媒體 730 接收。

在操作期間，當透過包含有資料檢測器電路與資料解碼器電路之資料處理電路進行處理，資料由接收器 720 透過傳輸媒體 730 接收。透過資料檢測器電路及資料解碼器電路兩者，原始寫入資料集的收斂可包含一或多總體迭代，以及透過資料解碼器電路對每一總體迭代一或多局部迭代。在分析期間，錯誤計數可經由檢測器電路輸出、一給定總體迭代結尾的解碼器電路輸出及/或每一局部迭代結尾解碼器電路的輸出而被啟動。根據不同的錯誤數目，轉換到分析系統的資料決定讀取接收器 720 的一或多參數改變。在本發明若干實施例中，資料處理電路可使用類似如前所討論之第 1 圖或第 2 圖，及/或處理可類似如前所討論之第 3a-3b 圖或第 4a-4b 圖而完成。分析系統可實現類似第 5 圖所討論，以及可執行類似如前第 3c 圖或第 4c 圖所討論之分析。

值得注意的是前述應用所討論的不同區塊可與其他功能實現在整合電路中。此等整合電路可包含給定區塊、系統或電路的所有功能，或僅區塊、系統或電路的子集。再者，區塊、系統或電路的元件可實現在複數整合電路中。此等整合電路可為本技藝所知任何型態整合電路，包含(但不限於)單片整合電路(monolithic integrated circuit)、倒裝晶片電路(flip chip integrated circuit)、多晶片模組整合電路(multichip module integrated circuit)、及/或混合信號整合電路(mixed signal integrated circuit)。特別注意如前所討論之區塊、系統或電路可以軟體(software)或韌體(firmware)實現之。在某些情形下，整體系統、區塊或電路可以軟體或韌體同樣實現。在另一些情形下，系統、區塊或電路的一部分可以軟體或韌體同樣實現，而其他部分則以硬體實現。

綜上所述，本發明提供新穎的資料處理系統、裝置、方法及配置。雖然本發明一或多實施例之詳細說明已揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

本發明之不同實施範例於下說明書中參照圖式詳加說明。在不同圖式中使用類似的參照號碼指示類似的元件。



在某些情形下，以小寫字母所組成的子標籤與同一號碼結合以指示多個類似元件之一。當參照僅指向參照號碼而無特別設定任一存在子標籤時，則意指所有此等類似元件。

第 1 圖係顯示根據本發明之一或多實施例，具有 EET 相關錯誤輸出電路之資料處理電路。

第 2 圖係顯示根據本發明之一或多實施例，具有 EET 相關錯誤輸出電路之另一資料處理電路。

第 3a-3f 圖係顯示根據本發明之實施例，報告操作狀態及分析狀態以識別改善參數之方法之流程圖及範例圖。

第 4a-4c 圖係顯示根據本發明之實施例，報告操作狀態及分析狀態以識別改善參數之另一方法之流程圖及範例圖。

第 5 圖係顯示根據本發明之一或多實施例，分析資料處理電路操作之一分析系統。

第 6 圖係顯示根據本發明之一或多實施例，包含具有錯誤回饋電路之讀取頻道之一儲存裝置。以及

第 7 圖係顯示根據本發明之一或多實施例，包含具有錯誤回饋電路之接收器之一資料傳輸裝置。

【主要元件符號說明】

100：資料處理電路

108：輸入

110：類比前端電路

112：已處理類比信號

- 115：類比數位轉換器電路
- 117：數位樣本
- 120：等化器電路
- 122：等化輸出
- 125：資料檢測器電路
- 127：檢測輸出
- 129：檢測器輸入
- 175：樣本緩衝器電路
- 177：緩衝資料
- 190：解碼輸出錯誤計數電路
- 192：輸入端錯誤計數
- 160：中央佇列記憶電路
- 154：解碼器輸出
- 156：解碼器輸入
- 150：資料解碼器電路
- 152：解碼輸出
- 180：硬決策輸出電路
- 184：資料輸出
- 194：檢測輸出錯誤計數電路
- 196：輸出端錯誤計數
- 200：資料處理電路
- 208：輸入
- 210：類比前端電路
- 212：已處理類比信號



- 215：類比數位轉換器電路
- 217：數位樣本
- 220：等化器電路
- 222：等化輸出
- 225：資料檢測器電路
- 227：檢測輸出
- 229：檢測器輸入
- 275：樣本緩衝器電路
- 277：緩衝資料
- 290：解碼輸出錯誤計數電路
- 292：輸入端錯誤計數
- 260：中央佇列記憶電路
- 254：解碼器輸出
- 256：解碼器輸入
- 250：資料解碼器電路
- 252：解碼輸出
- 280：硬決策輸出電路
- 284：資料輸出
- 294：檢測輸出錯誤計數電路
- 296：輸出端錯誤計數
- 297：局部迭代錯誤計數電路
- 522：電腦
- 524：包含 EET 為基礎電路最佳化指令之電腦可讀媒體
- 526：包含 EET 電路之資料處理電路

- 600：儲存系統
- 601：寫入資料
- 603：讀取資料
- 620：介面控制器
- 695：EET 分析資料
- 670：前放大器
- 672：主軸馬達
- 676：讀/寫頭組件
- 678：磁碟盤
- 666：硬碟控制器
- 668：馬達控制器
- 610：包含錯誤回饋電路的讀取頻道
- 710：發射器
- 720：包含錯誤回饋電路接收器
- 795：EET 分析資料
- 730：傳輸媒體



七、申請專利範圍

1. 一種資料處理系統，該資料處理系統包括：

一資料處理電路，其中該資料處理電路包含：

一資料檢測器電路，其用以施行一資料檢測演算法於一樣本資料集以產生一檢測輸出；

一檢測輸出錯誤計數電路，其用以產生與保留在該檢測輸出中錯誤數量相對應的一輸出端錯誤計數，其中該檢測輸出錯誤計數電路係用以在該資料處理電路外部提供該輸出端錯誤計數；

一資料解碼器電路，其用以施行一資料解碼演算法於該檢測輸出以產生一解碼輸出；以及

一解碼輸出錯誤計數電路，其用以產生與保留在該解碼輸出中錯誤數量相對應的一輸入端錯誤計數，其中該解碼輸出錯誤計數電路係用以在該資料處理電路外部提供該輸入端錯誤計數。

2. 如申請專利範圍第1項所述之資料處理系統，其中該輸入端錯誤計數為一第一輸入端錯誤計數；其中該解碼輸出為與施行該解碼演算法於該檢測輸出之一第一局部迭代相對應之一第一解碼輸出；以及其中該資料解碼器電路用以施行該資料解碼演算法於該檢測輸出以產生一第二解碼輸出，其與施行該解碼演算法於該檢測輸出之一第一局部迭代相對應；以及其中該解碼輸出錯誤計數電路更用以產生與保留在該第二解碼輸出中錯誤數量相對應之一第二輸入端錯誤計數。

3. 如申請專利範圍第 1 項所述之資料處理系統，其中該資料檢測演算法係選自由以下所組成的群組：一維特比 (Viterbi) 演算法資料檢測演算法以及一最大後機率資料檢測演算法 (maximum a posteriori)。

4. 如申請專利範圍第 1 項所述之資料處理系統，其中該資料檢測器電路為低密度同位元檢查 (low density parity check) 解碼器電路。

5. 如申請專利範圍第 1 項所述之資料處理系統，其中該資料處理系統係實現為一裝置之一部分，該裝置選自由以下所組成的群組：一儲存裝置以及一接收裝置。

6. 如申請專利範圍第 5 項所述之資料處理系統，其中該輸入端錯誤計數以及該輸出端錯誤計數係提供於該裝置外部。

7. 如申請專利範圍第 1 項所述之資料處理系統，其中該資料處理系統係實現為一積體電路之一部分。

8. 如申請專利範圍第 7 項所述之資料處理系統，其中該輸入端錯誤計數以及該輸出端錯誤計數係提供於該積體電路外部。

9. 如申請專利範圍第 1 項所述之資料處理系統，其中該系統更包括：

一處理器以及一電腦可讀媒體，其中該電腦可讀媒體包含該處理器可執行指令用以基於該輸入端錯誤計數及該輸出端錯誤計數之至少部分決定該資料處理電路的一特性。

10.如申請專利範圍第 9 項所述之資料處理系統，其中該處理器可執行指令包含用以規劃複數輸出端錯誤計數及複數輸入端錯誤計數之可執行指令。

11.如申請專利範圍第 10 項所述之資料處理系統，其中該處理器可執行指令包含平均該複數輸出端錯誤計數以產生一第一曲線之可執行指令以及平均該複數輸入端錯誤計數以產生一第二曲線之可執行指令。

12.一種資料處理電路分析系統，該系統包括：

一資料處理電路，其中該資料處理電路包含：

一資料檢測器電路，其用以施行一資料檢測演算法於一樣本資料集以產生一檢測輸出；

一檢測輸出錯誤計數電路，其用以產生與保留在該檢測輸出中錯誤數量相對應之一輸出端錯誤計數，其中該檢測輸出錯誤計數電路係用以在該資料處理電路外部提供該輸出端錯誤計數；

一資料解碼器電路，其用以施行一資料解碼演算法於該檢測輸出以產生一解碼輸出；以及

一解碼輸出錯誤計數電路，其用以產生與保留在該解碼輸出中錯誤數量相對應之一輸入端錯誤計數，其中該解碼輸出錯誤計數電路係用以在該資料處理電路外部提供該輸入端錯誤計數；

一處理器以及一電腦可讀媒體，其中該電腦可讀媒體包含該處理器可執行指令以基於該輸入端錯誤計數及該輸出端錯誤計數之至少部分決定該資料處理電路的一特性。

13.如申請專利範圍第 12 項所述之系統，其中該輸入端錯誤計數為一第一輸入端錯誤計數；其中該解碼輸出為與施行該解碼演算法於該檢測輸出之一第一局部迭代相對應之一第一解碼輸出；以及其中該資料解碼器電路用以施行該資料解碼演算法於該檢測輸出以產生一第二解碼輸出，其與施行該解碼演算法於該檢測輸出之一第一局部迭代相對應；其中該解碼輸出錯誤計數電路更用以產生與該第二解碼輸出中錯誤數量相對應之一第二輸入端錯誤計數；以及其中該資料處理電路之該特性包含透過該資料解碼器電路對一給定總體迭代(global iteration)之局部迭代所需數量。

14.如申請專利範圍第 12 項所述之系統，其中該資料處理電路之該特性為透過該資料檢測器電路總體迭代以及對一定義磁區故障率之該資料解碼器電路之一期望數量。

15.如申請專利範圍第 12 項所述之系統，其中該資料檢測演算法係選自由以下所組成的群組：一維特比演算法資料檢測演算法以及一最大後機率資料檢測演算法。

16.如申請專利範圍第 12 項所述之系統，其中該資料解碼器電路為低密度同位元檢查解碼器電路。

17.如申請專利範圍第 12 項所述之系統，其中該資料處理系統係實現為一裝置之一部分，該裝置選自由以下所組成的群組：一儲存裝置以及一接收裝置。

18.如申請專利範圍第 12 項所述之系統，其中該處理器可執行指令包含用以規劃複數輸出端錯誤計數及複數輸



入端錯誤計數之可執行指令。

19.如申請專利範圍第 17 項所述之系統，其中該處理器可執行指令包含平均該複數輸出端錯誤計數以產生一第一曲線之可執行指令以及平均該複數輸入端錯誤計數以產生一第二曲線之可執行指令。

20.一種儲存裝置，該儲存裝置包括：

一儲存媒體；

一磁頭組件，其配置關連於該儲存媒體及用以提供與該儲存媒體上之資訊相對應之一感測信號；

一讀取頻道電路，包含：

一類比前端(analog front end)電路，其用以提供與該感測信號相對應之一類比信號；

一類比數位轉換器電路，其用以對該類比信號進行採樣以產生一系列數位樣本；

一等化器電路，其用以等化該數位樣本以產生一樣本集；

一資料處理電路，其中該資料處理電路包含：

一資料檢測器電路，其用以施行一資料檢測演算法於一樣本資料集以產生一檢測輸出；

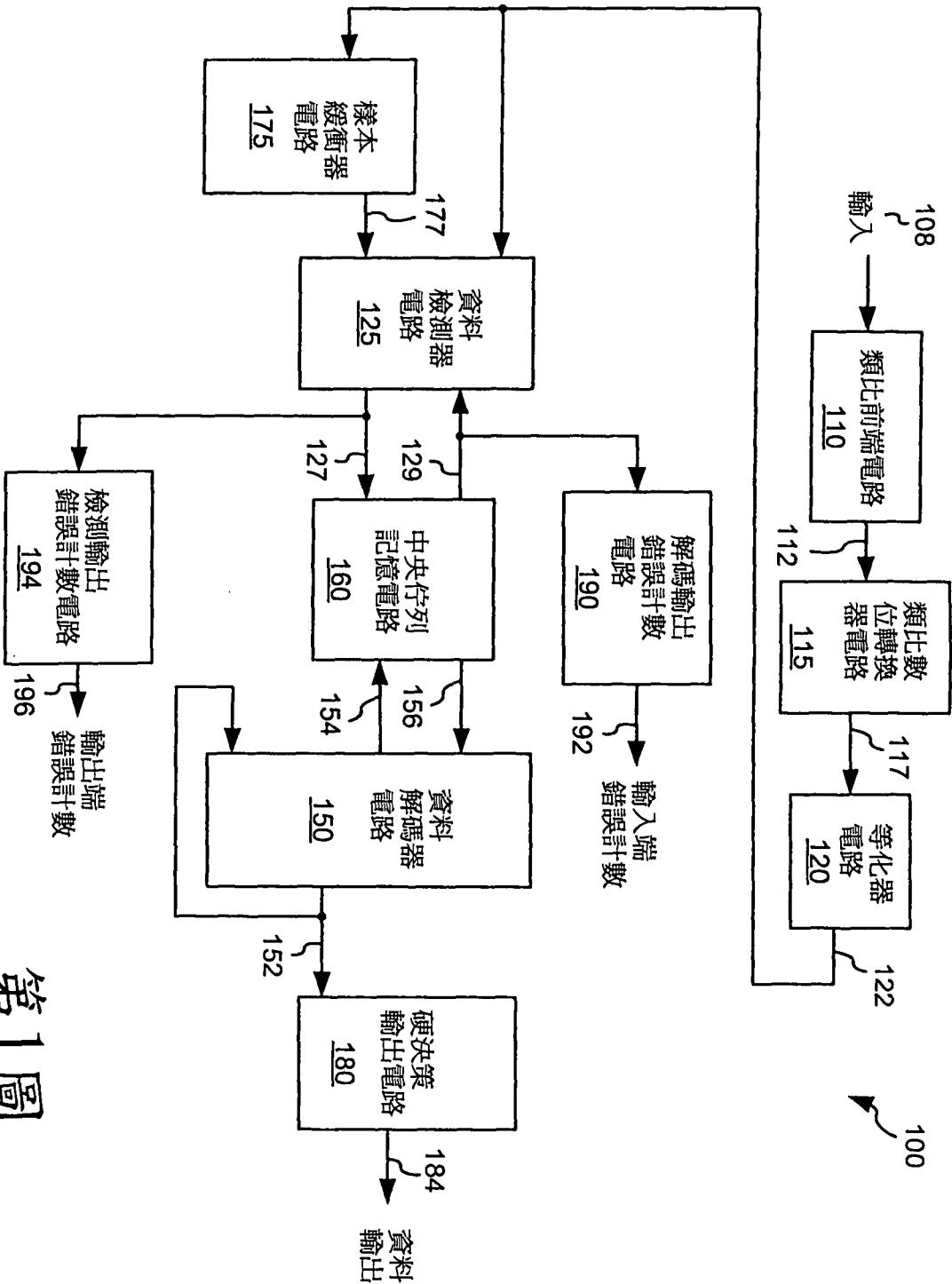
一檢測輸出錯誤計數電路，其用以產生與保留在該檢測輸出中錯誤數量相對應之一輸出端錯誤計數，其中該檢測輸出錯誤計數電路係用以在該資料處理電路外部提供該輸出端錯誤計數；

一資料解碼器電路，其用以施行一資料解碼

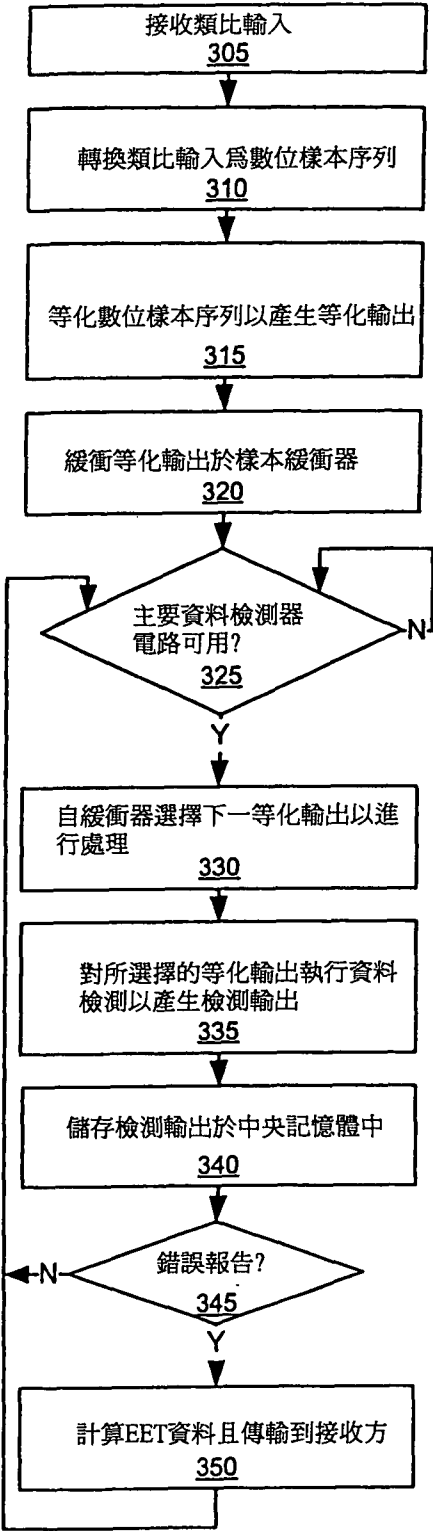
演算法於該檢測輸出以產生一解碼輸出；以及

一解碼輸出錯誤計數電路，其用以產生與保留在該解碼輸出中錯誤數量相對應之一輸入端錯誤計數，其中該解碼輸出錯誤計數電路係用以在該資料處理電路外部提供該輸入端錯誤計數。

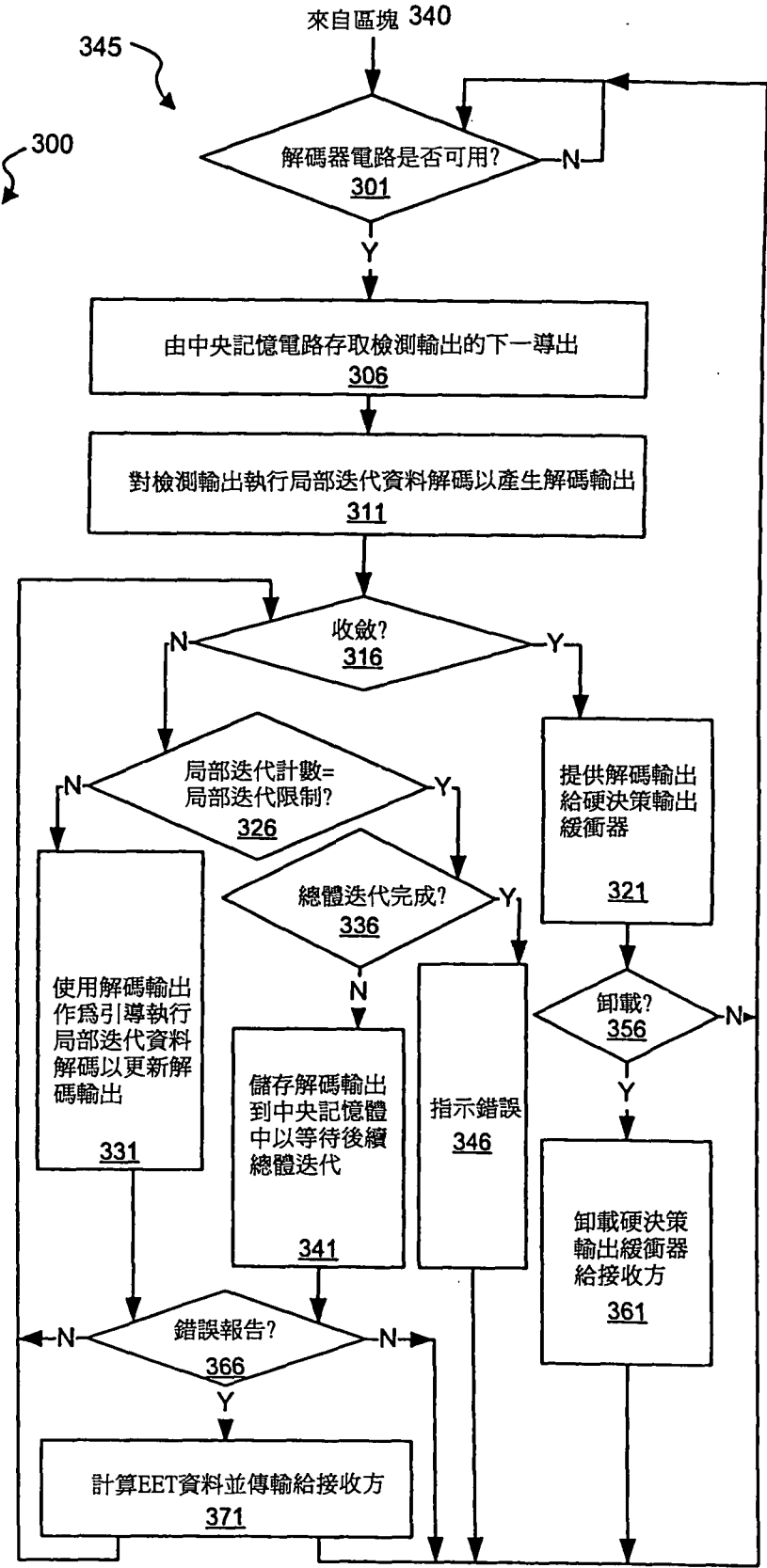




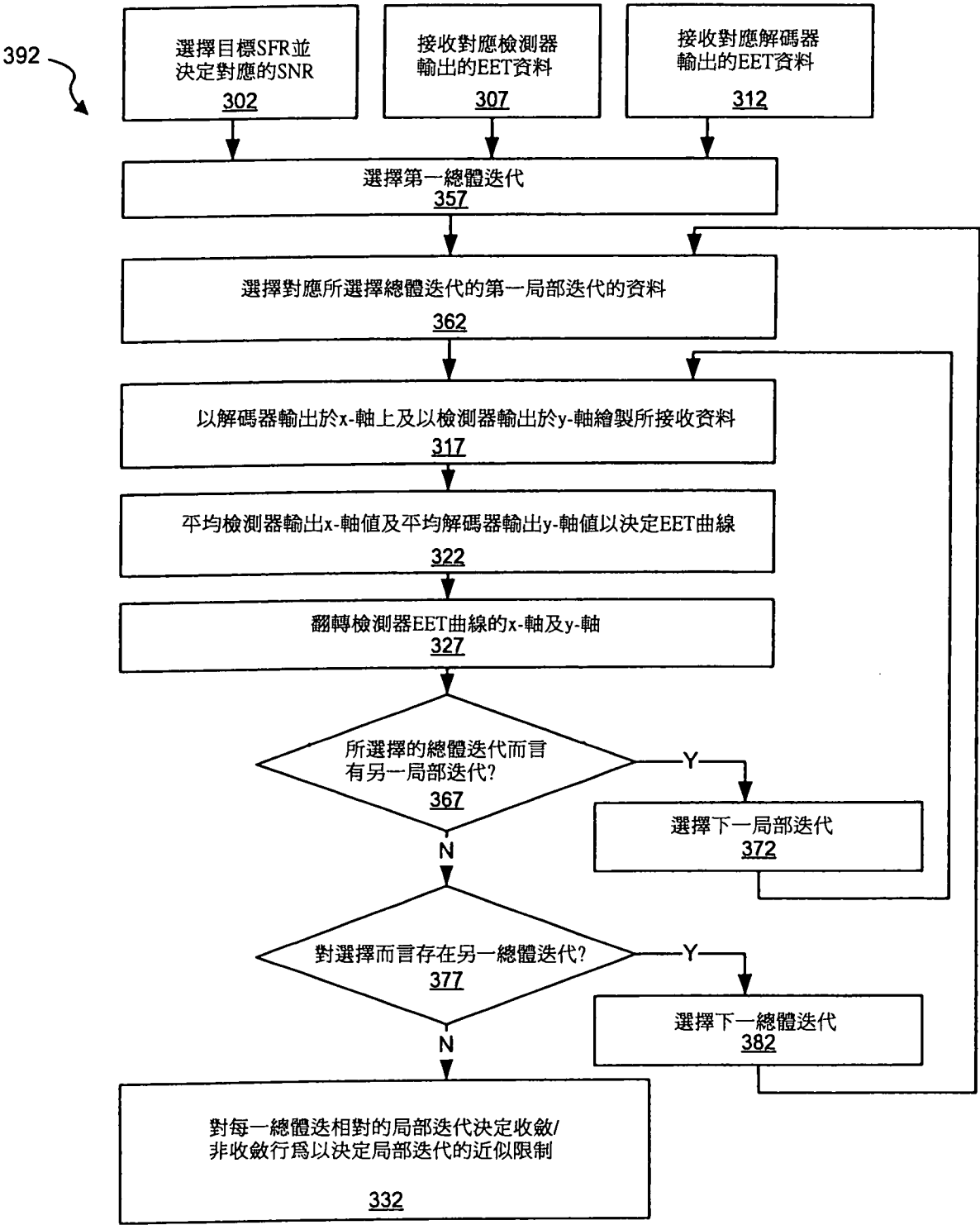
第1圖



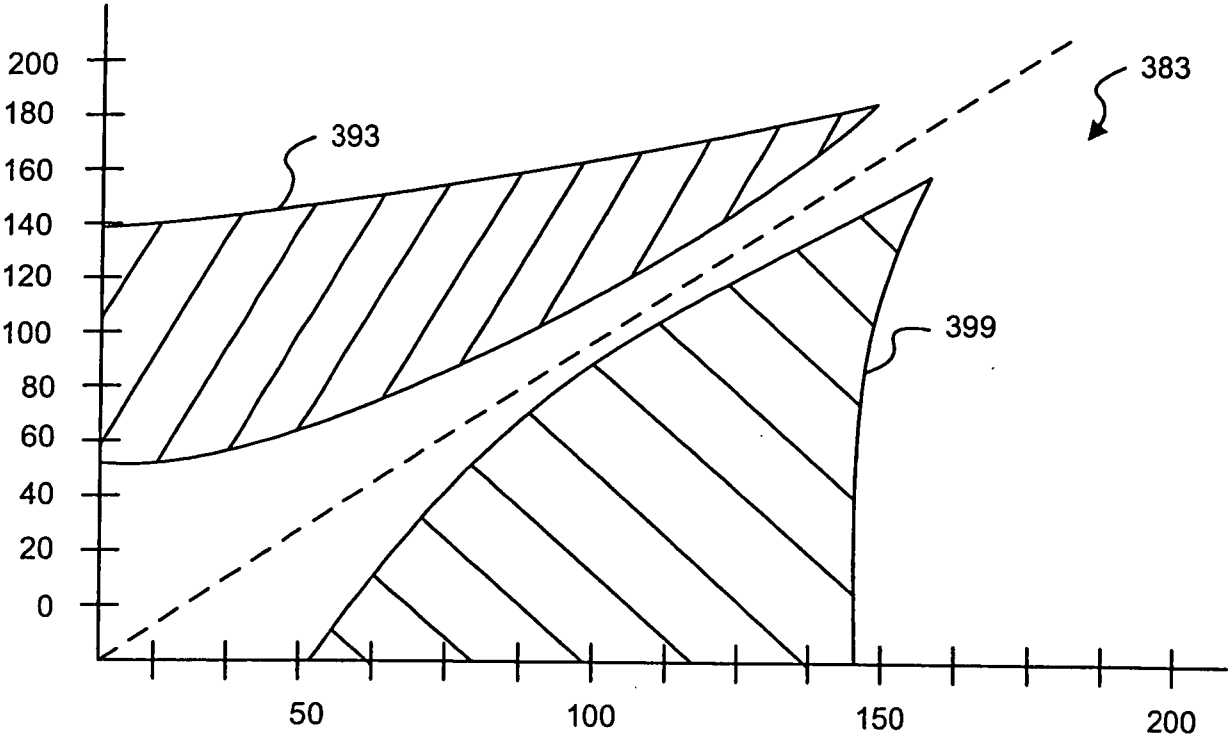
第3a圖



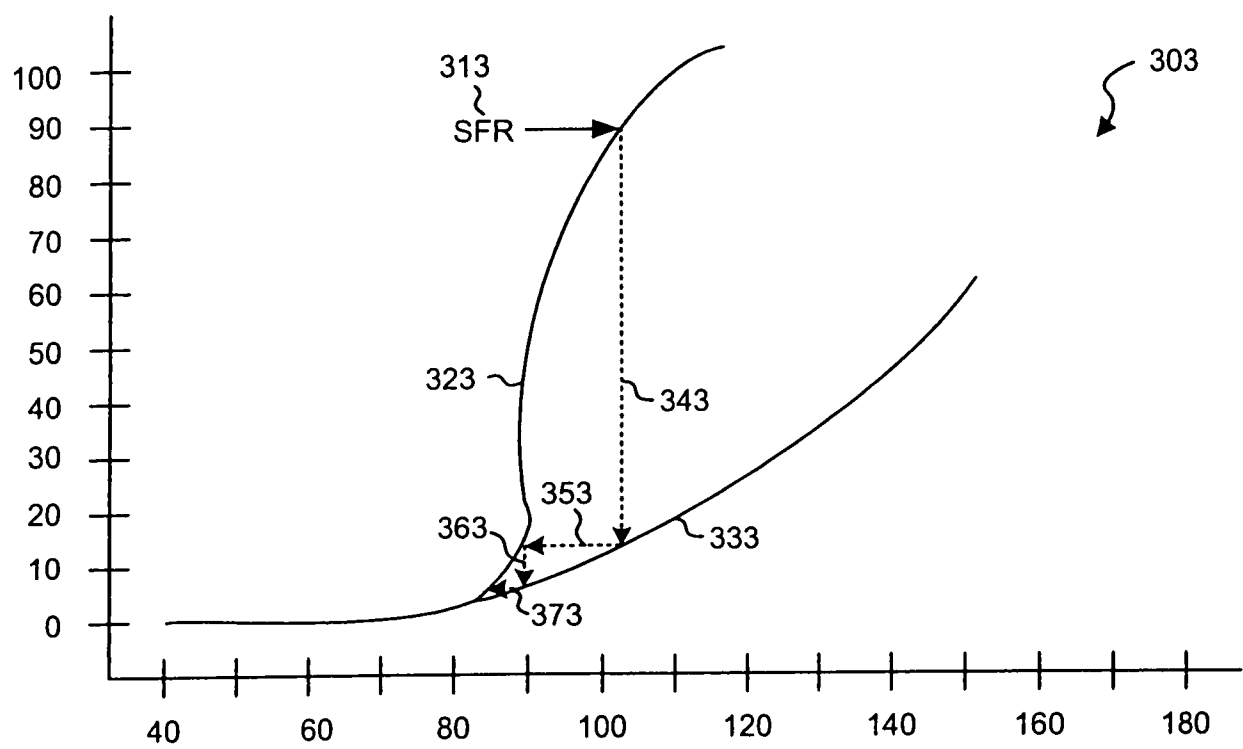
第3b圖



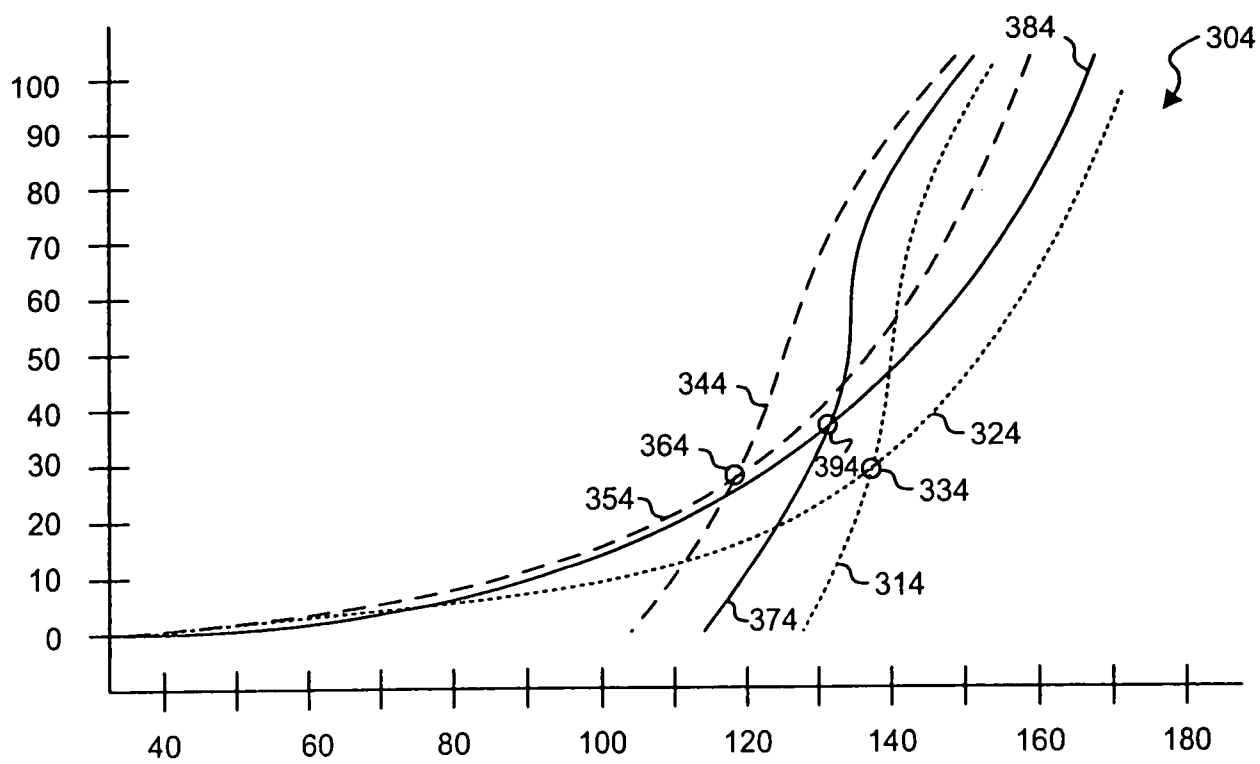
第3c圖



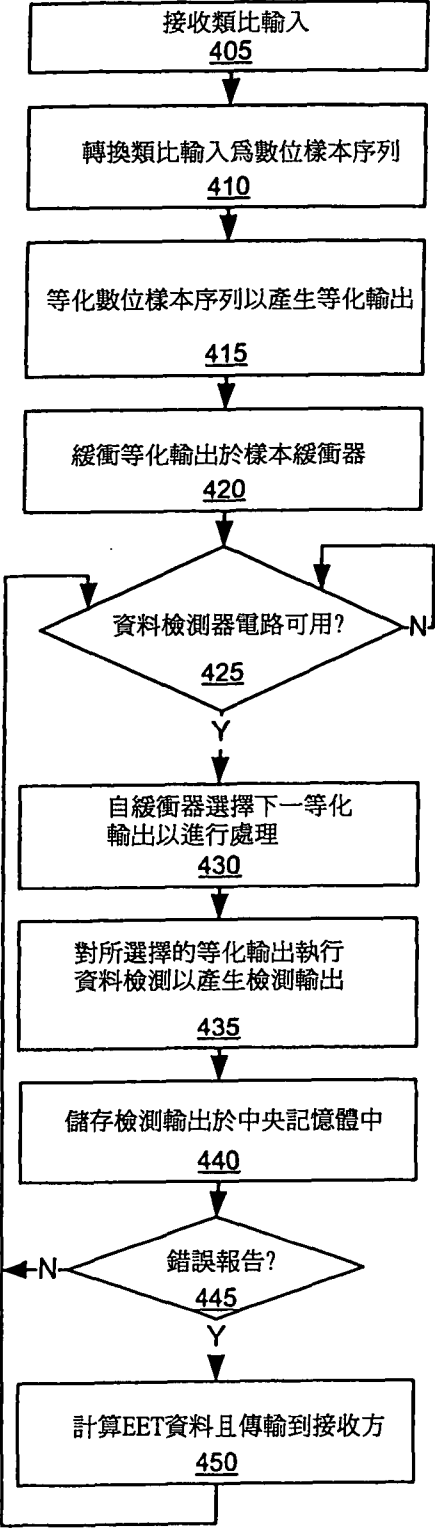
第3d圖



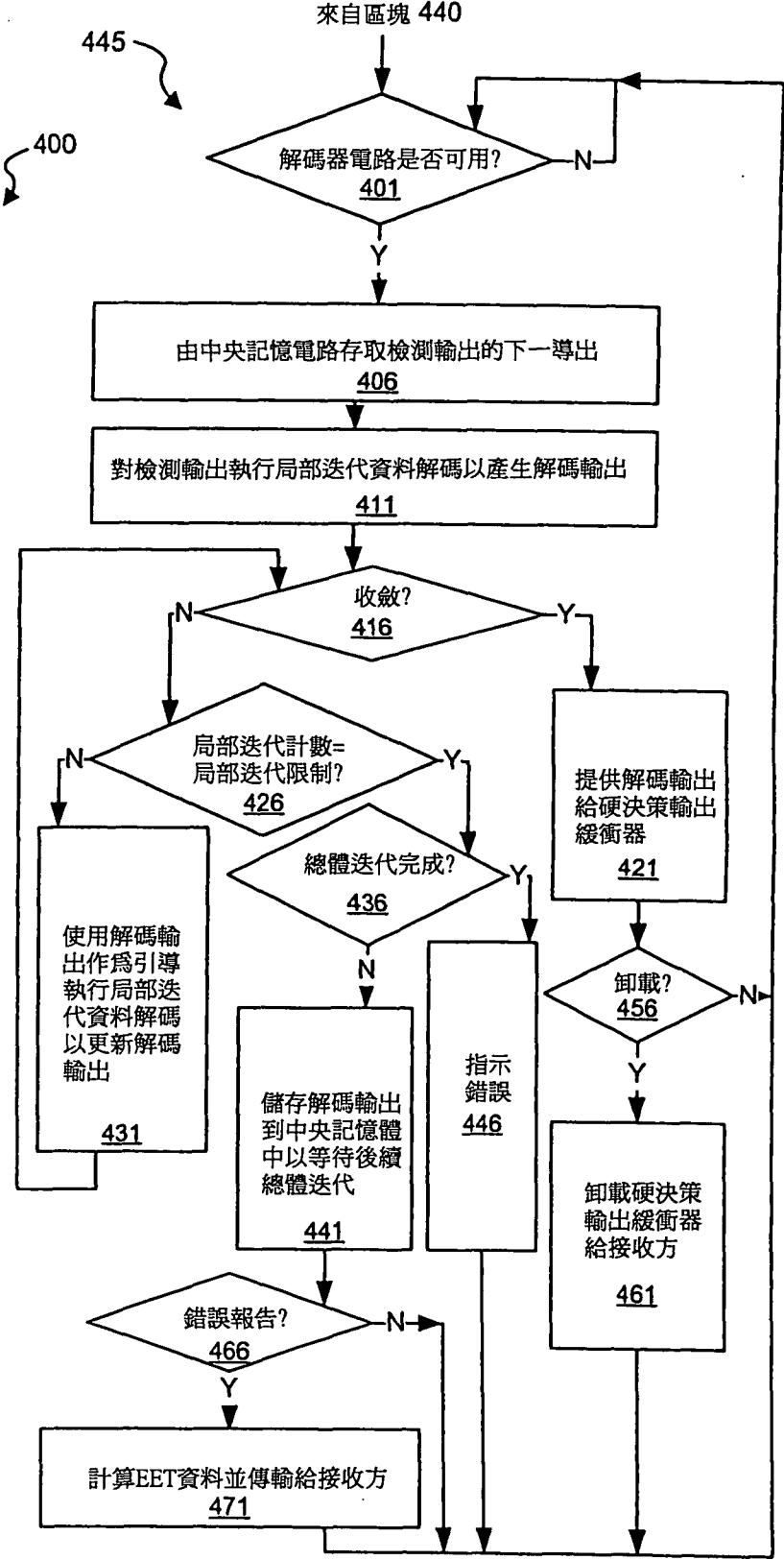
第3e圖



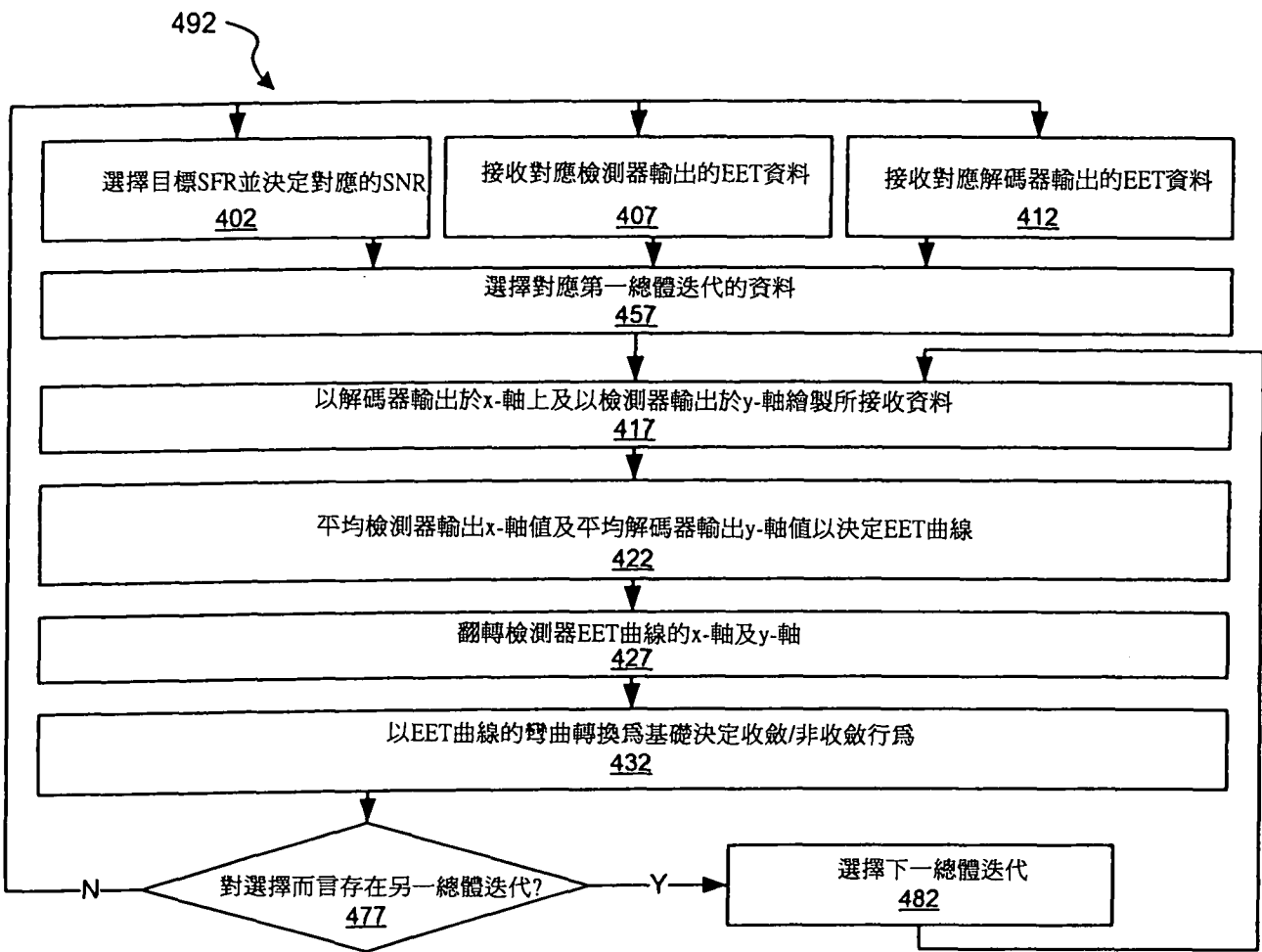
第3f圖



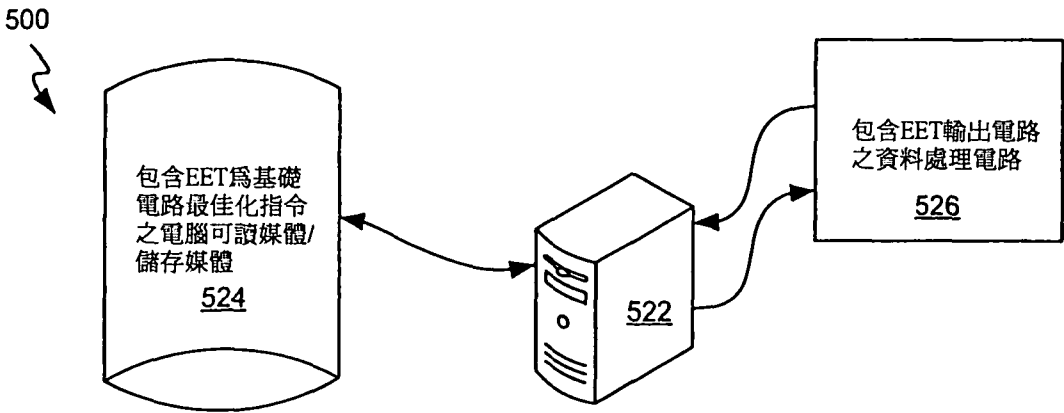
第4a圖



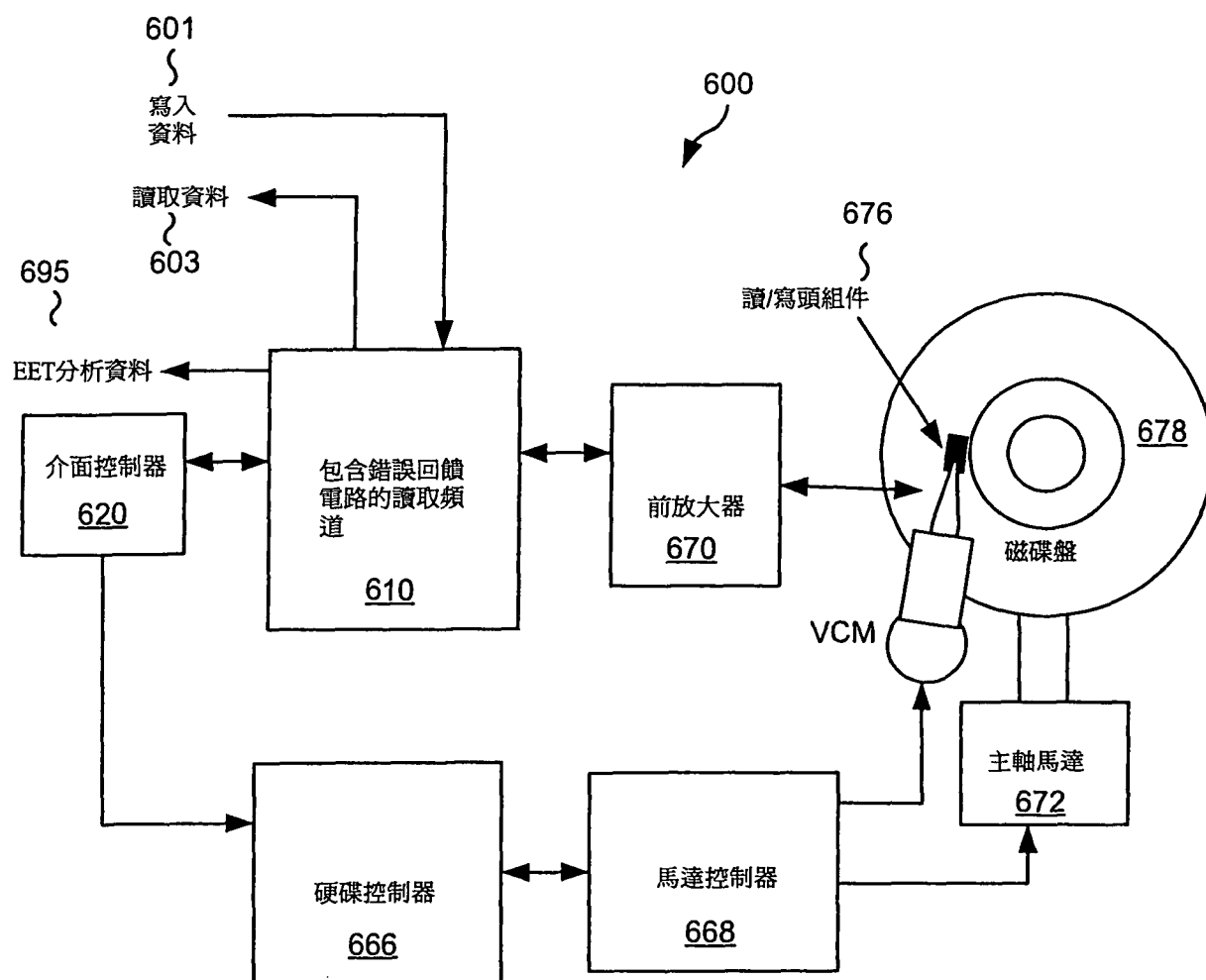
第4b圖



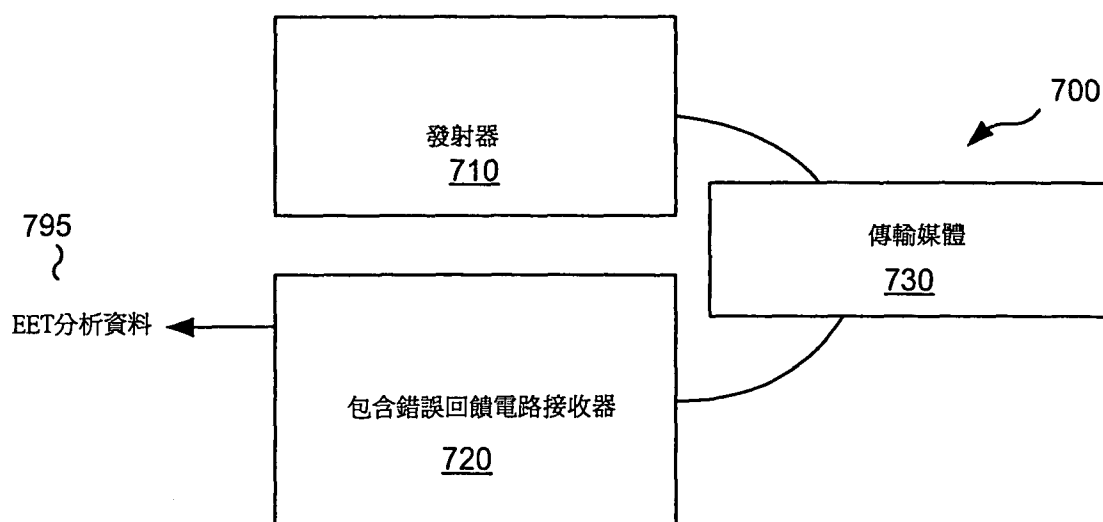
第4c圖



第5圖



第6圖



第7圖