

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 13 日(13.12.2012)



(10) 国際公開番号

WO 2012/169195 A1

- (51) 国際特許分類:
H01L 27/105 (2006.01) H01L 49/00 (2006.01)
H01L 45/00 (2006.01)
- (21) 国際出願番号: PCT/JP2012/003728
- (22) 国際出願日: 2012 年 6 月 7 日(07.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-130011 2011 年 6 月 10 日(10.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アルバック (ULVAC, INC.) [JP/JP]; 〒2538543 神奈川県茅ヶ崎市萩園 2 5 0 0 番地 Kanagawa (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 西岡 浩 (NISHIOKA, Yutaka) [JP/JP]; 〒4101231 静岡県裾野市須山 1 2 2 0-1 株式会社アルバック半導体電子技術研究所内 Shizuoka (JP). 堀田 和正 (HORITA, Kazumasa) [JP/JP]; 〒4101231 静岡県裾野市須山 1 2 2 0-1 株式会社アルバック半導体電子技術研究所内 Shizuoka (JP). 福田 夏樹

(FUKUDA, Natsuki) [JP/JP]; 〒4101231 静岡県裾野市須山 1 2 2 0-1 株式会社アルバック半導体電子技術研究所内 Shizuoka (JP). 菊地 真 (KIKUCHI, Shin) [JP/JP]; 〒4101231 静岡県裾野市須山 1 2 2 0-1 株式会社アルバック半導体電子技術研究所内 Shizuoka (JP). 郷 弘綱 (SUU, Koukou) [JP/JP]; 〒4101231 静岡県裾野市須山 1 2 2 0-1 株式会社アルバック半導体電子技術研究所内 Shizuoka (JP).

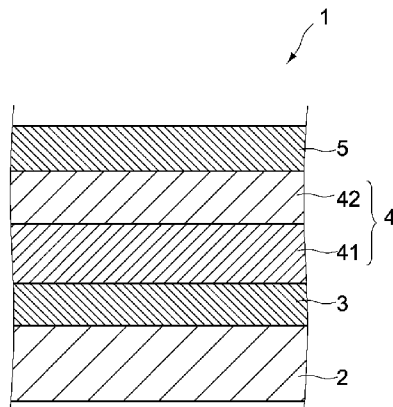
- (74) 代理人: 大森 純一 (OMORI, Junichi); 〒1070052 東京都港区赤坂 7-5-4 7 U & M 赤坂ビル 2 F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: VARIABLE RESISTANCE ELEMENT, AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 抵抗変化素子及びその製造方法

[図1]



(57) Abstract: [Problem] To provide a variable resistance element wherein a forming process is unnecessary and it is possible to reduce the power consumption of the element and to miniaturize same. To also provide a method for producing said variable resistance element. [Solution] This variable resistance element (1) is provided with a bottom electrode layer (3), a top electrode layer (5), and an oxide semiconductor layer (4). The oxide semiconductor layer (4) has a first metal oxide layer (41) and a second metal oxide layer (42). The first metal oxide layer (41) is formed between the bottom electrode layer (3) and the top electrode layer (5) and comes into ohmic contact with the bottom electrode layer (3). The second metal oxide layer (42) is formed between the first metal oxide layer (41) and the top electrode layer (5) and comes into ohmic contact with the top electrode layer (5).

(57) 要約: 【課題】フォーミング処理を不要とし、素子の消費電力低減及び微細化を可能とする抵抗変化素子及びその製造方法を提供する。【解決手段】本発明の一実施形態に係る抵抗変化素子 1 は、下部電極層 3 と、上部電極層 5 と、酸化物半導体層 4 とを具備する。酸化物半導体層 4 は、第 1 の金属酸化物層 4 1 と、第 2 の金属酸化物層 4 2 とを有する。第 1 の金属酸化物層 4 1 は、下部電極層 3 と上部電極層 5 との間に形成され、下部電極層 3 とオーミック接合される。第 2 の金属酸化物層 4 2 は、第 1 の

金属酸化物層 4 1 と上部電極層 5 との間に形成され、上部電極層 5 とオーミック接合される。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：抵抗変化素子及びその製造方法

技術分野

[0001] 本発明は、例えば不揮発性メモリとして使用される抵抗変化素子及びその製造方法に関する。

背景技術

[0002] 半導体メモリには、D R A M (Dynamic Random Access Memory) などの揮発性メモリとフラッシュメモリなどの不揮発性メモリがある。不揮発性メモリとして、N A N D型のフラッシュメモリ等が知られているが、さらに微細化が可能なデバイスとして、R e R A M (Resistance RAM) が注目されている。

[0003] R e R A Mは、電圧によって抵抗値が変化する可変抵抗体を抵抗素子として利用する。この可変抵抗体は、典型的には、酸化度あるいは抵抗率の異なる2層以上の金属酸化物層を有し、これらを上下電極で挟み込んだ構造をしている。例えば下記特許文献1には、下部電極(P t)上に、酸化チタン膜、酸化ニッケル膜及び上部電極(P t)を順に積層した抵抗素子が記載されている。

先行技術文献

特許文献

[0004] 特許文献1：W O 2 0 0 8 / 1 0 7 9 4 1 号明細書

発明の概要

発明が解決しようとする課題

[0005] 従来の可変抵抗素子は、フォーミングと呼ばれる高電圧印加を伴う初期化プロセスが必要とされる。フォーミング後はフィラメントと呼ばれる電流パスが酸化物層に形成されることで素子の低抵抗化が実現される。しかしながらフィラメントの大きさや位置を適切に制御することができないため、動作電流を低減できず、また、面内における特性のバラツキが大きい。このため

、素子の消費電力低減及び微細化が難しいという問題がある。

[0006] 以上のような事情に鑑み、本発明の目的は、フォーミング処理を不要とし、素子の消費電力低減及び微細化を可能とする抵抗変化素子及びその製造方法を提供することにある。

課題を解決するための手段

[0007] 上記目的を達成するため、本発明の一形態に係る抵抗変化素子は、第1の電極と、第2の電極と、酸化物半導体とを具備する。

上記酸化物半導体は、第1の金属酸化物層と、第2の金属酸化物層とを有する。上記第1の金属酸化物層は、上記第1の電極と上記第2の電極との間に形成され、上記第1の電極とオーミック接合される。上記第2の金属酸化物層は、上記第1の金属酸化物層と上記第2の電極との間に形成され、上記第2の電極とオーミック接合される。

[0008] 本発明の一形態に係る抵抗変化素子の製造方法は、基板上に、Ti, V, Cr, Zr, Nb, Mo, Hf, Ta, Wのいずれかの金属、あるいはその化合物で構成された第1の電極を形成することを含む。

上記第1の電極の上に、第1の金属酸化物層が形成される。上記第1の金属酸化物層は、第1の抵抗率を有し、N型酸化物半導体で構成される。

上記第1の金属酸化物層の上に、第2の金属酸化物層が形成される。上記第2の金属酸化物層は、上記第1の抵抗率と異なる第2の抵抗率を有し、N型酸化物半導体で構成される。

上記第2の金属酸化物層の上に、Ti, V, Cr, Zr, Nb, Mo, Hf, Ta, Wのいずれかの金属、あるいはその化合物で構成された第2の電極が形成される。

[0009] 本発明の他の形態に係る抵抗変化素子の製造方法は、基板上に、Fe, Co, Ni, Cu, Ru, Rh, Pd, Ag, Os, Ir, Pt, Auのいずれかの金属、あるいはその化合物で構成された第1の電極を形成することを含む。

上記第1の電極の上に、第1の金属酸化物層が形成される。上記第1の金

属酸化物層は、第 1 の抵抗率を有し、P 型酸化物半導体で構成される。

上記第 1 の金属酸化物層の上に、第 2 の金属酸化物層が形成される。上記第 2 の金属酸化物層は、前記第 1 の抵抗率と異なる第 2 の抵抗率を有し、P 型酸化物半導体で構成される。

上記第 2 の金属酸化物層の上に、Fe, Co, Ni, Cu, Ru, Rh, Pd, Ag, Os, Ir, Pt, Auのいずれかの金属、あるいはその化合物で構成された第 2 の電極が形成される。

図面の簡単な説明

[0010] [図1]本発明の一実施形態に係る抵抗変化素子の構造を示す概略断面図である。

[図2]本発明の一実施形態に係る抵抗変化素子の電流－電圧特性の一例を示す図である。

[図3]比較例に係る抵抗変化素子の電流－電圧特性の一例を示す図である。

[図4]実施形態及び比較例に係る抵抗変化素子の上部電極と読出し電流との関係を示す図である。

[図5]比較例に係る抵抗変化素子について読出し電圧が正電圧のときのスイッチング特性を評価した一実験結果であり、(A)は繰り返しスイッチング特性、(B)は印加パルス波形、(C)は素子のスイッチングモデルをそれぞれ示している。

[図6]比較例に係る抵抗変化素子について読出し電圧が負電圧のときのスイッチング特性を評価した一実験結果である。(A)は繰り返しスイッチング特性、(B)は印加パルス波形、(C)は素子のスイッチングモデルを示している。

発明を実施するための形態

[0011] 本発明の一実施形態に係る抵抗変化素子は、第 1 の電極と、第 2 の電極と、酸化物半導体とを具備する。

上記酸化物半導体は、第 1 の金属酸化物層と、第 2 の金属酸化物層とを有する。上記第 1 の金属酸化物層は、上記第 1 の電極と上記第 2 の電極との間

に形成され、上記第1の電極とオーミック接合される。上記第2の金属酸化物層は、上記第1の金属酸化物層と上記第2の電極との間に形成され、上記第2の電極とオーミック接合される。

[0012] 上記抵抗変化素子において、酸化物半導体は、第1の電極及び第2の電極に対してそれぞれオーミック接合されている。この構成により、第1の電極と酸化物半導体との界面、及び、酸化物半導体と第2の電極との界面はいずれも整流性を示さなくなることから、比較的低電圧で酸化物半導体中の酸素イオンを駆動することができる。これにより高電圧の印加を伴うフォーミング処理が不要となり、素子の消費電力低減と微細化を図ることが可能となる。

[0013] オーミックコンタクトを実現するために、第1及び第2の電極の構成材料は、酸化物半導体を構成する第1及び第2の金属酸化物層のキャリアの種類によって選択される。

[0014] 例えば、第1及び第2の金属酸化物層がN型酸化物半導体である場合、第1及び第2の電極には、Ti, V, Cr, Zr, Nb, Mo, Hf, Ta, Wのいずれかの金属あるいはその化合物が用いられる。一方、第1及び第2の金属酸化物層がP型酸化物半導体である場合、第1及び第2の電極には、Fe, Co, Ni, Cu, Ru, Rh, Pd, Ag, Os, Ir, Pt, Auのいずれかの金属あるいはその化合物が用いられる。いずれの場合においても、第1及び第2の電極は、同種の材料で構成されてもよいし異種の材料で構成されてもよい。

[0015] ここで、N型酸化物半導体は、キャリアとして電子が支配的な酸化物半導体をいい、P型酸化物半導体は、キャリアとしてホールが支配的な酸化物半導体をいう。

[0016] 本発明の一実施形態に係る抵抗変化素子の製造方法は、基板上に、Ti, V, Cr, Zr, Nb, Mo, Hf, Ta, Wのいずれかの金属、あるいはその化合物で構成された第1の電極を形成することを含む。

上記第1の電極の上に、第1の金属酸化物層が形成される。上記第1の金

属酸化物層は、第 1 の抵抗率を有し、N 型酸化物半導体で構成される。

上記第 1 の金属酸化物層の上に、第 2 の金属酸化物層が形成される。上記第 2 の金属酸化物層は、上記第 1 の抵抗率と異なる第 2 の抵抗率を有し、N 型酸化物半導体で構成される。

上記第 2 の金属酸化物層の上に、Ti, V, Cr, Zr, Nb, Mo, Hf, Ta, W のいずれかの金属、あるいはその化合物で構成された第 2 の電極が形成される。

[0017] 本発明の他の形態に係る抵抗変化素子の製造方法は、基板上に、Fe, Co, Ni, Cu, Ru, Rh, Pd, Ag, Os, Ir, Pt, Au のいずれかの金属、あるいはその化合物で構成された第 1 の電極を形成することを含む。

上記第 1 の電極の上に、第 1 の金属酸化物層が形成される。上記第 1 の金属酸化物層は、第 1 の抵抗率を有し、P 型酸化物半導体で構成される。

上記第 1 の金属酸化物層の上に、第 2 の金属酸化物層が形成される。上記第 2 の金属酸化物層は、前記第 1 の抵抗率と異なる第 2 の抵抗率を有し、P 型酸化物半導体で構成される。

上記第 2 の金属酸化物層の上に、Fe, Co, Ni, Cu, Ru, Rh, Pd, Ag, Os, Ir, Pt, Au のいずれかの金属、あるいはその化合物で構成された第 2 の電極が形成される。

[0018] 上記製造方法によれば、第 1 の電極と第 1 の金属酸化物層との間、及び、第 2 の金属酸化物層と第 2 の電極との間をそれぞれオーミック接合させることができる。したがって第 1 の電極と酸化物半導体との界面、及び、酸化物半導体と第 2 の電極との界面はいずれも整流性を示さないことから、比較的低電圧で酸化物半導体中の酸素イオンを駆動することができる。これにより高電圧の印加を伴うフォーミング処理が不要となり、素子の消費電力低減と微細化を図ることが可能となる。

[0019] 以下、図面を参照しながら、本発明の実施形態を説明する。

[0020] 図 1 は、本発明の一実施形態に係る抵抗変化素子を示す概略断面図である

。本実施形態の抵抗変化素子 1 は、基板 2 と、下部電極層 3 と、酸化物半導体層 4 と、上部電極層 5 とを有する。

[0021] 酸化物半導体層 4 は、第 1 の金属酸化物層 4 1 と、第 2 の金属酸化物層 4 2 とを有する。第 1 の金属酸化物層 4 1 及び第 2 の金属酸化物層 4 2 は、それぞれ同種の材料で構成されているが、異種の材料で構成されてもよい。第 1 の金属酸化物層 4 1 及び第 2 の金属酸化物層 4 2 のうち、一方は、化学量論組成に近い酸化物材料（以下「化学量論組成材料」ともいう。）で構成され、他方は、酸素欠損を多数含む酸化物材料（以下「酸素欠損材料」ともいう。）で構成される。本実施形態では、第 1 の金属酸化物層 4 1 が化学量論組成材料で構成され、第 2 の金属酸化物層 4 2 が酸素欠損材料で構成される。

[0022] 抵抗変化素子 1 の第 1 の金属酸化物層 4 1 は、第 2 の金属酸化物層 4 2 よりも酸化度が高いため、第 2 の金属酸化物層 4 2 よりも高い抵抗率を有する。ここで、上部電極層 5 に正電圧、下部電極層 3 に負電圧をそれぞれ加えると、高抵抗である第 1 の金属酸化物層 4 1 中の酸素イオン (O^{2-}) が低抵抗である第 2 の金属酸化物層 4 2 中に拡散し、第 1 の金属酸化物層 4 1 の抵抗が低下する（低抵抗状態）。一方、下部電極層 3 に正電圧、上部電極層 5 に負電圧をそれぞれ加えると、第 2 の金属酸化物層 4 2 から第 1 の金属酸化物層 4 1 へ酸素イオンが拡散し、再び第 1 の金属酸化物層 4 1 の酸化度が高まり、抵抗が高くなる（高抵抗状態）。

[0023] 上述のように、第 1 の金属酸化物層 4 1 は、下部電極層 3 と上部電極層 5 との間の電圧を制御することにより、低抵抗状態と高抵抗状態とを可逆的にスイッチングする。さらに、低抵抗状態および高抵抗状態は、電圧が印加されていなくても保持されるため、高抵抗状態でデータの書込み、低抵抗状態でデータの読出しというように、抵抗変化素子 1 は不揮発性メモリ素子として利用可能となる。

[0024] 従来の抵抗変化素子は、スイッチング動作電圧以上の高い電圧を酸化物半導体層に印加し絶縁破壊に類似する現象を生じさせるフォーミングと呼ばれ

る初期化動作を必要としていた。フォーミングによりフィラメントと呼ばれる電流パスが酸化物半導体層に生成することで、酸化物半導体層のスイッチ動作を発現させるものと考えられている。ところが、フィラメントの大きさや位置を適切に制御することができないため、動作電流を低減できず、また、面内における特性のバラツキが大きい。このため、素子の消費電力低減及び微細化が難しいという問題がある。

[0025] フォーミングに高い電圧が必要な原因は、電極層と酸化物半導体層との界面における接触抵抗が大きいため酸化物半導体層に印加される電圧が減少するためであると考えられる。また、フィラメントの制御が難しい原因は、酸化物半導体層の粒界や局所的な酸素欠損部に選択的に高電圧が印加されることで不均一にフィラメントが形成されるためであると考えられる。

[0026] そこで本発明者らは、電極層と酸化物半導体層との界面の低抵抗化を実現することで、高電圧が必要なフォーミングを不要にできると考え、電極材料と酸化物半導体材料との組み合わせの最適化を検討した。

[0027] 本実施形態では、下部電極層 3 及び上部電極層 5 と酸化物半導体層 4 との界面の低抵抗化を実現するため、酸化物半導体層 4 は、下部電極層 3 と上部電極層 5 に対してそれぞれオーミック接合されている。すなわち酸化物半導体層 4 は、下部電極層 3 とオーミック接合される第 1 の金属酸化物層 4 1 と、上部電極層 5 とオーミック接合される第 2 の金属酸化物層 4 2 との積層構造を有する。

[0028] この構成により、下部電極層 3 と酸化物半導体層 4 との界面、及び、酸化物半導体層 4 と上部電極層 5 との界面はいずれも整流性を示さなくなることから、比較的低電圧で酸化物半導体層 4 中の酸素イオンを駆動することができる。これにより高電圧の印加を伴うフォーミング処理が不要となる。また、酸化物半導体層 4 全体に一様に動作電圧を印加できるため、駆動電力の削減を図ることができる。さらに、酸化物半導体層 4 の粒界や局所的な酸素欠損部に選択的に電圧が印加されることを阻止してフィラメントの不均一な発生を抑制するため、特性を均一化でき、素子の微細化が可能となる。

[0029] オーミックコンタクトを実現するために、下部電極層 3 及び上部電極層 5 の構成材料は、第 1 及び第 2 の金属酸化物層 4 1, 4 2 のキャリアの種類によって選択される。

[0030] 例えば、第 1 及び第 2 の金属酸化物層 4 1, 4 2 が N 型酸化物半導体である場合、下部電極層 3 及び上部電極層 5 には、第 1 及び第 2 の金属酸化物層 4 1, 4 2 よりも仕事関数の小さい材料が用いられる。N 型酸化物半導体としては、例えば、 TaO_x , HfO_x , ZrO_x , TiO_x , $SrTiO_x$ 等が挙げられ、これらとオーミックコンタクトを構築できる電極材料として、例えば、 Ti , V , Cr , Zr , Nb , Mo , Hf , Ta , W などの金属材料あるいはその化合物が選択される。化合物としては、上記金属材料のケイ化物、炭化物、酸化物、窒化物、ゲルマニウム化合物などが挙げられる。

[0031] 一方、第 1 及び第 2 の金属酸化物層 4 1, 4 2 が P 型酸化物半導体である場合、下部電極層 3 及び上部電極層 5 には、第 1 及び第 2 の金属酸化物 4 1, 4 2 よりも仕事関数の大きい材料が用いられる。P 型酸化物半導体としては、例えば、 CoO_x , NiO_x , $Pr(Ca, Mn)O_x$ 等が挙げられ、これらとオーミックコンタクトを構築できる電極材料として、例えば、 Fe , Co , Ni , Cu , Ru , Rh , Pd , Ag , Os , Ir , Pt , Au などの金属材料あるいはその化合物が選択される。化合物としては、上記金属材料のケイ化物、炭化物、酸化物、窒化物、ゲルマニウム化合物などが挙げられる。

[0032] 次に、図 1 に示す抵抗変化素子 1 の製造方法について説明する。

[0033] まず、基板 2 上に下部電極層 3 が形成される。基板 2 は、典型的にはシリコンウェーハ等の半導体基板が用いられるが、勿論これに限られない。下部電極層 3 は、真空蒸着法、スパッタ法、CVD (Chemical Vapor Deposition) 法、ALD (Atomic Layer Deposition) 法などの各種成膜方法を用いて形成することができる。下部電極層 3 は、粒界がなく、平坦であることが好ましい。本実施形態では、下部電極層 3 として金属タンタル (Ta) が用いられる。厚みは特に限定されず、例えば 50 nm である。

[0034] 次に、下部電極層 3 の上に酸化物半導体層 4 が形成される。まず、第 1 の金属酸化物層 4 1 として、化学量論組成あるいはそれに近い酸素量の金属酸化物を例えば真空蒸着法、スパッタ法、CVD法、ALD法などにより作製する。このとき、下部電極層 3 とオーミックコンタクトを実現できる金属酸化物が選択される。

[0035] 本実施形態では、第 1 の金属酸化物層 4 1 は、スパッタ法で成膜されたタンタル酸化物 (TaO_x) で構成される。厚みは特に限定されず、例えば 5 nm である。成膜方法は、Ta ターゲットを酸素雰囲気中でスパッタする反応性スパッタ法、Ta ターゲットと TaO_x ターゲットを同時にスパッタする多元スパッタ法などが適用可能である。

[0036] このとき、下部電極層 3 と第 1 の金属酸化物層 4 1 との界面に絶縁性酸化物が介在しないようにすることで、下部電極層 3 と第 1 の金属酸化物層 4 1 との界面に安定してオーミックコンタクトを実現することができる。絶縁性酸化物を発生させない方法には、以下の方法が挙げられる。

[0037] (1) 金属酸化物ターゲットと Ar などの不活性ガスを用いた高周波スパッタ法により、金属酸化物層を形成する。

(2) Pt, Ir, Ru, Pd, TiN, TiAlN, TaN などの酸化耐性がある電極上に ALD 法、CVD 法、酸化ガスによる反応性スパッタ法などにより、金属酸化物を多積させる。

(3) IrO_x , RuO_x , $SrRuO_3$, $LaNiO_3$, ITO などの酸化物電気伝導体上に ALD 法、CVD 法、酸化ガスによる反応性スパッタ法などにより、金属酸化物を堆積させる。

(4) TaC, WSi, WGe など、Si, C, Ge など還元力の強い元素が含まれる電気伝導体上に ALD 法、CVD 法、酸化ガスによる反応性スパッタ法などにより、金属酸化物を耐性させる。

(5) 下部電極層 3 上に堆積された金属酸化物の下部電極界面近傍に、ドナー元素またはアクセプタ元素をイオン注入、プラズマドーピングしたり、上記元素を成膜ガスやターゲットに混入する。

(6) 電位障壁を形成しない金属材料と酸化物材料を組み合わせる。

[0038] 続いて、第1の金属酸化物層41の上に第2の金属酸化物層42が形成される。本実施形態では、第2の金属酸化物層42として、化学量論組成より酸素量が少ないタンタル酸化物層が成膜される。厚みは特に限定されず、例えば40nmである。成膜方法は特に限定されず、例えば、真空蒸着法、スパッタ法、CVD法、ALD法などにより作製する。

[0039] 以上のようにして酸化物半導体層4が形成される。次に、酸化物半導体層4の上に上部電極層5が形成される。上部電極層5は、真空蒸着法、スパッタ法、CVD法、ALD法などの各種成膜方法を用いて形成することができる。本実施形態では、上部電極層5として金属タンタル(Ta)が用いられる。厚みは特に限定されず、例えば50nmである。これにより、酸化物半導体層4との間に所定のオーミックコンタクトを実現することができる。

[0040] 抵抗変化素子1は、所定の素子サイズに形成される。各層のパターニングには、リソグラフィ及びドライエッチング技術が用いられてもよいし、リソグラフィ及びウェットエッチング技術が用いられてもよいし、レジストマスク等を介して各層の成膜が行われてもよい。エッチング技術を用いる場合、下部配線層と上部配線層との間の層間絶縁膜に、当該抵抗変化素子1が作り込まれてもよい。

[0041] 以上のように構成される本実施形態の抵抗変化素子1においては、下部電極層3と酸化物半導体層4との界面、及び、酸化物半導体層4と上部電極層5との界面にオーミックコンタクトを形成し、酸化物半導体層4と両電極層3, 5との界面の低抵抗化を実現している。これにより、従来行われていたフォーミングと呼ばれる初期化動作が不要となり、コストの低減を図ることができる。

[0042] 本実施形態の抵抗変化素子1の電流－電圧特性の一例を図2に示す。図において横軸は電圧、縦軸は電流を示している。また図中、「H」は高抵抗状態、「L」は低抵抗状態を示す。図3は、比較例に係る抵抗変化素子の電流－電圧特性を示す一実験結果であり、上部電極層がPtで構成された以外は

、実施形態に係る抵抗変化素子 1 と同一の構成を有する。ここで P_t は、N 型の導電特性を有する酸化物半導体層よりも仕事関数が高い金属材料の代表例であり、酸化物半導体層との界面にショットキー接合を形成する。

[0043] 比較例に係る抵抗変化素子は、図 3 に示すように約 9 V のフォーミング電圧が必要であり、3 V 程度のスイッチング電圧が必要である。これに対して、本実施形態に係る抵抗変化素子 1 は、図 2 に示すように初期化動作は不要であり、スイッチング電圧も 0.8 V 程度と低く抑えることができる。さらに本実施形態に係る抵抗変化素子 1 は、比較例に係る抵抗変化素子と比較して、低抵抗状態における動作電流（読み出し電流）を低く抑えることができる。このように、本実施形態によれば素子の消費電力を大幅に低減することができる。

[0044] 一方、本実施形態の抵抗変化素子 1 によれば、フォーミングが不要となることで、酸化物半導体層 4 に不均一に発生するフィラメントの生成を抑制できるため、素子を微細化しても均一な電気的特性を有する抵抗変化素子を安定に製造することが可能となる。さらに、動作電流のフィラメント依存性を低減できるため、素子の駆動電流を素子サイズによりコントロールすることが可能となる。

[0045] 例えば図 4 に、読み出し電流の電極面積依存性の一例を示す。図において横軸は上部電極の面積を示し、縦軸は、0.5 V 印加時の電流値を示している。また図中、「a」は比較例に係る抵抗変化素子の電流特性を示し、「b」は本実施形態に係る抵抗変化素子の電流特性を示している。図 4 に示すように、比較例に係る抵抗変化素子は、電極面積によらず読み出し電流がほぼ一定であるのに対し、本実施形態に係る抵抗変化素子は、電極面積に比例した読み出し電流が得られることがわかる。このことから、素子の駆動電流を素子サイズで制御できることがわかる。

[0046] 図 5 及び図 6 は、比較例に係る抵抗変化素子のスイッチング動作の安定性を評価した一実験結果であり、図 5 は読み出し電圧が正電圧（+0.5 V）のとき、図 6 は読み出し電圧が負電圧（-0.5 V）のときをそれぞれ示してい

る。各図において（Ａ）は繰り返しスイッチング特性を示し、（Ｂ）は印加パルス波形を示し、（Ｃ）は素子のスイッチングモデルを示している。

[0047] 読出し電圧が正電圧の場合には、図５（Ａ）に示すようにスイッチングサイクルの増加に応じてオンオフ比が徐々に変化していくのに対して、読出し電圧が負電圧の場合には、図６（Ａ）に示すように、１０の９乗回近く一定のオンオフ比を維持し、安定したスイッチング動作を示すことが確認された。これは、読出し電圧が正電圧の場合には、図５（Ｃ）に示すように酸化物半導体層に形成された伝導パス（フィラメント）が徐々に太くなるのに対して、読出し電圧が負電圧の場合、図６（Ｃ）に示すように伝導パスの太さが変わらないためであると推察される。

[0048] 以上、本発明の実施形態について説明したが、本発明はこれに限定されることはなく、本発明の技術的思想に基づいて種々の変形が可能である。

[0049] 例えば以上の実施形態では、第１の金属酸化物層４１を化学量論組成材料で、第２の金属酸化物層４２を酸素欠損材料でそれぞれ構成したが、これに代えて、第１の金属酸化物層４１を酸素欠損材料で、第２の金属酸化物層を化学量論組成材料でそれぞれ構成してもよい。

[0050] また以上の実施形態では、第１の金属酸化物層４１と第２の金属酸化物層４２とを同種の金属酸化物で構成したが、これに限られず、同一導電型（Ｎ型又はＰ型）であれば材料の組み合わせは任意である。下部電極層３及び上部電極層５についても同様に、酸化物半導体の導電型に適合する限りにおいて、異なる材料が組み合わせられてもよい。

符号の説明

- [0051] １…抵抗変化素子
２…基板
３…下部電極層
４…酸化物半導体層
５…上部電極層
４１…第１の金属酸化物層

4 2…第2の金属酸化物層

請求の範囲

[請求項1]

第1の電極と、

第2の電極と、

前記第1の電極と前記第2の電極との間に形成され、前記第1の電極とオーミック接合される第1の金属酸化物層と、前記第1の金属酸化物と前記第2の電極との間に形成され、前記第2の電極とオーミック接合される第2の金属酸化物層とを有する酸化物半導体とを具備する抵抗変化素子。

[請求項2]

請求項1に記載の抵抗変化素子であって、

前記第1の金属酸化物層及び前記第2の金属酸化物層は、N型酸化物半導体であり、

前記第1の電極及び前記第2の電極は、Ti, V, Cr, Zr, Nb, Mo, Hf, Ta, Wのいずれかの金属あるいはその化合物である

抵抗変化素子。

[請求項3]

請求項1に記載の抵抗変化素子であって、

前記第1の金属酸化物層及び前記第2の金属酸化物層は、P型酸化物半導体であり、

前記第1の電極及び前記第2の電極は、Fe, Co, Ni, Cu, Ru, Rh, Pd, Ag, Os, Ir, Pt, Auのいずれかの金属あるいはその化合物である

抵抗変化素子。

[請求項4]

基板上に、Ti, V, Cr, Zr, Nb, Mo, Hf, Ta, Wのいずれかの金属あるいはその化合物で構成された第1の電極を形成し、

前記第1の電極の上に、第1の抵抗率を有し、N型酸化物半導体で構成された第1の金属酸化物層を形成し、

前記第1の金属酸化物層の上に、前記第1の抵抗率と異なる第2の

抵抗率を有し、N型酸化物半導体で構成された第2の金属酸化物層を形成し、

前記第2の金属酸化物層の上に、Ti, V, Cr, Zr, Nb, Mo, Hf, Ta, Wのいずれかの金属あるいはその化合物で構成された第2の電極を形成する

抵抗変化素子の製造方法。

[請求項5]

基板上に、Fe, Co, Ni, Cu, Ru, Rh, Pd, Ag, Os, Ir, Pt, Auのいずれかの金属あるいはその化合物で構成された第1の電極を形成し、

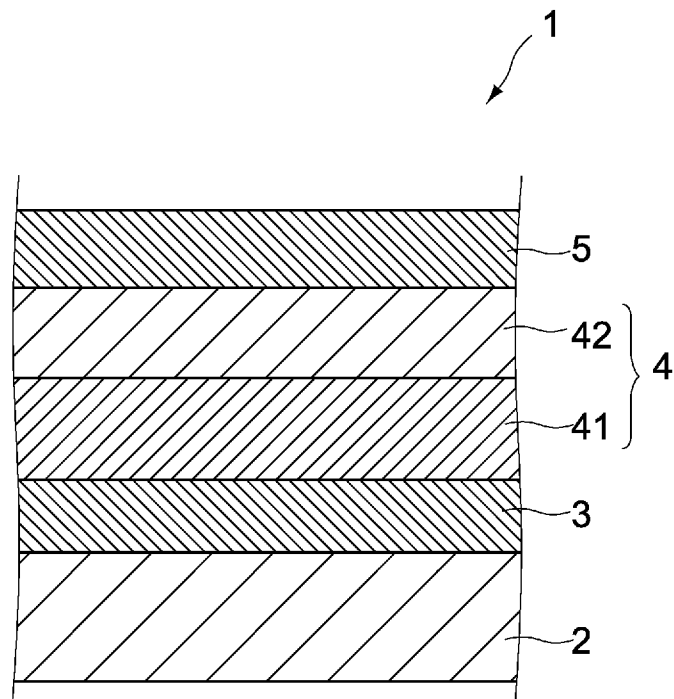
前記第1の電極の上に、第1の抵抗率を有し、P型酸化物半導体で構成された第1の金属酸化物層を形成し、

前記第1の金属酸化物層の上に、前記第1の抵抗率と異なる第2の抵抗率を有し、P型酸化物半導体で構成された第2の金属酸化物層を形成し、

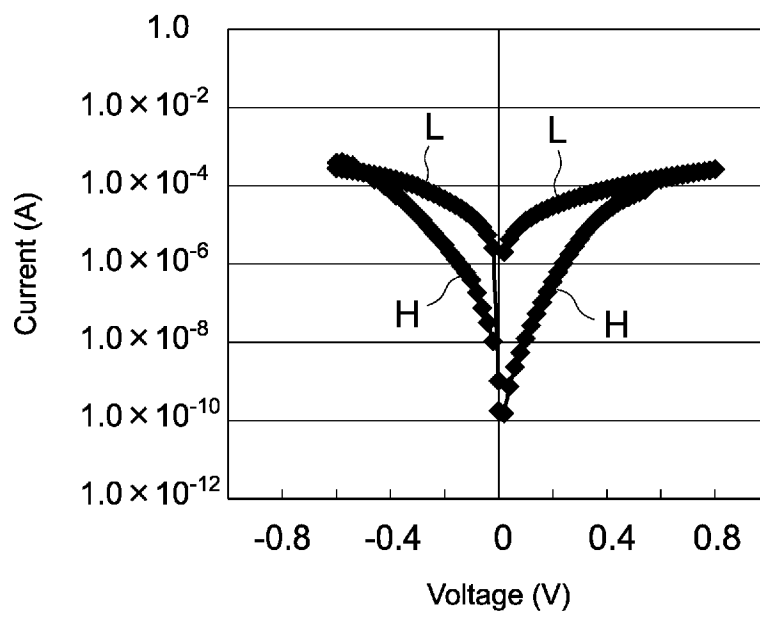
前記第2の金属酸化物層の上に、Fe, Co, Ni, Cu, Ru, Rh, Pd, Ag, Os, Ir, Pt, Auのいずれかの金属あるいはその化合物で構成された第2の電極を形成する

抵抗変化素子の製造方法。

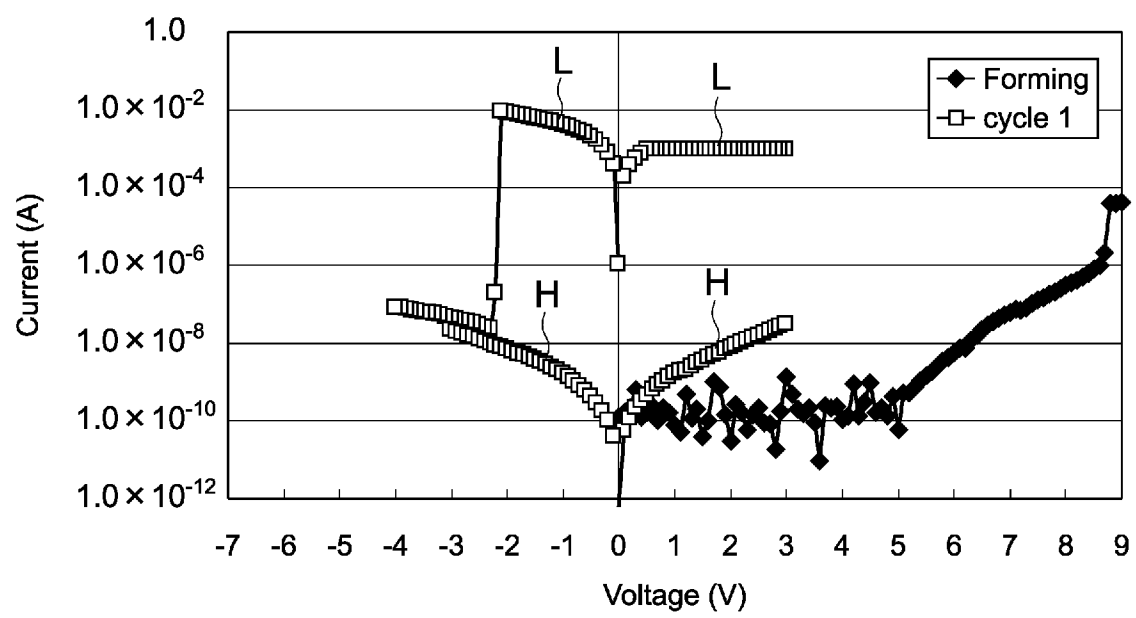
[図1]



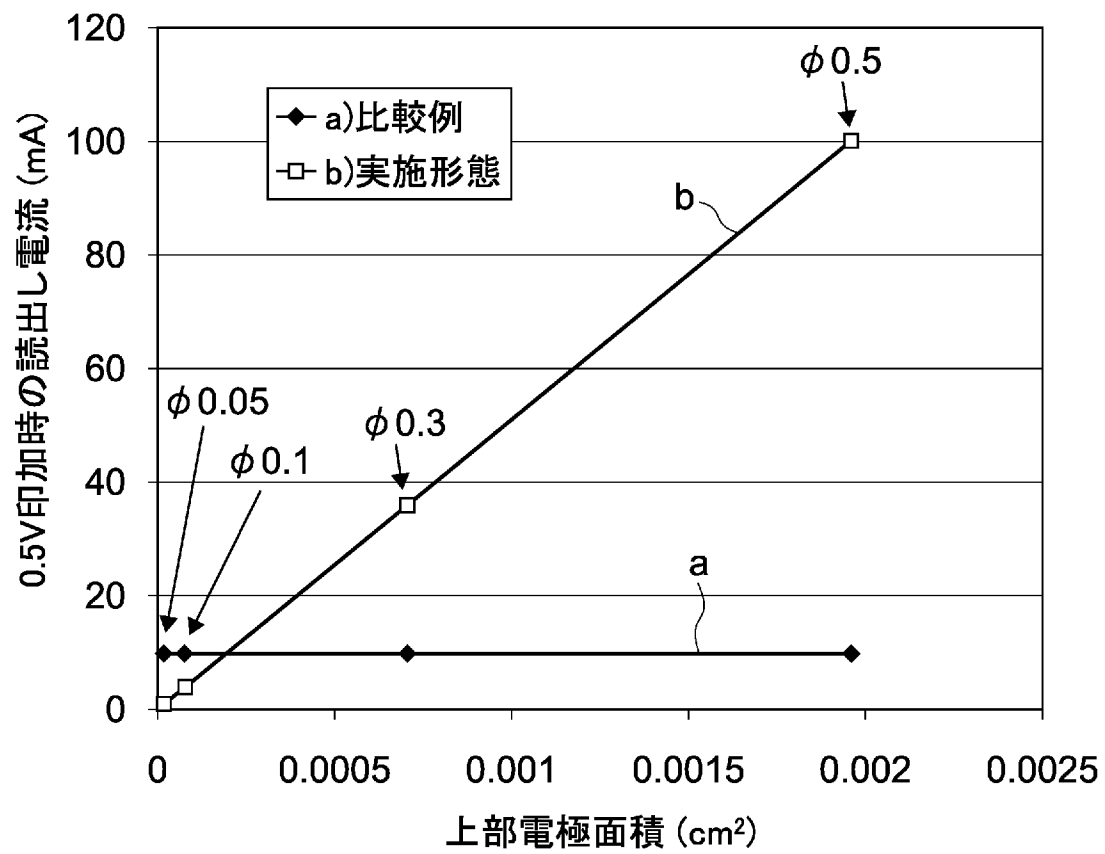
[図2]



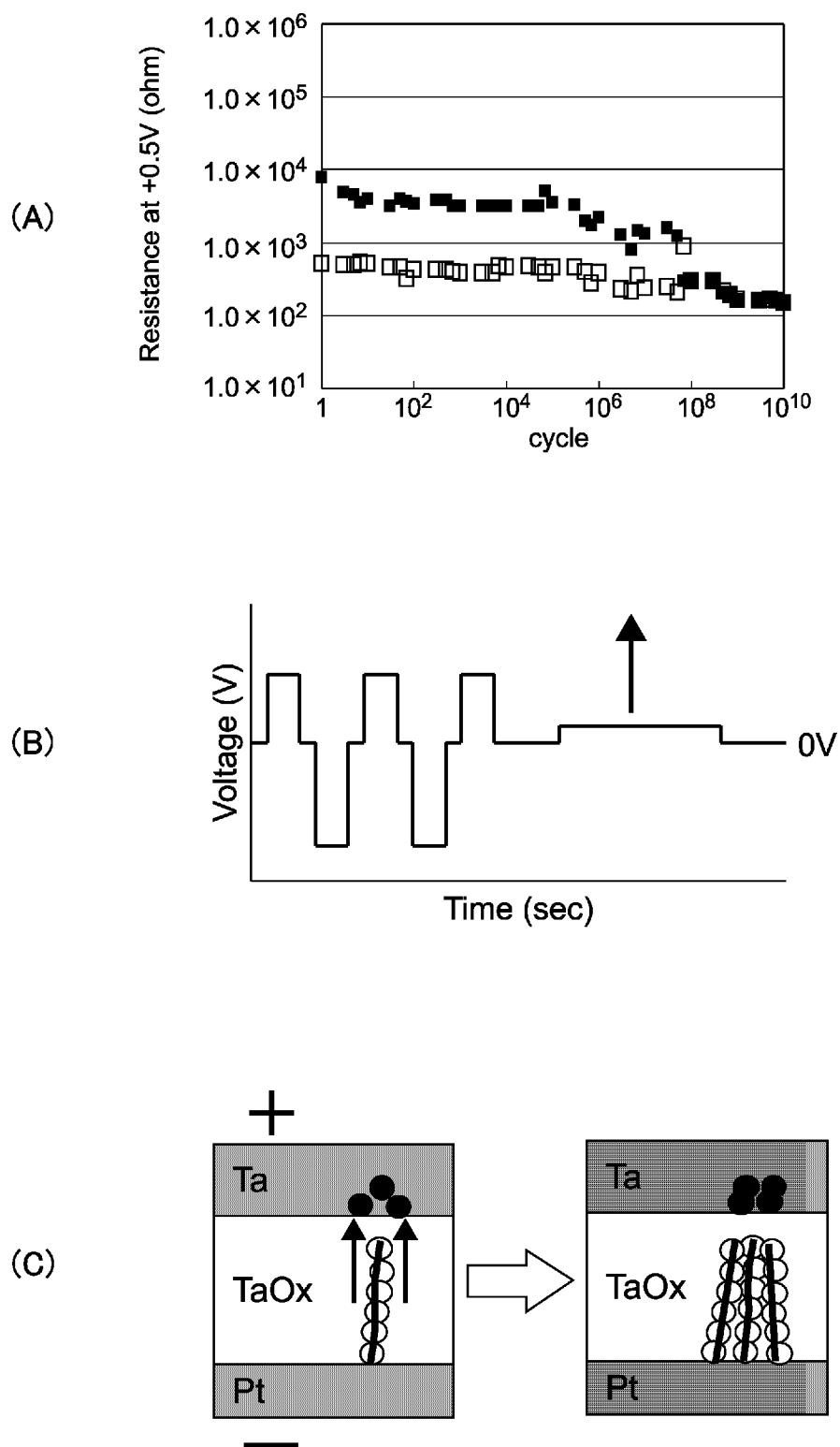
[図3]



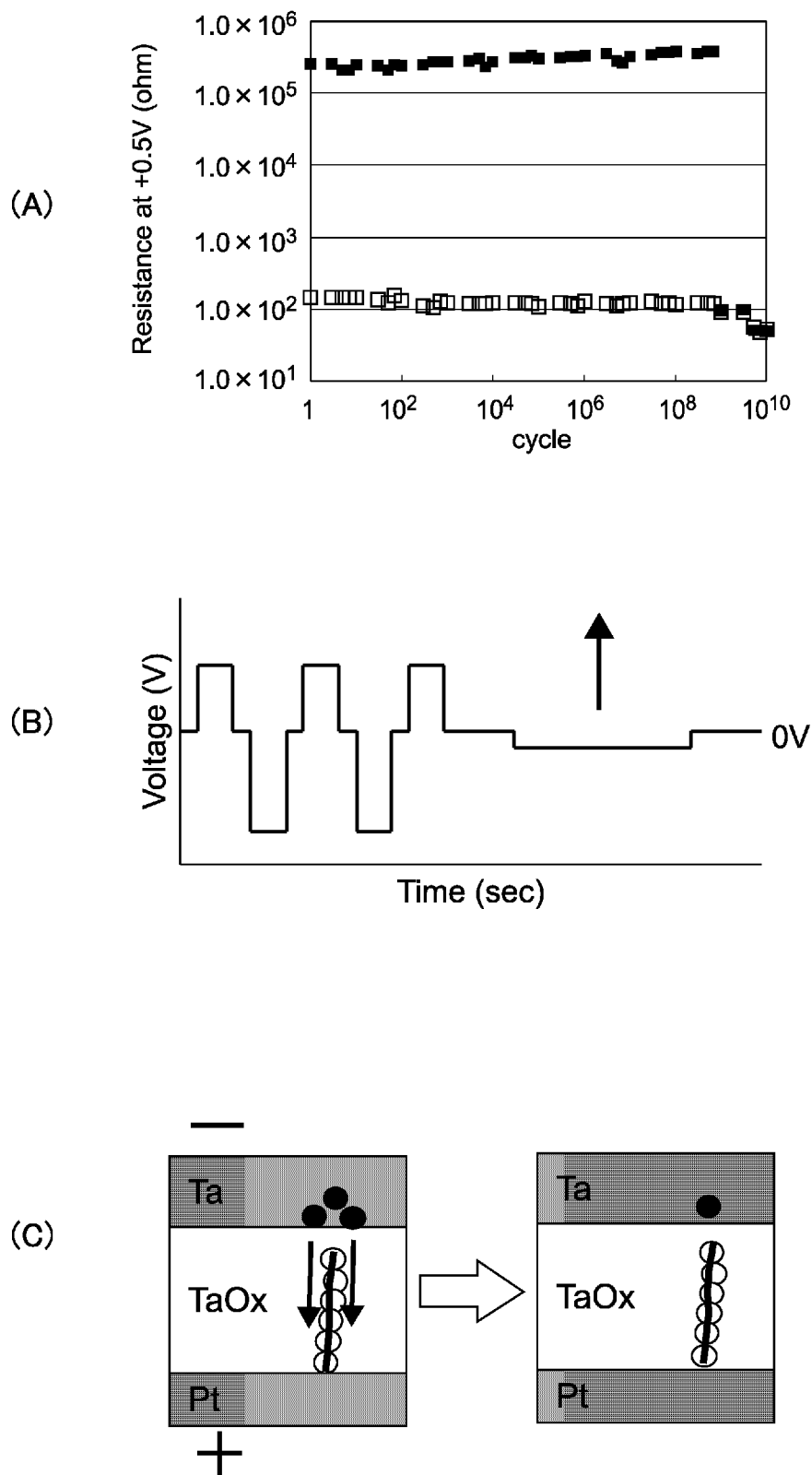
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003728

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/105(2006.01) i, H01L45/00(2006.01) i, H01L49/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/105, H01L45/00, H01L49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2008/149484 A1 (Panasonic Corp.), 11 December 2008 (11.12.2008), paragraphs [0032] to [0076]; fig. 1 & JP 2009-124167 A & US 2009/0283736 A1 & EP 2063467 A1 & DE 602008006652 D & CN 101542730 A & KR 10-2009-0075777 A	1-2, 4
X	WO 2006/075574 A1 (Matsushita Electric Industrial Co., Ltd.), 20 July 2006 (20.07.2006), paragraphs [0029] to [0044]; fig. 1 & JP 2008-60091 A	1, 3, 5
A	WO 2007/138646 A1 (Hitachi, Ltd.), 06 December 2007 (06.12.2007), entire text (Family: none)	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
07 September, 2012 (07.09.12)Date of mailing of the international search report
18 September, 2012 (18.09.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L27/105(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L27/105, H01L45/00, H01L49/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2008/149484 A1（パナソニック株式会社）2008.12.11, [0032]-[0076], [図1] & JP 2009-124167 A & US 2009/0283736 A1 & EP 2063467 A1 & DE 602008006652 D & CN 101542730 A & KR 10-2009-0075777 A	1-2, 4
X	WO 2006/075574 A1（松下電器産業株式会社）2006.07.20, [0029]-[0044], [図1] & JP 2008-60091 A	1, 3, 5
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 07.09.2012	国際調査報告の発送日 18.09.2012	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 河合 俊英 電話番号 03-3581-1101 内線 3516	5 F 3238

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2007/138646 A1 (株式会社日立製作所) 2007.12.06, 全文 (ファ ミリーなし)	1-5