(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H04N 9/64

(45) 공고일자 1997년01월20일
(11) 공고번호 특1997-0000848

(21) 출원번호	특1988-0001130	(65) 공개번호	특1988-0010616
(22) 출원일자	1988년02월08일	(43) 공개일자	1988년10월10일

(30) 우선권주장 012,392 1987년02월09일 미국(US)
알 씨 에이 라이센싱 코포레이션 유진 엠. 휘태커
미합중국, 뉴져지, 프린스턴, 투인디펜던스 웨이
(73) 특허권자
미합중국 뉴져지 프린스턴 투인디펜던스 웨이
(72) 발명자 베르너 니클라우스 하르트 마이어
(74) 대리인 이병호

심사관 : 이종일 (책자공보 제4790호)

(54) 신호 전이 향상 장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

신호 전이 향상 장치

[도면의 간단한 설명]

제1도는 본 발명을 실체화하는 신호 전이 향상 장치의 블록 다이어그램.

제2도는 본 발명을 설명하는데 유용한 시간 대 진폭 파형도.

* 도면의 주요부분에 대한 부호의 설명

14 : 전이 검출기 16 : 멀티플렉서

[발명의 상세한 설명]

본 발명은 예로, 칼라 텔레비젼 수상기에서 색도신호를 향상시키는데 유용한 신호 전이 향상 회로에 관한 것이다.

칼라 텔레비젼 신호 처리 장치에 사용하는 신호 전이 향상 회로는 예로, 미합중국 특허 제4,553,042호와 1985년 8월 소비자 전자공학에 관한 IEE 보고서 전 CE-31에 공개된 칼라 TV 수상기에서의 화상 신호 향상인 하트무트 하로스에 의한 기사에 공지되어 있다. 하로스 기사는 전이 향상에 대한 아날로그 처리 접근법을 기술하고 있으며, 미합중국 특허 제4,553,042호는 근본적으로 전이 향상에 대한 디지탈 접근법을 기술하고 있다.

양 시스템에서, 선정된 값보다 더 큰 기울기를 갖고 있는 신호 전이가 검출된다. 검출된 전이에 응답하여, 회로는 실제의 전이 지속기간에 대한 전이의 초기 진폭값을 홀드하는데 사용되며, 그후 신호 전이의 최종값은 신호 출력소자에 결합된다. 전이는 전이의 초기와 최종값 사이에 스위치하는데 요구되는 시간보다 짧으며, 상기 시간은 통상 본래의 전이 시간보다 통상 훨씬 짧다. 하로스 시스템은 이러한 기능을 신호 통로에서 직렬 스위치 다음에 고정 전위점에 결합된 한 터미널을 갖고 있는 저장 캐패시터를 합체하므로써 성취한다. 직렬 스위치는 전이가 검출될때까지 폐쇄상태를 유지하며, 상기 검출될때 비로서 스위치가 개방된다. 전이의 초기에서 신호의 값은 캐패시터에 저장되어 부가 처리 회로로 출력된다. 스위치가 개방되는 선정된 시간후에 스위치는 인입 신호를 캐패시터와 부가 처리 회로에 결합시키기 위해 폐쇄된 상태로 복귀한다.

미합중국 특허 제4,553,042호에서, 예로, 2진 샘플로 나타낸 입력 신호는 직렬 시프트 레지스터에 인가된다. 신호 전이의 검출에 응답하여, 샘플들은 전이 그 자체를 나타내는 샘플들이 효과적으로 제거되도록 시프트 레지스터 스테이지중 한 스테이지 둘레에 전송된다. 제거된 샘플들은 시프트 레지스터의 출력이 실제로 본래의 전이 시간보다 더 빠른 1샘플 주기에서 신호 전이를 발생시키도록 전이의 마지막 포인트를 나타내는 샘플들로 대체된다.

상술된 두 시스템의 단점은 그들이 전이가 나타나는 적시의 포인트를 지연시키는 경향이 있다는 것

이다. 색도 신호 통로에 합체된 그러한 회로를 갖고 있는 TV 수상기는 부가 색도 신호 지연을 보상하기 위해 그것의 휘도 신호 통로에 보상 지연 회로를 구비해야만 한다.

본 발명의 목적은 신호 통로에서 감쇄된 지연을 갖는 신호 전이 향상 회로를 제공하는 것이다.

본 신호 전이 향상 회로는 신호가 인가되는 지연회로를 포함한다. 지연 회로는 다른 여러 시간 주기로 지연되는 신호들이 제공되는 다수의 출력 터미널을 갖고 있다. 지연된 신호는 멀티플렉싱 회로에 결합되고, 그것의 출력 터미널은 향상된 신호를 제공한다. 멀티플렉서는 입력 신호가 지연 회로로부터 선정된 시퀀스로 그것의 출력 터미널에 결합되도록 전이 검출신호에 의해 조정된다. 통상, 신호 전이가 나타나지 않을때, 멀티플렉서는 다수의 출력 터미널중 중간 터미널을 그것의 출력 터미널에 결합시키기 위해 조정된다.

본 발명은 지연 및 멀티플렉서 소자를 적당히 선택하는 아날로그 또는 디지탈 형태로 실현될 수 있다. 그러므로, 상호 연결부는 싱글 전도체(아날로그 회로의 경우) 또는 다중 전도체 버스(병렬 비트 디지탈 회로의 경우)일 수 있다. 회로 소자의 선택에 따라서, 부가 보상 지연 소자가 어떤 회로 소자들 사이에 요구될 수 있지만, 회로 기술 분야에 숙련된 사람을 쉽게 그러한 소자를 포함시킬 수 있다.

칼라 텔레비젼 시스템을 고려해 보자. 그러한 시스템에서, 두 신호 즉, 휘도 신호와 색도 신호는 발생되어 처리된다. 이들 두 신호는 예로 칼라 TV 카메라로부터의 적, 녹 및 청 영상 정보 신호로부터 유도된다. 색도 신호는 결국 TV 수상기에서 분리되어 처리되는 두 색차 신호의 조합이다. 본래 동일한 신호로부터 유도되는 휘도 및 색도 성분은 동일한 대역폭을 갖고 있다. 그러나 눈은 밝기에 대한 것보다 색에 덜 민감하기 때문에, 색도 정보는 칼라 비디오 신호 흑 및 백 비디오 신호와 동일한 채널 주파수 간격으로 전송될 수 있도록 즉, 흑 및 백 방송 신호와 양립할 수 있는 백워드가 되도록 제한된 대역이다.

색도 신호를 제한하는 대역은 휘도 신호에서 대응하는 전이에 관해서 고주파수 신호 전이를 길게 하는 경향이 있다. 휘도와 색도 신호 사이의 이러한 부합되지 않는 전이는 재생된 영상의 엣지를 흐르게 하는 경향이 있고 및 또는 재생된 영상의 엣지를 따라 부적당한 칼라를 발생시키는 경향이 있다. 그러므로, 신호를 제한하는 대역에 의해 스트레치(stretch)되어 있던 색도 신호 전이를 향상시키는 것은 바람직하다. 통상, 전이향상은 복조된 기저대 색차 신호 색도 신호 성분에 관하여 실행된다.

제2도를 보면, 파형 A는 대역 제한에 영향준 신호 전이를 나타낸다. 파형 A의 기울기보다 작은 기울기를 갖고 있는 신호 전이는 일반적으로 대역 제한에 의해 영향받지 않는 것으로 간주된다. 본래 파형 A 보다 더 큰 기울기를 갖고 있는 신호 전이는 파형 A의 기울기에 접근하는 기울기에 대해 제한되는 것으로 간주된다. 신호가 색부 반송파 주파수에 4배의 속도로(NTSC 신호에 대해서는 70ns의 샘플 주기)샘플된다면, 가능한 가장 빠른 대역 제한되지 않은 전이는 파형 B로 표시되어 있다. 그러므로, 파형 A 조약한 접근법으로 파형 A와 파형 A 사이의 기울기를 갖는 임의 전이를 나타낼 수 있다.

설명되는 전이 향상 회로는 대략 파형 A 전이의 중간 포인트에 향상된 전이 위치를 정한다. 만약 파형 A가 파형 B의 대역 제한된 표시라면, 향상된 전이는 간격 rd 만큼 변위된다. 휘도 전이를 대응 향상된 색도전이에 부합시키는 것은 쉽게 할 수 있으며, 휘도 신호는 변위 간격만큼 지여되야 한다. 변위 간격이 변화하기 때문에, 휘도 지연은 가능한 변위 간격의 평균값 즉 대략 실시예에서 140ns와 같도록 선택될 수 있다. 대응 휘도 전이 기울기가 검출되면, 가변 지연 라인으로, 보상 휘도 지연 주기가 실제로 변위 간격 즉, 적어도 한 샘플 간격의 1/2내의 간격과 같게 만드는 것은 가능하다.

실시예에서, 색도 채널은 임으로 대략 650KHz(10% 내지 90% 포인트 사이에 측정됨)에 대역 제한되게 취해질 수 있다.

비디오 신호 처리 기술분야에 숙련된 사람들은 R-Y 및 B-Y 색차 신호가 대략 50KHz에 대역 제한되고, 광대력 I 색차 신호는 대략 1.3MHz에 대역 제한되는 것을 알 것이다. 그러므로, 처리되는 신호의 실제 대역폭에 따라서, 전이 향상 장치에 사용된 샘플 지연의 수는 적절히 선택되야만 한다. 또한, 향상된 전이는 제2도에 도시된(파형 A) 진폭/지속기간을 갖는 전이들에 대한 실제 전이 사이의 중간에서 나타날 것이다. 실제 전이는 진폭/지속기간이 파형 A에 예시된 것보다 더 크거나 또는 작다면, 향상된 전이는 중간 포인트의 뒤 및 앞에서 각각 나타날 것이다. 통상, 변위는 시스템 콤포넌트들이 대역 제한된 전이의 평균 진폭/지속기간을 수용하도록 선택되면 중간 포인트의 1 샘플 주기내에 나타날 것이다.

제2도에서, 파형 C는 파형 A에 따른 향상된 신호 전이를 나타낸다. 파형 C는 4 샘플 주기동안 샘플 S0(시간=70ns)의 값을 홀드한 다음 샘플 S9(t=700ns)에서의 값은 4 샘플 주기만큼 전진시켜 이 값을 시스템이 변경되지 않은 인입 신호를 출력시키는 4 샘플 주기 동안 홀드시키므로써 발생된다.

제1도를 보면, 전이 향상에 영향주는 신호는 터미널(10)에 인가된다. TV 수상기에서, 예로, 이 신호는 색도 신호 복조기로부터 유도된 색차 신호중 하나일 수 있다. 입력 신호는 속 연결된 지연 스테이지(12a 내지 12h)를 구비하는 시프트 레지스터에 결합된다. 입력신호는 색부 반송파에 4배의 샘플 속도로 나타나는 펄스 코드 변조된 디지탈 신호인 것으로 추정된다. 그러므로, 지연 스테이지는 예로 병렬 비트 바이너리 래치들로 실현될 수 있고 상기 래치들은 동시에 입력 샘플 레이트와 함께 클럭된다. 만약 입력 신호가 아날로그 신호라면, 시프트 레지스터는 샘플 및 홀드 회로로 진행될 수 있고, 시프트 레지스터는 차지 전송 장치(CTD'S)로 실현될 수 있다.

실시예에서, 각각의 지연 스테이지는 인가된 신호를 1 샘플 주기 τs 만큼 지연시킨다. 신호 샘플들은 제1지연 스테이지로의 입력에 입치해 있는 출력 탭 0T1 내지 0T9과 지연 스테이지의 모든 출력에서 억세스된다. 9 출력 탭 0T1 내지 0T9은 9 내지 1 멀티플렉서(16)에 결합된다. 멀티플레서(16)은 카운터(20)로부터의 제어 입력 신호에 응답하여 출력 탭 0T1 내지 0T9으로부터 제공된 샘플들을 그것의 출력 연결물(17)에 선택적으로 결합시킨다.

연결선(10)에서 입력 신호는 또한 상술된 참조물에 기술된 전이 검출기의 비슷할 수 있는 신호 전이

검출기(14)에 인가된다. 전이 검출기(14)는 선정된 값보다 더 큰 크기의 기울기를 갖고 있는 신호 전이의 검출에 따라 출력 신호를 제공한다. 전이 검출기로부터의 출력 신호는 세트-리세트 플립플롭(22)의 세트 입력에 인가된다. 플립플롭(22)은 전이 검출기로부터의 출력신호에 응답하여 AND 게이트(24)가 클럭 신호, CLOCK를 카운터(20)의 클럭 입력 CK로 통과시키게 인에이블한다.

신호 클럭은 입력(10)에서 입력 샘플들의 발생도 동기인 펄스들을 제공한다. 클럭 펄스들은 특정 응용에 따라서 샘플 테이트, 또는 샘플 레이트의 배수 또는 약수로 나타날 수 있다. 카운터(20)는 신호 클럭에 응답하여 9 클럭 펄스를 카운팅한 후 세트 신호를 제공하며, 상기 리세트 신호는 플립플롭(22)의 리세트 입력 R에 인가된다. 플립플롭(22)은 리세트 신호에 응답하여 차기 검출된 신호 전이의 발생이 있을때까지 카운터(20)를 억제시키는 AND 게이트(24)를 불능시킨다.

카운터(20)은 0 내지 8로부터 카운트하고, 불능되는 AND 게이트(24)와 동시에 0에 리세트시키도록 배열되어 있다. 멀티플렉서(16)는 카운터(20)에 의해 제공된 카운트값에 응답하여 그것의 대응 입력 터미널(0 내지 8)을 그것의 출력 터미널(17)에 결합시킨다. 결과적으로, 검출된 신호 전이가 없는 경우에 멀티플렉서(16)는 시프트 레지스터의 중앙 탭 CT를 출력 터미널(17)에 결합시킨다. 전이가 검출되어 카운터(20)가 카운트 값 0 내지 8을 통하여 시퀀스할때, 멀티플렉서(16)은 그것의 대응 입력 터미널(0 내지 8)(및 도로 0으로)그것의 출력 연결부에 순차적으로 결합시킨다. 전이가 검출될때, 출력 터미널(17)에 인가된 샘플의 시퀀스는 상술된 순서로 탭 CT, DT6, 0T7, 0T8, 0T9, 0T1, 0T2, 0T3 및 0T4로부터 억세스된다.

시스템은 전이 검출 회로에서 충분한 지연을 갖게 배열되어, 카운터(20)는 신호 전이의 개시가 시프트 레지스터의 중앙 탭 CT에서 이루어질 때까지 그것의 카운트값을 통하여 시퀀싱을 개시하지 않는다. 샘플 레이트로 탭 CT, 0T7, 0T8, 0T9로부터의 연속 억세싱 샘플은 5 샘플 주기동안 동일한 샘플값을 샘플링하거나 또는 5 샘플 간격동안 초기값을 홀딩하는 것에 대응한다. 효과적으로, 시간 70ns로 나타나는 샘플은 제2도에서 시간 350ns까지 홀드된다. 억세싱 탭 0T9 후에, 멀티플렉서(16)는 탭 0T1으로 스위치한다.

멀티플렉서(16)가 탭 0T9에서 샘플을 억세스할때 전체 시간 전이는 시프트 레지스터에 존재한다. 제1도에서 S0 내지 S8로 가리켜진 샘플들은 각각 탭 0T9, 0T8, 0T7, 0T6, CT, 0T4, 0T3, 0T2 및 0T1에서 얻을 수 있다. 샘플 주기동안 멀티플렉서가 탭 0T9을 억세스한 후, 모든 샘플값은 레지스터에서 오른쪽으로 시프트되고, 동시에 멀티플렉서(16)는 탭 0T1에서 샘플을 억세스한다.

이때, 제2도에서 S9 지정된 샘플은 순차 4 클럭 사이클(샘플 주기)동안 얻어질 수 있고, 샘플 S9은 지연 스테이지(12a 내지 12d)를 통해 지연되며, 멀티플렉서(16)는 샘플 레이트로 연속해서 탭 DT2, DT3, DT4 및 CT를 억세스한다. 신호 전이의 마지막 포인트에 대응하는 S9 지정된 샘플은 5 샘플 주기 동안 출력된다.

이때, 카운터는 리세트되어 멀티플렉서의 스캐닝 작동을 금지시키고, 중앙 탭에서 나타나는 연속 신호 샘플은 출력(17)에 제공된다.

향상된 신호 전이가 4시간 부반송파 샘플레이트의 1샘플 주기에 걸쳐 나타날때, 전이는 TV 수상기 시스템 대역폭이 허용하는 것보다 빠르다. 그러므로, 신호 출력 통로에 저역 필터(18)를 포함하는 것이 바람직하다. 대안적으로, 카운터(20)는 카운팅 시퀀스 동안 카운트 값 5 대신에 카운트값 0을 대체하여 정상 방식으로 6 내지 8로부터의 카운터를 계속하게 배열될 수 있다. 이 예에서, 전이 동안 출력 신호는 전이의 초기값, 전이의 중간 포인트의 샘플값 및 전이의 마지막 값의 4 샘플로 구성될 것이다. 향상된 전이는 2 샘플 주기에 걸쳐 나타나고, 그것은 1 샘플 주기 동안 향상된 전이보다 더 작은 대역폭을 갖는다.

회로를 간단하게 하는 다른 대안 배열은 멀티플렉서(16) 대신에 5대 1 멀티플렉서를 사용하는 것이다. 이 예에서, 출력 탭 0T1, 0T3, CT, 0T7 및 0T9은 각각 5멀티플렉서 입력 터미널(3,4,0,1 및 2)에 결합될 것이다. 이 예에서 카운터(20)는 샘플 레이트의 1/2에서 나타나는 클럭 펄스를 카운트하도록 배열된 모듈로 5 카운터일 수 있다. 향상된 전이전의 출력 샘플은 샘플 S0와 S1의 값 사이를 스위치하고, 향상된 전이 후에 출력샘플은 샘플 S9의 값과 차기 연속 샘플값 사이를 스위치할 것이다. 바람직하지 않은 출력 신호의 변조는 저역 필터에 의해 사실상 제거되지 않는다.

실시예의 회로는 대략 650KHz에 제한된 신호 주파수 대역의 전이를 향상시키도록 설계되어 있다. 다소 크거나 작은 주파수에 대역 제한되는 신호에 대하여, 다소의 시프트 레지스터 스테이지가 각각 요구될 것이다. 멀티플렉서와 카운터의 사이즈는 적당히 바뀔 수 있다.

시스템에 관한 변형은 본 발명의 영역을 벗어나지 않고도 쉽게 이행할 수 있을 거이다. 예로, 향상된 전이가 대역 제한된 전이의 중간 포인트에서 항상 나타나도록 지연된 샘플들을 시퀀스하는 멀티플렉서를 프로그램하고 각 전이의 지속기간을 계속하는 전이 검출기가 사용될 수 있다. 또한 TV 수상기에서 전이 검출기는 색도 채널과 휘도 채널에서 신호 전이에 대응하도록 설계될 수 있다.

더구나, 비디오 신호 처리의 내용에서, 본 발명은 예로 비디오 카셋트 레코더에서 휘도 전이를 향상시키는데 사용될 수 있다.

(57) 청구의 범위

청구항 1

입력 신호를 수신하는 신호 입력 터미널과, 상기 신호 출력 터미널과 상기 신호 입력 터미널에 결합된 입력 터미널 및 다수의 출력 터미널을 가진 직렬-입력-병렬-출력 레지스터를 구비하며, 여기서, 차 신호 지연은 상기 입력 터미널과 상기 다수의 각 출력 터미널 사이에서 이루어지는 신호 전이 향상 장치에 있어서, 상기 신호 입력 터미널에 결합되어, 신호 전이가 일어남과 동시에 제어 신호를 발생시키는 신호 전이 검출기와, 상기 신호 출력 터미널에 상기 다수의 출력 터미널을 선택적으로

결합시키기 위해 제어값에 응답하고, 상기 신호 출력 터미널에 결합된 출력 터미널을 가지며, 상기 다수의 출력 터미널에 결합된 다수의 입력 접속부를 갖는 멀티플렉싱 수단과, 선정된 레이트에서 선정된 시퀀스값을 발생시키는 상기 제어 신호에 응답하는 카운터를 구비하되, 상기 시퀀스값은 상기 다수의 출력 터미널중 일부 터미널들의 선정된 시퀀스를 상기 신호 출력 터미널에 선택적으로 결합시키기 위해 상기 멀티플렉싱 수단을 조절하는 상기 멀티플렉싱 수단의 제어 입력 터미널에 인가되고, 상기 시퀀스는 상기 다수의 출력 터미널중 중간 터미널로서 시동되고, 상기 다수의 출력 터미널중 일부 터미널들은 상기 중간 터미널보다 더 큰 신호 지연을 이루게 되고, 상기의 다수의 출력 터미널중 일부 터미널들은 상기 중간 터미널보다 더 적은 신호 지연을 이루며, 여기서 상기 제어 신호 부재시 상기 다수의 출력 터미널중 상기 중간 터미널이 상기 신호 출력 터미널에 결합되는 것을 특징으로 하는 신호 전이 향상 장치.

청구항 2

제1항에 있어서, 상기 멀티플렉싱 수단은 상기 멀티플렉서와 상기 신호 출력 터미널 사이에 결합된 저역 필터를 포함하는 것을 특징으로 하는 신호 전이 향상 장치.

청구항 3

제1항에 있어서, n 병렬 출력(n은 정수)은 상기 시프트 레지스터로부터 상기 멀티플렉서에 연결되고, 상기 카운터는 모듈 n 카운터인 것을 특징으로 하는 신호 전이 향상 장치.

청구항 4

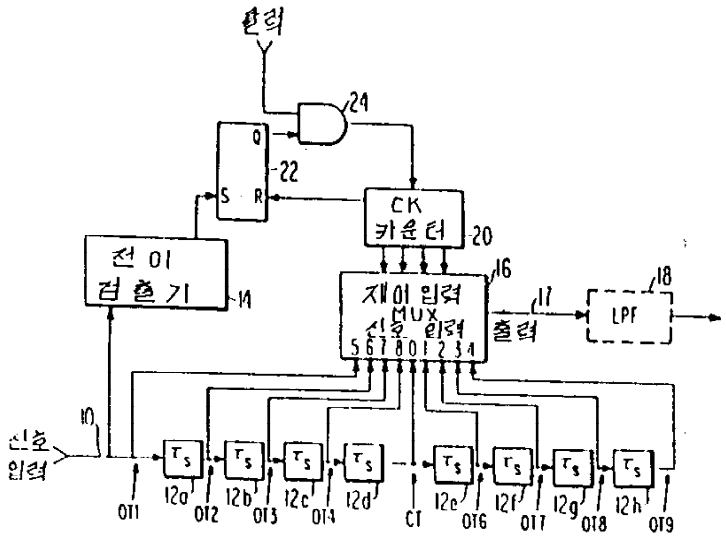
제3항에 있어서, 상기 n 병렬 출력은 서수적으로 1부터 n까지의 번호로 매겨져 있고, 병렬 출력의 번호가 연속 매겨진 출력에 의해 제공된 신호 지연은 동일한 증분으로 증가하고, (n+1)/2 값에 가장 접근한 번호를 갖는 상기 서수적으로 번호가 매겨진 출력중 하나는 상기 제어 신호의 부재시에 상기 멀티플렉싱 수단에 의해 상기 신호 출력 터미널에 결합되는 것을 특징으로 하는 신호 전이 향상 장치.

청구항 5

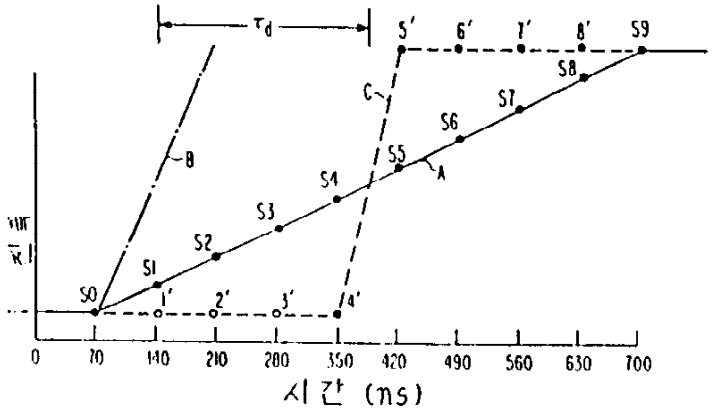
제4항에 있어서, 상기 멀티플렉싱 수단은 상기 카운터에 의해 발생된 값에 응답하여, 다음의 순서로 즉(n+1)/2에 가장 가까운 번호가 매겨진 출력 다음에, n까지 연속 증가하는 출력 번호 다음에, 1번호가 매겨진 출력 다음에, (n+1)/2 값에 가장 가까운 번호가 매겨진 상기 출력을 포함해서 상기 (n+1)/2 값까지 연속 증가하는 출력 번호인 순서로 n평행 출력을 상기 신호 출력 터미널에 결합시키는 것을 특징으로 하는 신호 전이 향상 장치.

도면

도면1



도면2


τ_d
S0
S1
S2
S3
S4
S5
S6
S7
S8
S9
1'
2'
3'
4'
5'
6'
7'
8'
A
B
C
0
70
140
210
280
350
420
490
560
630
700
시간 (ns)