

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 9 月 2 日 (2005.9.2)

【公開番号】特開 2004-214379(P2004-214379A)
 【公開日】平成 16 年 7 月 29 日 (2004.7.29)
 【年通号数】公開・登録公報 2004-029
 【出願番号】特願 2002-381382(P2002-381382)
 【国際特許分類第 7 版】

H 0 1 L 21/8242

H 0 1 L 27/108

【F I】

H 0 1 L 27/10 6 7 1 Z

H 0 1 L 27/10 6 2 5 A

【手続補正書】
 【提出日】平成 17 年 2 月 28 日 (2005.2.28)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

半導体基板の主表面に形成された凸形状の半導体層と、
 前記半導体層の一部に形成された第 1 導電型のチャネル領域と、
 前記チャネル領域の両側を挟むように、前記半導体層中に形成された第 2 導電型のソース領域及びドレイン領域と、
 前記半導体層の対向する側壁における前記チャネル領域の表面に形成された 1 対の第 1 の絶縁膜と、
 前記半導体層の対向する側壁における前記 1 対の第 1 の絶縁膜の表面に形成された 1 対のゲート電極と、
 前記半導体層における前記ソース領域の近傍に設けられ、一方の電極が前記ソース領域に電氣的に接続されたトレンチキャパシタと、
 前記 1 対のゲート電極における前記第 1 の絶縁膜が形成された面の反対側の面と前記トレンチキャパシタに隣接して配置されたトレンチキャパシタとの間に形成され、前記第 1 の絶縁膜より膜厚が厚い第 2 の絶縁膜と
 を具備するメモリセルを備えることを特徴とする半導体装置。

【請求項 2】

前記トレンチキャパシタの上部に形成される第 4 の絶縁膜と、前記半導体層上に形成され、前記 1 対のゲート電極に挟まれた第 5 の絶縁膜と、前記第 4 の絶縁膜上に形成され前記 1 対のゲート電極に電氣的に接続される第 1 のワード線と、前記第 5 の絶縁膜上に形成され前記 1 対のゲート電極に電氣的に接続される第 2 のワード線とを更に具備することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

フィンゲート型のダブルゲートトランジスタと、このダブルゲートトランジスタに一方の電極が電氣的に接続されたトレンチキャパシタとを有する複数のメモリセルを備え、各メモリセル中のダブルゲートトランジスタとトレンチキャパシタがそれぞれ 1 対ずつ隣接して配置され、これら一対のダブルゲートトランジスタと 1 対のトレンチキャパシタが交互に千鳥状に配置されたメモリセルアレイを備えたダイナミック型の半導体記憶装置であ

って、

前記ダブルゲートトランジスタは、

半導体基板の主表面に形成されたピラーと、

前記ピラーの一部に形成された第 1 導電型のチャネル領域と、

前記チャネル領域の両側を挟むように、前記ピラー中に形成された第 2 導電型のソース領域及びドレイン領域と、

前記ピラーの対向する側壁における前記チャネル領域の表面に形成された 1 対の第 1 の絶縁膜と、

前記ピラーの対向する側壁における前記 1 対の第 1 の絶縁膜の表面に形成された 1 対のゲート電極とを備え、

前記トレンチキャパシタは、

前記ピラーにおける前記ソース領域の近傍に設けられ、前記ソース領域に電氣的に接続された第 1 の電極と、

前記第 1 の電極との間にキャパシタ絶縁膜を介在して対向配置された第 2 の電極と、

前記 1 対のゲート電極における前記第 1 の絶縁膜が形成された面の反対側の面と前記トレンチキャパシタに隣接して配置された 1 対のトレンチキャパシタとの間にそれぞれ形成され、前記第 1 の絶縁膜より膜厚が厚い 1 対の第 2 の絶縁膜とを備える

ことを特徴とするダイナミック型半導体記憶装置。

【請求項 4】

半導体基板の主表面をリセスエッチングし、凸形状の複数の半導体層を形成する工程と

前記リセス領域に第 1 の絶縁膜を埋め込む工程と、

前記絶縁層の上部をエッチングして除去し、前記リセス領域の下部に前記第 1 の絶縁膜を残存させる工程と、

前記リセス領域の前記第 1 の絶縁膜上に第 1 のゲート電極材料を埋め込む工程と、

前記リセス領域における一部から、前記半導体層の一部及びこの半導体層を挟んで隣接するリセス領域に互ってエッチングを行い、ディープトレンチを形成する工程と、

前記ディープトレンチの側壁にカラー絶縁膜を形成する工程と、

前記ディープトレンチ内にトレンチキャパシタを形成する工程と、

前記トレンチキャパシタの上部に第 2 の絶縁膜を埋め込む工程と、

前記第 2 のゲート電極材料を堆積する工程と、

前記第 1 のゲート電極材料と前記第 2 の電極材料とを同時にパターニングしてゲート電極を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 5】

前記ゲート電極を形成する工程の後に、前記ゲート電極をマスクにして前記半導体基板の主表面領域中に不純物を導入し、ソース領域及びドレイン領域を形成する工程と、

前記ソース領域の一部の前記半導体基板、及び前記ディープトレンチの上部をエッチングして除去する工程と、

前記エッチングして除去した領域の側壁に第 3 の絶縁膜を形成する工程と、

前記除去した前記ソース領域及び前記ディープトレンチの上部、隣接するディープトレンチ間の領域、及び前記ドレイン領域上にそれぞれポリシリコン層を形成する工程と、

サリサイドプロセスにより、前記ポリシリコン層の表面にシリサイド層を形成し、前記除去した前記ソース領域及び前記ディープトレンチの上部にストラップ電極、隣接するディープトレンチ間の領域に分離層、及び前記ドレイン領域上に接続部を同時に形成する工程と

を更に具備することを特徴とする請求項 4 に記載の半導体装置の製造方法。