

#### 四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 韓國；2005/7/9；10-2005-0061968

2. 韓國；2005/7/26；10-2005-0068102

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明大體上是關於影像感測器。更明確地說，本發明是關於主動畫素感測器（active pixel sensor），在其中其讀出電路（read-out circuitry）由兩個或兩個以上之感測元件（sensor element）共用。

### 【先前技術】

某些類型的影像感測器利用光偵測器（photo detector）以獲取入射光且將該光轉換為能夠進行影像處理之電荷。實例包括互補金氧半導體（CMOS）（Complimentary Metal Oxide Semiconductor）影像感測器（CIS）。CIS 裝置大體上由耦接至 CMOS 控制電路（control circuit）之類比感測電路（analog sensing circuit）來表示其特徵。類比感測電路包含具有用於連接至字線及位元線之存取裝置（access device）（例如，電晶體）的光偵測器陣列。CMOS 控制電路可包含時序產生器（timing generator）及各種影像處理電路，諸如列解碼器、行解碼器、行放大器、輸出放大器等等。大體言之，CIS 裝置之組態類似於 CMOS 記憶體裝置之組態。

圖 1 是 CMOS 影像感測器（CIS）之實例的方塊圖。圖 1 之 CMOS 影像感測器大體上包含主動畫素感測（APS）陣列 10、時序產生器 20、列解碼器 30、列驅動器 40、關連式雙取樣及數位轉換（CDS）電路 50、類比數位轉換器（ADC）60、鎖存電路（latch circuit）70 以及行解碼器 80。

熟習此項技術者熟知圖 1 中描述的 CIS 之運作，因此在本文中省略對其之詳細描述。然而，大體而言，時序產生器 20 控制列解碼器 30 及行解碼器 80 之運作時序。列驅動器 40 對列解碼器 30 做出響應以選擇性地啟動主動畫素陣列 10 之列。CDS 50 及 ADC 60 對行解碼器 80 及鎖存電路 70 做出響應以取樣並輸出主動畫素陣列 10 之行電壓。在此實例中，影像資料自鎖存電路 70 輸出。

APS 陣列 10 含有以列及行形式排列之多個主動單元畫素。每一主動單元畫素包含光電轉換裝置以及用於將光電轉換裝置之電荷轉移至輸出線(output line)的讀出電路。

現參看圖 2，其為圖 1 中所示之 APS 陣列 10 之主動畫素 22 的實例的等效電路圖。

主動畫素 22 之光電轉換元件 PD(例如，光電二極體、光閘(gate)型影像元件等等)獲取入射光且將所獲取之光轉換為電荷。經由轉移電晶體 TX 選擇性地將電荷自光電轉換元件 PD 轉移至浮動擴散區 FD。轉移電晶體 TX 由轉移閘極 TG 訊號來控制。浮動擴散區 FD 連接至一種作為緩衝一輸出電壓用之源極隨耦器(放大器)的驅動電晶體 Dx 之閘極。此選擇電晶體 Sx 選擇性地使輸出電壓轉移成輸出電壓 OUT。此選擇電晶體 Sx 由施加於選擇電晶體 Sx 之閘極的列選擇訊號 SEL 來控制。最後，重設電晶體 Rx(reset transistor)由重設訊號 RS 來控制以選擇性地將積聚於浮動擴散區 FD 中之電荷重設至參考電壓位準。

注意到可視情況省略圖 2 中所示之電晶體的一個或多

個。舉例而言，浮動擴散區 FD 可電性連接至光電轉換元件 PD，在此種情況下，可省略此轉移電晶體 TX。作為另一實例時，驅動電晶體 Dx 可電性連接至輸出線 OUT，在此種情況下可省略此選擇電晶體 Sx。

在努力增加畫素密度之過程中，已知組構此 CIS 裝置使得其之單元主動畫素之每一者含有共用一共同讀出電路之多個光電轉換元件 PD。然而，習知共用畫素 CIS 組態及布局之缺陷在於光電轉換元件 PD 由相對少光的光電轉換區域來界定。另外，在列及/或行方向上，光電轉換區域以不等間距彼此分離。因此，此等 CIS 裝置之轉換效率及/或影像品質受到不利的影響。

### 【發明內容】

根據本發明之一態樣，提供包含主動畫素陣列的影像感測器，主動畫素陣列包含定位於基板上之多個單元畫素。單元畫素之每一者包括基板之至少一個第一主動區域，以及基板中彼此分離且與至少一個第一主動區域分離的第二及第三主動區域。至少一個第一主動區域包含四個光電轉換區。

根據本發明之另一態樣，提供一種包含主動畫素陣列的影像感測器，主動畫素陣列包含形成於基板上之多個單元主動畫素。第一單元畫素包含基板之至少一個第一主動區域，以及基板中彼此分離且與至少一個第一主動區域分離的第二及第三主動區域，其中至少一個第一主動區域包含在第一方向上對準的四個光電轉換區。第二單元畫素包

含基板之至少一個第四主動區域，以及基板中彼此分離且與至少一個第四主動區域分離的第五及第六主動區域，其中至少一個第四主動區域包含四個光電轉換區，其平行於第一方向而對準且分別相鄰於第一單元畫素之四個光電轉換區。

根據本發明之又一態樣，提供一種包含主動畫素陣列的影像感測器，主動畫素陣列包含單元主動畫素陣列。單元主動畫素之每一者在基板中包含至少一個第一主動區域及狹長的第二及第三主動區域，且至少一個第一主動區域包含在第一方向上對準的四個光電轉換區。狹長的第二及第三主動區域與第一主動區域分離且在第一方向上縱向延伸著。

根據本發明之又一態樣，提供包含連接至資料匯流排之處理器、記憶體及影像感測器的系統。影像感測器包含主動畫素陣列，在主動畫素陣列中，讀出電路由主動畫素陣列之每一單元主動畫素之至少四個光電轉換區所共用，且其中在主動畫素陣列之行及列方向上，相鄰光電轉換區之間的間距大體上相同。

### 【實施方式】

現藉由若干個較佳但非限制性的實施例來描述本發明。

圖 3 是說明本發明之非限制性實施例的共用四畫素主動畫素陣列 (APS) 之電路圖。本文中，片語“共用四畫素 APS”意謂 APS 之四個光電轉換元件共用相同的讀出電

路。每一組四個光電轉換元件及其相關之讀出電路在本文中被稱為“單元主動畫素”。

參看圖 3，共用四畫素 APS 包含以列 ( $i, i+1, \dots$ ) 及行 ( $j, j+1, j+2, j+3, \dots$ ) 排列之多個單元主動畫素 P。單元主動畫素 P 之每一者是類似地加以組態的，因此，在下文中僅描述單元主動畫素  $P(i, j+1)$ 。

單元主動畫素  $P(i, j+1)$  包含一組 11 共四個光電轉換元件 11a、11b、11c 及 11d，一組 15 共四個轉移電晶體 15a、15b、15c 及 15d，以及一個共同浮動擴散區 13。如圖 3 中所示，轉移電晶體 15a 及光電轉換元件 11a 串聯連接在浮動擴散區 13 與參考電位（例如，接地電位）之間。轉移電晶體 15b 及光電轉換元件 11b 串聯連接在浮動擴散區 13 與參考電位（例如，接地電位）之間。轉移電晶體 15c 及光電轉換元件 11c 串聯連接在浮動擴散區 13 與參考電位（例如，接地電位）之間。轉移電晶體 15d 及光電轉換元件 11d 串聯連接在浮動擴散區 13 與參考電位（例如，接地電位）之間。

轉移電晶體 15a 之閘極是與連接至列 ( $i$ ) 之單元主動畫素 P 之每一者的轉移閘極線  $TX(i)a$  相連且由轉移閘極線  $TX(i)a$  控制。轉移電晶體 15b 之閘極是與連接至列 ( $i$ ) 之單元主動畫素 P 之每一者的轉移閘極線  $TX(i)b$  相連且由轉移閘極線  $TX(i)b$  控制。轉移閘極 15c 之閘極是與連接至列 ( $i$ ) 之單元主動畫素 P 之每一者的轉移閘極線  $TX(i)c$  相連且由轉移閘極線  $TX(i)c$  控制。轉移閘極 15d 之閘極是與

連接至列 (i) 之單元主動畫素 P 之每一者的轉移閘極線 TX(i)d 相連且由轉移閘極線 TX(i)d 控制。

浮動擴散區 13 連接至驅動電晶體 17 之閘極，且驅動電晶體 17 與選擇電晶體 19 串聯連接在參考電壓（例如，Vdd）與輸出線 Vout 之間。選擇電晶體 19 之閘極是與連接至列 (i) 之單元主動畫素 P 之每一者的選擇線 SEL(i) 相連且由選擇線 SEL(i) 控制。一種重設電晶體 18 連接於參考電壓（例如，Vdd）與浮動擴散區 13 之間，且其閘極是與連接至列 (i) 之單元主動畫素 P 之每一者的重設線 RX(i) 相連且由重設線 RX(i) 控制。

在運作中，單元主動畫素 P(i,j+1) 之光電轉換元件 11a 至 11d 獲取入射光，且將所獲取之光轉換為電荷。雖然可利用其他類型的光電轉換裝置，但光電轉換元件 11a 至 11d 可視情況而由光電二極體或光閘型影像元件來建構。在上述轉移閘極線 TX(i)a 至 TX(i)d 之控制下，分別經由轉移電晶體 15a 至 15d 選擇性地將電荷自光電轉換元件 11a 至 11d 轉移至浮動擴散區 13。

連接至浮動擴散區 13 之驅動電晶體 17 作為緩衝一輸出電壓用之源極隨耦器（放大器）。上述之選擇電晶體 19 對選擇線 SEL(i) 做出響應以選擇性地將輸出電壓轉移至輸出線 Vout。最後，該重設電晶體 18 由重設線 RX(i) 來控制，以選擇性地將積聚於浮動擴散區 13 中之電荷選擇性地重設（或偏壓）至參考電壓位準（例如，Vdd）。

圖 4 是說明根據本發明之實施例的單元主動畫素之主

動區及電晶體閘極之布局的俯視圖。

參看圖 4，每一單元主動畫素包含位於半導體基板之表面上的四個（4）主動區圖案 A1 至 A4。基板之非主動區可（例如）為諸如淺溝槽隔離（STI）區或矽局部氧化（LOCOS）區之類的隔離區。或者，基板之非主動區可（例如）為諸如高度相反摻雜區之類的接面隔離區。

此實例之第一主動區圖案 A1 含有兩個光電轉換元件區 PD1 及 PD2、浮動擴散區 FD、轉移閘極 TG1 及 TG2 以及重設閘極 RG。光電轉換區 PD1 及 PD2 對應於圖 3 之光電轉換元件 11a 及 11b，浮動擴散區 FD 對應於圖 3 之浮動擴散區 13，轉移閘極 TG1 及 TG2 對應於圖 3 之轉移電晶體 15a 及 15b 之間極，且此重設閘極 RG 對應於圖 3 之重設電晶體 18 的閘極。

此實例之第二主動區圖案 A2 含有兩個光電轉換元件區 PD3 及 PD4、浮動擴散區 FD、轉移閘極 TG3 及 TG4，以及虛擬閘極（dummy gate）DG。光電轉換區 PD3 及 PD4 對應於圖 3 之光電轉換元件 11c 及 11d，浮動擴散區 FD 對應於圖 3 之浮動擴散區 13，且轉移閘極 TG3 及 TG4 對應於圖 3 之轉移電晶體 15c 及 15d 的閘極。

藉由配線（未圖示）來將第一主動區圖案 A1 之浮動擴散區 13 電性連接至第二主動區圖案 A2 之浮動擴散區 FD。視情況來提供該虛擬閘極 DG，以匹配第一主動區圖案 A1 之間極圖案佈局。

第三主動區圖案 A3 含有源極隨耦閘極 SFG，且第四

主動區圖案 A4 含有列選擇閘極 RSG。列選擇閘極 RSG 對應於圖 3 之選擇電晶體 19 之間極，且源極隨耦閘極 SFG 對應於圖 3 之驅動電晶體 17 之間極。

仍參看圖 4，第一主動區圖案 A1 包含分別含有光電轉換元件 PD1 及 PD2 的兩個垂直對準的主動區部分 a11 及 a12。為達成解釋之目的，垂直方向由圖 4 之虛線“x”界定，且其與圖 3 中所示之 APS 陣列的行方向一致。主動區部分 a11 及 a12 之每一者具有多個多面的多邊形外圓周。此等外圓周意欲接近圓形以盡可能地符合定位於光電轉換區 PD1 及 PD2 上方之微透鏡（未圖示）的組態。同樣，在此實施例之實例中，主動區部分 a11 及 a12 由區域間隔 SL 隔開且實質上界定了彼此對其間居中的水平軸的鏡像。水平方向平行於圖 4 中之虛線“y”，且平行於圖 3 之列方向。

藉由第一主動區圖案 A1 之主動區部分 c1 來將主動區部分 a11 及 a12 連接於相對的轉角處。如圖所示，主動區部分 c1 含有浮動擴散區 FD 之至少一部分。轉移閘極通道區界定於主動區部分 a11 及/或第一轉移閘極 TG1 下方之 c1 內，且另一轉移閘極通道區界定於主動區部分 a12 及/或第二轉移閘極 TG2 下方之 c1 內。

主動區部分 a11 及 a12 之剩餘轉角（即，不連接至主動區部分 c 之轉角(corner)）包含有凹口的-或鋸齒狀的周邊部分，從而允許相鄰的單元主動畫素之部分可很接近地放置放著。稍後將參看圖 5 來更詳細地解釋實例之此態樣。

仍參看圖 4，第一主動區圖案 A1 亦包含在水平方向上

自主動區部分 c1 向外延伸的主動區延伸部分 b。一種重設閘極通道區界定於主動區部分 c1 及/或重設閘極 RG 下方之 b 內。雖然未圖示，但主動區延伸部分 b 可連接至參考電位（例如，Vdd）。

第二主動區圖案 A2 包含分別含有光電轉換元件 PD3 及 PD4 之兩個垂直對準的主動區部分 a21 及 a22。再次，垂直方向由圖 4 之虛線“x”來界定，且其與圖 3 中所示之 APS 陣列的行方向一致。主動區部分 a21 及 a22 之每一者具有意欲接近圓形的多面的多邊形外圓周。主動區部分 a21 及 a22 由區域間隔 SL 隔開且實質上界定了彼此對其間居中之水平軸（與“y”軸或列方向平行）的鏡像。

藉由第二主動區圖案 A2 之主動區部分 c2 來將主動區部分 a21 及 a22 連接於相對的轉角處。如圖所示，主動區部分 c2 含有浮動擴散區 FD 之至少一部分。轉移閘極通道區界定於主動區部分 a21 及/或第一轉移閘極 TG3 下方之 c2 內，且另一轉移閘極通道區界定於主動區部分 a22 及/或第二轉移閘極 TG4 下方之 c2 內。

主動區部分 a21 及 a22 之剩餘轉角（即，不連接至主動區部分 c2 之轉角）包含有凹口的-或鋸齒狀的周邊部分，從而允許相鄰單元主動畫素之部分可很接近地置放著。又，稍後將參看圖 5 來更詳細地解釋此實施例之此態樣。

第一主動區圖案 A1 及第二主動區圖案 A2 由主動畫素間隔 SAP 隔開且實質上界定了彼此對其間居中之水平軸

(與“y”軸或列方向平行)的鏡像。較佳地，參看圖 4，主動畫素間隔 SAP 實質上與區域間隔 SL 相同。

如圖 4 中所示，第三主動區圖案 A3 在垂直方向上為狹長的，且與鄰近其個別較低及較上轉角的第一主動區圖案 A1 及第二主動區圖案 A2 相分離且位於 A1 與 A2 之間。同樣，在此實例中，第三主動區圖案 A3 之左側與主動區部分 a11 至 a22 之右側實質上垂直地對準。

第四主動區圖案 A4 在垂直方向上亦是狹長的，且與鄰近其之較低轉角的第二主動區圖案 A2 相分離。在此實例中，第四主動區圖案 A4 之左側與主動區部分 a11 至 a22 之右側實質上垂直地對準。

注意到浮動擴散區 FD 是用於讀出由光電轉換元件區 PD1 至 PD4 所積聚之電荷的一種讀出儲存節點區之實例。然而，本發明不限於浮動擴散區之使用，且可替代地 (instead) 建構其他類型的讀出儲存節點區。

另外，圖 3 之實施例意欲實現圖 2 之電路組態。然而，本發明不限於此方面，且可替代地建構其他電路組態。

更進一步地，只要光電轉換區 PD1 至 PD4 彼此保持電性隔離，則主動區 A1 及 A2 可組成單一主動區。此可(例如)藉由在主動區中形成的雜質區域 (impurity region) 來達成。

圖 5 說明圖 4 中所示之主動區圖案之陣列。

共同參看圖 4 及 5，主動區圖案 A1/A2 在各行(columns) 中垂直地對準，且在各列中水平地對準。在同一列中的相

鄰主動區圖案 A1/A2 之間的距離在本文中定義為行間隔 SC。在同一行中的相鄰主動區圖案 A1/A2 之間的距離在本文中定義為列間隔 SR。同樣，如先前所提及的，主動區部分 A1 與 A2 之間的間隔在本文中定義為主動畫素間隔 SAP，且主動區部分 a11 與 a12 (及 a21 與 a22) 之間的間隔在本文中定義為區域間隔 SL。

第三主動區圖案 A3 位於主動畫素間隔 SAP 與行間隔 SC 之相交處。另外，第三主動區圖案 A3 在行間隔 SC 之方向上縱向延伸著。如上文中所提及者，且如圖 5 中所示的，第一主動區圖案 A1 及第二主動區圖案 A2 之轉角為有凹口或鋸齒狀者，從而允許有足夠的空間用於置放第三主動區圖案 A3。

第四主動區圖案 A4 位於列間隔 SR 與行間隔 SC 之相交處。另外，第四主動區圖案 A4 在行間隔 SC 之方向上縱向延伸著。又，且如圖 5 中所示的，第一及第二主動區圖案 A1 及 A2 之轉角為有凹口或鋸齒狀者，從而允許有足夠的空間用於置放第四主動區圖案 A4。

較佳地，行間隔 SC、列間隔 SR、主動畫素間隔 SAP 以及區域間隔 SL 之寬度全部相同。同樣，第三主動圖案區 A3 及第四主動圖案區 A4 之每一者的寬度較佳是與每一行間隔 SC 之寬度相同，且與其重合。

在每一列內，每一主動區圖案 A1 之主動區部分 b 延伸之範圍超出行間隔 SC 且在相鄰主動區圖案 A1 之主動區部分 a11 與 a12 之間延伸著。又，主動區圖案 A1 之主動

區部分 a11 及 a12 之轉角為有凹口或鋸齒狀者，從而允許有足夠的空間用於置放相鄰主動區圖案 A1 之主動區延伸部分 b。

說明於圖 4 及 5 中之實例的組態提供許多優勢。舉例而言，可藉由適當地設計行間隔 SC、列間隔 SR、主動畫素間隔 SAP 及區域間隔 SL 來使位於各光電轉換區 PD 之中心 PC 之間的行間距 P1 及列間距 P2 相等。另外，藉由在同一列中的相鄰主動區圖案 A1 之部分 a11 與 a12 之間延伸的每一主動區圖案 A1 的部分 b 來使畫素密度增大(意即，間距減少)。同樣，藉由在行間隔 SC 中縱向地定位主動區圖案 A2 來使畫素密度進一步增大。

本發明並不限於圖 4 及 5 之特定實施例。僅作為一實例時，重設閘極 RG 可置放於第三主動區圖案 A3 中而不是放在第一主動區圖案 A1 中。同樣，主動區圖案 A1 及 A2 之外圓周不必與圖 4 及圖 5 之實例中說明的外圓周相同。如熟習此項技術者將瞭解的，在不脫離本發明之精神及範疇的情況下，其他的變化是可能的。

現將注意力集中於說明定位於圖 5 之陣列上方的阻擋層 (blocking layer) M 的圖 6。共同參看圖 4 至 6，阻擋層 M 界定了多個在第一主動區圖案 A1 及第二主動區圖案 A2 之部分 a11 至 a22 上方對準的多個光學孔徑 (optical aperture) 165。阻擋層 M 可由 (例如) 鋁或銅層所形成，且用以阻擋光在浮動擴散區 FD 及讀出電路 (TG1、TG2、RG、RSG 及 SFG) 上入射的作用。

在本實施例之較佳實例中，行間隔 SC、列間隔 SR、主動畫素間隔 SAP 及本地間隔 SL 全部相等。在此種情況下，阻擋層 M 之水平寬度 WR\_odd 及 WR\_even 與垂直寬度 WC\_odd 及 WC\_even 實質上相同。

在圖 6 中，字元 R、G 及 B 分別表示紅色、綠色及藍色過濾區。如熟習此項技術者將瞭解的，在圖 6 之實例中，將 R、G 及 B 彩色濾光片排列成所謂的貝耳圖案（Bayer pattern）。

圖 7 說明本發明之實施例的 APS 陣列中的微透鏡置放之實例。如此圖中所示的，多個微透鏡 200 分別定位於諸如結合圖 4-6 在上文中描述的 APS 陣列之光電轉換區的上方。微透鏡 200 之作用是用以聚焦且過濾入射至下伏 (underlying) 光電轉換區上之光。

在圖 7 中，參考字元 F 表示每一透鏡 200 之焦點，且參考字元 PC 表示每一下伏光電轉換區之重心。如圖式中所說明的，在 APS 陣列之選定區域中可故意地偏移焦點 F 及中心 PC，以補償光穿過 APS 陣列之表面而入射的不同角度。舉例而言，如圖 7 中所示的，在 APS 陣列之左側或右側部分，焦點 F 與中心 PC 可發生偏差，而在 APS 陣列之中心部分，焦點 F 與中心 PC 可對準。

圖 8 是展示沿著圖 7 之線 A-A' 剖開的示意性橫截面圖的實例。

參看圖 8，含有釘紮(pinning)層 114 及光電二極體區 112 之光電轉換元件 110 形成於具有 p-型磊晶層 (epitaxial

layer) 107 的 n-型摻雜半導體基板 101 中。在此實例中，聚集層 103 (其作用是用以減小暗電流 (dark current) 且減少白缺陷) 亦藉由植入諸如碳、鍺或其組合之 IV 族原子來形成。

隔離區 109 形成於基板之表面上，以界定主動區圖案 (例如，圖 4 中之 A1、A2)。閘極介電層 134 接著以約 5 至 100Å 之厚度形成於基板 101 上。閘極介電層 134 可 (例如) 由  $\text{SiO}_2$ 、 $\text{SiON}$ 、 $\text{SiN}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{Ge}_x\text{O}_y\text{N}_z$ 、 $\text{Ge}_x\text{Si}_y\text{O}_z$ 、 $\text{HfO}_2$ 、 $\text{ZrO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_5$ ，或其兩個或兩個以上之組合來形成。

接著形成閘極 (Gate electrode) 136 及閘極隔片 (gate spacer) 138，以界定一轉移電晶體、一驅動 (源極隨耦) 電晶體 (未圖示)、一重設電晶體 (未圖示) 以及一個列選擇電晶體 (未圖示)。閘極 136 可 (例如) 由多晶矽、W、Pt、Al、TiN、Co、Ni、Ti、Hf、Pt 或其兩個或兩個以上的組合來形成，且閘極隔片 138 可 (例如) 由  $\text{SiO}_2$ 、 $\text{SiN}$  或其組合來形成。摻 n-型雜質之浮動擴散區 120 及摻 p-型雜質之釘紮層 114 亦如圖 8 中所示般地形成。

圖 8 之參考數字 170 表示形成於基板 101 上方之一個或多個層間介電 (ILD) 層，且參考數字 145 及 155 表示形成於 ILD 層 170 內的導線。形成多個傳導塞 (plugs) 140 以連接浮動擴散區 120 與導線 145，且形成多個傳導塞 150 以將轉移閘極 130 電性連接至第二導線 155。傳導塞 140 及 150 與導線 145 及 155 可由 (例如) 多晶矽及/或諸如鋁

或銅之類的金屬來形成。

由（例如）鋁、銅或其他金屬材料製成的阻擋層 160 亦形成於 ILD 170 中。阻擋層 160 對應於圖 6 中所說明的阻擋層 M。第一平面層 180、彩色濾光片圖案 190 以及第二平面層 195 依次地形成於 ILD 170 上方，且微透鏡 200 接著形成於第二平面層 195 上方。如先前結合圖 7 所解釋的，可故意偏移微透鏡 200 之焦點，以補償光穿過 ASP 陣列之表面而入射的不同角度。

圖 9 是用於解釋本發明之實施例的共用二畫素 APS 陣列之運作實例的時序圖。詳言之，此處所提出之實例為“電荷累計（Charge summation）”過程，其中總計來自兩個光電轉換區之電荷以獲得單一之光強度值。在此實例中，將 ASP 陣列之彩色濾光片排列成諸如圖 5 中所說明的貝耳組態。電影模式中電荷累計尤為有用，在電影模式中，自 ASP 陣列供應可超過影像訊號處理器之處理能力的大量資料。

共同參看圖 2、5 及 9，在 APS 陣列之每一列中之光電轉換元件 11 同時積聚著取決於入射於其上之光的電荷。接下來之解釋是關於圖 2 之畫素  $P(i, j+1)$ 。此處假定畫素  $P(i, j+1)$  對應於圖 5 中所示之第二行的光電轉換區。此等光電轉換區在圖 5 中自頂部至底部分別具有綠色 G、藍色 B、綠色 G 及藍色 B 彩色濾光片。

在時間  $t_0$  時，將選擇線  $SEL(i)$  驅動至 HIGH，藉以啟動（打開）選擇電晶體 19。隨後，將時脈脈波施加於重設線  $RX(i)$ ，且該重設電晶體 18 對此做出響應，以將浮動擴

散區 13 重設至電源電壓（例如，Vdd）。

在時間 t1 至 t2 期間，將訊號脈波施加於第一轉移線 TX(i)a，結果，第一轉移電晶體 15a 被啟動以將光電轉換元件 11a 中之電子轉移至浮動擴散區 13。將浮動擴散區 13 中之電荷施加於驅動電晶體 17 之閘極，因而導致在輸出線 Vout 上存在相對應的輸出電壓。輸出線 Vout 連接至關連式雙取樣器 CDS 50（圖 1），其保持此輸出 Vout 之電壓位準，且比較此輸出 Vout 之電壓位準與此輸出 Vout 之先前的電壓位準。

接著，在時間 t2 至 t3 期間，將訊號脈波施加於第三轉移線 TX(i)c，結果，第三轉移電晶體 15c 被啟動以將光電轉換元件 11c（綠色 G）中之電子轉移至浮動擴散區 13。將浮動擴散區 13 中之電荷施加於驅動電晶體 17 之閘極，因而導致在輸出線 Vout 上存在相對應的輸出電壓。

接著，總計因而自光電轉換元件 11a 及 11c 所衍生之電荷，以獲得該主動單元畫素所需之綠色 G 光強度。

接著，在時間 t4 時，再次將時脈脈波施加於重設線 RX(i)，且重設電晶體 18 再次對此做出響應以將浮動擴散區 13 重設至電源電壓（例如，Vdd）。

在時間 t5 至 t6 期間，將訊號脈波施加於第二轉移線 TX(i)b，結果，第二轉移電晶體 15b 被啟動以將光電轉換元件 11b（藍色 B）中之電子轉移至浮動擴散區 13。將浮動擴散區 13 中之電荷再次施加於驅動電晶體之閘極，因而導致在輸出線 Vout 上存在相對應的輸出電壓。

接著，在時間 t6 至 t7 期間，將訊號脈波施加於第四轉移線 TX(i)d，結果，第四轉移電晶體 15d 被啟動以將光電轉換元件 11d(藍色 B)中之電荷轉移至浮動擴散區 13。將浮動擴散區 13 中之電荷施加於驅動電晶體 17 之閘極，因而導致在輸出線 Vout 上存在相對應的輸出電壓。

接著，總計因而自光電轉換元件 11b 及 11d 所得到之電荷，以獲得主動單元畫素所需之藍色 B 光強度。

接著為 APS 陣列所剩餘的每一列重複上述過程。

如先前所提及的，本發明不限於在上文中結合圖 2-9 所提出之特定實例。舉例而言，將注意力集中於圖 10，其說明本發明之另一實施例的另一主動區圖案布局。

說明於圖 10 中之主動區圖案布局類似於圖 4 之主動區圖案布局，因為其包含四個 (4) 主動區圖案 A5、A6、A7 及 A8。然而，在圖 10 之布局中省略圖 4 之延伸部分 b。另外，重設閘極 RG 在圖 10 中定位於主動區圖案 A7 的上方，且源極隨耦器(follower)閘極 SFG 及選擇閘極 RSG 在圖 10 中均定位於主動區圖案 A8 的上方。

圖 11 說明本發明之另一實施例的又另一主動區圖案布局。此實施例亦包含四個 (4) 主動區圖案 A9、A10、A11 及 A12。第一主動區圖案 A9 包含在如圖 11 中所示的以矩陣形式排列的四個等間隔的主動區部分 a11、a12、a21 及 a22 之間居中的主動區部分 c。主動區部分 a11、a12、a21 及 a22 分別含有光電轉換區 PD1 至 PD4。主動區部分 c 含有共同浮動擴散區 FD，且轉移閘極 TG1 至 TG4 定位

於浮動擴散區 FD 與個別主動區部分 a11 至 a22 之間。

如圖 11 所示，主動區部分 a11、a12、a21 以及 a22 之間的水平間隔被定義為主動畫素列間隔 SAPR，且垂直間隔被定義為主動畫素行間隔 SAPC。較佳地，列間隔 SR、行間隔 SC、主動畫素列間隔 SAPR 以及主動畫素行間隔 SAPC 之寬度實質上相同。

主動區圖案 A10、A11 以及 A12 均為狹長的，且在垂直（行）方向上縱向延伸著。同樣，如圖 11 所示，主動區圖案 A10 位於列間隔 SR 與主動畫素行間隔 SAPC 之相交處。主動區圖案 A11 位於行間隔 SC 與主動畫素列間隔 SAPR 之相交處。最後，主動區圖案 A12 位於列間隔 SR 與行間隔 SC 之相交處。

同樣，在此實施例之實例中，重設閘極 RG 位於主動區 A10 上方，源極隨耦器閘極 SFG 位於主動區 A11 上方，且選擇閘極 RSG 位於主動區 A12 上方。

圖 12 說明具有 CMOS 影像裝置 542 之示範性的基於處理器的系統，其中 CMOS 影像裝置 542 包含本發明之上述實施例的影像感測器。基於處理器之系統是一種接收 CMOS 影像裝置之輸出的系統的實例。在不受限制的情況下，此種系統可包含電腦系統、攝影機系統、掃描器、機器視覺系統、車輛導航系統、視訊電話、監視系統、自動聚焦系統、星體追蹤系統、活動偵測系統、影像穩定系統、行動電話，以上所有系統都可利用本發明之實施例。

參看圖 12，此實例之基於處理器的系統大體上包含中

央處理單元 (CPU) 544，例如，經由匯流排 552 而與輸入/輸出 (I/O) 裝置 546 通信的微處理器。CMOS 影像裝置 542 自供應自影像感測器之主動畫素陣列的訊號以產生一種輸出影像，且亦經由匯流排 552 或其他通信鏈路來與系統通信。系統亦可包含隨機存取記憶體 (RAM) 548，且在電腦系統之情況下可包含周邊裝置，諸如亦經由匯流排 552 來與 CPU 544 通信之軟磁碟驅動機 554 及 CD ROM 驅動器 556。可包含其他的周邊裝置，諸如快閃記憶體卡片槽及其類似物。亦可依需要而將處理器 544、CMOS 影像裝置 542 及記憶體 548 整合於單一積體電路 (IC) 晶片上。

雖然本發明已結合較佳實施例揭露如上，但是本發明並不限於此。相反地，熟習此項技術者將瞭解可對較佳實施例作些許之更動與潤飾。因此，本發明不限於上述之較佳實施例。相反地，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

參看附圖，自上文之詳細描述中將易瞭解本發明之上述及其他態樣及特徵，其中：

圖 1 是 CMOS 影像感測器 (CIS) 裝置之方塊圖。

圖 2 是圖 1 之 CIS 裝置的主動畫素陣列中的主動畫素之等效電路圖。

圖 3 是根據本發明之實施例之主動畫素感測 (APS) 陣列之電路圖。

圖 4、5 及 6 說明本發明之實施例的 APS 陣列之主動

畫素布局。

圖 7 說明本發明之實施例的 APS 陣列中之微透鏡的布局。

圖 8 是根據本發明之實施例的主動畫素之橫截面圖。

圖 9 是用於解釋根據本發明之實施例的 APS 陣列之運作的時序圖。

圖 10 說明本發明之另一實施例的 APS 陣列之主動畫素布局。

圖 11 說明本發明之另一實施例的 APS 陣列之主動畫素布局。

圖 12 是使用含有本發明之實施例之 APS 陣列的影像感測器的基於處理器的系統的方塊圖。

#### 【主要元件符號說明】

10：主動畫素感測器陣列/主動畫素陣列

11、11a、11b、11c、11d：光電轉換元件

13：浮動擴散區

15、15a、15b、15c、15d：轉移電晶體

17：驅動電晶體

18：重設電晶體

19：選擇電晶體

20：時序產生器

22：主動畫素

30：列解碼器

40：列驅動器

- 50：關連式雙取樣及數位轉換電路  
60：類比數位轉換器  
70：鎖存電路  
80：行解碼器  
101：半導體基板  
103：聚集層  
107：p-型磊晶層  
109：隔離區  
110：光電轉換元件  
112：光電二極體區  
114：釘紮層  
120：浮動擴散區  
130：轉移閘極  
134：閘極介電層  
136：閘極  
138：閘極隔片  
140：傳導塞  
145：導線  
150：傳導塞  
155：導線  
160：阻擋層  
165：光學孔徑  
170：層間介電層  
180：第一平面層

190：彩色濾光片圖案

195：第二平面層

200：微透鏡

542：CMOS 影像裝置

544：中央處理單元

546：輸入/輸出裝置

548：隨機存取記憶體

552：匯流排

554：軟磁碟驅動機

556：CD ROM 驅動器

a11、a12、a21a22：主動區部分

A1、A2、A3、A4：主動區圖案

A5、A6、A7、A8：主動區圖案

A9、A10、A11、A12：主動區圖案

b：主動區延伸部分

B：藍色過濾區

c：主動區部分

c1：主動區部分

c2：主動區部分

DG：虛擬閘極

Dx：驅動電晶體

FD：浮動擴散區

FD：浮動擴散區

G：綠色過濾區

M：阻擋層

OUT：輸出電壓

P(i, j+1)、P(i, j)、P(i+1, j+1)、P(i+1, j)：單元主動畫素

P1：行間距

P2：列間距

PC：中心

PD：光電轉換元件

PD1、PD2、PD3、PD4：光電轉換元件區/光電轉換區

R：紅色過濾區

RG：重設閘極

RS：重設訊號

RSG：列選擇閘極

RX(i)、RX(i+1)：重設線

Rx：重設電晶體

SAP：主動畫素間隔

SAPC：主動畫素行間隔

SAPR：主動畫素列間隔

SC：行間隔

SEL(i)、SEL(i+1)：選擇線

SEL：列選擇訊號

SFG：源極隨耦器閘極

SL：區域間隔

SR：列間隔

Sx：選擇電晶體

TG：轉移閘極訊號

TG1、TG2、TG3、TG4：轉移閘極

TX(i)a、TX(i)b、TX(i)c、TX(i)d、TX(i+1)a、TX(i+1)b、

TX(i+1)c、TX(i+1)d：轉移閘極線

TX：轉移電晶體

Vout：輸出線

WC\_odd、WC\_even：垂直寬度

WR\_odd、WR\_even：水平寬度

## 五、中文發明摘要：

在一態樣中，提供一種包含單元主動畫素陣列之影像感測器。單元主動畫素之每一者包括一種包含多個光電轉換區之第一主動區域，以及與第一主動區域分離之第二主動區域。第一主動區域以列及行之形式排列，以便界定其間的列及行延伸間隔，且第二主動區域位於多個界定於第一主動區域之間的列及行延伸間隔的個別相交處。

## 六、英文發明摘要：

In one aspect, an image sensor is provided which includes an array of unit active pixels. Each of the unit active pixels comprises a first active area including a plurality of photoelectric conversion regions, and a second active area separated from the first active area. The first active areas are arranged in rows and columns so as to define row and column extending spacings there between, and the second active areas are located at respective intersections of the row and column extending spacings defined between the first active areas.

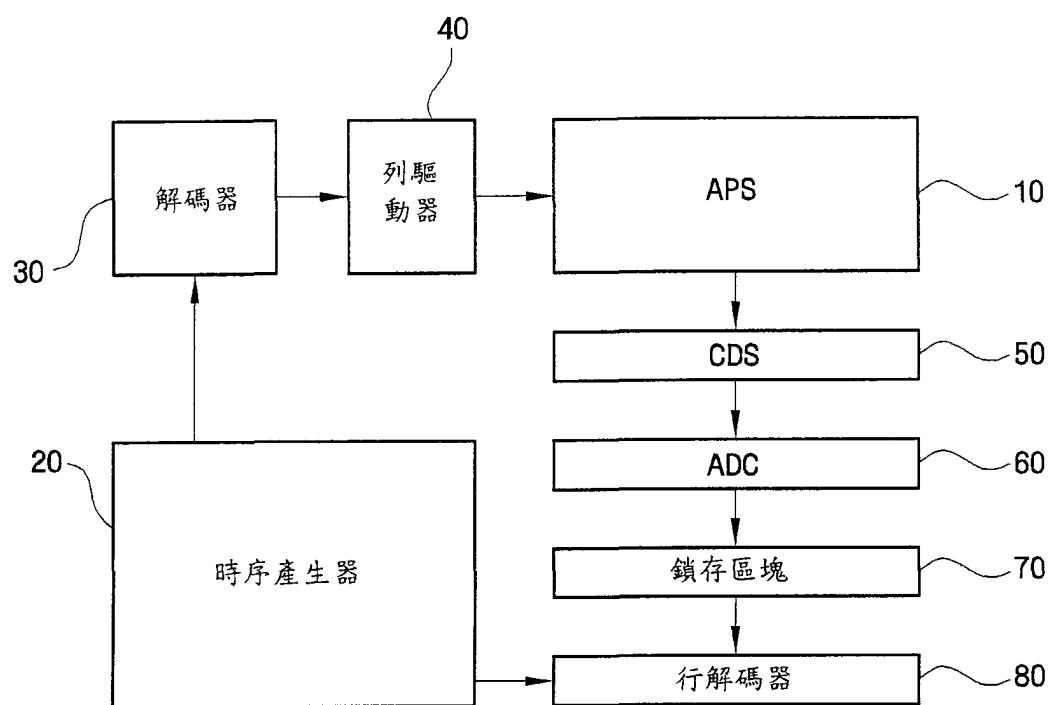


圖 1

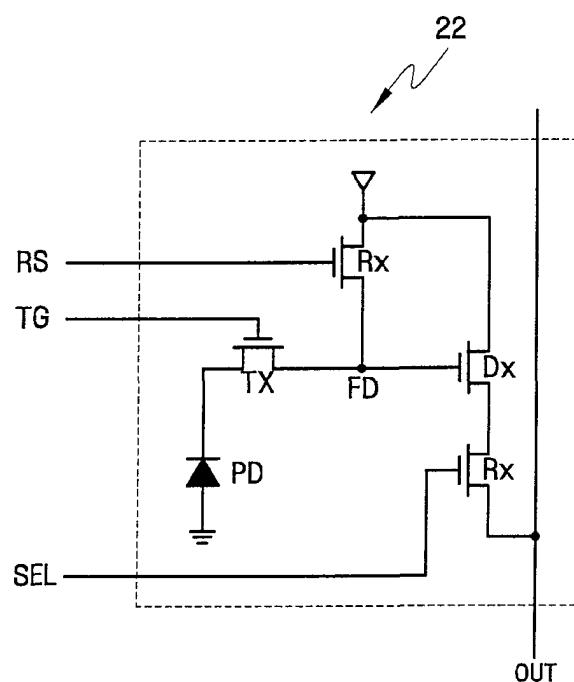


圖 2

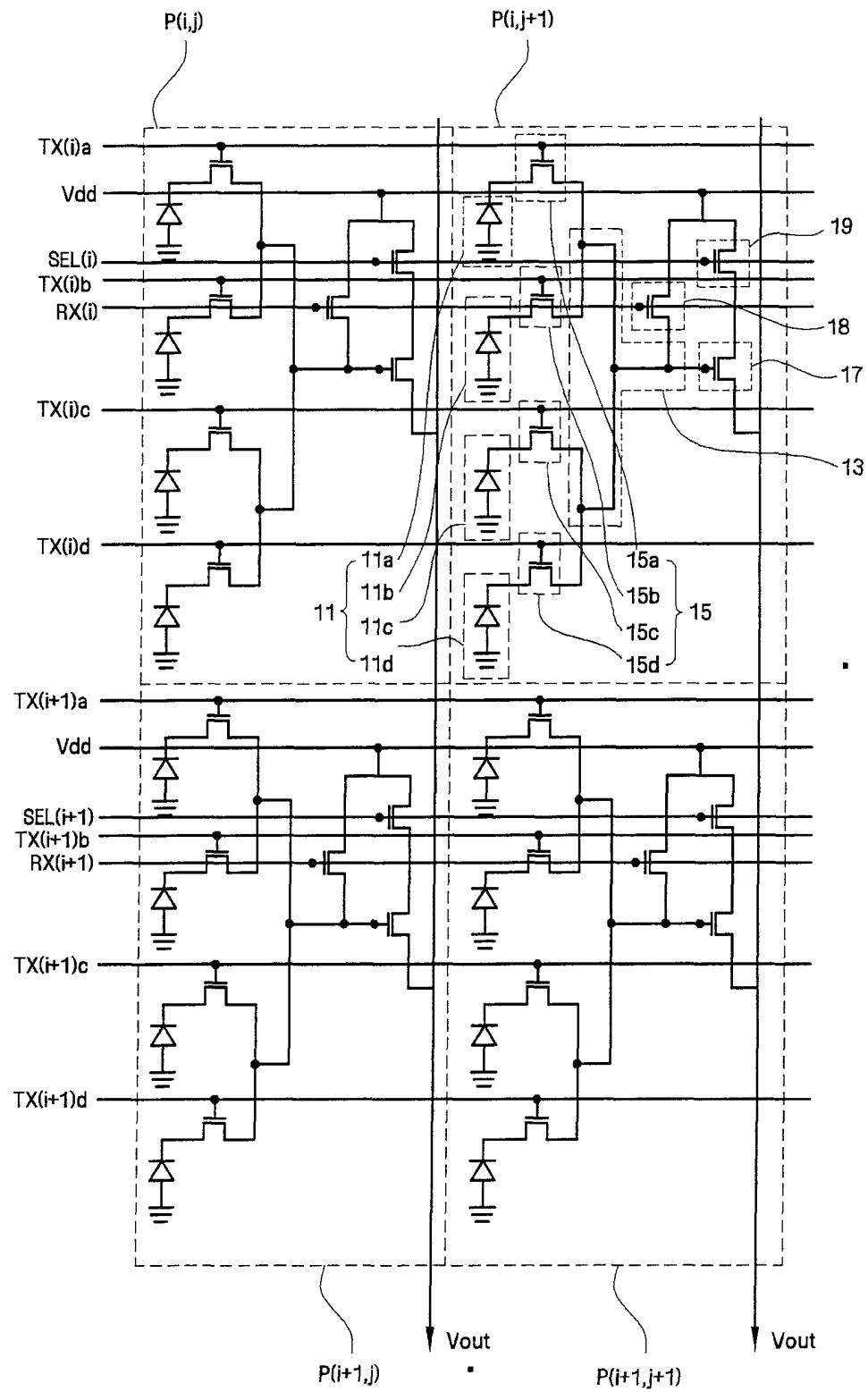


圖 3

I310987

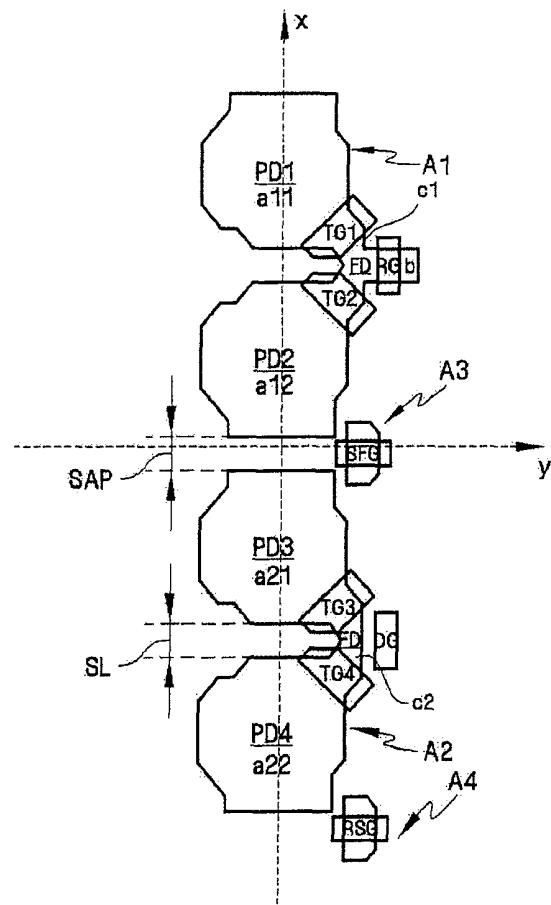


圖 4

I310987

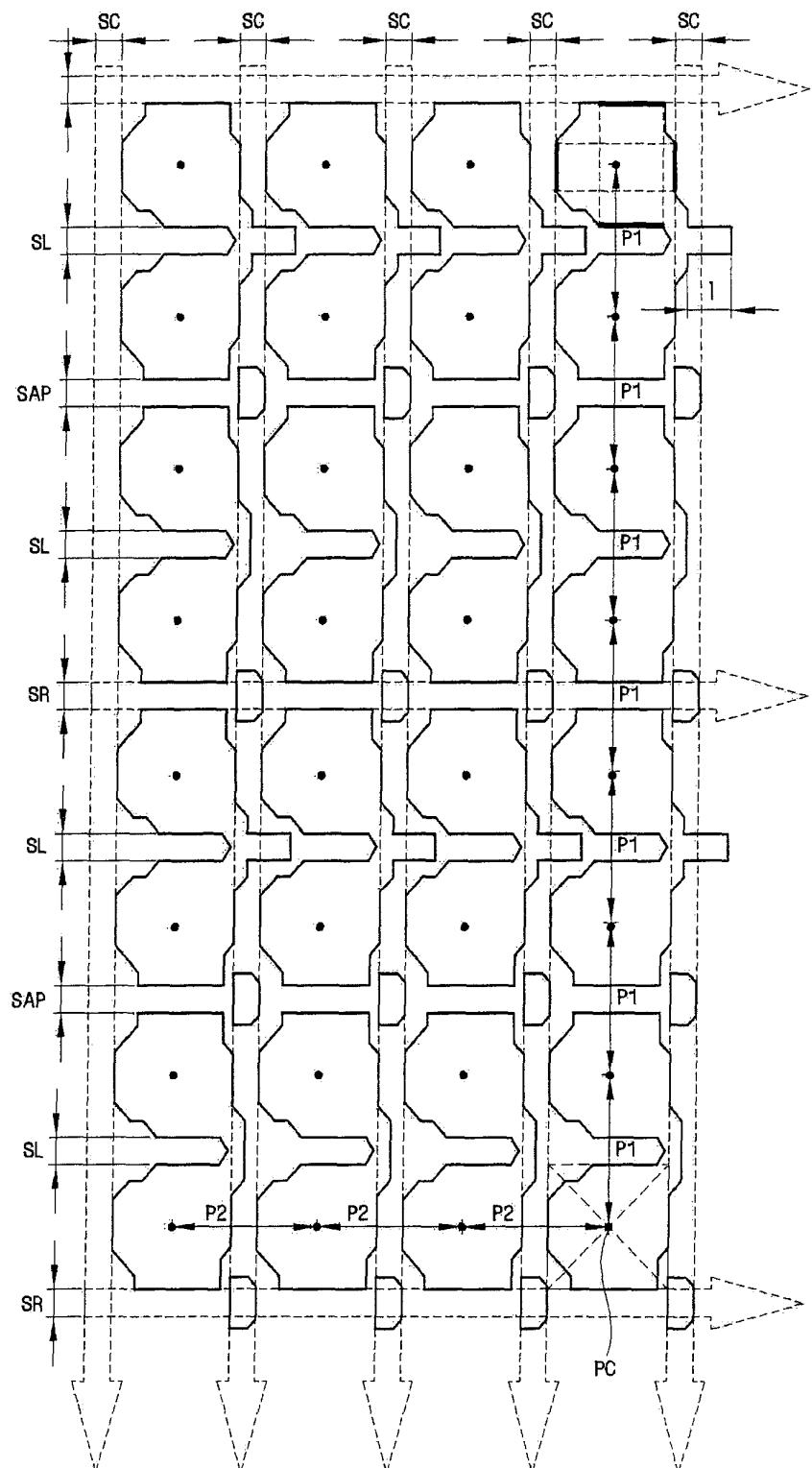


圖 5

I310987

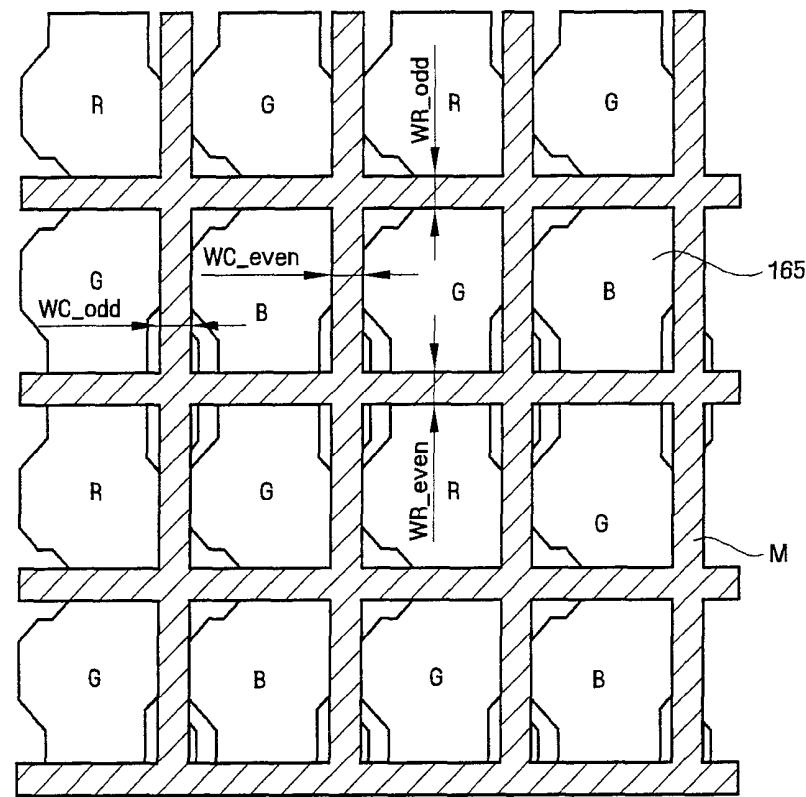


圖 6

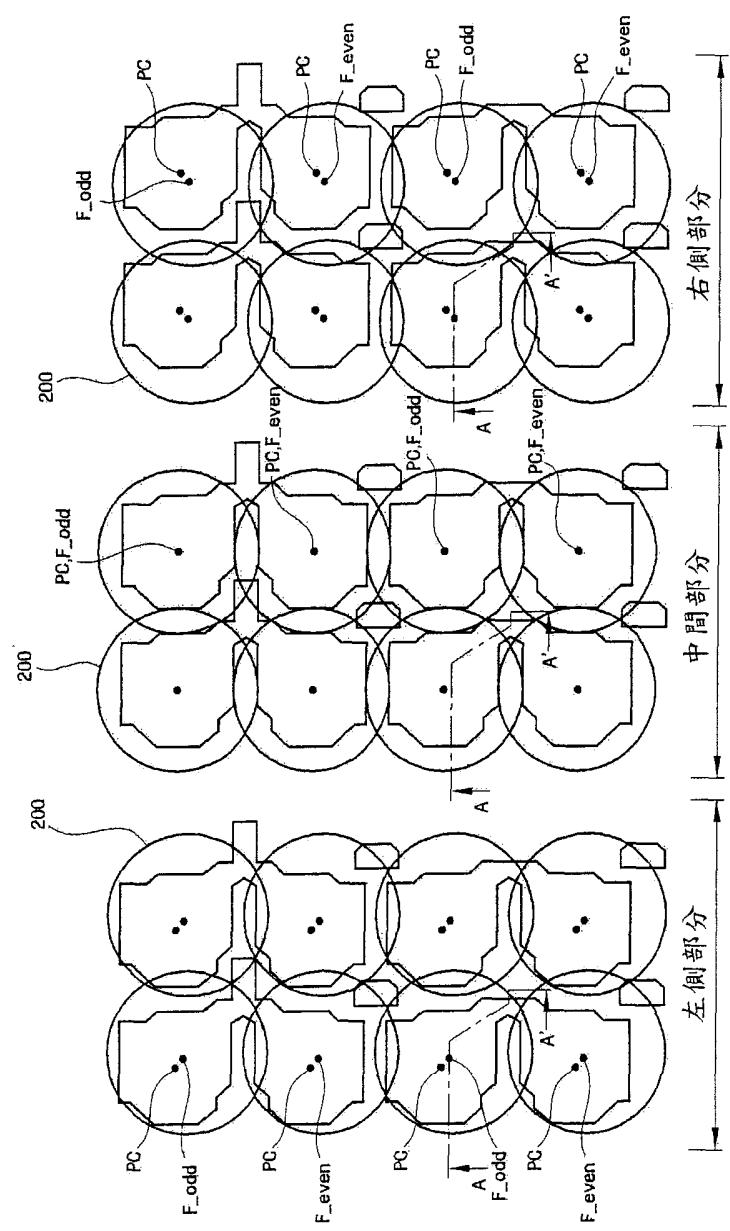


圖 7

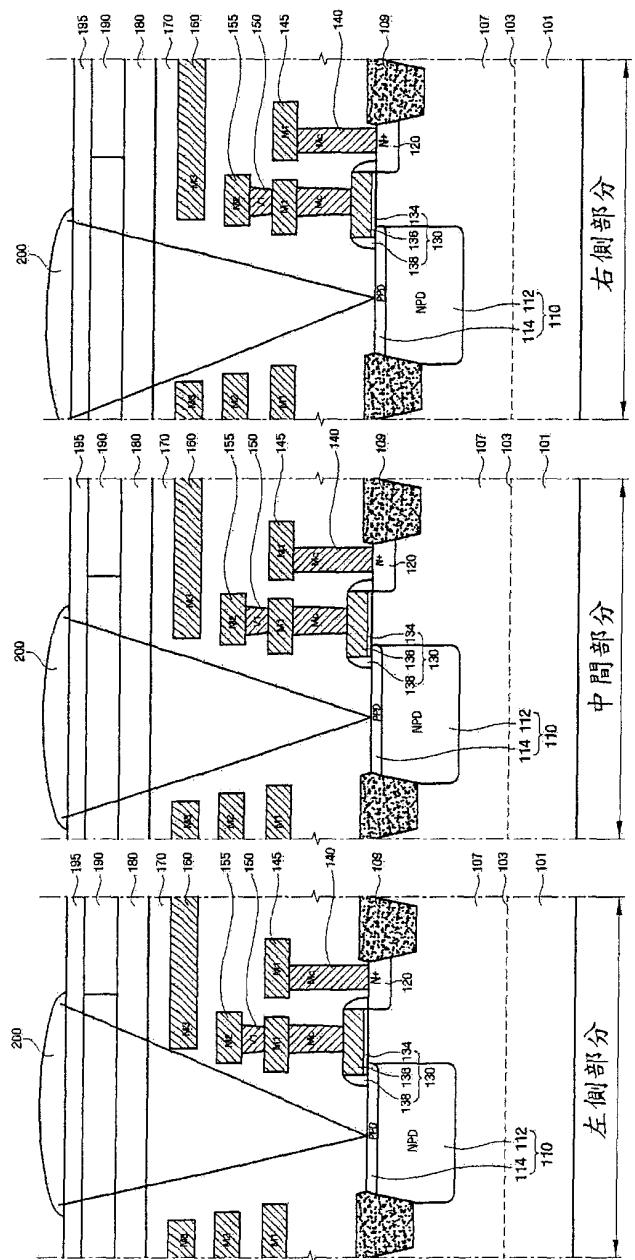


圖 8

I310987

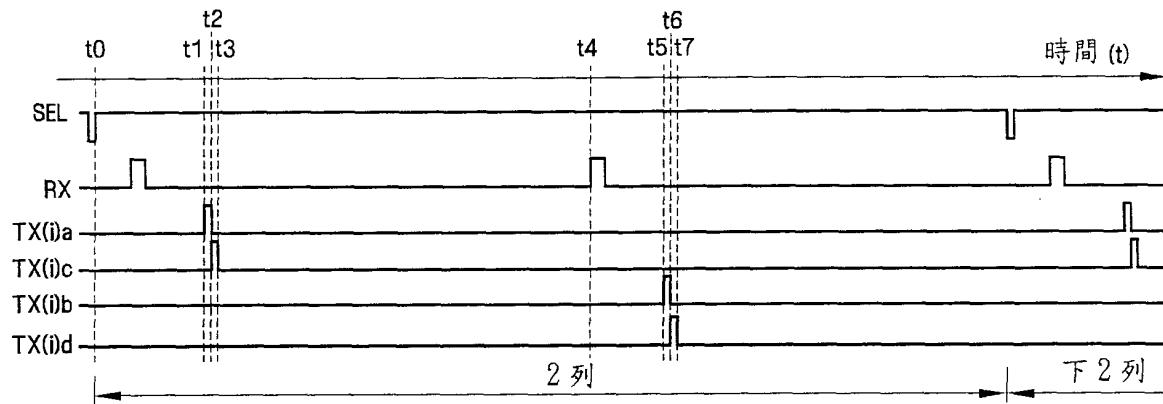


圖 9

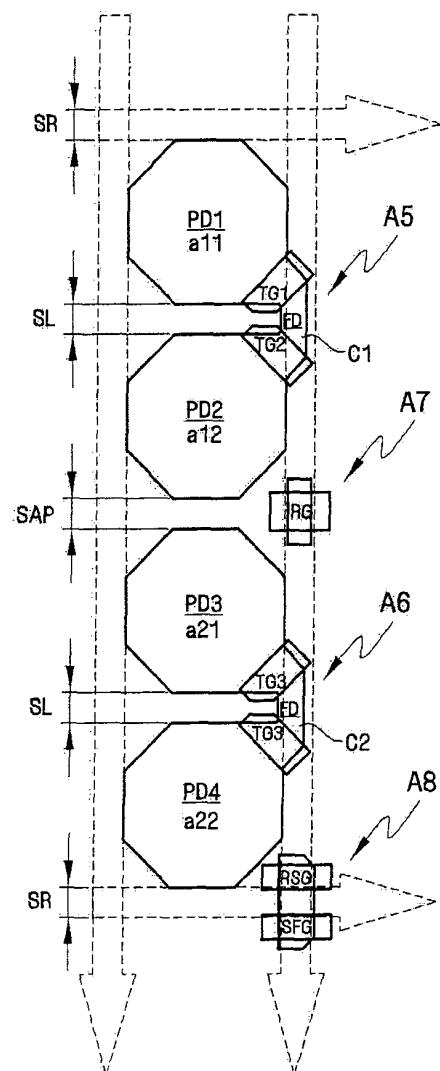


圖 10

I310987

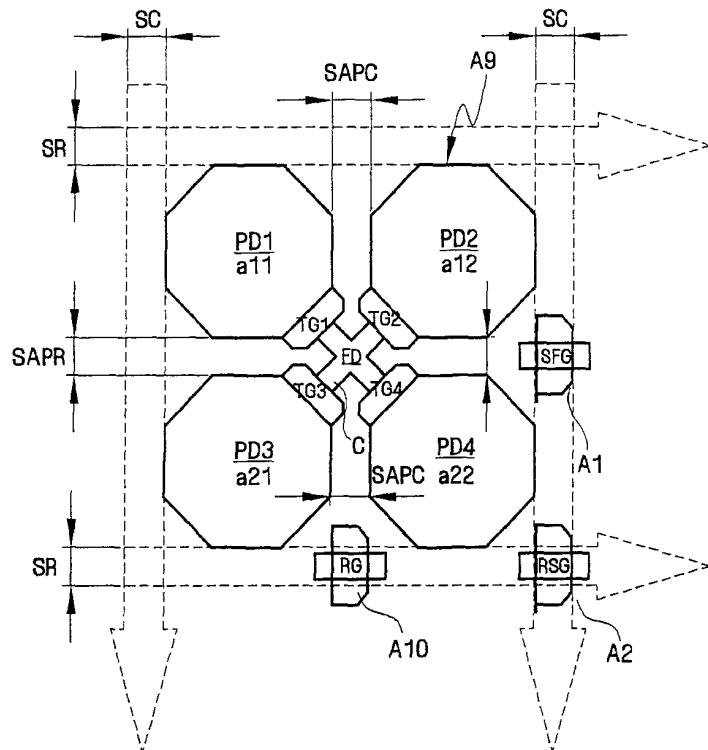


圖 11

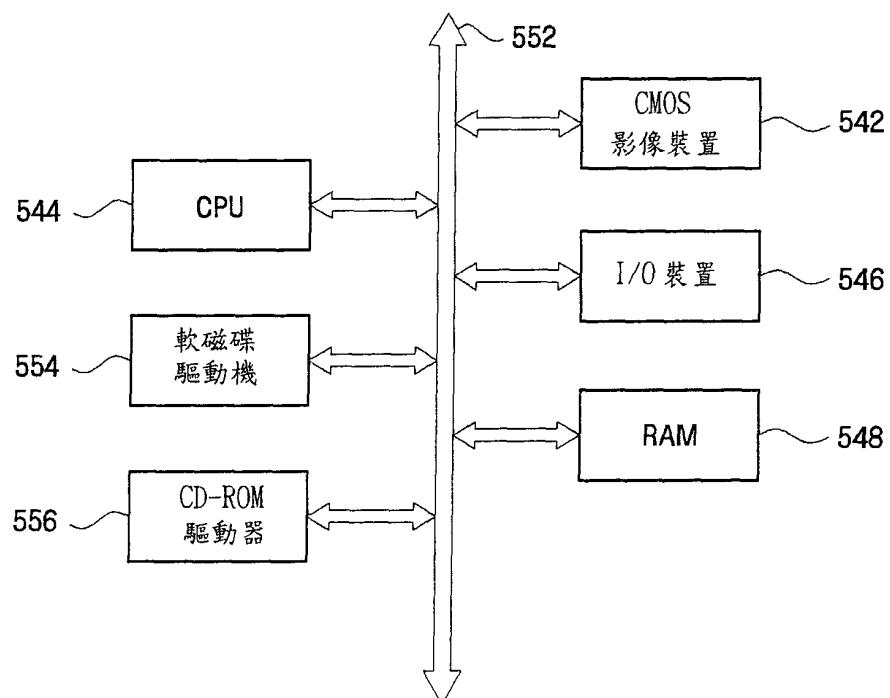


圖 12

## 七、指定代表圖：

(一)本案指定代表圖為：圖(4)。

(二)本代表圖之元件符號簡單說明：

a11、a12、a21、a22：主動區部分

A1、A2、A3、A4：主動區圖案

b：主動區延伸部分

c1：主動區部分

c2：主動區部分

DG：虛擬閘極

FD：浮動擴散區

PD1、PD2、PD3、PD4：光電轉換元件區/光電轉換區

RG：重設閘極

RSG：列選擇閘極

SAP：主動畫素間隔

SFG：源極隨耦閘極

SL：區域間隔

TG1、TG2、TG3、TG4：轉移閘極

## 八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95124773

※申請日期：95.7.1      ※IPC分類：H01L 27/14 (2006.01)

### 一、發明名稱：(中文/英文)

包含主動畫素感測陣列的影像感測器

IMAGE SENSORS INCLUDING ACTIVE PIXEL SENSOR  
ARRAYS

### 二、申請人：(共1人)

姓名或名稱：(中文/英文)

三星電子股份有限公司

SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文) 尹鍾龍/YUN, JONG-YONG

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞416番地

416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI,  
GYEONGGI-DO, REPUBLIC OF KOREA

國籍：(中文/英文) 韓國/KR

### 三、發明人：(共3人)

姓名：(中文/英文) ID：

1. 李錫河/LEE, SEOK-HA
2. 李德炯/LEE, DUCK-HYUNG
3. 李康福/LEE, KANG-BOK

國籍：(中文/英文) 1-3.韓國/KR

97年9月24日修(更)正本

## 十、申請專利範圍：

1. 一種影像感測器，其包括一種包含位於基板上之多個單元畫素的主動畫素陣列，其中所述單元畫素之每一者包括所述基板之多個主動區域，一第一主動區域包含二個在第一方向上對準的第一光電轉換區，一第二主動區域包含二個第二光電轉換區，其與第一主動區域之在第一方向上的二個第一光電轉換區相對準，第一主動區域和第二主動區域是在主動畫素的同一列中，以及

每一第三主動區域和第四主動區域都包含由第一主動區域和第二主動區域所共用的電路，且所述基板之第一、第二、第三和第四主動區域由多個非主動區域而互相分離。

2. 如申請專利範圍第 1 項所述之影像感測器，其中多個非主動區域包含所述基板中之隔離區。

3. 如申請專利範圍第 2 項所述之影像感測器，其中所述隔離區包含所述基板內之至少一個絕緣區或接面隔離區。

4. 如申請專利範圍第 1 項所述之影像感測器，其中所述光電轉換區為光閘型影像感測區或光電二極體區。

5. 如申請專利範圍第 1 項所述之影像感測器，其進一步包括分別位於每一單元畫素之所述第三及所述第四主動區域上方的第一及第二電晶體閘極。

6. 如申請專利範圍第 5 項所述之影像感測器，其中所述第一電晶體閘極是選擇閘極、驅動閘極以及重設閘極中之一者，且其中所述第二電晶體閘極是所述選擇閘極、所

述驅動閘極以及所述重設閘極中不同之一者。

7.如申請專利範圍第 5 項所述之影像感測器，其中所述第一電晶體閘極是選擇閘極以及驅動閘極中之一者，且其中所述第二電晶體閘極是所述選擇閘極以及所述驅動閘極中之另一者。

8.如申請專利範圍第 1 項所述之影像感測器，其中每一單元畫素之四個光電轉換區共用至少一個讀出儲存節點區。

9.如申請專利範圍第 8 項所述之影像感測器，其進一步包括多個分別位於所述讀出儲存節點區與所述四個光電轉換區之間的轉移閘極。

10.如申請專利範圍第 1 項所述之影像感測器，其中所述每一個第一主動區域和第二主動區域進一步包含：連接至所述四個光電轉換區之間之二個第一光電轉換區的第一讀出儲存節點區、以及連接至所述四個光電轉換區之間之二個第二光電轉換區的第二讀出儲存節點區。

11.如申請專利範圍第 1 項所述之影像感測器，其中第三及第四主動區域是狹長的且在平行於所述第一方向的方向上縱向延伸著。

12.如申請專利範圍第 1 項所述之影像感測器，其中所述四個光電轉換區之每一者的外圓周界定一多邊形。

13.一種影像感測器，其包括一種包含形成於基板上之多個單元主動畫素之主動畫素陣列，其中所述多個單元主動畫素包括：

第一單元畫素，其包括所述基板之四個主動區域，其由所述基板之至少一個第一非主動區域而互相分離，其中一個第一主動區域包含二個光電轉換區且一個第二主動區域包含二個光電轉換區，第一和第二主動區域之光電轉換區在第一方向上對準；以及

第二單元畫素，其包括所述基板之四個第四主動區域，其由所述基板之至少一個第二非主動區域而互相分離，其中一個第五主動區域包含二個光電轉換區，且一個第六主動區域包含二個光電轉換區，第五和第六主動區域之光電轉換區平行於所述第一方向而互相對準且相鄰於所述第一單元畫素之所述四個對準的光電轉換區，

其中在所述第一單元畫素之所述四個對準的光電轉換區和所述第二單元畫素之所述相鄰的四個對準的光電轉換區之間延伸的空間界定了一種行空間。

14.如申請專利範圍第 13 項所述之影像感測器，其中所述第一單元畫素之每一光電轉換區之重心和所述第二單元畫素之每一相鄰的光電轉換區之重心之間的間距相同。

15.如申請專利範圍第 13 項所述之影像感測器，其中所述第一單元畫素之第三及第四主動區域是在所述第一單元畫素之所述四個光電轉換區與所述第二單元畫素之所述四個光電轉換區之間延伸的空間中對準。

16.如申請專利範圍第 15 項所述之影像感測器，其中所述第三主動區域是位於所述第一及所述第二單元畫素之所述經對準的四個光電轉換區中的中間兩個光電轉換區之

間的邊界相鄰處，且其中所述第四主動區域相鄰於所述第一及所述第二畫素單元之所述經對準的四個光電轉換區的末端。

17.一種影像感測器，其包括一種包含單元主動畫素陣列之主動畫素陣列，所述單元主動畫素之每一者在基板中包含：第一主動區域及第二主動區域，其集體地包含四個在第一方向上對準的光電轉換區；以及狹長的第三及第四主動區域，其由所述基板之至少一非主動區域而與第一和第二主動區域相分離且在所述第一方向上縱向延伸，

其中所述四個光電轉換區是在所述主動畫素陣列之同一列中。

18.如申請專利範圍第 17 項所述之影像感測器，其中每一個第一主動區域和第二主動區域進一步包含：位於相鄰的第一與第二光電轉換區之間的第一讀出儲存節點區、以及位於相鄰的第三與第四光電轉換區之間的第二讀出儲存節點區。

19.如申請專利範圍第 18 項所述之影像感測器，其中所述第一與所述第二讀出儲存節點區彼此電性連接。

20.如申請專利範圍第 18 項所述之影像感測器，其中所述四個光電轉換區之每一者的外圓周是由多變形界定，其中所述第一讀出儲存節點區是位於所述第一與第二光電轉換區之相對轉角區之間，且其中所述第二讀出儲存節點區是位於所述第三與第四光電轉換區之相對轉角區之間。

21.如申請專利範圍第 20 項所述之影像感測器，其中

所述第一主動區域進一步在垂直於所述第一方向的第二方向上包含自所述第一讀出儲存節點區縱向延伸的狹長延伸區。

22.如申請專利範圍第 21 項所述之影像感測器，其中所述第一主動區域之所述狹長延伸區在相鄰的單元主動畫素的相鄰的第一主動區域的鄰近的第一與第二光電轉換區之間延伸。

23.如申請專利範圍第 17 項所述之影像感測器，其中所述單元主動畫素陣列中每一個單元主動畫素之所述四個光電轉換區以列及行之形式排列著，以界定其間的列及行延伸間隔，且其中所述單元主動畫素陣列之所述第三及所述第四主動區域位於界定於所述四個光電轉換區之間的所述列及所述行延伸間隔的個別相交處。

24.如申請專利範圍第 19 項所述之影像感測器，其中每一個第一主動區域和第二主動區域進一步包含位於所述第一光電轉換區與所述第一讀出儲存節點區之間的第一轉移閘極、位於所述第二光電轉換區與所述第一讀出儲存節點區之間的第二轉移閘極、位於所述第三光電轉換區與所述第二讀出儲存節點區之間的第三轉移閘極以及位於所述第四光電轉換區與所述第二讀出儲存節點區之間的第四轉移閘極。

25.如申請專利範圍第 24 項所述之影像感測器，其中每一個第一主動區域進一步包含重設閘極。

26.如申請專利範圍第 25 項所述之影像感測器，其中

每一第三主動區域包含源極隨耦器閘極以及選擇閘極中之一者，且每一第四主動區域包含所述源極隨耦器閘極以及選擇閘極中之另一者。

27.如申請專利範圍第 24 項所述之影像感測器，其中每一個第三主動區域包含重設閘極。

28.如申請專利範圍第 27 項所述之影像感測器，其中每一第三主動區域包含源極隨耦器閘極以及選擇閘極。

29.一種包括連接至資料匯流排之處理器、記憶體及影像感測器之系統，所述影像感測器包括主動畫素陣列，在所述主動畫素陣列中，讀出電路是由所述主動畫素陣列之每一單元主動畫素之至少四個光電轉換區所共用，且其中在所述主動畫素陣列之行及列方向上相鄰之光電轉換區之間的間距實質上相同。

30.如申請專利範圍第 29 項所述之包括連接至資料匯流排之處理器、記憶體及影像感測器之系統，其中每一單元主動畫素包含：至少一個含有四個光電轉換區之第一主動區域、以及彼此分離且與所述第一主動區域分離的第二及第三主動區域。

31.如申請專利範圍第 29 項所述之包括連接至資料匯流排之處理器、記憶體及影像感測器之系統，其中單元主動畫素陣列之所述四個光電轉換區以列及行之形式排列著，以界定其間的列及行延伸間隔，且其中所述單元主動畫素陣列之所述第二及所述第三主動區域位於多個界定於所述四個光電轉換區之間的所述列及所述行延伸間隔的個

別相交處。

32.如申請專利範圍第 1 項所述之影像感測器，其中所述第一主動區域包含由所述第一光電轉換區所共用的第一浮動擴散區，且第二主動區域包含由所述第二光電轉換區所共用的第二浮動擴散區。

33.如申請專利範圍第 32 項所述之影像感測器，其中所述第一浮動擴散區和所述第二浮動擴散區在電性上以導線相連接。