



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0017195
(43) 공개일자 2009년02월18일

(51) Int. Cl.

G05F 1/571 (2006.01)

(21) 출원번호 10-2007-0081760

(22) 출원일자 2007년08월14일

심사청구일자 2007년08월14일

(71) 출원인

창원대학교 산학협력단

경남 창원시 사림동 9 창원대학교내

(72) 발명자

김영희

경남 창원시 반림동 현대아파트 112동 1001호

임규호

경남 창원시 사림동 137-14번지 205호

(74) 대리인

이철희

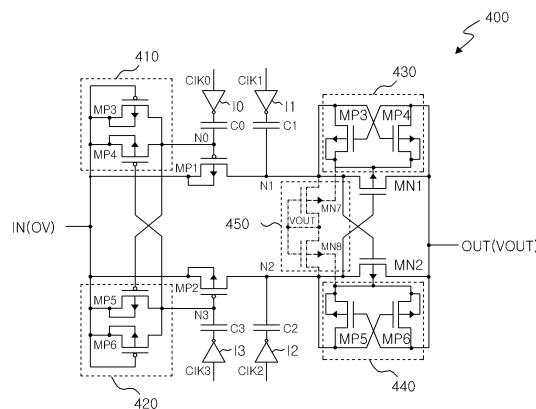
전체 청구항 수 : 총 8 항

(54) 단위전하펌프

(57) 요약

본 발명은 초기 동작 시 부스트랩 노드의 전압 값들을 동일한 전압준위를 가지게 하고, 대기모드 진입 시 부스트랩 노드에 과전압을 방지하는 단위전하펌프에 대하여 개시한다. 상기 단위전하펌프는, 제1PMOS 전하전달 트랜지스터, 제2PMOS 전하전달 트랜지스터, 제1NMOS 전하전달 트랜지스터, 제2NMOS 전하전달 트랜지스터, 프리차지 제어부, 벌크바이어스공급부, 펌핑 전하 저장부 및 부스트랩 노드 과전압 방지부를 구비한다.

대표도 - 도4



특허청구의 범위

청구항 1

입력단자(IN)로부터 인가되는 입력전압(VIN)을 제1부스트랩 노드(N1)로 스위칭하는 제1PMOS 전하전달 트랜지스터(MP1);

상기 입력전압(VIN)을 제2부스트랩 노드(N2)로 스위칭하는 제2PMOS 전하전달 트랜지스터(MP2);

상기 제1부스트랩 노드의 전압을 출력단자(OUT)로 스위칭하는 제1NMOS 전하전달 트랜지스터(MN1);

상기 제2부스트랩 노드의 전압을 상기 출력단자(OUT)로 스위칭하는 제2NMOS 전하전달 트랜지스터(MN2);

상기 제1PMOS 전하전달 트랜지스터 및 상기 제2PMOS 전하전달 트랜지스터의 게이트에 프리차지 제어신호를 인가하는 프리차지 제어부(410, 420);

상기 제1NMOS 전하전달 트랜지스터의 벌크에 제1벌크바이어스를 공급하고 상기 제2NMOS 전하전달 트랜지스터의 벌크에 제2벌크바이어스를 공급하는 벌크바이어스공급부(430, 440);

복수 개의 제어클럭신호에 응답하여 상기 제1PMOS 전하전달 트랜지스터 및 상기 제2PMOS 전하전달 트랜지스터의 게이트 단자와 상기 제1부스트랩 노드 및 상기 제2부스트랩 노드에 펌핑 되는 전하를 저장하는 펌핑 전하 저장부(C0 ~ C3); 및

일 단자가 상기 제1부스트랩 노드에 연결되고 다른 일 단자가 상기 제2부스트랩 노드에 연결된 부스트랩 노드 과전압 방지부(450)를 구비하며,

상기 제1NMOS 전하전달 트랜지스터 및 상기 제2NMOS 전하전달 트랜지스터의 게이트는 크로스 커플링 되는 것을 특징으로 하는 단위전하펌프.

청구항 2

제1항에 있어서, 상기 프리차지 제어부(450)는,

상기 제1PMOS 전하전달 트랜지스터의 게이트에 제1프리차지 제어신호(VN0)를 인가하는 제1프리차지 제어회로(410); 및

상기 제2PMOS 전하전달 트랜지스터의 게이트에 제2프리차지 제어신호(VN3)를 인가하는 제2프리차지 제어회로(420)를 구비하며,

상기 제1프리차지 제어회로(410)는,

일 단자, 게이트 단자 및 벌크에 상기 입력전압이 인가되고 다른 일 단자로 상기 제1프리차지 제어신호를 생성하는 제3PMOS 프리차지 트랜지스터(MP3); 및

일 단자 및 벌크에 상기 입력전압이 인가되고 게이트에 상기 제2프리차지 제어신호가 인가되며 다른 일 단자로 상기 제1프리차지 제어신호를 생성하는 제4PMOS 프리차지 트랜지스터(MP4)를 구비하며,

상기 제2프리차지 제어회로(430)는,

일 단자 및 벌크에 상기 입력전압이 인가되고 게이트에 상기 제1프리차지 제어신호가 인가되며 다른 일 단자로 상기 제2프리차지 제어신호를 생성하는 제5PMOS 프리차지 트랜지스터(MP5); 및

일 단자, 게이트 단자 및 벌크에 상기 입력전압이 인가되고 다른 일 단자로 상기 제2프리차지 제어신호를 생성하는 제6PMOS 프리차지 트랜지스터(MP6)를 구비하는 것을 특징으로 하는 단위전하펌프.

청구항 3

제1항에 있어서, 상기 부스트랩 노드 과전압 방지부(450)는,

일 단자가 상기 제1부스트랩 노드(N1)에 연결되고 다른 일 단자 및 게이트가 상기 출력단자에 연결되며 벌크에 상기 제1벌크바이어스가 인가되는 제1NMOS 과전압방지 트랜지스터(MN7); 및

일 단자가 상기 제2부스트랩 노드(N2)에 연결되고 다른 일 단자 및 게이트가 상기 출력단자에 연결되며 벌크에

상기 제2벌크바이어스가 인가되는 제2NMOS 과전압방지 트랜지스터(MN8)를 구비하는 것을 특징으로 하는 단위전하펌프.

청구항 4

제1항에 있어서, 펌핑 전하 저장부(C0 ~ C3)는,

일 단자에 제1제어클럭신호(CLK0)가 인가되고 다른 일 단자가 상기 제1PMOS 전하전달 트랜지스터의 게이트에 연결된 제1펌핑 커패시터(C0);

일 단자에 제2제어클럭신호(CLK1)가 인가되고 다른 일 단자가 상기 제1부스트랩 노드에 연결된 제2펌핑 커패시터(C1);

일 단자에 제3제어클럭신호(CLK2)가 인가되고 다른 일 단자가 상기 제2부스트랩 노드에 연결된 제3펌핑 커패시터(C2); 및

일 단자에 제4제어클럭신호(CLK3)가 인가되고 다른 일 단자가 상기 제2PMOS 전하전달 트랜지스터의 게이트에 연결된 제4펌핑 커패시터(C3)를 구비하는 것을 특징으로 하는 단위전하펌프.

청구항 5

입력단자(IN)로부터 인가되는 입력전압(VIN)을 제1부스트랩 노드(N1)로 스위칭하는 제1PMOS 전하전달 트랜지스터(MP1);

상기 입력전압(VIN)을 제2부스트랩 노드(N2)로 스위칭하는 제2PMOS 전하전달 트랜지스터(MP2);

상기 제1부스트랩 노드의 전압을 출력단자(OUT)로 스위칭하는 제1NMOS 전하전달 트랜지스터(MN1);

상기 제2부스트랩 노드의 전압을 상기 출력단자(OUT)로 스위칭하는 제2NMOS 전하전달 트랜지스터(MN2);

상기 제1PMOS 전하전달 트랜지스터, 상기 제2PMOS 전하전달 트랜지스터, 상기 제1NMOS 전하전달 트랜지스터 및 상기 제2NMOS 전하전달 트랜지스터의 벌크에 각각 제1벌크바이어스, 제2벌크바이어스, 제3벌크바이어스 및 제4벌크바이어스를 각각 공급하는 벌크바이어스공급부(610 ~ 640);

복수 개의 제어클럭신호에 응답하여 상기 제1부스트랩 노드 및 상기 제2부스트랩 노드에 펌핑 되는 전하를 저장하는 펌핑 전하 저장부(C1, C2);

일 단자가 상기 제1부스트랩 노드에 연결되고 다른 일 단자가 제2부스트랩 노드에 연결된 부스트랩 노드 프리차지부(650); 및

일 단자가 상기 제1부스트랩 노드에 연결되고 다른 일 단자가 상기 제2부스트랩 노드에 연결된 부스트랩 노드 과전압 방지부(660)를 구비하며,

상기 제1PMOS 전하전달 트랜지스터 및 상기 제2PMOS 전하전달 트랜지스터의 게이트는 크로스 커플링 되고, 상기 제1NMOS 전하전달 트랜지스터 및 상기 제2NMOS 전하전달 트랜지스터의 게이트도 크로스 커플링 되는 것을 특징으로 하는 단위전하펌프.

청구항 6

제5항에 있어서, 상기 부스트랩 노드 프리차지부(650)는,

일 단자가 상기 제1부스트랩 노드(N1)에 연결되고 다른 일 단자 및 게이트가 상기 입력단자(IN)에 연결되며 벌크에 상기 제1벌크바이어스가 인가되는 제1PMOS 프리차지 트랜지스터(MP7); 및

일 단자가 상기 제2부스트랩 노드(N2)에 연결되고 다른 일 단자 및 게이트가 상기 입력단자에 연결되며 벌크에 상기 제2벌크바이어스가 인가되는 제2PMOS 프리차지 트랜지스터(MP8)를 구비하는 것을 특징으로 하는 단위전하펌프.

청구항 7

제5항에 있어서, 상기 부스트랩 노드 과전압 방지부(660)는,

일 단자가 상기 제1부스트랩 노드(N1)에 연결되고 다른 일 단자 및 게이트가 상기 출력단자(OUT)에 연결되며 벌크에

크에 상기 제3벌크바이어스가 인가되는 제1NMOS 과전압방지 트랜지스터(MN7); 및

일 단자가 상기 제2부스트랩 노드(N2)에 연결되고 다른 일 단자 및 게이트가 상기 입력단자에 연결되며 벌크에 상기 제4벌크바이어스가 인가되는 제2NMOS 과전압방지 트랜지스터(MN8)를 구비하는 것을 특징으로 하는 단위전하펌프.

청구항 8

제7항에 있어서, 상기 펌핑 전하 저장부(C1, C2)는,

일 단자에 제1제어클럭신호(CLK1)가 인가되고 다른 일 단자가 상기 제1부스트랩 노드(N1)에 연결된 제1펌핑 커패시터(C1); 및

일 단자에 제2제어클럭신호(CLK2)가 인가되고 다른 일 단자가 상기 제2부스트랩 노드(N2)에 연결된 제2펌핑 커패시터(C2)를 구비하는 것을 특징으로 하는 단위전하펌프.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 단위전하펌프(Unit Charge Pump)에 관한 것으로, 특히 전하 펌핑 초기에 부스트랩 노드가 대칭적으로 동작하며 대기모드 진입 시 부스트랩 단자에 과전압이 걸리지 않도록 하는 단위전하펌프에 관한 것이다.

배경 기술

<2> 휴대폰 단말기, 디지털 카메라(DSC) 및 휴대용 모바일 기기 등에 사용되는 소형 디스플레이 장치는, 소형화와 경량화를 통해 제품 경쟁력을 높여야 하는 기술 분야에 속한다. 특히 휴대폰 단말기나 MP3 재생기의 경우 그 크기나 두께가 현저히 작아지고 있는 상황이어서, 소형화 및 낮은 가격을 이룰 수 있는 SoC(System on a Chip) 기술개발은 경쟁이 아주 치열한 상태다. 현재 소형 디스플레이 장치로 QQVGA(128RGB × 160) 급의 TFT-LCD(Thin Film Transistor-Liquid Crystal Display)가 주로 사용되고 있다.

<3> 표 1은 TFT-LCD 패널에 사용되는 구동전압을 나타낸다.

표 1

<4>

구 분	용도
DDVDH	Source Line Power
VGH	Gate Line High Voltage
VGL	Gate Line Low Voltage

<5>

<6> 표1을 참조하면, TFT-LCD 패널을 구동하는데 사용하는 전압원은 입력 전원전압(VCI)보다 높은 양의 고전압(Positive High Voltage)인 소스라인전압(DDVDH), 게이트라인 하이전압(VGH) 및 접지전압(GND)보다 낮은 음의 저전압(Negative Low Voltage)인 게이트라인 로우전압(VGL)과 같이 부스트 된 전압(Boosted Voltage)이 있다.[M. Hirata et al., "New Plus- and Minus-Voltage Generator for TFT-LCD Panels," Proceedings of the 2nd IEEE Asia-Pacific Conference on ASIC, pp. 17-20, Aug. 2000.] 여기서 소스라인전압(DDVDH)은 TFT-LCD 픽셀의 소스라인(Source Line)의 구동전압으로 사용되고, 게이트라인 하이전압(VGH)과 게이트라인 로우전압(VGL)은 게이트라인(Gate Line)의 구동전압으로 사용된다.

<7> TFT-LCD 구동 IC(Integrated Circuit)에서 게이트라인 및 소스라인을 구동하는데 필요한 전압을 공급하는 DC-DC 변환기로는, 인덕터를 사용하는 PWM(Pulse Width Modulation)방식과 스위치-커패시터 회로(Switched Capacitor Circuit)로 구현한 전하 펌프(Charge Pump) 방식으로 구현할 수 있다. 복수 개의 스위치들과 복수 개의 커패시터들을 조합한 스위치-커패시터 회로에 의한 전하펌프 방식은 구동 IC 모듈의 소형화 등에 장점을 가지고 있다.

그러나 스위치-커패시터에 의한 전하펌프 방식에서 외장형 펌핑 커패시터(External Pumping Capacitor)를 사용하는 경우, 펌핑 스테이지(Pumping Stage)마다 외부에 펌핑 커패시터와 전하 저장 커패시터(Charge Reservoir Capacitor)를 사용해야 하므로 TFT-LCD 모듈의 소형화에 어려움이 있다[E. Bayer et al., "A High Efficiency Single-Cell Cascaded Charge Pump Topology," Proc. IEEE Power Electronics Specialists Conference, vol. 1, pp. 290-295, Aug. 2001.]. 이러한 단점을 해소하기 위해 최근에는 내장형 펌핑 커패시터(Internal Pumping Capacitor)를 사용한 전하펌프 방식이 연구되고 있다.

- <8> 내장형 펌핑 커패시터를 사용한 전하펌프로는, 크로스-커플드(Cross-Coupled) 전하펌프회로가 주로 사용되어진다. [P. Favrat et al., "A high-efficiency CMOS voltage doubler," IEEE JSSC, vol. 33, pp. 410-416, Mar. 1998.]
- <9> 도 1은 종래의 2 페이즈 크로스 커플드 단위전하펌프 회로도의 일예이다.
- <10> 도 1을 참조하면, 크로스 커플드 단위전하펌프(100)는, PMOS 크로스-커플드 전하전달스위치(MP1, MP2)를 사용하여 전하 전달시 문턱전압 손실을 제거하였다. 그러나 PMOS 크로스-커플드 전하전달스위치(MP1, MP2)에는 기생하는 PNP BJT(Bi-polar Junction Transistor)가 존재하고, 이 BJT가 부스트랩(Bootstrap) 단자(N1, N2)의 전하 펌핑(Charge Pumping)으로 인해 활성 영역(Active Region)에서 동작하므로 펌핑 된 전하가 기관으로 빠져나가는 전하소실(charge loss) 문제가 생긴다. 또한 고전압을 위해 펌핑 스테이지의 수를 증가 시킬 때마다 NMOS 전하전달스위치(MN1 및 MN2)의 바디효과(Body Effect)로 인해 문턱전압(V_{th})이 증가하여 펌핑 전류가 떨어지게 되는 단점이 있다.
- <11> 여기서 2 페이즈(Two Phase)라 함은 2개의 클럭신호(CLK1, CLK2)가 서로 중첩되지 않는다는(Non Overlap) 것을 의미한다. 즉, 2개의 클럭신호 중 하나의 클럭신호가 인에이블이 되는 시간구간 과 나머지 하나의 클럭신호가 인에이블 되는 시간구간이 서로 중복되지 않는다는 의미이다.
- <12> 도 2는 종래의 2 페이즈 크로스 커플드 단위전하펌프 회로도의 다른 일예이다.
- <13> 도 2를 참조하면, 2 페이즈(Phase) 크로스 커플드 단위전하펌프 회로(200)는, 크로스-커플드 NMOS 전하전달스위치(MN1, MN2), 크로스-커플드 PMOS 전하 전달 스위치(MP1, MP2), 벌크 포텐셜 바이어스 회로(210, 220, 230, 240)로 사용되는 모스트랜지스터들(MN3, MN4, MN5, MN6, MP3, MP4, MP5와 MP6)과 전하 펌핑 커패시터(C1, C2)로 구성된다.[S. I. Cho et al., "A Boosted Voltage Generator for Low-Voltage DRAMs," Current Applied Physics, vol. 3, pp. 501-505, Dec. 2003.]
- <14> PMOS 벌크 포텐셜 바이어스 회로(230, 240; MP3 내지 MP6)를 사용하여 출력단자(VOUT)에 연결된 PMOS 크로스-커플드 전하전달스위치(MP1, MP2)의 바디 전압을 부스트랩 단자(N1, N2)의 전압과 출력단자(VOUT)의 전압 중에서 높은 전압을 가지게 하여 전하손실 문제를 해결하고, NMOS 벌크 포텐셜 바이어스 회로(210, 220; MN3 내지 MN6)를 사용하여 입력단자(VIN)에 연결된 크로스-커플드 전하전달스위치(MN1, MN2)의 바디 전압을 입력단자(VIN)의 전압과 부스트랩 단자(N1, N2)의 전압 중에서 낮은 전압에 전기적으로 연결하므로 바디효과에 따른 문턱전압의 증가를 방지하고 있다.
- <15> 도 1 및 도 2에 도시된 2 페이즈(Phase) 크로스 커플드 단위전하펌프 회로(100, 200)의 동작은 일반적으로 알려져 있으므로 여기서는 자세하게 설명하지 않는다.
- <16> 도 3은 시간의 변화에 따른 부스트랩 단자(N1, N2)의 전압 파형을 나타낸다.
- <17> 도 3을 참조하면, 도 2에 도시된 종래의 2-페이즈 크로스-커플드 단위전하펌프 회로(200)의 경우, 초기 동작 시 시간의 변화에 따른 부스트랩 노드(N1, N2)의 전압 값들이 동일한 전압준위를 가지지 못하기 때문에, 펌핑 효율이 떨어지게 된다.
- <18> 또한 대기모드(Stand-by Mode) 진입 시 부스트랩 노드(N1, N2)의 펌핑 된 전하가 제대로 방전하지 못하고 고전압을 유지하게 되어 부스트랩 노드(N1, N2)에 연결된 트랜지스터들의 신뢰도에도 문제를 발생시킨다.

발명의 내용

해결 하고자하는 과제

- <19> 본 발명이 이루고자 하는 기술적 과제는, 초기 동작 시 부스트랩 노드의 전압 값들을 동일한 전압준위를 가지게 하고, 대기모드 진입 시 부스트랩 노드에 과전압을 방지하는 단위전하펌프를 제공하는데 있다.

과제 해결수단

- <20> 상기 기술적 과제를 이루기 위한 본 발명의 일면에 따른 단위전하펌프는, 제1PMOS 전하전달 트랜지스터, 제2PMOS 전하전달 트랜지스터, 제1NMOS 전하전달 트랜지스터, 제2NMOS 전하전달 트랜지스터, 프리차지 제어부, 벌크바이어스공급부, 펌핑 전하 저장부 및 부스트랩 노드 과전압 방지부를 구비한다.
- <21> 상기 제1PMOS 전하전달 트랜지스터는 입력단자로부터 인가되는 입력전압을 제1부스트랩 노드로 스위칭한다. 상기 제2PMOS 전하전달 트랜지스터는 상기 입력전압을 제2부스트랩 노드로 스위칭한다. 상기 제1NMOS 전하전달 트랜지스터는 상기 제1부스트랩 노드의 전압을 출력단자로 스위칭한다. 상기 제2NMOS 전하전달 트랜지스터는 상기 제2부스트랩 노드의 전압을 상기 출력단자로 스위칭한다. 상기 프리차지 제어부는 상기 제1NMOS 전하전달 트랜지스터 및 상기 제2NMOS 전하전달 트랜지스터의 게이트에 프리차지 제어신호를 인가한다. 상기 벌크바이어스공급부는 상기 제1PMOS 전하전달 트랜지스터의 벌크에 제1벌크바이어스를 공급하고 상기 제2PMOS 전하전달 트랜지스터의 벌크에 제2벌크바이어스를 공급한다. 상기 펌핑 전하 저장부는 복수 개의 제어클럭신호에 응답하여 상기 제1NMOS 전하전달 트랜지스터 및 상기 제2NMOS 전하전달 트랜지스터의 게이트 단자와 상기 제1부스트랩 노드 및 상기 제2부스트랩 노드에 펌핑 되는 전하를 저장한다. 상기 부스트랩 노드 과전압 방지부는 일 단자가 상기 제1부스트랩 노드에 연결되고 다른 일 단자가 상기 제2부스트랩 노드에 연결된다. 상기 제1NMOS 전하전달 트랜지스터 및 상기 제2NMOS 전하전달 트랜지스터의 게이트는 크로스 커플링 된다.
- <22> 상기 기술적 과제를 이루기 위한 본 발명의 다른 일면에 따른 단위전하펌프는, 제1PMOS 전하전달 트랜지스터, 제2PMOS 전하전달 트랜지스터, 제1NMOS 전하전달 트랜지스터, 제2NMOS 전하전달 트랜지스터, 벌크바이어스공급부, 펌핑 전하 저장부, 부스트랩 노드 프리차지부 및 부스트랩 노드 과전압 방지부를 구비한다.
- <23> 상기 제1PMOS 전하전달 트랜지스터는 입력단자로부터 인가되는 입력전압을 제1부스트랩 노드로 스위칭한다. 상기 제2PMOS 전하전달 트랜지스터는 상기 입력전압을 제2부스트랩 노드로 스위칭한다. 상기 제1NMOS 전하전달 트랜지스터는 상기 제1부스트랩 노드의 전압을 출력단자로 스위칭한다. 상기 제2NMOS 전하전달 트랜지스터는 상기 제2부스트랩 노드의 전압을 상기 출력단자로 스위칭한다. 상기 벌크바이어스공급부는 상기 제1PMOS 전하전달 트랜지스터, 상기 제2PMOS 전하전달 트랜지스터, 상기 제1NMOS 전하전달 트랜지스터 및 상기 제2NMOS 전하전달 트랜지스터의 벌크에 각각 제1벌크바이어스, 제2벌크바이어스, 제3벌크바이어스 및 제4벌크바이어스를 각각 공급한다. 상기 펌핑 전하 저장부는 복수 개의 제어클럭신호에 응답하여 상기 제1부스트랩 노드 및 상기 제2부스트랩 노드에 펌핑 되는 전하를 저장한다. 상기 부스트랩 노드 프리차지부는 일 단자가 상기 제1부스트랩 노드에 연결되고 다른 일 단자가 제2부스트랩 노드에 연결된다. 상기 부스트랩 노드 과전압 방지부는 일 단자가 상기 제1부스트랩 노드에 연결되고 다른 일 단자가 상기 제2부스트랩 노드에 연결된다. 상기 제1PMOS 전하전달 트랜지스터 및 상기 제2PMOS 전하전달 트랜지스터의 게이트는 크로스 커플링 되고, 상기 제1NMOS 전하전달 트랜지스터 및 상기 제2NMOS 전하전달 트랜지스터의 게이트는 크로스 커플링 된다.

효 과

- <24> 본 발명에 따른 단위전하펌프는 초기 동작 시 부스트랩 단자가 ($V_{IN}-V_{TN}$) 전압으로 프리차지 하도록 하여 전하 펌핑 시 부스트랩 단자가 서로 대칭적으로 동작하며, 대기모드 진입 시 부스트랩 단자의 전압이 출력단자의 전압보다 $|V_{TP}|$ 이상 높아질 경우 PMOS 다이오드를 통해 출력단자로 방전하도록 하여 각 트랜지스터에 높은 전압이 걸리지 않도록 함으로써 소자의 신뢰성을 확보하였다.

발명의 실시를 위한 구체적인 내용

- <25> 이하에서는 본 발명의 구체적인 실시 예를 도면을 참조하여 상세히 설명하도록 한다.
- <26> 도 4는 본 발명에 따른 제1형 2 페이즈 크로스 커플드 단위전하펌프의 회로도이다.
- <27> 도 4를 참조하면, 제1형 2 페이즈 크로스 커플드 단위전하펌프(400)는, 프리차지 제어부(410, 420), PMOS 전하전달스위치(MP1, MP2), 크로스 커플드 NMOS 전하전달스위치(MN1, MN2), 벌크바이어스공급부(430, 440), 부스트랩 노드 과전압 방지부(450), 복수 개의 전하 펌핑 커패시터(C0 ~ C3) 및 복수 개의 인버터(I0~I3)를 구비한다.
- <28> PMOS 전하전달스위치(MP1, MP2)는, 제1노드(N0)의 전압(V_{N0}) 즉 제1프리차지 제어신호(V_{N0})에 응답하여 일 단자에 연결된 입력단자(IN)의 전압(0V)을 다른 일 단자에 연결된 제1부스트랩 노드(N1)에 전달하는 제1PMOS 전하전달 트랜지스터(MP1) 및 제4노드(N3)의 전압(V_{N3}) 즉 제2프리차지 제어신호(V_{N3})에 응답하여 일 단자에 연결된

입력단자(IN)의 전압(0V)을 제2부스트랩 노드(N2)에 전달하는 제2PMOS 전하전달 트랜지스터(MP2)를 구비한다. 여기서 제1PMOS 전하전달 트랜지스터(MP1) 및 제2PMOS 전하전달 트랜지스터(MP2)의 벌크(Bulk)에는 입력단자(IN)에 인가되는 접지전압(0V)이 인가된다.

- <29> 프리차지 제어부(410, 420)는, 제1부스트랩 노드(N1) 및 제2부스트랩 노드(N2)를 일정한 초기 전압준위 즉 접지 전압(0V) 또는 다른 입력전압(VCI)으로 각각 프리차지 시키도록 하는 제1프리차지 제어회로(410) 및 제2프리차지 제어회로(420)를 구비한다.
- <30> 제1프리차지 제어회로(410)는 일 단자, 게이트 단자 및 벌크가 상기 입력단자(IN)에 연결되고 다른 일 단자로 상기 제1프리차지 제어신호(VN0)를 생성하는 제3PMOS 프리차지 트랜지스터(MP3) 및 일 단자 및 벌크에 상기 입력단자(IN)에 연결되고 게이트에 상기 제2프리차지 제어신호(VN3)가 인가되며 다른 일 단자로 상기 제1프리차지 제어신호(VN0)를 생성하는 제4PMOS 프리차지 트랜지스터(MP4)를 구비한다.
- <31> 제2프리차지 제어회로(420)는 일 단자 및 벌크에 상기 입력단자(IN)에 연결되고 게이트에 상기 제1프리차지 제어신호(VN0)가 인가되며 다른 일 단자로 상기 제2프리차지 제어신호(VN3)를 생성하는 제5PMOS 프리차지 트랜지스터(MP5) 및 일 단자, 게이트 단자 및 벌크에 상기 입력단자(IN)에 연결되고 다른 일 단자로 상기 제2프리차지 제어신호(VN3)를 생성하는 제6PMOS 프리차지 트랜지스터(MP6)를 구비한다.
- <32> 프리차지 제어부(410, 420)는 2개의 PMOS 전하전달 트랜지스터들(MP1, MP2)의 게이트에 인가되는 제1프리차지 제어신호(VN0) 및 제2프리차지 제어신호(VN3)의 전압준위를 조절함으로써, 제1부스트랩 노드(N1) 및 제2부스트랩 노드(N2)의 전압준위를 2개의 전압준위(-VCI, 0)중 하나의 전압준위를 서로 나누어 가지도록 한다. 예를 들면, 제1부스트랩 노드(N1)의 전압준위가 -VCI[V]이면 제2부스트랩 노드(N2)의 전압준위가 0[V]가 되도록 한다.
- <33> 크로스 커플드 NMOS 전하전달스위치(MN1, MN2)는, 게이트단자에 인가되는 제2부스트랩 노드(N2)의 전압준위(VN2)에 따라 일 단자에 연결된 제1부스트랩 노드(N1)의 전압(VN1)을 출력단자(OUT)에 전달하는 제1NMOS 전하전달 트랜지스터(MN1) 및 게이트단자에 인가되는 제1부스트랩 노드(N1)의 전압준위(VN1)에 따라 일 단자에 연결된 제2부스트랩 노드(N2)의 전압(VN2)을 출력단자(OUT)에 전달하는 제2NMOS 전하전달 트랜지스터(MN2)를 구비한다.
- <34> 벌크바이어스공급부(430, 440)는, 제1NMOS 전하전달 트랜지스터(MN1)의 벌크에 바이어스(Bias)를 공급하는 제1벌크 바이어스 회로(430) 및 제2NMOS 전하전달 트랜지스터(MP2)의 벌크에 바이어스를 공급하는 제2벌크 바이어스 회로(440)를 구비한다.
- <35> 제1벌크 바이어스 회로(430)는 일 단자가 제1부스트랩 노드(N1)에 연결되고 게이트 단자에 출력단자(OUT)가 연결된 제3NMOS 바이어스 트랜지스터(MN3) 및 일 단자가 출력단자(OUT)에 연결되고 다른 일 단자와 벌크가 제1NMOS 전하전달 트랜지스터(MN1)의 벌크 및 제3바이어스 트랜지스터(MN3)의 다른 단자와 벌크에 공통으로 연결되며 게이트 단자가 제1부스트랩 노드(N1)에 연결된 제4NMOS 바이어스 트랜지스터(MN4)를 구비한다.
- <36> 제2벌크 바이어스 회로(440)는 일 단자가 제2부스트랩 노드(N2)에 연결되고 게이트 단자에 출력단자(OUT)가 연결된 제5NMOS 바이어스 트랜지스터(MN5) 및 일 단자가 출력단자(OUT)에 연결되고 다른 일 단자와 벌크가 제2NMOS 전하전달 트랜지스터(MN2)의 벌크 및 제5NMOS 트랜지스터(MN5)의 다른 일 단자와 벌크에 공통으로 연결되며 게이트 단자가 제2부스트랩 노드(N2)에 연결된 제6NMOS 바이어스 트랜지스터(MN6)를 구비한다.
- <37> 제1전하 펌핑 커패시터(C0)는 일 단자가 제1제어클럭신호(CLK0)의 위상을 반전시키는 제1인버터(I0)의 출력단자에 연결되고 다른 일 단자는 제1노드(N0)에 연결된다. 제2전하 펌핑 커패시터(C1)는 일 단자가 제2제어클럭신호(CLK1)의 위상을 반전시키는 제2인버터(I1)의 출력단자에 연결되고 다른 일 단자는 제1부스트랩 노드(N1)에 연결된다. 제3전하 펌핑 커패시터(C2)는 일 단자가 제3제어클럭신호(CLK2)의 위상을 반전시키는 제3인버터(I2)의 출력단자에 연결되고 다른 일 단자는 제2부스트랩 노드(N2)에 연결된다. 제4전하 펌핑 커패시터(C3)는 일 단자가 제4제어클럭신호(CLK3)의 위상을 반전시키는 제4인버터(I3)의 출력단자에 연결되고 다른 일 단자는 제4노드(N3)에 연결된다.
- <38> 부스트랩 노드 과전압 방지부(450)는 일 단자가 제1부스트랩 노드(N1)에 연결되고 다른 일 단자 및 게이트 단자가 출력단자(OUT)에 연결되며 벌크가 제1NMOS 전하전달 트랜지스터(MN1)의 벌크에 공통으로 연결된 제7NMOS 트랜지스터(MN7) 및 일 단자가 제2부스트랩 노드(N2)에 연결되고 다른 일 단자 및 게이트 단자가 출력단자(OUT)에 연결되며 벌크가 제2NMOS 전하전달 트랜지스터(MN2)의 벌크에 공통으로 연결된 제8NMOS 트랜지스터(MN8)를 구비한다.
- <39> 부스트랩 노드 과전압 방지부(450)는 제1형 2 페이즈 크로스 커플드 단위전하펌프(400)가 대기모드(Standby

Mode)로 진입할 때 2개의 부스트랩 노드(N1, N2)가 출력단자(OUT)의 전압준위(VOUT)보다 $|V_{TN}|$ 이상 높아질 경우, 부스트랩 노드(N1, N2)에 인가되는 고전압을 출력단자(OUT)를 통해 방전시키도록 한다. 이렇게 함으로서 부스트랩 노드(N1, N2)와 연결된 복수 개의 트랜지스터들에 높은 전압이 걸리지 않게 되어 소자들의 신뢰성을 확보할 수 있다. 여기서 V_{TP} 는 NMOS 전하전달 트랜지스터(MN1, MN2)의 문턱전압(Threshold Voltage) 값을 의미한다.

<40> 도 5는 도 4에 도시된 제1형 2 페이즈 크로스 커플드 단위전하펌프의 내부 단자들의 정상상태(steady-state)에서의 파형도이다.

<41> 도 5를 참조하면, 4개의 제어클럭신호(CLK0, CLK1, CLK2, CLK3) 중 제1제어클럭신호(CLK0)와 제2제어클럭신호(CLK1), 제3제어클럭신호(CLK2)와 제4제어클럭신호(CLK3)는 각각 서로 중첩되지 않으며, 접지전압(0V)과 공급전압(VCI)의 전압준위 사이를 천이한다. 제1제어클럭신호(CLK0)와 제3제어클럭신호(CLK2), 제2제어클럭신호(CLK1)와 제4제어클럭신호(CLK3)는 위상이 동일하다. 제1제어클럭신호(CLK0) 및 제2제어클럭신호(CLK1)는 t_3 이외의 시간구간에서는 서로 중첩되지 않으며, 제3제어클럭신호(CLK2) 및 제4제어클럭신호(CLK3)는 t_2 이외의 시간구간에서는 서로 중첩되지 않는다. 제1제어클럭신호(CLK0)와 제2제어클럭신호(CLK1) 및 제3제어클럭신호(CLK2)와 제4제어클럭신호(CLK3)의 위상은 서로 180° 차이가 난다.

<42> 표 2는 도 5에 도시된 정상상태에서의 파형의 전압준위를 정리한 것이다.

표 2

node name	node voltage	
	t4	t1
CLK0	VCI	0V
CLK1	0V	0V
CLK2	VCI	VCI
CLK3	0V	VCI
VN0	0V	-VCI
VN3	-VCI	0V
VN1	-VCI	0V
VN2	0V	-VCI

<44> 4개의 제어클럭신호들(CLK0, CLK1, CLK2, CLK3)의 전압준위에 따라 4개의 노드들(N0 ~ N3)의 전압도 결정되는데, 각각 접지전압(0V) 및 공급전원(VCI)의 음의 전압준위(-VCI) 중 하나의 전압준위를 가진다.

<45> 표 2를 참조하면, 첫 번째 단위전하펌프의 2개의 노드(N1, N2)의 전압(VN1, VN2)은 프리차지 제어회로(410, 420), 펌핑 커패시터(C1, C2) 및 4개의 제어클럭신호(CLK0 ~ CLK3)들에 의해 입력전압(0V)과 공급전압(VCI)의 음의 전압준위(-VCI) 사이에서 스윙한다.

<46> 도 5에 도시된 첫 번째 t4의 구간동안 제1제어클럭신호(CLK0) 및 제3제어클럭신호(CLK2)가 VCI[V]의 전압준위를 가지므로 제1노드(N0) 및 제2부스트랩 노드(N2)는 0V의 전압준위를 가지게 되고, 제2제어클럭신호(CLK1) 및 제4제어클럭신호(CLK3)가 0V의 전압준위를 가지므로 제1부스트랩 노드(N1) 및 제4노드(N3)는 -VCI의 전압준위를 가진다.

<47> 제1PMOS 전하전달 트랜지스터(MP1)의 게이트에 연결된 제1노드(N0)의 전압준위가 0V이고 일 단자에 연결된 입력 전압(IN)의 전압준위가 0V이므로, 이 구간에서는 제1PMOS 전하전달 트랜지스터(MP1)는 턴 오프 된다. 반대로 제2PMOS 전하전달 트랜지스터(MP2)의 게이트에 연결된 제4노드(N3)의 전압준위는 -VCI이고 일 단자에 연결된 입력 전압(IN)의 전압준위는 0V이므로 제2PMOS 전하전달 트랜지스터(MP2)는 턴 온 된다.

<48> 제1부스트랩 노드(N1)의 전압이 -VCI이고 제2부스트랩 노드(N2)의 전압이 0V이므로, 제2NMOS 전하전달 트랜지스터(MN2)는 턴 오프 되고, 제1NMOS 전하전달 트랜지스터(MN1)는 턴 온 되어, 제1부스트랩 노드(N1)의 전압 -VCI가 출력단자(OUT)로 전달된다.

<49> 도 5에 도시된 두 번째 t1의 시간구간동안 4개의 제어클럭신호들(CLK0 ~ CLK3)의 전압준위는 첫 번째 t4의 구간 동안 가졌던 전압준위와 반대의 전압준위를 가진다. t1 구간에서의 제어클럭신호들의 위상은 상술한 t4 구간에서의 제어클럭신호들의 위상과 반대인 점을 제외하고는 모든 트랜지스터들이 동일한 원리에 의해 동작하므로,

이하에서는 t1 구간에서의 트랜지스터들의 동작의 결과에 대해서만 설명한다.

- <50> 도 5를 참조하면, 제1부스트랩 노드(N1)는 0V의 전압준위를 가지고 제2부스트랩 노드(N2)는 -VCI의 전압준위를 가진다. 이 때 -VCI로 펌핑된 제2부스트랩 노드(N2)의 전압(-VCI)이 턴 온 된 제2NMOS 전하전달 트랜지스터(MN2)를 경유하여 출력단자(OUT)로 전달된다.
- <51> 상술한 바와 같이, 제어클럭신호 한 사이클 동안 2번의 전하 펌핑이 일어나고, 0[V]와 VCI[V]로 스위칭하는 클럭 신호를 사용하므로 출력단자(OUT)의 전압(VOUT)은 계속하여 부스팅 된 -VCI의 전압준위를 유지하게 된다.
- <52> 한편 제1PMOS 전하전달 트랜지스터(MP1)가 턴 오프 된 이후 제2전하 펌핑 커패시터(C1)에 의해 전하 펌핑이 일어나고, 제2PMOS 전하전달 트랜지스터(MP2)가 턴 오프 된 이후에는 제3전하 펌핑 커패시터(C2)에 의해 전하 펌핑이 일어나므로 펌핑 된 양전하가 프리차징 트랜지스터인 제1PMOS 전하전달 트랜지스터(MP1)와 제2PMOS 전하전달 트랜지스터(MP2)를 통해 빠져나가는 것을 방지하여 펌핑 전류를 증가시킬 수 있다.
- <53> 도 6은 본 발명에 따른 제2형 2 페이즈 크로스 커플드 단위전하펌프 회로도이다.
- <54> 도 6을 참조하면, 제2형 2 페이즈 크로스 커플드 단위전하펌프(600)는, 크로스 커플드 NMOS 전하전달스위치(MN1, MN2), 크로스 커플드 PMOS 전하전달스위치(MP1, MP2), 벌크바이어스공급부(610 ~ 640), 복수 개의 전하 펌핑 커패시터(C1, C2), 부스트랩 노드 프리차지부(650) 및 부스트랩 노드 과전압 방지부(660)를 구비한다.
- <55> 크로스 커플드 PMOS 전하전달스위치는 2개의 전하전달 트랜지스터들(MP1, MP2)을 구비한다. 제1PMOS 전하전달 트랜지스터(MP1)는 게이트에 인가되는 제2부스트랩 노드(N2)의 전압준위(VN2)에 따라 일 단자에 연결된 입력신호(IN)의 전압준위(VIN)를 다른 일 단자에 연결된 제1부스트랩 노드(N1)로 스위칭한다. 제2PMOS 전하전달 트랜지스터(MP2)는 게이트에 인가되는 제1부스트랩 노드(N1)의 전압준위(VN1)에 따라 일 단자에 연결된 입력신호(IN)의 전압준위(VIN)를 다른 일 단자에 연결된 제2부스트랩 노드(N2)로 스위칭하는 제2NMOS 전하전달 트랜지스터(MN2)를 구비한다.
- <56> 크로스 커플드 NMOS 전하전달스위치는, 2개의 전하전달 트랜지스터들(MN1, MN2)을 구비한다. 제1NMOS 전하전달 트랜지스터(MN1)는 게이트에 인가되는 제2부스트랩 노드(N2)의 전압준위(VN2)에 따라 일 단자에 연결된 제1부스트랩 노드(N1)의 전압준위(VN1)를 출력단자(OUT)로 스위칭한다. 제2NMOS 전하전달 트랜지스터(MN2)는 게이트에 인가되는 제1부스트랩 노드(N1)의 전압준위(VN1)에 따라 일 단자에 연결된 제2부스트랩 노드(N2)의 전압준위(VN2)를 출력단자(OUT)로 스위칭한다.
- <57> 벌크바이어스공급부(610 ~ 640)는, 크로스 커플드 PMOS 전하전달스위치(MP1, MP2) 및 크로스 커플드 NMOS 전하전달스위치(MN1, MN2)로 사용되는 트랜지스터들(MP1, MP2, MN1, MN2)의 벌크에 각각 바이어스를 공급한다.
- <58> 제1벌크 바이어스 회로(610)는 일 단자가 입력단자(IN)에 연결되고 게이트에 제1부스트랩 노드(N1)의 전압(VN1)이 인가되는 제3PMOS 바이어스 트랜지스터(MP3) 및 일 단자가 제1부스트랩 노드(N1)에 연결되고 다른 일 단자와 벌크, 제3PMOS 바이어스 트랜지스터(MP3)의 다른 일 단자와 벌크 그리고 제1PMOS 전하전달 트랜지스터(MP1)의 벌크가 공통으로 연결되며 게이트에 입력전압(VIN)이 인가되는 제4PMOS 바이어스 트랜지스터(MP4)를 구비한다.
- <59> 제2벌크 바이어스 회로(620)는 일 단자가 입력단자(IN)에 연결되고 게이트에 제2부스트랩 노드(N2)의 전압(VN2)이 인가되는 제5PMOS 바이어스 트랜지스터(MP5) 및 일 단자가 제2부스트랩 노드(N2)에 연결되고 다른 일 단자와 벌크, 제5PMOS 바이어스 트랜지스터(MP5)의 다른 일 단자와 벌크 그리고 제2PMOS 전하전달 트랜지스터(MP2)의 벌크가 공통으로 연결되며 게이트에 입력전압(VIN)이 인가되는 제6PMOS 바이어스 트랜지스터(MP6)를 구비한다.
- <60> 제3벌크 바이어스 회로(630)는 일 단자가 제1부스트랩 노드(N1)에 연결되고 게이트에 출력전압(VOUT)이 인가되는 제3NMOS 바이어스 트랜지스터(MN3) 및 일 단자가 출력단자(OUT)에 연결되고 다른 일 단자와 벌크, 제3NMOS 바이어스 트랜지스터(MN3)의 다른 일 단자와 벌크 그리고 제1NMOS 전하전달 트랜지스터(MN1)의 벌크가 공통으로 연결되며 게이트에 제1부스트랩 노드(N1)의 전압(VN1)이 인가되는 제4NMOS 바이어스 트랜지스터(MN4)를 구비한다.
- <61> 제4벌크 바이어스 회로(640)는 일 단자가 제2부스트랩 노드(N2)에 연결되고 게이트에 출력전압(VOUT)이 인가되는 제5NMOS 바이어스 트랜지스터(MN5) 및 일 단자가 출력단자(OUT)에 연결되고 다른 일 단자와 벌크, 제5NMOS 바이어스 트랜지스터(MN5)의 다른 일 단자와 벌크 그리고 제2NMOS 전하전달 트랜지스터(MN2)의 벌크가 공통으로 연결되며 게이트에 제2부스트랩 노드(N2)의 전압(VN2)이 인가되는 제6NMOS 바이어스 트랜지스터(MN6)를 구비한다.

다.

- <62> 제1전하 펌핑 커패시터(C1)는 제1제어클럭신호(CLK1)의 위상을 반전시키는 제1인버터(I1)의 출력단자에 연결되고 다른 일 단자가 제1부스트랩 노드(N1)에 연결되며, 제2전하 펌핑 커패시터(C2)는 제2제어클럭신호(CLK2)의 위상을 반전시키는 제2인버터(I2)의 출력단자에 연결되고 다른 일 단자가 제2부스트랩 노드(N2)에 연결된다.
- <63> 부스트랩 노드 프리차지부(650)는 일 단자가 제1부스트랩 노드(N1)에 연결되고 다른 일 단자 및 게이트 단자에 입력단자(IN)가 연결되며 벌크가 제1NMOS 전하전달 트랜지스터(MN1)의 벌크에 공통으로 연결된 제1프리차지 트랜지스터(MN7) 및 일 단자가 제2부스트랩 노드(N2)에 연결되고 다른 일 단자 및 게이트 단자에 입력단자(IN)가 연결되며 벌크가 제2NMOS 전하전달 트랜지스터(MN2)의 벌크에 공통으로 연결된 제2프리차지 트랜지스터(MN8)를 구비한다.
- <64> 부스트랩 노드 과전압 방지부(660)는 일 단자가 제1부스트랩 노드(N1)에 연결되고 다른 일 단자 및 게이트 단자가 출력단자(OUT)에 연결되며 벌크가 제1NMOS 전하전달 트랜지스터(MN1)의 벌크에 공통으로 연결된 제1과전압방지 트랜지스터(MN7) 및 일 단자가 제2부스트랩 노드(N2)에 연결되고 다른 일 단자 및 게이트 단자가 출력단자(OUT)에 연결되며 벌크가 제2NMOS 전하전달 트랜지스터(MN2)의 벌크에 공통으로 연결된 제2과전압방지 트랜지스터(MN8)를 구비한다.
- <65> 도 7은 도 6에 도시된 제2형 2 페이지 크로스 커플드 단위전하펌프의 내부 노드들의 정상상태에서의 파형도이다.
- <66> 도 7을 참조하면, 처음 t4의 시간구간동안 제1제어클럭신호(CLK1)와 제2제어클럭신호(CLK2)는 각각 0V[V]와 VCI[V]의 전압준위를 가진다. 이 때 제1부스트랩 노드(N1)와 제2부스트랩 노드(N2)의 전압준위는 각각 (VIN-VCI) 및 VIN이 된다.
- <67> 따라서 여기서 VIN이 0[V]일 때, 입력단자(IN)에 연결된 일 단자에는 0V가 인가되는데 게이트에 VCI가 인가되기 때문에 제1PMOS 전하전달 트랜지스터(MP1)는 턴 오프 되고, 입력단자(IN)에 연결된 일 단자에는 0V가 인가되지만 게이트에 VIN-VCI[V] 즉 -VCI[V]가 인가되는 제2PMOS 전하전달 트랜지스터(MP2)는 턴 온 된다. 제2전하 펌핑 커패시터(C2)의 일 단자에 인가되는 제2제어클럭신호(CLK2)가 VCI[V]이므로, 입력단자(IN)로부터 인가되는 0[V] 전압에 대응되는 전하는 제2전하 펌핑 커패시터(C2)의 다른 일 단자를 이루는 제2부스트랩 노드(N2)의 전압을 0[V]로 프리차지 시킨다.
- <68> 제1제어클럭신호(CLK1)의 전압준위가 0[V]가 됨에 따라 제1부스트랩 노드(N1)는 -VCI[V] 전압으로 부스팅 된다. 일 단자가 -VCI의 전압준위를 가지고 게이트에 0[V]가 인가되는 제1NMOS 전하전달 트랜지스터(MN1)는 턴 온 되고, 일 단자가 0[V]의 전압준위를 가지고 게이트에 -VCI가 인가되는 제2NMOS 전하전달 트랜지스터(MN2)는 턴 오프 된다. 따라서 제1부스트랩 노드(N1)의 -VCI 전압은 제1NMOS 전하전달 트랜지스터(MN1)를 경유하여 출력단자(OUT)로 전달된다.
- <69> 두 번째 t1로 표시된 시간 구간동안에는, 제1부스트랩 노드(N1)는 0[V]의 전압준위를 가지고 제2부스트랩 노드(N2)는 VIN-VCI[V] 즉, -VCI의 전압준위를 가지게 되면, 제1NMOS 전하전달 트랜지스터(MN1)는 턴 오프 되고 제2NMOS 전하전달 트랜지스터(MN2)가 턴 온 된다. 따라서 제2부스트랩 노드(N2)의 펌핑 된 전하가 제2NMOS 전하전달 트랜지스터(MN2)를 통해 출력단자(OUT)에 전달된다.
- <70> 상기의 동작은 도 4에 도시된 단위전하펌프의 동작을 설명한 것을 참조하면 용이하게 이해할 수 있으므로 더 이상의 자세한 설명은 생략한다.
- <71> 부스트랩 노드 과전압 방지부(660)의 동작 및 효과에 대해서는 도 4에 도시된 단위전하펌프의 부스트랩 노드 과전압 방지부(450)에 대한 설명에서 이미 언급하였으므로 이하에서는 부스트랩 노드 프리차지부(650)의 동작 및 효과에 대하여 설명한다.
- <72> 단위전하펌프(600) 회로의 초기 동작 시, 제1부스트랩 노드(N1) 및 제2부스트랩 노드(N2)는 부스트랩 노드 프리차지부(650)에 의해 (VIN+V_{TP})[V]로 프리차지 된다. 여기서 V_{TP}는 PMOS 전하전달 트랜지스터(MP1, MP2)의 문턱전압을 의미한다. 부스트랩 노드 프리차지부(650)를 구성하는 2개의 프리차지 모스트랜지스터(MP7, MP8)의 일 단자 및 게이트 단자가 입력전압(VIN)이 인가되는 입력단자(IN)에 연결되어 있으므로, 2개의 프리차지 모스트랜지스터(MP7, MP8)의 다른 일 단자에 각각 연결된 제1부스트랩 노드(N1) 및 제2부스트랩 노드(N2)가 각각 (VIN+V_{TP})[V] 프리차지 되고 일정한 짧은 순간이 지나면, 상기 2노드의 전압 값이 서로 대칭적으로 동작하게 된

다.

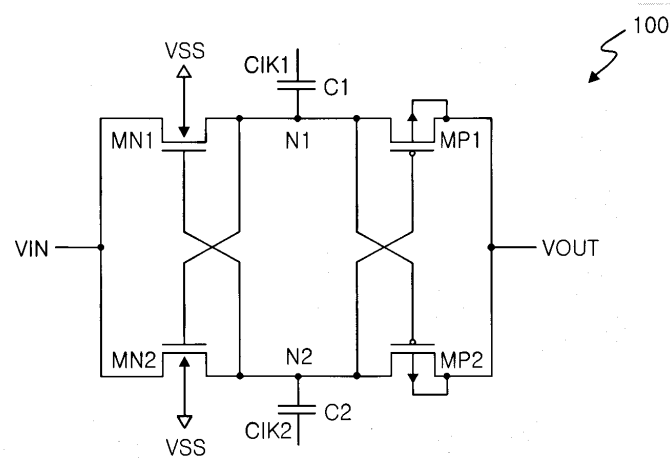
- <73> 여기서 2개의 제어클럭신호(CLK1, CLK2)는 비 중첩(non-overlap) 신호를 사용하는 것이 일반적이지만, 중첩되더라도 상관없다.
- <74> 도 8은 도 6에 도시된 본 발명에 따른 제2형 2 페이즈 크로스 커플드 단위전하펌프의 부스트랩 노드의 전압을 나타낸다.
- <75> 도 8을 참조하면, 본 발명에 따른 제2형 2 페이즈 크로스 커플드 단위전하펌프의 경우 내장시킨 부스트랩 노드 프리차지부(650)의 작용에 의해 제1부스트랩 노드(N1) 및 제2부스트랩 노드(N2)의 전압의 서로 대칭적으로 천이한다는 것을 알 수 있다.
- <76> 도 9는 도 6에 도시된 본 발명에 따른 제2형 2 페이즈 크로스 커플드 단위전하펌프의 대기 모드 시 부스트랩 노드의 전압을 나타낸다.
- <77> 도 9를 참조하면, 단위전하펌프가 정상상태에서 대기 모드 진입 시, 종래(Conventional)의 크로스 커플드 전하펌프는 일정 시간(약 0.3 ms) 동안 출력단과 펌핑 노드 사이에 고전압이 걸려 있으나, 본 발명에 따른 제2형 2 페이즈 크로스 커플드 단위전하펌프(Proposed)는 $|V_{TN}|$ 정도의 전압차로 펌핑 노드의 전압(N1, N2)이 출력전압(V_{OUT})을 따라가는 것을 볼 수 있다.
- <78> 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 이라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

도면의 간단한 설명

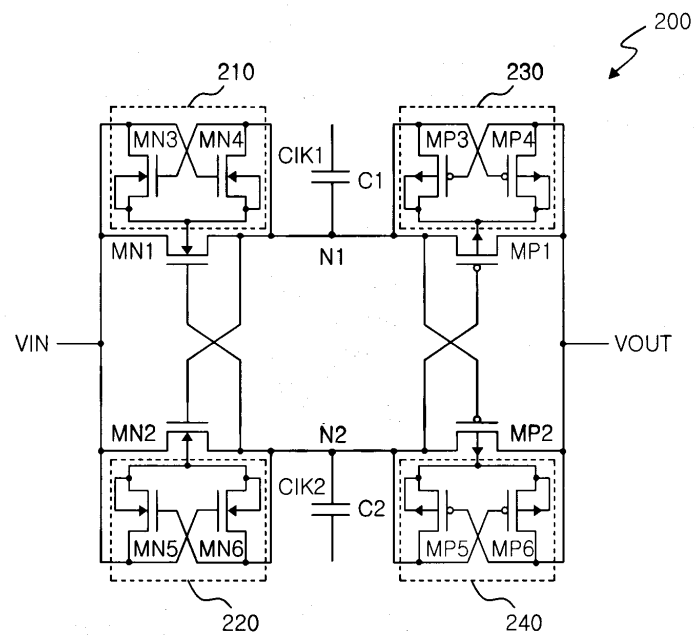
- <79> 도 1은 종래의 2 페이즈 크로스 커플드 단위전하펌프 회로도의 일예이다.
- <80> 도 2는 종래의 2 페이즈 크로스 커플드 단위전하펌프 회로도의 다른 일예이다.
- <81> 도 3은 시간의 변화에 따른 부스트랩 단자(N1, N2)의 전압 파형을 나타낸다.
- <82> 도 4는 본 발명에 따른 제1형 2 페이즈 크로스 커플드 단위전하펌프 회로도이다.
- <83> 도 5는 도 4에 도시된 제1형 2 페이즈 크로스 커플드 단위전하펌프의 내부 단자들의 정상상태(steady-state)에서의 파형도이다.
- <84> 도 6은 본 발명에 따른 제2형 2 페이즈 크로스 커플드 단위전하펌프 회로도이다.
- <85> 도 7은 도 6에 도시된 제2형 2 페이즈 크로스 커플드 단위전하펌프의 내부 노드들의 정상상태에서의 파형도이다.
- <86> 도 8은 도 6에 도시된 본 발명에 따른 제2형 2 페이즈 크로스 커플드 단위전하펌프의 부스트랩 노드의 전압을 나타낸다.
- <87> 도 9는 도 6에 도시된 본 발명에 따른 제2형 2 페이즈 크로스 커플드 단위전하펌프의 대기 모드 시 부스트랩 노드의 전압을 나타낸다.

도면

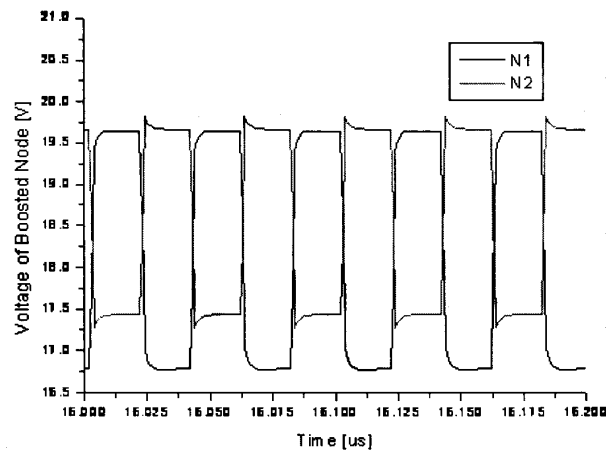
도면1



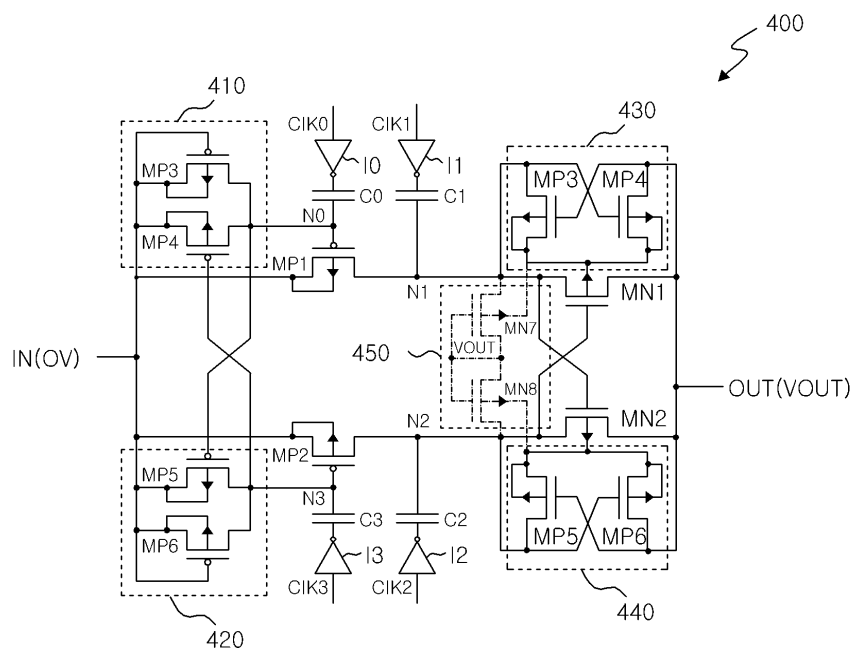
도면2



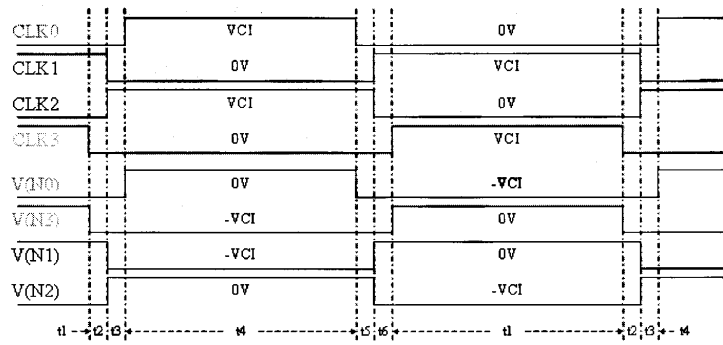
도면3



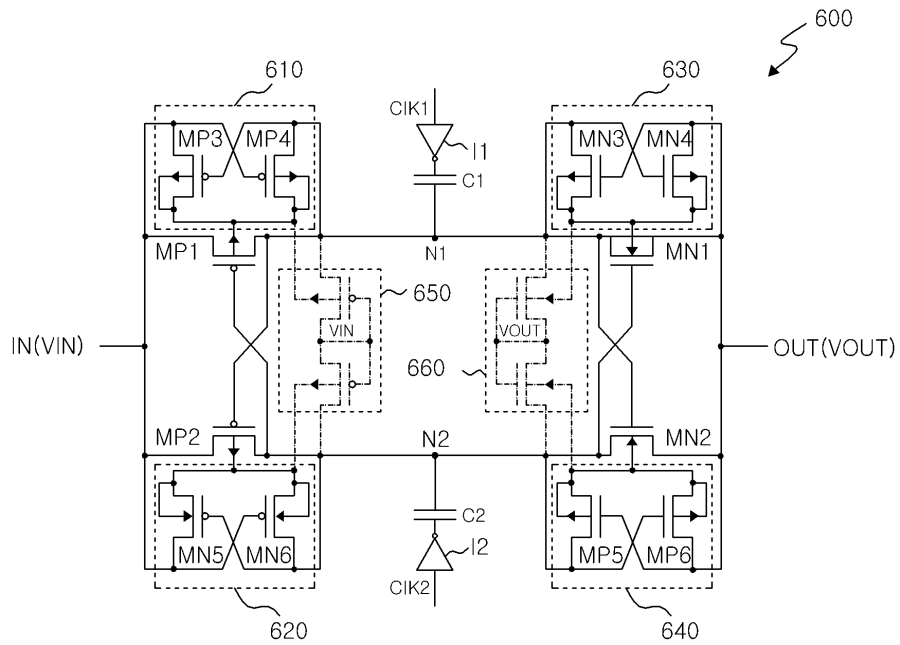
도면4



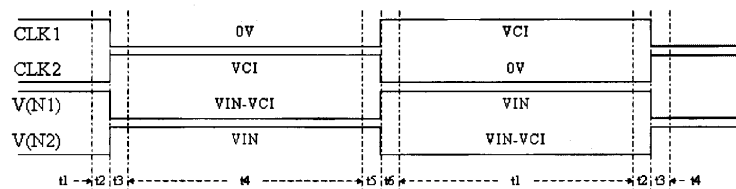
도면5



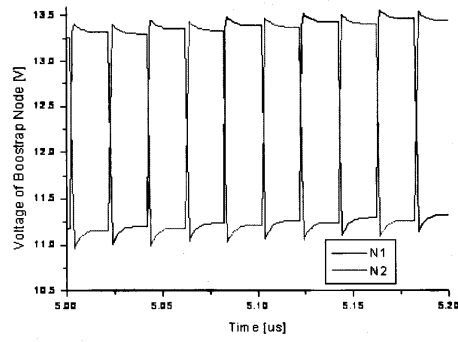
도면6



도면7



도면8



도면9

