

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92119691

※ 申請日期：92-07-18

※IPC 分類：G06F 12/00
(2006.1)

壹、發明名稱：(中文/英文)

供有彈性之動態隨機存取記憶體架構用之系統、裝置及方法

A SYSTEM APPARATUS AND METHOD FOR A FLEXIBLE DRAM
ARCHITECTURE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商英特爾公司

INTEL CORPORATION

代表人：(中文/英文)

大衛 賽門

DAVID SIMON

住居所或營業所地址：(中文/英文)

美國加州聖塔卡拉瓦市米遜大學路 2200 號

2200 MISSION COLLEGE BLVD. SANTA CLARA, CA 95052,
U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 2 人)

姓名：(中文/英文)

1. 詹姆斯 M. 陶德

JAMES M. DODD

2. 布莱恩 P. 強森

BRIAN P. JOHNSON

住居所地址：(中文/英文)

1. 美國加州雪格史普林市巴耐特路 4561 號

4561 BARNETT RANCH ROAD, SHINGLE SPRINGS, CA
95682, U.S.A.

2. 美國加州飛爾森市露那路 232 號

232 LUNA CIRCLE, FOLSOM, CA 95630, U.S.A.

國 籍：(中文/英文)

1.2. 均美國 U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 美國 2002 年 07 月 19 日 10/199,578

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數順序註記】

1. 美國 2002 年 07 月 19 日 10/199,578

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本案所請求之標的係關於動態隨機存取記憶體架構。

【先前技術】

動態隨機存取記憶體(DRAM)係一種用以儲存資訊的典型記憶體。DRAM含有一具有複數個個別記憶體單體的記憶體單體陣列。每個記憶體單體皆係被耦合至複數個感測放大器、位元線、以及字組線中其中一者。該記憶體單體陣列係被排列成列與行的記憶體單體矩陣，而且該矩陣可進一步被細分成數個組。

記憶體控制器可藉由傳送三個位址(一個組位址、一個列位址、以及一個行位址)用以從該DRAM中要求資料資訊。該記憶體控制器與個別的DRAM架構有關，因為該記憶體控制器必須明確地表示被存取的係哪一個組，以及每個組中呈主動狀態的係哪一系列與哪一頁。因此，未來的DRAM架構便必須對記憶體控制器的設計進行大幅的改變。

【發明內容】

一種用以定址具有複數列、行與組之動態隨機存取記憶體(DRAM)的方法，其包括：傳送至少一位址欄位給該DRAM，用以至少部份依照該DRAM的功能來重疊映對一組位址與一系列位址；以及至少部份依照一輔助位址欄位來定址該DRAM。

【實施方式】

於下文的說明中，為達解釋目的，將提出許多細節，以

便能夠徹底地瞭解本案所主張的主要內容。不過，熟習本技術的人士將會瞭解，即使沒有該些明確的細節，亦可實現本案所主張的主要內容。

目前的技術發展領域係關於最佳化DRAM架構，以便使其可相容於各種的記憶體控制器設計。如前面所述，先前技術的記憶體控制器及DRAM架構採用三個位址欄位。不過，該等先前技術的DRAM架構卻禁止移轉不同的組與列架構，因為與目前的記憶體控制器設計不相容。相反地，與該等DRAM架構不相關的記憶體控制器則可針對特定的應用來最佳化DRAM與記憶體控制器設計，並且有助於移轉至新型的未來DRAM架構中，同時又可支援舊式、現有的記憶體控制器架構。所以，單一種DRAM組件類型可相容於各種的記憶體控制器架構。

於其中一項觀點中，本案所主張的主要內容可建立一種DRAM架構，用以讓受支援的組數透通於該記憶體控制器。於另一項觀點中，本案所主張的主要內容則可依照至少部份該DRAM與記憶體控制器的功能來包含一輔助的位址欄位，用以提高DRAM與記憶體控制器的架構的彈性。於另一項觀點中，本案所主張的主要內容則有助於組位址與列位址的重疊映對。

圖1為根據一具體實施例之概略圖100。概略圖100包括(但不限於)一記憶體控制器102與一DRAM 112。該記憶體控制器102可藉由傳送四個位址欄位用以從該DRAM中要求資料資訊，該等欄位包括：組位址欄位104、輔助位址欄位106、

列位址欄位108、以及行位址欄位110。

於其中一具體實施例中，該DRAM可支援慣用的定址技術，不過，該DRAM進一步包括支援使用輔助位址欄位。同樣地，可依照至少部份該DRAM與記憶體控制器的功能來運用該輔助位址欄位。舉例來說，該輔助位址欄位可作為組位址或列位址，用以支援不同的DRAM組架構，在下面的段落中將配合圖2與3來作闡述。

舉例來說，具有256個百萬位元(Mb)儲存容量的DRAM位址映對可能有兩位位元供該組位址欄位使用，有一位位元供該輔助位址欄位使用，十二位位元供該列位址欄位使用，以及十位位元供該行位址欄位使用。不過，如果特殊的應用要求不同的256Mb架構以便具有不同數量的組或列的話，該先前技術的記憶體控制器便可能無法支援該不同的架構。相反地，概略圖100則可以適應不同架構的方式來詮釋該輔助位址欄位，以便使其更具彈性。舉例來說，該組位址係輔助位址欄位位元以及組位址欄位位元的組合，以便支援較多組的架構。相反地，該列位址係輔助位址欄位位元以及列位址欄位位元的組合，以便支援較多列的架構。於其中一具體實施例中，該輔助位址欄位係該組位址的最小意義位元。於另一具體實施例中，該輔助位址欄位係該列位址的最大意義位元。於其中一具體實施例中，可透過架構暫存器114來程式化該DRAM，以便表示該記憶體控制器在使用該等輔助位址欄位位元。該輔助位址欄位並沒有任何特殊的門處理或取樣處理規定，因為本技術熟知的係，

該 DRAM，使得該等輔助位元為 DRAM 之組位址的最小意義位元。

不過，本案所主張之主要內容並不限於偵測到四個組功能或八個組功能。舉例來說，該流程支援各種組功能排列，其包括兩個、十六個等。

於其中一具體實施例中，方塊 206 與 208 禁止該記憶體控制器於下面的情形中傳送輔助位址欄位位元：預充電命令或讀取與寫入命令。

圖 3 為根據一具體實施例之系統。系統 300 包括一處理器 302、一記憶體控制器 304、以及一 DRAM 306。於其中一具體實施例中，系統 300 係一單處理器系統。於替代具體實施例中，該系統包括多個處理器 302。該處理器會解碼且執行指令，並且透過記憶體控制器 304 從 DRAM 306 中要求資料與目錄資訊。

於其中一具體實施例中，該系統係一電腦。於另一具體實施例中，該系統係一計算系統，例如個人數位助理(PDA)、通信裝置、或網際網路平台。於其中一具體實施例中，該 DRAM 係同步動態隨機存取記憶體(SDRAM)。

於其中一具體實施例中，該記憶體控制器係一整合式裝置。於替代具體實施例中，晶片組中便包括該記憶體控制器。DRAM 306 可支援圖 1 所述的位址協定，以及支援圖 2 所述的用以從記憶體控制器對受支援的組數的觀點來建立一種透通性的流程圖。

雖然已經參考特定的具體實施例來說明本案所主張之主

要內容，不過此說明並非為限制本發明。熟習本技術的人士在參考本案所主張之主要內容的說明之後便可非常清楚本文所揭示之具體實施例的各種變化以及本案所主張之主要內容的替代具體實施例。所以，此等變化並未脫離隨附申請專利範圍所定義之本案所主張之主要內容的精神或範疇。

【圖式簡單說明】

於本說明的結論中已經特別提出且明確地主張本發明的主要內容。不過，於參考上面的實施方式時若能配合附圖的話，將可更瞭解本案所主張之主要內容的結構與操作方法、目的、特點、以及優點。

圖1為根據一具體實施例之概略圖。

圖2為根據一具體實施例之方法的流程圖。

圖3為根據一具體實施例之系統。

【圖式代表符號說明】

100 概略圖

102 記憶體控制器

104 組位址欄位

106 輔助位址欄位

108 列位址欄位

110 行位址欄位

112 動態隨機存取記憶體

114 架構暫存器

300 系統

302 處理器

304 記憶體控制器

306 動態隨機存取記憶體

伍、中文發明摘要：

本發明提供一種供有彈性之動態隨機存取記憶體架構使用之定址技術。

陸、英文發明摘要：

An addressing scheme to allow for a flexible DRAM configuration.

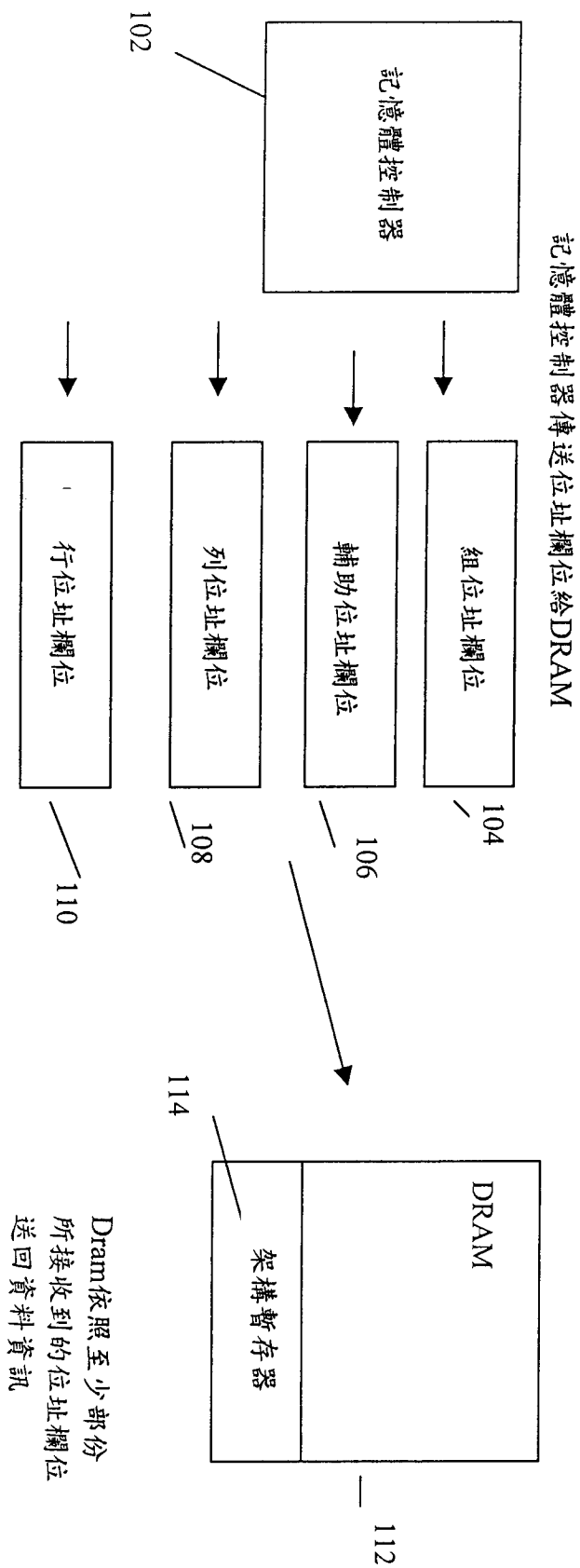


圖 1

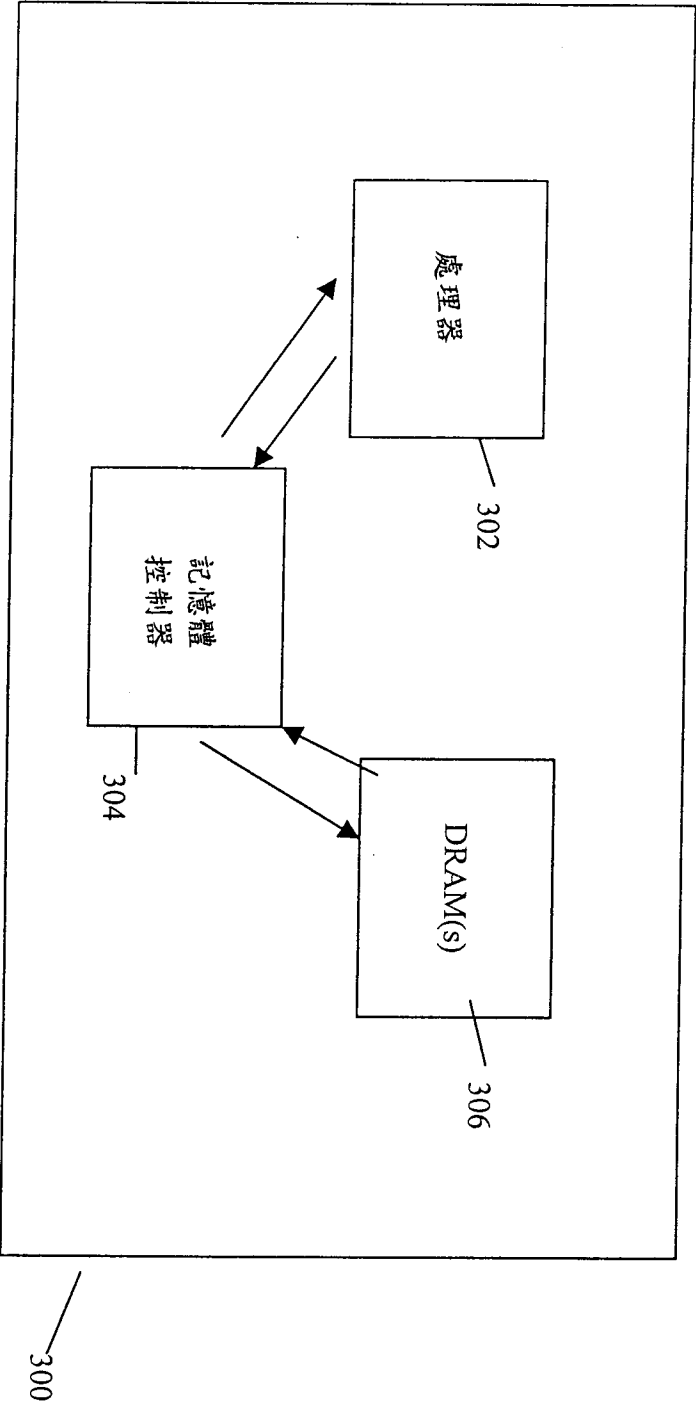


圖 3

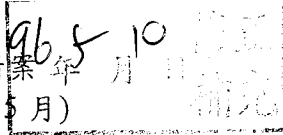
柒、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

- 100 概略圖
- 102 記憶體控制器
- 104 組位址欄位
- 106 輔助位址欄位
- 108 列位址欄位
- 110 行位址欄位
- 112 動態隨機存取記憶體
- 114 架構暫存器

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



該欄位會與列位址欄位及行位址欄位同時被門住。於其中一具體實施例中，該記憶體控制器會將該等輔助位址欄位位元視為一主動組之組位址中的最小意義位元。

不過，本案所主張之主要內容並不限於代表組位址中的最小意義位元或列位址中的最大意義位元的輔助位址欄位。舉例來說，該等輔助位址欄位位元可能代表列位址中的最小意義位元或組位址中的最大意義位元。另一範例係，該等輔助位址欄位位元可

能代表組位址或列位址內的特定範圍，例如可作為兩位輔助位址位元的位元3:4。

圖2為根據一具體實施例之方法的流程圖。該流程圖包括複數個菱形與方塊202、204、206、208。於其中一具體實施例中，該方法敘述的係，從記憶體控制器對DRAM內受支援的組數的觀點來建立一種透通性。

如菱形202所示，偵測支援組數的記憶體控制器的組功能。舉例來說，被偵測到的組數可能係四組或八組。如方塊204所示，其敘述的係將組功能程式化至該DRAM暫存器之中。舉例來說，該DRAM暫存器可能係架構暫存器或模式暫存器。如果該記憶體控制器具有四個組功能的話，如圖方塊206所示，那麼便可從記憶體控制器傳送組位址欄位、列位址欄位、行位址欄位、以及輔助位址欄位給該DRAM，使得該等輔助位元為DRAM之列位址的最大意義位元。不過，如果該記憶體控制器具有八個組功能的話，如圖方塊208所示，那麼便可從記憶體控制器傳送複數個組位址欄位、列位址欄位、行位址欄位、以及輔助位址欄位給

拾、申請專利範圍：

1. 一種用以定址具有複數列、行與組之動態隨機存取記憶體(DRAM)的方法，其包括：

偵測組態以控制該 DRAM 之一記憶體控制器之一組功能；

使用該記憶體控制器之該組功能以程式化一 DRAM 暫存器，其中一輔助位址欄位之位元係根據由該 DRAM 暫存器所指示之該組功能提供至該記憶體控制器，使得該輔助位址欄位之該等位元被詮釋為一或多個列位元及/或一或多個行位元及/或一或多個組位元；

傳送至少一位址欄位給該 DRAM，用以至少部份依照如藉由該 DRAM 暫存器所指示之該 DRAM 的一功能來重疊映對一組位址與一系列位址；以及

至少部份依照輔助位址欄位來定址該 DRAM，其中用於該輔助位址欄位之位址位元依照與該 DRAM 耦合之一記憶體控制器之一組功能而改變。

2. 如申請專利範圍第1項之方法，其中記憶體控制器可傳送輔助位址欄位、組位址欄位、列位址欄位、以及行位址欄位。
3. 如申請專利範圍第1項之方法，其中該 DRAM 可動態地詮釋該輔助位址欄位以支援複數個記憶體控制器架構，因而當增加該 DARM 所支援的組數時，該輔助位址欄位便可與該組位址欄位結合以構成該 DRAM 的組位址。
4. 如申請專利範圍第1項之方法，其中該 DRAM 可動態地詮釋該輔助位址欄位以支援複數個記憶體控制器架構，因而當

增加該 DARM 所支援的列數時，該輔助位址欄位便可與該列位址欄位結合以構成該 DRAM 的列位址。

5. 如申請專利範圍第 1 項之方法，其中該 DARM 所支援的組數係透過於一記憶體控制器。
6. 如申請專利範圍第 1 項之方法，其中該 DRAM 包括一架構暫存器，其可被程式化用以指示記憶體控制器對該輔助位址欄位的詮釋結果。
7. 一種可定址具有複數列、行與組之動態隨機存取記憶體 (DRAM) 的機制的方法，其包括：

偵測組態以控制該 DRAM 之一記憶體控制器的一組功能；

將該組功能程式化至一 DRAM 暫存器中，其中一輔助位址欄位之位元係根據由該 DRAM 暫存器所指示之該組功能提供至該記憶體控制器，使得該輔助位址欄位之該等位元被詮釋為一或多個列位元及/或一或多個行位元及/或一或多個組位元；

至少部份依照該組功能來詮釋一輔助位址欄位，其中用於該輔助位址欄位之位址位元依照該機制之一組功能而改變；以及

提供位址位元至依照該 DRAM 暫存器所組態之該記憶體控制器。

8. 如申請專利範圍第 7 項之方法，其中該機制係一記憶體控制器。
9. 如申請專利範圍第 7 項之方法，其中該機制的組功能為四個

或八個。

10.如申請專利範圍第7項之方法，其中該DRAM可動態地詮釋該輔助位址欄位以支援複數個記憶體控制器架構，因而當增加該DARM所支援的列數時，該輔助位址欄位便可與該列位址欄位結合以構成該DRAM的列位址。

11.如申請專利範圍第7項之方法，其中該DRAM可動態地詮釋該輔助位址欄位以支援複數個記憶體控制器架構，因而當增加該DARM所支援的組數時，該輔助位址欄位便可與該組位址欄位結合以構成該DRAM的組位址。

12.一種具有彈性動態隨機存取記憶體組態之系統，其包括：

至少一被耦合至一記憶體控制器的處理器，其可發出要求，用以從至少一動態隨機存取記憶體(DRAM)中要求資料資訊，該處理器偵測組態以控制該DRAM之一記憶體控制器之一組功能並使用該記憶體控制器之該組功能以程式化一DRAM暫存器，其中一輔助位址欄位之位元係根據由該DRAM暫存器所指示之該組功能提供至該記憶體控制器，使得該輔助位址欄位之該等位元被詮釋為一或多個列位元及/或一或多個行位元及/或一或多個組位元；以及

該記憶體控制器可傳送複數個位址欄位以及一輔助位址欄位給該DRAM，其中該DRAM的組功能係透通於該記憶體控制器，其中用於該輔助位址欄位之位址位元依照該記憶體控制器之一組功能而改變。

13.如申請專利範圍第12項之系統，其中該記憶體控制器可傳送輔助位址欄位、組位址欄位、列位址欄位、以及行位址

欄位。

14.如申請專利範圍第12項之系統，其中該DRAM包括一架構暫存器，其可被程式化用以指示記憶體控制器對該輔助位址欄位的詮釋結果。

15.如申請專利範圍第12項之系統，其中該DRAM係一同步動態隨機存取記憶體(SDRAM)。

