(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2004 年7 月1 日 (01.07.2004)

PCT

(10) 国際公開番号
WO 2004/055773 A1

(51) 国際特許分類[7]: G09G 3/30, 3/20, H05B 33/14

(21) 国際出願番号: PCT/JP2003/016026

(22) 国際出願日: 2003 年12 月15 日 (15.12.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2002-366522
2002 年12 月18 日 (18.12.2002) JP

(71) 出願人: 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒243-0036 神奈川県 厚木市 長谷398番地 Kanagawa (JP).

(72) 発明者: 小山 潤 (KOYAMA,Jun); 〒243-0036 神奈川県 厚木市 長谷398番地 株式会社半導体エネルギー研究所内 Kanagawa (JP).

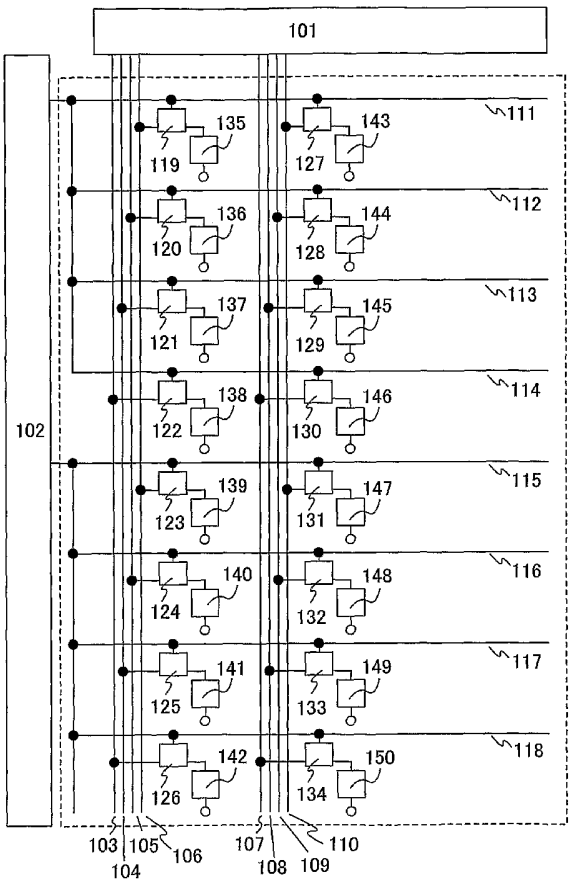
(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK,

[続葉有]

(54) Title: DISPLAY AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置及びその駆動方法



(57) Abstract: In the present invention, a pixel is composed of a switching device and a light-emitting device and a plurality of source signal lines are provided for one column of pixels. The input terminal of the switching device is connected to one of the source signal lines and the output terminal of the switching device is connected to the light-emitting device, so that a light can be emitted when the switching device is turned on. By having plural rows of pixels emit lights at the same time, the emission time can be elongated. Consequently, life of the device can be prolonged and electric power consumption can be reduced.

(57) 要約: 本発明は、画素をスイッチング素子と、発光素子で形成し、１列の画素に対して複数のソース信号線を設け、スイッチング素子の入力端子を複数のソース信号線のいずれかに接続し、スイッチング素子の出力端子を発光素子に接続することによって、スイッチング素子がオンしたときに発光が可能になる。同時に複数行の画素を発光させることによって、発光時間を長くすることができ、それによって素子の寿命を長くし、消費電力を下げることができる。

WO 2004/055773 A1

TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

表示装置及びその駆動方法

技術分野

本発明は、表示装置に関し、特にエレクトロルミネセンス（Electro Luminescence；以下、ＥＬと略記する。）素子を発光媒体として用いた表示装置に関する。

背景技術

近年、通信技術の進歩に伴って、携帯電話機が普及している。今後は更に動画の伝送やより多くの情報伝達が予想される。一方、パーソナルコンピュータもその軽量化によって、モバイル対応の製品が生産されている。電子手帳に始まったＰＤＡと呼ばれる情報端末も多数生産され普及しつつある。また、表示装置の発展により、それらの携帯情報機器のほとんどにはフラットパネルディスプレイが装備されている。

また、フラットパネルディスプレイの中でも、近年では、低温で結晶化した多結晶半導体を用いた薄膜トランジスタ（以下薄膜トランジスタをＴＦＴと表記する）を有する表示装置の製品化が進められている。上記低温とは、結晶化温度が６００℃以下であり、従来の結晶化温度１０００℃以上と比較すると低温であるという意味である。低温で結晶化した多結晶半導体を用いたＴＦＴは画素だけでなく、画素部の周囲に信号線駆動回路を一体形成する

ことが可能であるため、表示装置の小型化や、高精細化が可能であり、今後はさらに普及が見込まれる。

低温で結晶化した多結晶半導体を用いたＴＦＴを有する表示装置では、液晶表示装置のほかに、発光素子特に有機ＥＬ素子を用いた表示装置が開発されている。

一方、有機ＥＬ素子を用いた表示装置としては、パッシブマトリクス駆動の表示装置が開発され、携帯電話機、カーステレオなどの表示装置として、生産されている。

図２に、従来のパッシブマトリクス駆動の表示装置の概略を示す。図２で示す表示装置はガラス等の基板２０１の中央に画素部が配置されている。画素部は、発光素子、カラム信号線、ロウ信号線が配置されている。基板２０１の上側には、カラム信号線を制御するための、カラム信号線駆動回路２０２が、基板２０１の左には、ロウ信号線を制御するための、ロウ信号線駆動回路２０３が配置されている。さらに、カラム信号線駆動回路２０２とロウ信号線線駆動回路２０３を制御するために、コントローラ２４０が配置されている。なお、カラム信号線駆動回路２０２およびロウ信号線駆動回路２０３はＬＳＩチップによって構成され、ＦＰＣ（Flexible Printed Circuit）によって基板２０１に接続されている（例えば、特許文献１参照）。

（特許文献１）

特開平９－２３２０７４号公報

次に図２を参照して、パッシブマトリクス型表示装置の動作について説明する。まず、第１行目のロウ信号線２２０が選択される。ここで選択される

ことは、スイッチ２１２がＧＮＤに接続されることである。次にカラムドライバーのスイッチ２０８～２１１がオンとなる。スイッチ２０８～２１１は片側が定電流源２０４～２０７に、反対側がカラム信号線２１６～２１９に接続されている。スイッチ２０８～２１１がオンになると、定電流源２０４～２０７から出力された電流はスイッチ２０８～２１１、カラム信号線２１６～２１９を介して、発光素子２２４～２２７に流れる。そして電流は、発光素子２２４～２２７を通過したのちロウ信号線２２０を介して、スイッチ２１２を通ってＧＮＤに流れる。このように発光素子２２４～２２７に電流が流れることによって、発光素子は発光を行う。また、スイッチ２０８～２１１がオンになっている時間はスイッチごとに異なり、スイッチがオンになっている時間によって表示装置は階調表示をおこなう。スイッチ２０８～２１１が全てオフになった後にロウ信号線駆動回路のスイッチ２１２はＶＣＣ接続になり、次にスイッチ２１３がＧＮＤ接続になり、上記を繰り返していく。ロウ信号線駆動回路のスイッチがＶＣＣ接続になっている場合には、その行の発光素子に逆バイアスが加わるので、電流が流れる事はなく、発光することはない。

発光素子２２４～２３９の輝度、つまり発光素子２２４～２３９を流れる電流量は、カラム信号線駆動回路の定電流源２０４～２０７の電流値、およびスイッチ２０８～２１１のオンになっている時間によって制御出来る。図３に示すのはカラム信号線駆動回路の例である。まず、内蔵した定電圧源３０１にて、一定の電圧を発生させる。定電圧源としては、公知のバンドギャップレギュレータなどがよく使用され、温度係数の小さな電源が使用される。

この定電圧をオペアンプ３０２、トランジスタ３０３および抵抗３０４によって、電流に変換し、温度係数が小さな定電流を作ることが可能になる。その電流をトランジスタ３０５～３０９、抵抗３１４～３１８によって構成されるカレントミラー回路で反転、且つ複数に複写しスイッチ３１０～３１３を介してカラム信号線に供給する。

次に、発光素子の階調表示の方式について述べる。図２に示したカラム信号線駆動回路において、スイッチ２０８～２１１のオン時間が１通りのみであると、この表示装置の階調は２通りのみである。この表示装置での階調の表現法について、図４を参照して説明する。

図４は時間階調方式のタイミングチャートを簡単に示している。フレーム周波数を６０Ｈｚとし、時間階調方式によって３ビットの階調を得る例である。フレーム周波数が６０Ｈｚの場合、１フレーム期間は１６．６ｍｓとなる。この期間を垂直方向の画素数で割った値がほぼ１水平ライン期間４０１となる。例えば垂直方向の画素数が２２０個とすると、１水平ライン期間は７５μｓとなる。上述した方式では、この水平ライン期間のうちの９０％が映像期間（映像信号が存在する期間）とすると、映像期間は６８μｓとなる。この期間を３ビットすなわち８階調で表示を行なう場合には、図４に示すように、階調に比例してスイッチがオンしている時間、すなわち点灯期間４０２を設定すればよい。図４において、４０３で示す期間は非点灯期間で、４０４で示す期間は帰線期間である。

時間階調方式においては、以上のようにして階調表現を行う。もちろん、カラー表示装置においても、同様の階調表現が可能である。

また、アクティブマトリクス駆動の表示装置としては、図５に示すようなものがある。図５のアクティブマトリクス型表示装置の画素は、スイッチ用ＴＦＴ５０８～５１１、ＥＬ駆動用ＴＦＴ５１２～５１５、保持容量５１６～５１９、ＥＬ素子５２０～５２３よりなっている。以下にその動作を説明する。

ソース信号線駆動回路５０１に接続されたソース信号線５０３、５０４より供給される映像信号は、ゲート信号線駆動回路５０２に接続されたゲート信号線５０５がハイになるとスイッチ用ＴＦＴ５０８、５１０がオンするため、保持容量５１６、５１８およびＥＬ駆動用ＴＦＴ５１２、５１４のゲートに入力される。そして、その電圧値に応じた電流を駆動用ＴＦＴ５１２、５１４は電源線５０７からＥＬ素子５２０、５２２に流す。ここで、駆動用ＴＦＴ５１２、５１４は電圧電流変換素子としての役割を示す。ゲート信号線５０５がロウになると、スイッチ用ＴＦＴ５０８、５１０はオフになるが、保持容量５１６、５１８には電荷が保持されているので、ＥＬ駆動用ＴＦＴ５１２、５１４は同じ状態を保ち、ＥＬ素子５２０、５２２に電流を流し続ける。このように、アクティブマトリクスでは、画素がメモリ性を持つため、次の書き込みが行われるまで、同じ状態の発光は続けることができる。

同様にゲート信号線５０６がハイになるとスイッチ用ＴＦＴ５０９、５１１がオンし、ソース信号線の映像信号をＥＬ駆動用ＴＦＴ５１３、５１５のゲートおよび保持容量５１７、５１９に書きこみ、ＥＬ駆動用ＴＦＴ５１３、５１５はＥＬ素子５２１、５２３に電流を流し、ＥＬ素子５２１、５２３は発光する。（以上の説明は、例えば、特許文献２に開示されている。）

（特許文献２）

特開２００２－１０８２８５号公報

また、アクティブマトリクス型表示装置では図６に示すようなカレントミラー回路を使用した表示装置も開発されている。この表示装置はＴＦＴ６０９と６１０、ＴＦＴ６１１と６１２、ＴＦＴ６１３と６１４、ＴＦＴ６１５と６１６によってカレントミラー回路を画素内部に設けている。ソース信号線駆動回路６０１より、輝度信号を電圧でなく電流でソース信号線６０３、６０４に供給し、ゲート信号線駆動回路６０２によって、ゲート信号線６０５、６０６が制御される。スイッチ６２１～６２８がオンすると、カレントミラー回路が動作し、ソース信号線駆動回路の出力電流に比例した電流がＥＬ素子６２９～６３２に流れる。ゲート信号線駆動回路がスイッチをオフさせても、容量６１７～６２０に電荷が蓄積されていれば、ＴＦＴ６１０、６１２、６１４、６１６は動作し、電流をＥＬ素子６２９～６３２に流し続ける（例えば、特許文献３参照）。

（特許文献３）

特開２００１－１４７６５９

前述したような従来の有機ＥＬ表示装置には以下に示すような課題があった。まずパッシブマトリクス型有機ＥＬ表示装置には、画素数をあまり大きくできないという問題点があった。パッシブマトリクス型ＥＬ表示装置は、画素に保持機能がなく、瞬間的な発光しかできないため、発光期間は１フレーム期間をカラム線の数で割った値になり、画素数が増えると必然的にカラム線の数も増加し、発光期間は短いものになっていた。通常１フレームはフ

リッカの問題から１６．６ｍｓ程度であり、画素が１７６ｘＲＧＢｘ２２０の場合、１ラインの点灯時間は７５μｓとなる。このように発光期間が短く、且つ点灯輝度が高い場合、画素の有機ＥＬ素子には大電流を流さねばならず、これは、有機ＥＬ素子の寿命を短縮させ、また、順方向電圧の上昇による消費電力の増大といった不具合をまねいていた。実用的なパッシブマトリクスの点灯時間は２５０μｓ以上に設定する場合が多く、このため、パッシブマトリクス型ＥＬ表示装置では画素数を増やすことは困難であった。

一方、図５に示すようなアクティブマトリクス型の有機ＥＬ表示装置では、画素にメモリ機能があるため、画素の有機ＥＬ素子は、１フレーム期間にわたって、点灯することが可能であり、パッシブマトリクス型のような問題は生じない。しかし、前述したアクティブ型では容量に保持した電圧を画素内部のＴＦＴによって、電流に変換するため、その電流がＴＦＴの特性ばらつきの影響を受ける。低温ポリシリコンＴＦＴは線状レーザー光を用いて結晶を作るため、そのばらつきによって縞状にＴＦＴ特性がばらつく。このため、縞状に輝度むらが発生するという問題点があった。

図６に示すようなカレントミラー回路を使用した表示装置ではカレントミラーのペアＴＦＴ６０９、６１０の特性がそろっていれば、前述した輝度ムラをなくすことができる。また、ＴＦＴ６０９、６１０はＴＦＴサイズを大きくすることによって、より特性をそろえることが可能になる。しかし、このような表示装置では画素内のＴＦＴ面積が増大し、開口率が低下するために小さな画素には適応できないという課題があった。

発明の開示

以上のような問題を解決するため、本発明者は１つ又はそれ以上の薄膜トランジスタと、発光素子とで画素を構成し、同時に複数の行の画素を点灯するものとする。このようにすることによって、従来の表示装置で課題であった、発光期間が短くなるという問題、画素ＴＦＴのばらつきによる表示ムラの問題、開口率の低下の問題を解消することが可能になる。

本発明の要旨の一つは、基板上にスイッチング素子および発光素子よりなる複数の画素がマトリクス状に配置された表示装置であって、１列の画素列に対し複数のソース信号線が配置され、１行の画素列に対し１本のゲート信号線が配置され、前記スイッチング素子は入力端子、出力端子、制御端子を有し、前記入力端子は前記複数のソース信号線のいずれかに電気的に接続され、前記出力端子は前記発光素子に電気的に接続され、前記制御端子は前記ゲート信号線に電気的に接続されているものである。前記スイッチング素子は、１つの薄膜トランジスタで構成することができる。また前記スイッチング素子は、マルチゲートの薄膜トランジスタ、例えばダブルゲート又はトリプルゲートの薄膜トランジスタで構成することもできる。さらに、前記発光素子としてＥＬ素子を用いることができる。

本発明の要旨の一つは、基板上にスイッチング素子および発光素子よりなる複数の画素がマトリクス状に配置された表示装置であって、１列の画素列に対し複数のソース信号線が配置され、１行の画素列に対し１本のゲート信号線が配置され、前記スイッチング素子は入力端子、出力端子、制御端子を有し、前記入力端子は前記複数のソース信号線のいずれかに電気的に接続さ

れ、前記出力端子は前記発光素子に電気的に接続され、前記制御端子は前記ゲート信号線に電気的に接続され、前記複数のソース信号線の少なくとも１つに電気的に接続されたソース信号線駆動回路を複数有するものである。前記ソース信号線駆動回路は電流出力型のソース信号線駆動回路であって、また、薄膜トランジスタで形成されていても良い。前記ソース信号線駆動回路は前記スイッチング素子と同一基板上に形成することができる。前記ソース信号線駆動回路は半導体チップを実装したものであっても良い。複数の前記ソース信号線駆動回路は前記複数の画素が配置された領域の両側（当該領域の上下又は左右）に分けて配置されていても良い。さらに、前記ソース信号線駆動回路は、前記複数のソース信号線のいずれか１つを駆動するものである。前記スイッチング素子は、１つの薄膜トランジスタで構成することができる。また、前記スイッチング素子は、マルチゲートの薄膜トランジスタ、例えばダブルゲート又はトリプルゲートの薄膜トランジスタで構成することもできる。さらに、前記発光素子としてＥＬ素子を用いることができる。

本発明の要旨の一つは、基板上にスイッチング素子および発光素子よりなる複数の画素がマトリクス状に配置された表示装置であって、１列の画素列に対し複数のソース信号線が配置され、１行の画素列に対し１本のゲート信号線が配置され、前記スイッチング素子は入力端子、出力端子、制御端子を有し、前記入力端子は前記複数のソース信号線のいずれかに電気的に接続され、前記出力端子は前記発光素子に電気的に接続され、前記制御端子は前記ゲート信号線に電気的に接続され、前記ゲート信号線を同時に複数本駆動させる１つのゲート信号線駆動回路を有するものである。前記ゲート信号線駆

動回路は薄膜トランジスタで構成することができる。前記ゲート信号線駆動回路は前記スイッチング素子と同一基板上に形成することができる。前記ゲート信号線駆動回路は半導体チップを実装したものであっても良い。前記スイッチング素子は、１つの薄膜トランジスタで構成することができる。また前記スイッチング素子は、マルチゲートの薄膜トランジスタ、例えばダブルゲート又はトリプルゲートの薄膜トランジスタで構成することもできる。さらに、前記発光素子としてＥＬ素子を用いることができる。

上記した本発明において、前記ソース信号線駆動回路または前記ゲート信号線駆動回路は単一の極性のトランジスタによって構成することができる。

本発明の要旨の一つは、基板上にスイッチング素子および発光素子よりなる画素がマトリクス状に配置され、１列の画素列に対し複数のソース信号線が配置され、１行の画素列に対し１本のゲート信号線が配置され、前記スイッチング素子は入力端子、出力端子、制御端子を有し、前記入力端子は前記複数のソース信号線のいずれかに電気的に接続され、前記出力端子は前記発光素子に電気的に接続され、前記制御端子は前記ゲート信号線に電気的に接続された表示装置の駆動方法であって、前記ゲート信号線を同時に複数本駆動させて複数の前記スイッチング素子をオン状態にすることにより、前記複数のソース信号線のいずれかの信号を前記発光素子に入力し、前記発光素子を駆動させる方法である。この発光装置の駆動方法において、スイッチング素子は１つの薄膜トランジスタ、または、マルチゲートの薄膜トランジスタで構成したものを適用することができる。

図面の簡単な説明

第１図は、本発明の実施形態を示す図である。

第２図は、従来のパッシブマトリクス型ＥＬ表示装置を示す図である。

第３図は、従来の電流源回路を示す図である。

第４図は、従来のパッシブマトリクス型ＥＬ表示装置の階調を示す図である。

第５図は、従来のアクティブマトリクス型ＥＬ表示装置の画素を示す図である。

第６図は、カレントミラーを用いた従来のアクティブマトリクス型ＥＬ表示装置の画素を示す図である。

第７図は、本発明の画素とソース信号線駆動回路を示す図である。

第８図は、本発明のソース信号線駆動回路のブロック図である。

第９図は、本発明のソース信号線駆動回路のブロック図である。

第１０図は、本発明の定電流源のブロック図である。

第１１図は、本発明のアナログ映像信号を用いたソース信号線駆動回路を示す図である。

第１２図は、本発明のアナログ映像信号を用いたソース信号線駆動回路を示す図である。

第１３図は、本発明のスイッチング素子を一つのＴＦＴで構成した実施例を示す図である。

第１４図は、本発明のスイッチング素子を複数のＴＦＴで構成した実施例を示す図である。

第１５図は、本発明の画素の平面図である。

第１６図は、本発明のゲート信号線を接続した実施例を示す図である。

第１７図は、本発明の単極性のＴＦＴを用いた信号線駆動回路の実施例である。

第１８図は、本発明の表示装置を用いた電子機器の図である。

第１９図は、本発明の信号線駆動回路を画素部の両側に設置した実施例を示す図である。

発明を実施するための最良の形態

以下、本発明の実施形態を図面を用いて説明する。

図１に本発明の表示装置の概略図を示す。図１において、１つの画素は１つのスイッチング素子と１つの発光素子によって構成されている。１列の画素に対して４本のソース信号線が配置され、１行の画素に対して１本のゲート信号線が配置されている。本実施形態では１列の画素に対して配置されたソース信号線は４本であるが４本には限定されない。

ソース信号線駆動回路１０１に接続されたソース信号線１０３～１１０はスイッチング素子の入力端子に接続され、発光素子の一方の電極はスイッチング素子の出力端子に接続され、ゲート信号線駆動回路１０２に接続されたゲート信号線はスイッチング素子の制御端子に接続される。使用するソース信号線駆動回路１０１は図３に示したようなソース信号線に電流を出力するタイプのものであることが望ましいが限定はされない。ソース信号線駆動回路１０１から電流が出力され、ゲート信号線１１１～１１４がハイ（アクテ

ィブ）になると、スイッチング素子１１９～１２２、１２７～１３０がオンし、スイッチング素子を通して発光素子１３５～１３８、１４３～１４６、そして共通のカソードに電流が流れ、発光素子１３５～１３８、１４３～１４６は発光する。

次に、ゲート信号線１１１～１１４がロウになるとスイッチング素子１１９～１２２、１２７～１３０がオフになる。続いて、ゲート信号線１１５～１１８がハイになると、スイッチング素子１２３～１２６、１３１～１３４がオンし、発光素子１３９～１４２、１４７～１５０に電流がながれ、発光する。これを繰り返すことによって画面全体が発光する。

階調を表現する場合には図４で示したのと同じように、ソース信号線に流れる電流を制御することによって、表現ができる。

このとき、従来のパッシブマトリクス型ＥＬ表示装置と異なるのは、本発明では複数のゲート信号線１１１～１１４を同時にオンさせていることである。図１では、ソース信号線は縦１列に対して４本あり、４本のゲート信号線をオンさせることができる。

これによって、従来のパッシブマトリクス型ＥＬ表示装置では、画素数を１７６ｘＲＧＢｘ２２０とした場合、１ラインの点灯期間が約７５μｓであったのに対し、本発明では同時に４ラインが点灯できるため、３００μｓ期間点灯が可能になる。これによって、画素数の多くないパッシブマトリクス型ＥＬ表示装置と同様の信頼性が確保できる。

ソース信号線駆動回路、ゲート信号線駆動回路はスイッチング素子と同様に基板上に同時形成しても良いし、また、スイッチング素子とは別にドライ

バ回路を作製し、画素基板に貼り付けてもよい。ドライバ回路は単結晶シリコンでも良いし、ポリシリコンなど非単結晶を用いても良い。

また、各画素にあるスイッチング素子は電流のオンオフを制御するだけであり、電圧電流変換を行わないので、スイッチング素子のばらつきによって輝度ムラを発生させることはない。また、スイッチング素子のオフ電流によって、電荷が放電してしまうということもない。よって、従来のアクティブマトリクス型ＥＬ表示装置のように、レーザー結晶化のばらつきによって、画質を低下させることはない。また、１つの画素にあるスイッチング素子は１つであり、複雑な回路を画素内に入れる必要はない。また、ばらつき低減のため、スイッチング素子サイズを大きくしなければならないということはない。したがって、開口率の低下は発生せず、且つ小さな画素でも対応できるという利点がある。

以上に説明したように、本発明では、パッシブマトリクス型ＥＬ表示装置のように、ＥＬ素子の点灯期間が非常に短くなるという問題や、従来のアクティブ型ＥＬ発光装置のように、素子のばらつきによって、縞状の輝度ムラが発生するという問題、開口率が低下するという問題を解決することが可能である。

実施例

（実施例１）

図１３に本発明の表示装置の概略図を示す。図１３において、１つの画素は１つのＴＦＴと１つの発光素子によって構成されている。ソース信号線駆動回路１３０１に接続されたソース信号線は、ＴＦＴのソース電極またはド

レイン電極のいずれか一方に接続され、発光素子の一方の電極は、ＴＦＴのソース電極またはドレイン電極の他方に接続され、ゲート信号線駆動回路１３０２に接続されたゲート信号線はＴＦＴのゲート電極に接続される。使用するソース信号線駆動回路１３０１は、図３に示したようなソース信号線に電流を出力するタイプのものであることが望ましいが、限定はされない。

ソース信号線駆動回路１３０１から、ソース信号線１３０３～１３１０に電流が出力され、ゲート信号線１３１１～１３１４がハイ（画素ＴＦＴがＮチャネル型の場合）になると、ＴＦＴ１３１９～１３２２、１３２７～１３３０に電流が流れ、ＴＦＴを通してＥＬ素子１３３５～１３３８、１３４３～１３４６、そして共通のカソードに電流が流れ、ＥＬ素子１３３５～１３３８、１３４３～１３４６は発光する。

次に、ゲート信号線１３１１～１３１４がロウ（画素ＴＦＴがＮチャネル型の場合）になるとＴＦＴ１３１９～１３２２、１３２７～１３３０がオフになる。続いて、ゲート信号線１３１５～１３１８がハイになると、ＴＦＴ１３２３～１３２６、１３３１～１３３４がオンし、ＥＬ素子１３３９～１３４２、１３４７～１３５０に電流が流れ、発光する。これを繰り返すことによって画面全体が発光する。以上、画素ＴＦＴがＮチャネル型の場合を述べたが、画素がＰチャネル型の場合はゲート信号線の電位は逆となる。

ソース信号線駆動回路１３０１、ゲート信号線駆動回路１３０２は画素ＴＦＴと同様に基板上に同時形成しても良いし、また、画素ＴＦＴとは別に、ドライバ回路を作製し、画素基板に貼り付けてもよい。ドライバ回路は単結晶シリコンでも良いし、ポリシリコンなど非単結晶を用いても良い。

階調を表現する場合には図４で示したのと同じように、ソース信号線に流れる電流を制御することによって、表現ができる。

（実施例２）

図１４に示すのはスイッチング素子をダブルゲートのＴＦＴで構成した例である。このようにスイッチング素子を構成するＴＦＴを複数にすることによって、スイッチング素子のリークが大きい場合でも、発光装置の歩留まり低下を抑えることができる。本実施例ではスイッチング素子をダブルゲートＴＦＴとしたが、本発明はこれに限らず、マルチゲートＴＦＴ、例えばトリプルゲートＴＦＴであってもかまわないし、その他の構成であっても良い。

ソース信号線駆動回路１４０１から、ソース信号線１４０３～１４１０に電流が出力され、ゲート信号線１４１１～１４１４がハイ（画素ＴＦＴがＮチャネル型の場合）になると、ＴＦＴ１４１９～１４２２、１４２７～１４３０に電流が流れ、ＴＦＴを通してＥＬ素子１４３５～１４３８、１４４３～１４４６、そして共通のカソードに電流が流れ、ＥＬ素子１４３５～１４３８、１４４３～１４４６は発光する。

次に、ゲート信号線１４１１～１４１４がロウ（画素ＴＦＴがＮチャネル型の場合）になるとＴＦＴ１４１９～１４２２、１４２７～１４３０がオフになる。続いて、ゲート信号線１４１５～１４１８がハイになると、ＴＦＴ１４２３～１４２６、１４３１～１４３４がオンし、ＥＬ素子１４３９～１４４２、１４４７～１４５０に電流がながれ、発光する。これを繰り返すことによって画面全体が発光する。以上、画素ＴＦＴがＮチャネル型の場合を述べたが、画素がＰチャネル型の場合はゲート信号線の電位は逆となる。

ソース信号線駆動回路１４０１、ゲート信号線駆動回路１４０２は画素ＴＦＴと同様に基板上に同時形成しても良いし、また、画素ＴＦＴとは別にドライバ回路を作製し、画素基板に貼り付けてもよい。ドライバ回路は単結晶シリコンでも良いし、ポリシリコンなど非単結晶を用いても良い。

階調を表現する場合には図４で示したのと同じように、ソース信号線に流れる電流を制御することによって、表現ができる。

本実施例で示すスイッチング素子は、本明細書の他の実施例にも適用できる。

（実施例３）

図１６に、ゲート信号線の同時駆動のタイミングを、前述した実施形態及び実施例１及び実施例２と変えた例を示す。本実施例では、ゲート信号線駆動回路１６０２と各ゲート信号線の接続関係は前述した実施形態及び実施例１及び実施例２と異なっている。

ソース信号線駆動回路１６０１から、ソース信号線１６０３～１６１０に電流が出力され、ゲート信号線１６１１、１６１３、１６１５、１６１７がハイ（画素ＴＦＴがＮチャネル型の場合）になると、ＴＦＴ１６１９、１６２１、１６２３、１６２５、１６２７、１６２９、１６３１、１６３３に電流が流れ、ＴＦＴを通してＥＬ素子１６３５、１６３７、１６３９、１６４１、１６４３、１６４５、１６４７、１６４９、そして共通のカソードに電流が流れ、ＥＬ素子１６３５、１６３７、１６３９、１６４１、１６４３、１６４５、１６４７、１６４９は発光する。

次に、ゲート信号線１６１１、１６１３、１６１５、１６１７がロウ（画

素ＴＦＴがＮチャネル型の場合）になるとＴＦＴ１６１９、１６２１、１６２３、１６２５、１６２７、１６２９、１６３１、１６３３がオフになる。続いて、ゲート信号線１６１２、１６１４、１６１６、１６１８がハイになると、ＴＦＴ１６２０、１６２２、１６２４、１６２６、１６２８、１６３０、１６３２、１６３４がオンし、ＥＬ素子１６３６、１６３８、１６４０、１６４２、１６４４、１６４６、１６４８、１６５０に電流がながれ、発光する。これを繰り返すことによって画面全体が発光する。以上、画素ＴＦＴがＮチャネル型の場合を述べたが、画素がＰチャネル型の場合はゲート信号線の電位は逆となる。

ソース信号線駆動回路１６０１、ゲート信号線駆動回路１６０２は画素ＴＦＴと同様に基板上に同時形成しても良いし、また、画素ＴＦＴとは別に、ドライバ回路を作製し、画素基板に貼り付けてもよい。ドライバ回路は単結晶シリコンでも良いし、ポリシリコンなど非単結晶を用いても良い。

階調を表現する場合には図４で示したのと同じように、ソース信号線に流れる電流を制御することによって表現ができる。本発明では、上記の説明に限らず、同様に他の組み合わせで同時駆動を行うことも可能であり、どのゲート信号線を同時駆動するかを任意に設定することが可能である。

（実施例４）

図７に本発明のソース信号線駆動回路を示す。図７に示すように、本実施例では画素１列に対して、ソース信号線ごとにソース信号線駆動回路７０１～７０４を設けることが可能である。図７において、７０６～７１３はソース信号線を示し、７０５はゲート信号線駆動回路を示す。図８は個々のソー

ス信号線駆動回路（たとえば７０１）の構成内容を示したものである。図４に示したような駆動を行うことに対応している。図４は３ビットの例であるので、図８に示す実施例も３ビットに対応しているが、３ビットに限定するものではない。以下にその動作を説明する。

まず、映像信号線８２８に入力されたデジタル映像信号はシフトレジスタ８０１の出力パルスによってラッチ回路８０２～８０４、８１５～８１７に記憶される。１ライン分のデータが記憶されると水平帰線期間中にラッチ信号線８３０がハイになり、ラッチ回路８０５～８０７、８１８～８２０にデータが転送される。次の映像期間においては、再びラッチ回路８０２～８０４、８１５～８１７にデジタル映像信号が記憶される。

一方、ラッチ回路８０５～８０７、８１８～８２０に蓄えられたデータと、カウント信号線８２９より入力されるデータはＥＸＮＯＲ８０８～８１０、８２１～８２３によって比較される。ＥＸＮＯＲの出力はＡＮＤ８１１、８２４に入力されすべてがハイになったときラッチ回路８１２、８２５の状態が変化する。この状態変化に応じてスイッチ８１４、８２７が開閉し、定電流源８１３、８２６の電流をソース信号線８３１、８３２に流すか、流さないかを制御する。

カウント信号線には０００～１１１までの信号が順に出力され、ラッチ回路８０５～８０７のデータがそれぞれ１、０、１であればカウント信号が１０１のときにラッチ回路８１２が動作し、スイッチが閉じる。よって、カウント信号が０００～１０１の期間は電流がソース信号線に流れ、点灯が行われる。このように、デジタル映像信号のデータによって、ソース信号線に電

流に流れる期間が制御され、階調を表現することができる。

本実施例に示すソース信号線駆動回路は、本明細書の他の実施例にも適用できる。

（実施例５）

図９は階調をビットごとのオンオフで表現する場合のソース信号線駆動回路の実施例である。このような場合は、映像信号は特定のビットデータしか、入力されないので、ソース信号線駆動回路は簡略化できる。以下にその動作を説明する。映像信号線９１０に入力されたデジタル映像信号はシフトレジスタ９０１の出力パルスによって、ラッチ回路９０２、９０６に記憶される。次にラッチ信号線９１１がハイになるとラッチ回路９０３、９０７に転送される。そして、次のデジタル映像信号がラッチ回路９０２、９０６に記憶される。ラッチ回路９０３、９０７の出力によってスイッチ９０５、９０９が制御され、定電流源９０４、９０８の電流がソース信号線９１２、９１３に流れるか、流れないかが決まる。このようにして、画素を発光させることが可能になる。

（実施例６）

図１０に定電流源の実施例を示す。定電流源の従来例は図３で示したものであるが、カレントミラー回路を多く使用するため、誤差が発生しやすい。よってその対策を行ったものを示す。図１０の定電流回路はソース信号線駆動回路の外部、または内部に基準電流源１００２を設け、その電流をＴＦＴ１００４～１００６に順に流し、そのときのＴＦＴ１００４～１００６のゲート・ソース間電圧を保持容量１００７～１００９に記憶しておくことによ

って、定電流源１００２と同じ電流を出力端子１０１６～１０１８に流すものである。

以下にその動作を説明する。シフトレジスタ１００１は出力パルスを順次シフトしていく。まずシフトパルスがスイッチ１０１０、１０１１に加えられ、スイッチ１０１０、１０１１がオンすると電源線１００３よりＴＦＴ１００４、スイッチ１０１１、１０１０を介して、定電流源１００２に電流が流れる。シフトレジスタの出力パルスがスイッチ１０１２、１０１３に加わると、同様に電源線１００３よりＴＦＴ１００５、スイッチ１０１３、１０１２を介して、定電流源１００２に電流が流れる。そのとき、スイッチ１０１０、１０１１はすでにオフしているが、容量１００７には電荷が蓄えられているので、ＴＦＴ１００４はオンしたままであり、電源線１００３から出力端子１０１６に電流が流れる。

シフトレジスタの出力パルスがスイッチ１０１４、１０１５に加わると、同様に電源線１００３よりＴＦＴ１００６、スイッチ１０１５、１０１４を介して、定電流源１００２に電流が流れる。そのとき、スイッチ１０１０、１０１１、１０１２、１０１３はすでにオフしているが、容量１００７、１００８には電荷が蓄えられているので、ＴＦＴ１００４、１００５はオンしたままであり、電源線１００３から出力端子１０１６、１０１７に電流が流れる。このようにして、基準定電流源１００２を基にして、ソース信号線を駆動する電流源を構成することができる。この電流源は容量に蓄えられる電荷が保持できれば、原理的にＴＦＴ１００４～１００６の素子ばらつきの影響を受けることがないので、ばらつきの少ない電流源を構成することができ

る。

（実施例７）

図１１に本発明のソース信号線駆動回路の実施例を示す。図１１はアナログ映像信号（電圧）を入力し、それに応じた電流をソース信号線に出力するソース信号線駆動回路である。

まず第１行目に対応するアナログ映像信号をアナログ映像信号線１１２４に入力する。シフトレジスタ１１０１の出力パルスによって、スイッチ１１０３、１１１０、１１１７をオンオフし、アナログ映像信号をサンプリングして、容量１１０４、１１１１、１１１８に保持する。この電圧がＴＦＴ１１０５、１１１２、１１１９のゲート・ソース間電圧となる。１行目のサンプリングが終了するまで、スイッチ１１０９、１１１６、１１２３はＴＦＴ１１０８、１１１５、１１２２とそれに応じたソース信号線１１２８、１１２９、１１３０を接続し、ＴＦＴ１１０５、１１１２、１１１９とソース信号線は接続されない。よって、ＴＦＴ１１０５、１１１２、１１１９のゲート・ソース間に電圧が印加されても、電流は流れない。サンプリングが終了したのち、スイッチ１１０９、１１１６、１１２３を切り換え、ＴＦＴ１１０５、１１１２、１１１９とソース信号線は接続される。このようにして、ソース信号線にアナログ映像信号に応じた電流が出力される。

次に第２行目に対応するアナログ映像信号をアナログ映像信号線１１２６に入力する。シフトレジスタ１１０２の出力パルスによって、スイッチ１１０６、１１１３、１１２０をオンオフし、アナログ映像信号をサンプリングして、容量１１０７、１１１４、１１２１に保持する。この電圧がＴＦＴ１

１０８、１１１５、１１２２のゲート・ソース間電圧となる。２行目のサンプリングが終了するまで、スイッチ１１０９、１１１６、１１２３はＴＦＴ１１０５、１１１２、１１１９とそれに応じたソース信号線を接続し、ＴＦＴ１１０８、１１１５、１１２２とソース信号線は接続されない。よって、ＴＦＴ１１０８、１１１５、１１２２のゲート・ソース間に電圧が印加されても、電流は流れない。サンプリングが終了したのち、スイッチ１１０９、１１１６、１１２３を切り換え、ＴＦＴ１１０８、１１１５、１１２２とソース信号線は接続される。このようにして、ソース信号線にアナログ映像信号に応じた電流が出力される。

次に第３行目に対応するアナログ映像信号をアナログ映像信号線１１２４に入力する。シフトレジスタ１１０１の出力パルスによって、アナログ映像信号をサンプリングしていく。これを繰り返すことによって、アナログ映像信号に応じた電流をソース信号線に出力していく。

図１１において、１１２５及び１１２７はそれぞれ電源線を示す。

（実施例８）

図１２に本発明のソース信号線駆動回路の実施例を示す。図１２はアナログ映像信号（電流）を入力し、それに応じた電流をソース信号線に出力するソース信号線駆動回路である。

まず第１行目に対応するアナログ映像信号をアナログ電流源１２０１から入力する。シフトレジスタ１２０３の出力パルスによって、スイッチ１２１０～１２１５をオンオフし、アナログ電流映像信号をサンプリングして、ＴＦＴ１２０４～１２０６のゲート・ソース間に必要な電圧を発生させる。そ

して容量１２０７～１２０９に保持する。１行目のサンプリングが終了するまで、スイッチ１２２９～１２３１はＴＦＴ１２１７～１２１９とそれに応じたソース信号線を接続し、ＴＦＴ１２０４～１２０６とソース線は接続されない。よって、ＴＦＴ１２０４～１２０６のゲート・ソース間に電圧が印加されても、電流は流れない。サンプリングが終了したのち、スイッチ１２２９～１２３１を切り換え、ＴＦＴ１２０４～１２０６とソース信号線は接続される。このようにして、ソース信号線にアナログ映像信号に応じた電流が出力される。

次に第２行目に対応するアナログ映像信号をアナログ電流源１２０２から入力する。シフトレジスタ１２１６の出力パルスによって、スイッチ１２２３～１２２８をオンオフし、アナログ電流映像信号をサンプリングして、ＴＦＴ１２１７～１２１９のゲート・ソース間に必要な電圧を発生させる。そして容量１２２０～１２２２に保持する。２行目のサンプリングが終了するまで、スイッチ１２２９～１２３１はＴＦＴ１２０４～１２０６とそれに応じたソース信号線を接続し、ＴＦＴ１２１７～１２１９とソース線は接続されない。よって、ＴＦＴ１２１７～１２１９のゲート・ソース間に電圧が印加されても、電流は流れない。サンプリングが終了したのち、スイッチ１２２９～１２３１を切り換え、ＴＦＴ１２１７～１２１９とソース信号線は接続される。このようにして、ソース信号線にアナログ映像信号に応じた電流が出力される。

次に第３行目に対応するアナログ映像信号をアナログ電流源１２０１から入力する。シフトレジスタ１２０３の出力パルスによって、アナログ電流映

像信号をサンプリングしていく。これを繰り返すことによって、アナログ映像信号に応じた電流をソース信号線に出力していく。

（実施例９）

図１５に本発明の画素の平面図を示す。ソース信号線１５０１～１５０４はこの例では４本としてあり、ソース信号線１５０４が画素ＴＦＴ１５０６のソースまたはドレイン電極に接続されている。画素ＴＦＴのソース信号線１５０４に接続されない方ソースまたはドレイン電極は画素電極１５０７に接続される。画素電極１５０７はＥＬ素子のアノードまたはカソードとなる。ゲート信号線１５０５はＴＦＴ１５０６のゲートに接続される。

本発明はソース信号線の本数が従来のアクティブマトリクス型ＥＬ発光装置より多いが、画素のカラー化を塗り分け方式で行う場合には、各色の境界の部分にソース信号線を入れることが可能になる。また、ＴＦＴは１つの画素に対して１つのみしか必要とせず、また、保持容量は不要であるので、開口率を高くすることができる。

また、ＥＬ素子の画素電極と異なる対向電極を透明電極として、ＥＬ素子の発光を上方から取り出した上方発光型の場合は、ソース信号線上に絶縁膜を成膜し、その上に画素電極を置くことができ、その場合は画素の９割以上を画素電極とすることも可能である。

（実施例１０）

本発明は、画素ＴＦＴを単にスイッチとしてしか使わないので、画素ＴＦＴには高性能のトランジスタを必要としない。よって、画素ＴＦＴをアモルファスＴＦＴ、有機ＴＦＴなどとすることも可能ある。この場合、ソース信

号線駆動回路、ゲート信号線駆動回路は一体形成できないので、単結晶トランジスタ、または多結晶トランジスタで構成し、画素ＴＦＴ基板に貼り付けて動作をおこなう。

大型表示装置では、そのコストの大半がソース信号線駆動回路、ゲート信号線駆動回路などの駆動回路ではなく、画素部であるため、ポリシリコンＴＦＴを用いずアモルファスＴＦＴなどを用いることによって大幅なコストダウンを図ることができる。

また、本実施例は前述した他の実施例と組み合わせて使用することが可能である。

（実施例１１）

図１７は単極性のＴＦＴを用いて、シフトレジスタを構成した例である。図１７はＮチャネル型の例であるが、単極性はＮチャネル型のみまたはＰチャネル型のみのいずれを用いても良い。単極性トランジスタのプロセスを用いたソース信号線駆動回路、またはゲート信号線駆動回路のいずれか、あるいは両方を用いることによって、表示装置製造のためのマスク枚数の低減が可能となる。

図１７において、スタートパルスＳＰは走査方向切り換えスイッチ１７０２に入力され、スイッチ用ＴＦＴ１７１１を経て、シフトレジスタ１７０１に入力される。シフトレジスタはブートストラップを用いたセットリセット型のシフトレジスタである。以下にシフトレジスタ１７０１の動作を説明する。

スタートパルスはＴＦＴ１７０３のゲートとＴＦＴ１７０６のゲートに入

力される。ＴＦＴ１７０６がオンになるとＴＦＴ１７０４のゲートはロウになりＴＦＴ１７０４はオフになる。また、ＴＦＴ１７１０のゲートもロウになるためＴＦＴ１７１０もオフとなる。ＴＦＴ１７０３のゲートは電源電位まで上がるため、まずＴＦＴ１７０９のゲートは「電源－Ｖｇｓ」まで上昇する。出力１は初期電位がロウであるため、ＴＦＴ１７０９は出力１と容量１７０８を充電しながらソース電位を上げていく、ＴＦＴ１７０９のゲートが「電源－Ｖｇｓ」まで上昇したときに、ＴＦＴ１７０９はまだオンしているので、出力１はさらに上昇を続ける。ＴＦＴ１７０９のゲートは放電経路がないので、ソースに合わせて上昇し、電源をこえてもさらに上昇を続ける。

ＴＦＴ１７０９のドレイン、及びソースが等電位になったときに、電流が出力に流れるのが停止し、そこでＴＦＴ１７０９の電位上昇が止まる。このようにして、出力１は電源電位に等しいハイ電位を出力できる。この時はＣＬｂの電位はハイとする。ＣＬｂがロウに落ちると、容量１７０８電荷はＴＦＴ１７０９を介してＣＬｂにぬけて、出力１はロウに落ちる。出力１のパルスは次の段のシフトレジスタに伝わっていく。本実施例は本明細書の他の実施例と組み合わせて使用することができる。

（実施例１２）

図１９にソース信号線駆動回路を画素部の両側に配置した実施例を示す。このように配置を行い、両側のソース信号線駆動回路を同時に動かすことにより、図１９の例では８行の画素を同時に点灯することができ、ＥＬ素子の発光時間をさらに長くとることができる。以下に動作を説明する。

ソース信号線駆動回路１９０１から、ソース信号線１９０４～１９１１に

電流が出力され、ゲート信号線１９５２～１９５５がハイ（画素ＴＦＴがＮチャネル型の場合）になると、ＴＦＴ１９２０～１９２７に電流が流れ、ＴＦＴを通してＥＬ素子１９２８～１９３５、そして共通のカソードに電流が流れ、ＥＬ素子１９２８～１９３５は発光する。

以上の動作と同時に、ソース信号線駆動回路１９０２から、ソース信号線１９１２～１９１９に電流が出力され、ゲート信号線１９５６～１９５９がハイ（画素ＴＦＴがＮチャネル型の場合）になると、ＴＦＴ１９３６～１９４３に電流が流れ、ＴＦＴを通してＥＬ素子１９４４～１９５１、そして共通のカソードに電流が流れ、ＥＬ素子１９４４～１９５１は発光する。

ソース信号線駆動回路１９０１、１９０２、ゲート信号線駆動回路１９０３は画素ＴＦＴと同様に基板上に同時形成しても良いし、また、画素ＴＦＴとは別に、ドライバ回路を作製し、画素基板に貼り付けてもよい。ドライバ回路は単結晶シリコンでも良いし、ポリシリコンなど非単結晶を用いても良い。

階調を表現する場合には図４で示したのと同じように、ソース信号線に流れる電流を制御することによって、表現ができる。

（実施例１３）

以上のようにして作製される表示装置は各種電子機器の表示部として用いることができる。以下に、本発明を用いて形成された表示装置を表示媒体として組み込んだ電子機器について説明する。

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーショ

ン、パーソナルコンピュータ、携帯情報端末、携帯電話機、電子書籍などが挙げられる。それらの一例を図１８に示す。

図１８（Ａ）はデジタルカメラであり、本体３１０１、表示部３１０２、受像部３１０３、操作キー３１０４、外部接続ポート３１０５、シャッター３１０６、音声出力部３１０７を含む。本発明の表示装置はカメラの表示部３１０２に用いることができる。

図１８（Ｂ）はノートパソコンであり、本体３２０１、筐体３２０２、表示部３２０３、キーボード３２０４、外部接続ポート３２０５、ポインティングマウス３２０６、音声出力部３２０７を含む。本発明の表示装置は表示部３２０３に使用することができる。

図１８（Ｃ）は携帯情報端末であり、本体３３０１、表示部３３０２、スイッチ３３０３、操作キー３３０４、赤外線ポート３３０５、音声出力部３３０６を含む。本発明の表示装置は表示部３３０２に使用することができる。

図１８（Ｄ）は記録媒体を備えた画像再生装置（具体的にはＤＶＤ再生装置）であり、本体３４０１、筐体３４０２、記録媒体（ＣＤ、ＬＤまたはＤＶＤ等）読込部３４０５、操作スイッチ３４０６、音声出力部３４０７、表示部（ａ）３４０３、表示部（ｂ）３４０４等を含む。表示部（ａ）は主として画像情報を表示し、表示部（ｂ）は主として文字情報を表示するが、本発明の表示装置は記録媒体を備えた画像再生装置の表示部（ａ）、（ｂ）に用いることができる。なお、記録媒体を備えた画像再生装置としては、ＣＤ再生装置、ゲーム機器などに本発明を用いることができる。

図１８（Ｅ）は折りたたみ式携帯表示装置であり、本体３５０１に本発明

を用いた表示部３５０２を装着することができる。３５０３は音声出力部を示す。

図１８（Ｆ）は腕時計型表示装置であり、ベルト３６０１、表示部３６０２、操作スイッチ３６０３、音声出力部３６０４を含む。本発明の表示装置は表示部３６０２に用いることができる。

図１８（Ｇ）は携帯電話機であり、本体３７０１は、筐体３７０２、表示部３７０３、音声入力部３７０４、アンテナ３７０５、操作キー３７０６、外部接続ポート３７０７、音声出力部３７０８を含む。本発明の表示装置を表示部３７０３に用いることができる。

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例１～１２のどのような組み合わせからなる構成を用いても実現することができる。

請求の範囲

１．基板上にスイッチング素子および発光素子よりなる複数の画素がマトリクス状に配置され、

１列の画素列に対し複数のソース信号線が配置され、

１行の画素列に対し１本のゲート信号線が配置され、

前記スイッチング素子は入力端子、出力端子、制御端子を有し、

前記入力端子は前記複数のソース信号線のいずれかに電気的に接続され、

前記出力端子は前記発光素子に電気的に接続され、前記制御端子は前記ゲート信号線に電気的に接続されていることを特徴とした表示装置。

２．基板上にスイッチング素子および発光素子よりなる複数の画素がマトリクス状に配置され、

１列の画素列に対し複数のソース信号線が配置され、

１行の画素列に対し１本のゲート信号線が配置され、

前記スイッチング素子は入力端子、出力端子、制御端子を有し、

前記入力端子は前記複数のソース信号線のいずれかに電気的に接続され、

前記出力端子は前記発光素子に電気的に接続され、

前記制御端子は前記ゲート信号線に電気的に接続され、

前記複数のソース信号線の少なくとも１つに電気的に接続されたソース信号線駆動回路を複数有することを特徴とした表示装置。

３．基板上にスイッチング素子および発光素子よりなる複数の画素がマトリクス状に配置され、

１列の画素列に対し複数のソース信号線が配置され、

１行の画素列に対し１本のゲート信号線が配置され、

前記スイッチング素子は入力端子、出力端子、制御端子を有し、

前記入力端子は前記複数のソース信号線のいずれかに電気的に接続され、

前記出力端子は前記発光素子に電気的に接続され、

前記制御端子は前記ゲート信号線に電気的に接続され、

前記ゲート信号線を同時に複数本駆動させる１つのゲート信号線駆動回路を有することを特徴とした表示装置。

４．請求の範囲第２項において、

前記ソース信号線駆動回路は電流出力型のソース信号線駆動回路であることを特徴とした表示装置。

５．請求の範囲第２項において、

前記ソース信号線駆動回路は薄膜トランジスタで構成されていることを特徴とした表示装置。

６．請求の範囲第２項において、

前記ソース信号線駆動回路は前記スイッチング素子と同一基板上に形成されていることを特徴とした表示装置。

７．請求の範囲第２項において、

前記ソース信号線駆動回路は半導体チップを実装したものであることを特徴とした表示装置。

８．請求の範囲第２項において、

複数の前記ソース信号線駆動回路は前記複数の画素が配置された領域の両側に分けて配置されていることを特徴とした表示装置。

９．請求の範囲第２項において、

前記ソース信号線駆動回路は前記複数のソース信号線のいずれか１つを駆動するものであることを特徴とした表示装置。

１０．請求の範囲第２項において、

前記ソース信号線駆動回路は単一の極性のトランジスタによって構成されていることを特徴とした表示装置。

１１．請求の範囲第３項において、

前記ゲート信号線駆動回路は薄膜トランジスタで構成されていることを特徴とした表示装置。

１２．請求の範囲第３項において、

前記ゲート信号線駆動回路は前記スイッチング素子と同一基板上に形成されていることを特徴とした表示装置。

１３．請求の範囲第３項において、

前記ゲート信号線駆動回路は半導体チップを実装したものであることを特徴とした表示装置。

１４．請求の範囲第３項において、

前記ゲート信号線駆動回路は、単一の極性のトランジスタによって構成されていることを特徴とした表示装置。

１５．請求の範囲第１項乃至第３項のいずれか一において、

前記スイッチング素子は１つの薄膜トランジスタで構成されていることを特徴とした表示装置。

１６．請求の範囲第１項乃至第３項のいずれか一において、

前記スイッチング素子はマルチゲートの薄膜トランジスタで構成されていることを特徴とした表示装置。

１７．請求の範囲第１項乃至第３項のいずれか一において、

前記発光素子はＥＬ素子であることを特徴とした表示装置。

１８．請求の範囲第１項乃至３項のいずれか一における表示装置が組み込まれたデジタルカメラ、ノートパソコン、携帯情報端末、記録媒体を備えた画像再生装置、折りたたみ式携帯表示装置、腕時計型表示装置、または携帯電話機。

１９．基板上にスイッチング素子および発光素子よりなる複数の画素がマトリクス状に配置され、１列の画素列に対し複数のソース信号線が配置され、１行の画素列に対し１本のゲート信号線が配置され、前記スイッチング素子は入力端子、出力端子、制御端子を有し、前記入力端子は前記複数のソース信号線のいずれかに電気的に接続され、前記出力端子は前記発光素子に電気的に接続され、前記制御端子は前記ゲート信号線に電気的に接続された表示装置の駆動方法であって、

前記ゲート信号線を同時に複数本駆動させて複数の前記スイッチング素子をオン状態にすることにより、前記複数のソース信号線のいずれかの信号を前記発光素子に入力し、前記発光素子を駆動させることを特徴とした表示装置の駆動方法。

２０．請求の範囲第１９項において、

前記スイッチング素子は１つの薄膜トランジスタで構成されていることを

特徴とした表示装置の駆動方法。

２１．請求の範囲第１９項において、

前記スイッチング素子はマルチゲートの薄膜トランジスタで構成されていることを特徴とした表示装置の駆動方法。

２２．請求の範囲第１９項において、

前記発光素子はＥＬ素子であることを特徴とした表示装置の駆動方法。

FIG.1

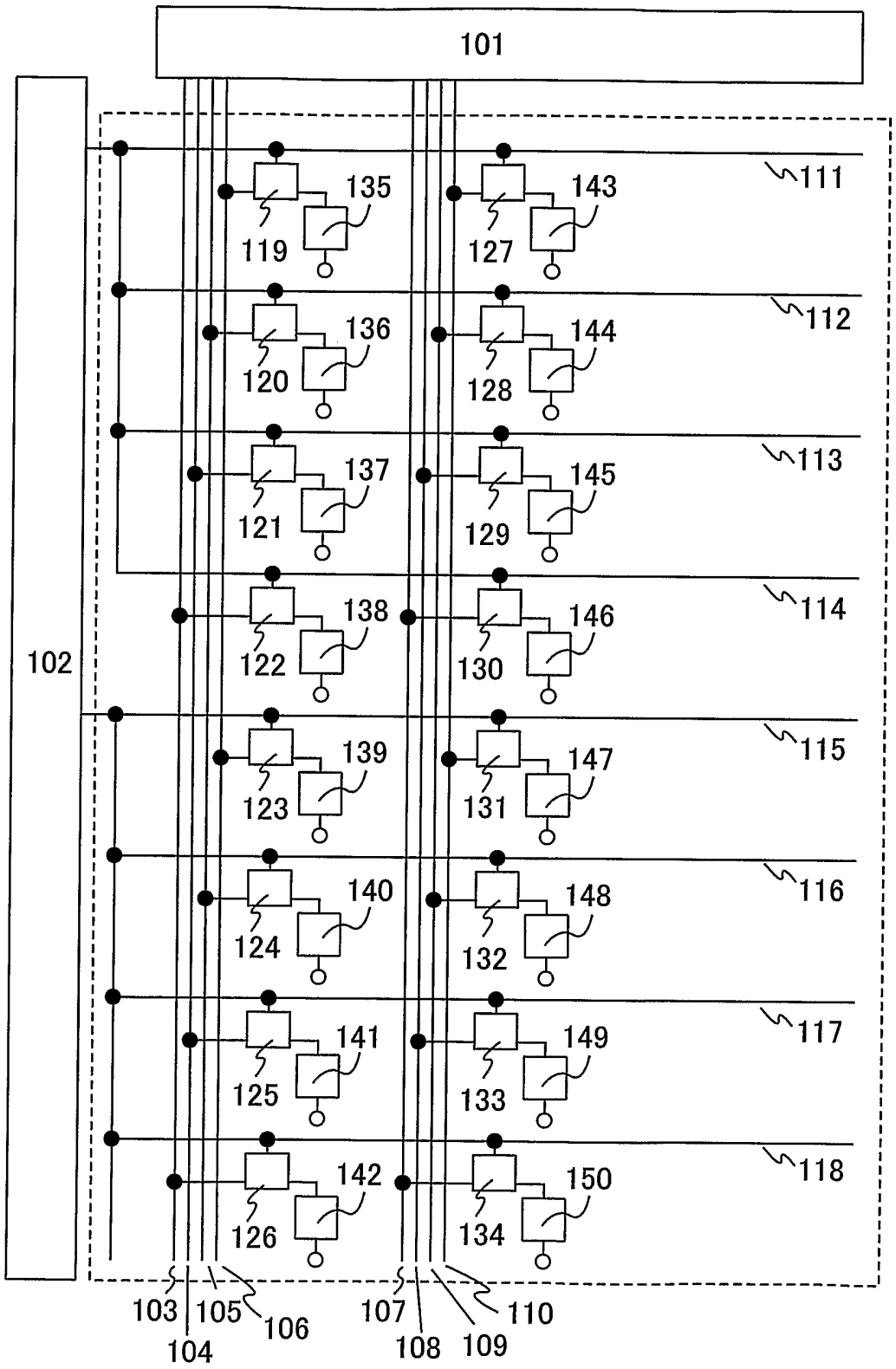

101
102
111
112
113
114
115
116
117
118
119
120
121
122
123
124
125
126
127
128
129
130
131
132
133
134
135
136
137
138
139
140
141
142
143
144
145
146
147
148
149
150
103
104
105
106
107
108
109
110

FIG.2

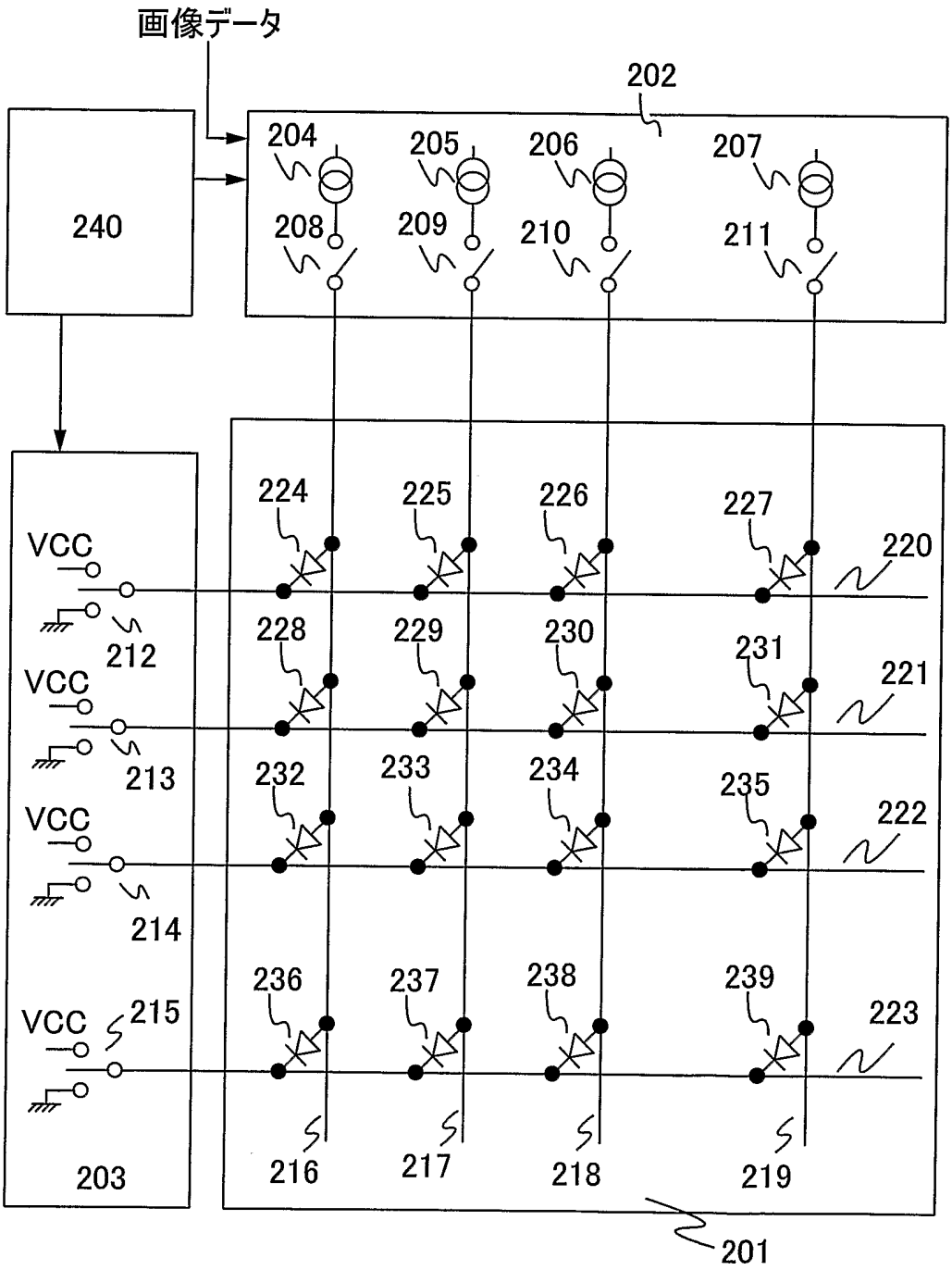

画像データ
202
240
204
205
206
207
208
209
210
211
224
225
226
227
220
VCC
212
228
229
230
231
221
VCC
213
232
233
234
235
222
VCC
214
236
237
238
239
223
VCC
215
216
217
218
219
203
201

FIG.3

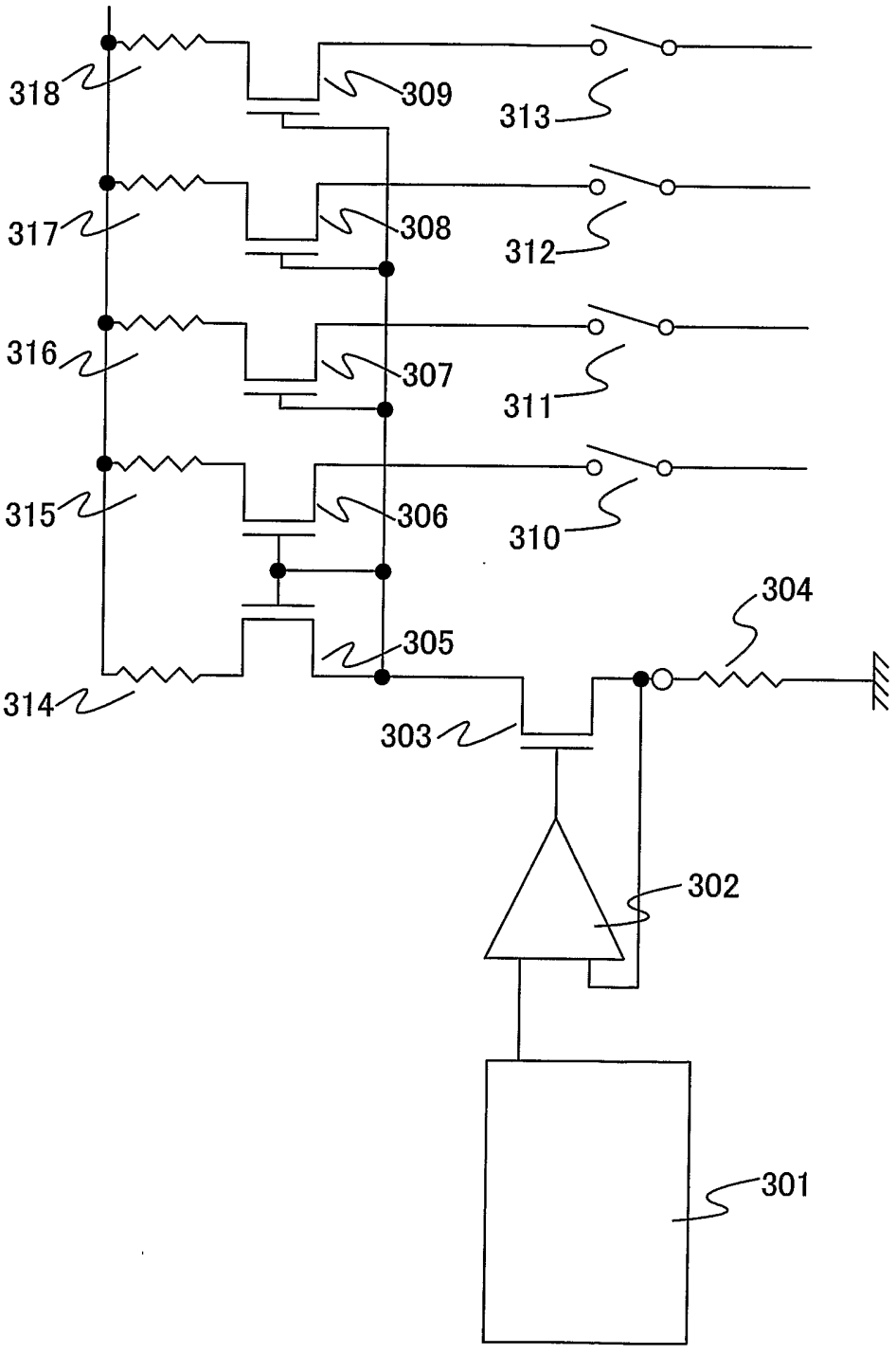

318
309
313
317
308
312
316
307
311
315
306
310
304
305
314
303
302
301

FIG.4

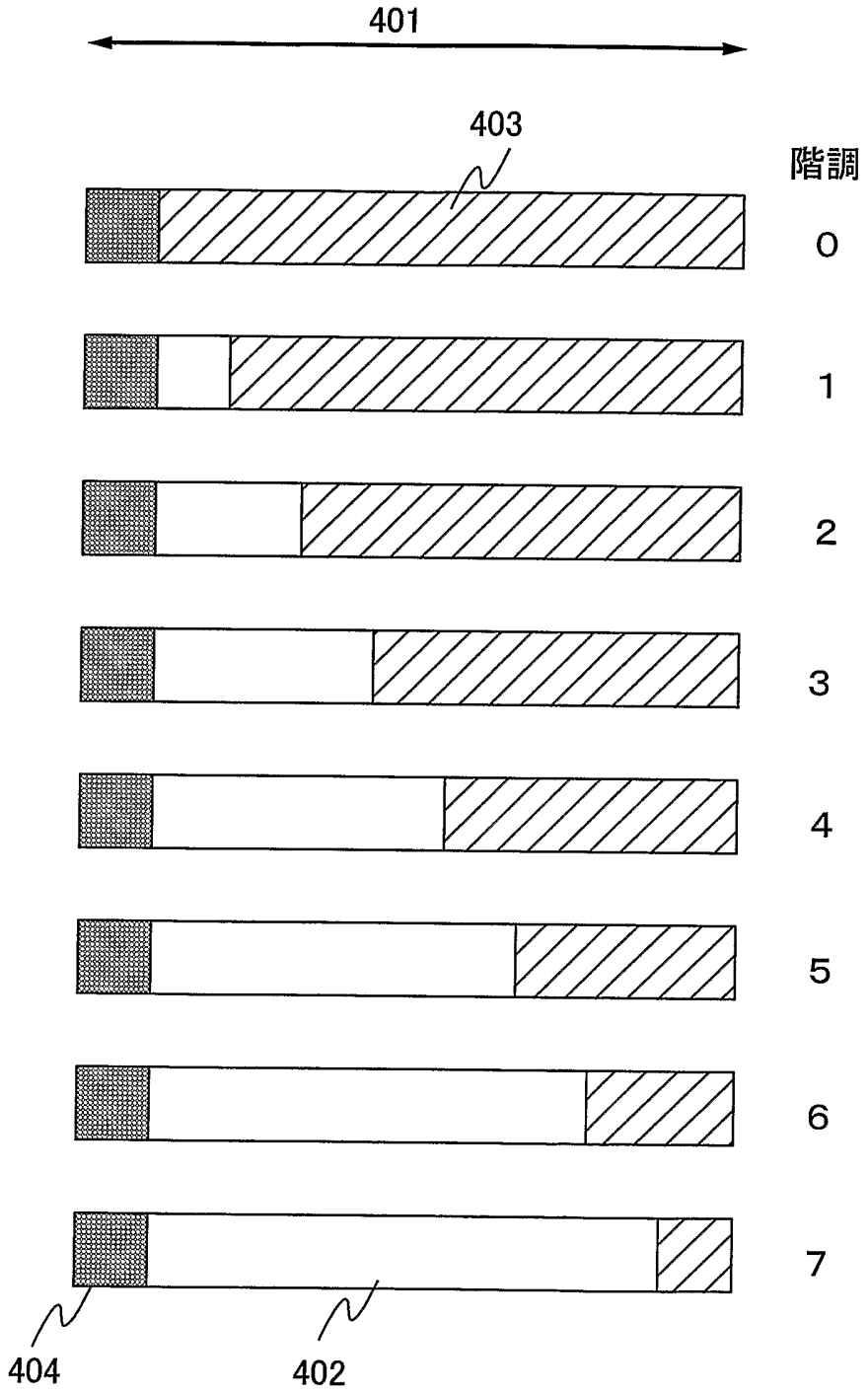


FIG.5

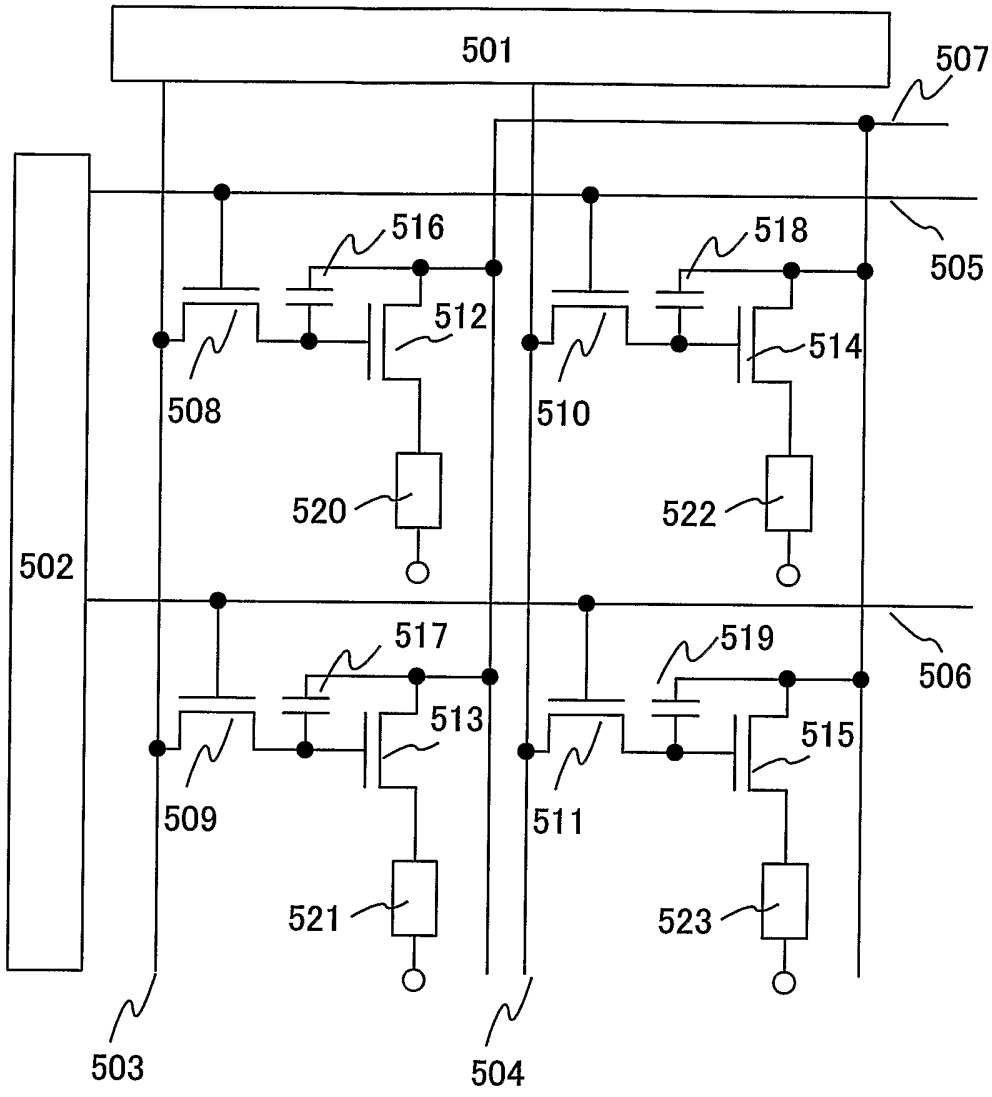

501
507
505
516
518
512
514
508
510
520
522
502
517
519
506
513
515
509
511
521
523
503
504

FIG.6

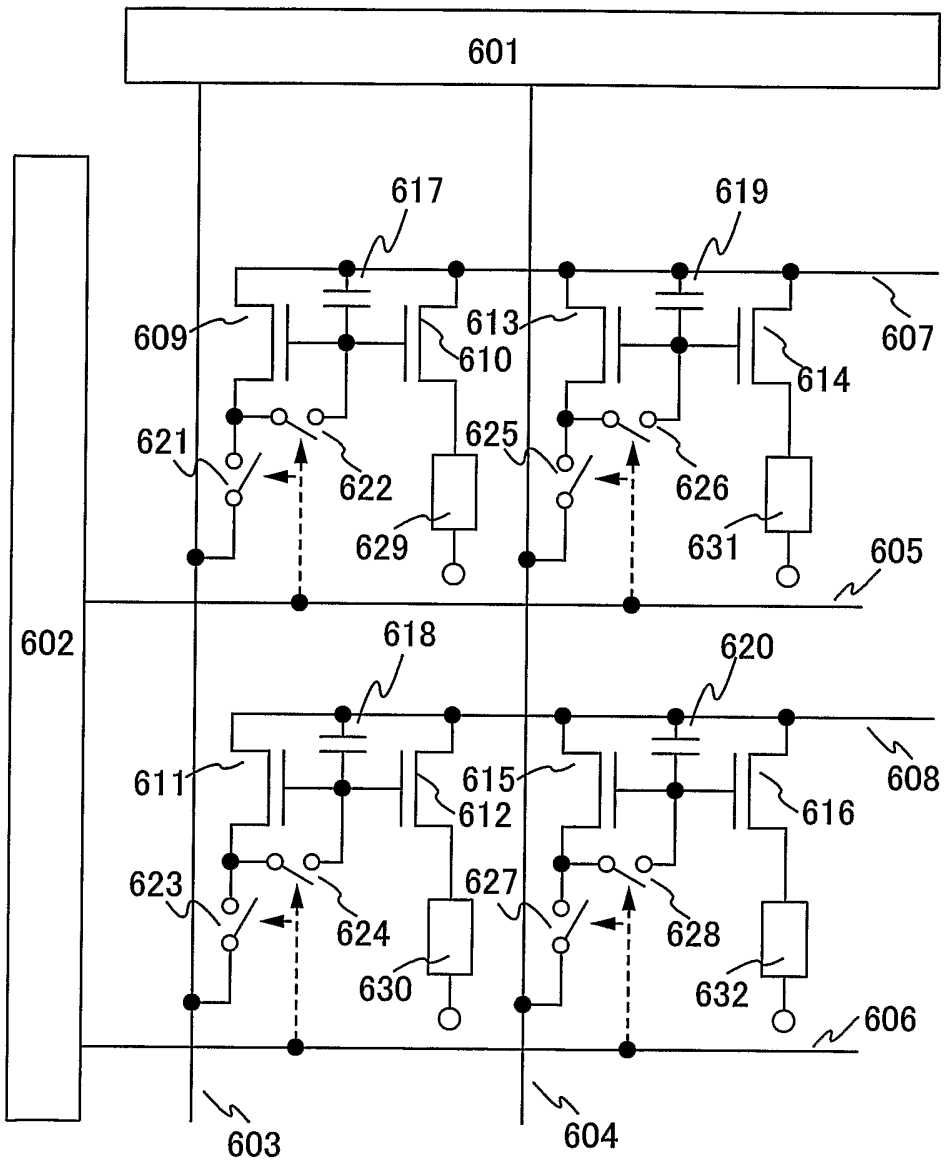

601
617
619
609
613
610
607
614
621
625
622
626
629
631
605
602
618
620
611
615
612
608
616
623
627
624
628
630
632
606
603
604

FIG.7

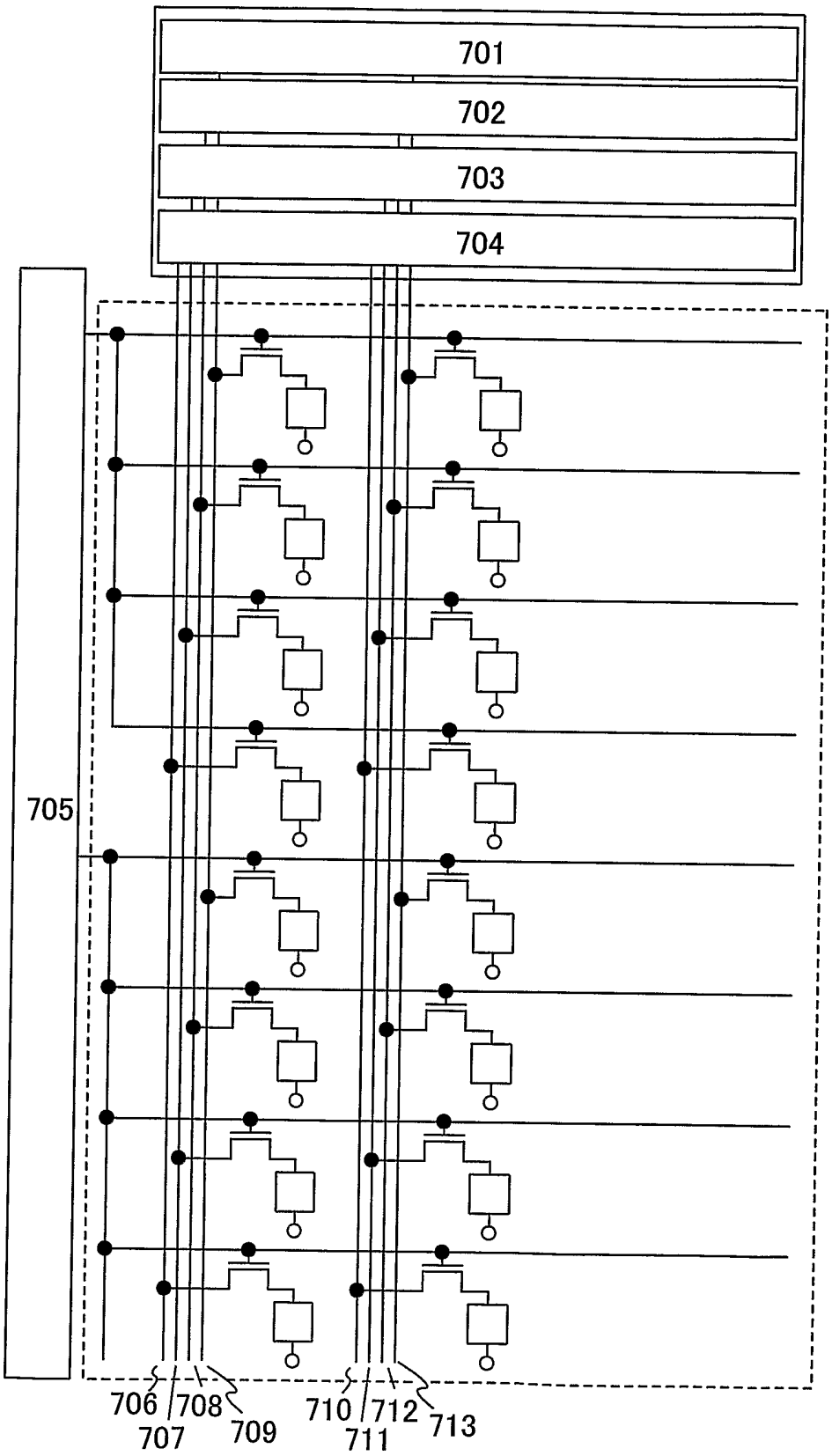


FIG.8

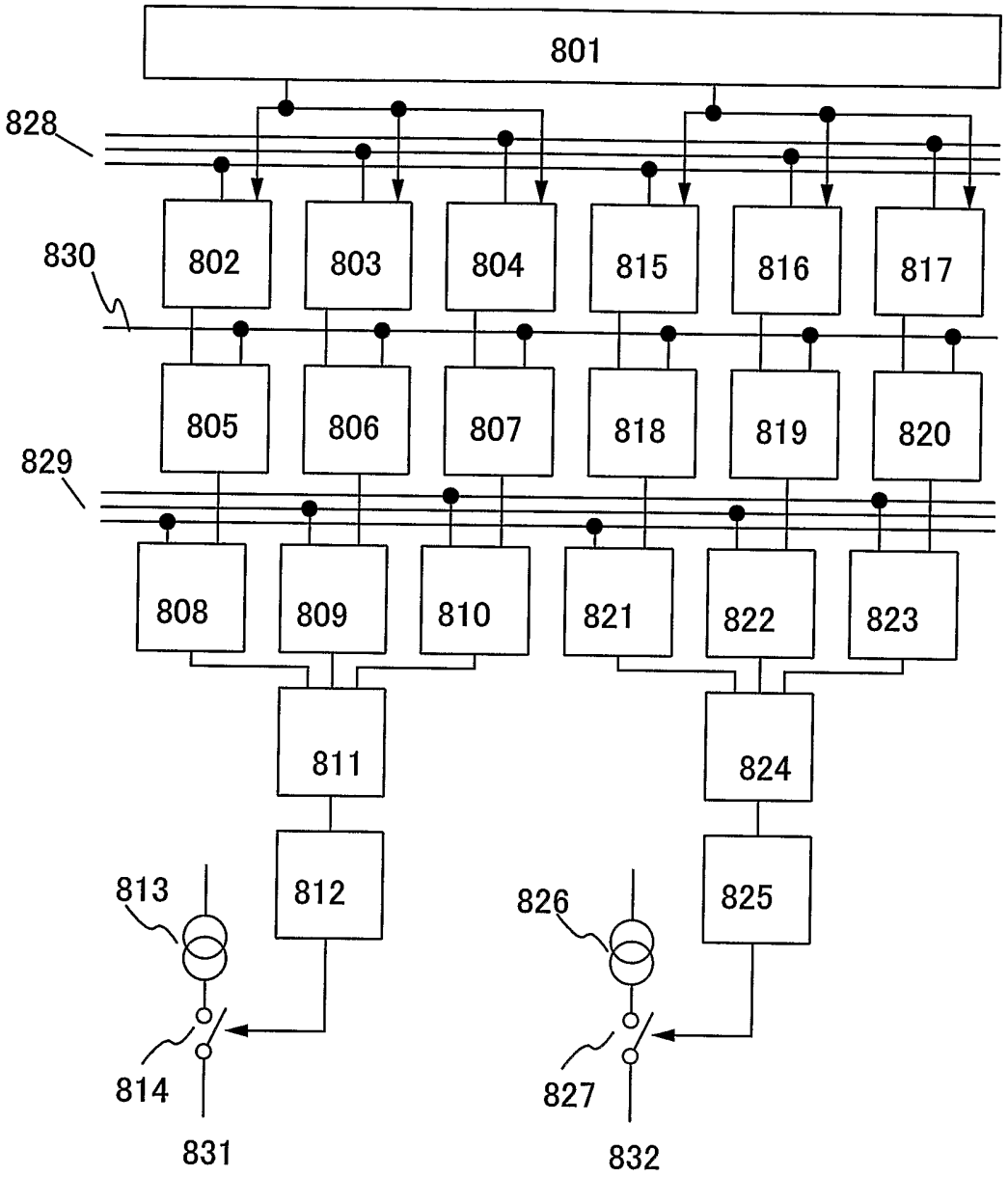

801
828
830
829
802
803
804
815
816
817
805
806
807
818
819
820
808
809
810
821
822
823
811
824
812
825
813
826
814
827
831
832

FIG.9

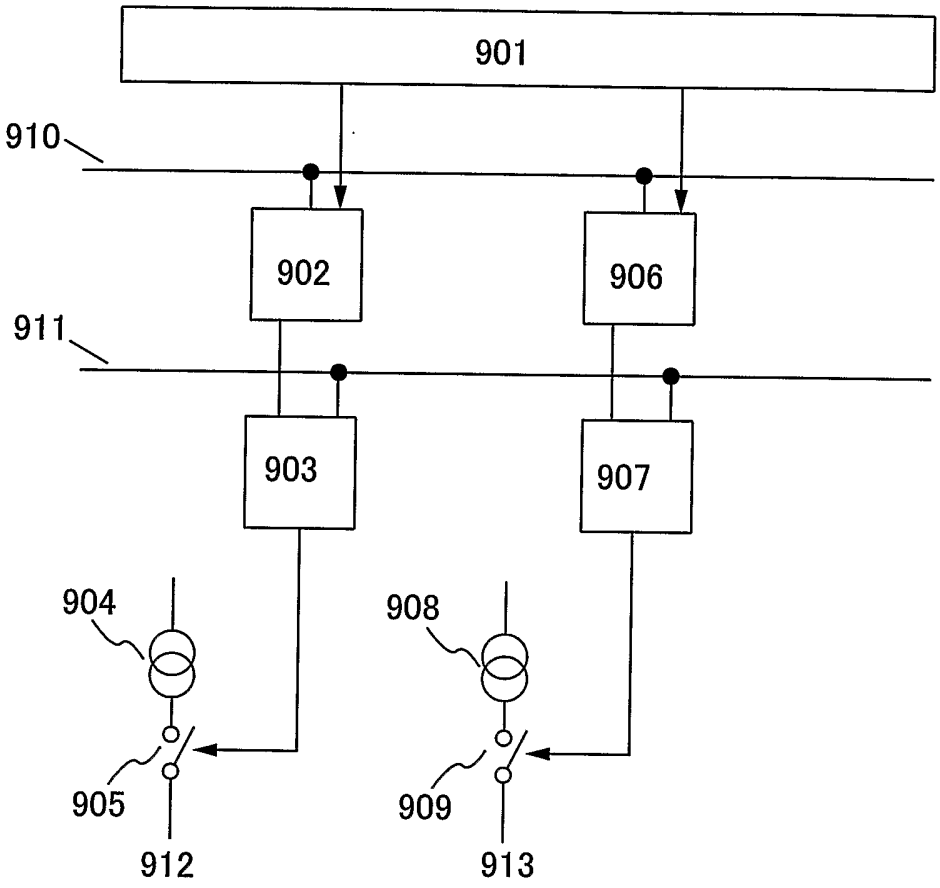


FIG.10

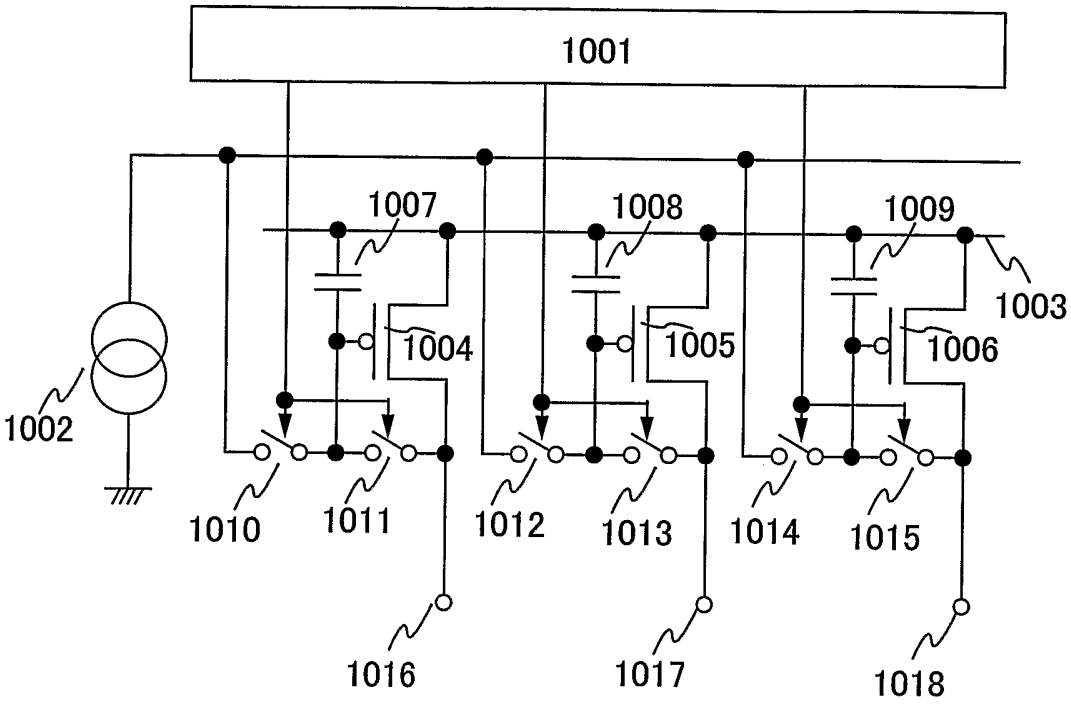

1001
1007
1008
1009
1003
1004
1005
1006
1002
1010
1011
1012
1013
1014
1015
1016
1017
1018

FIG.11

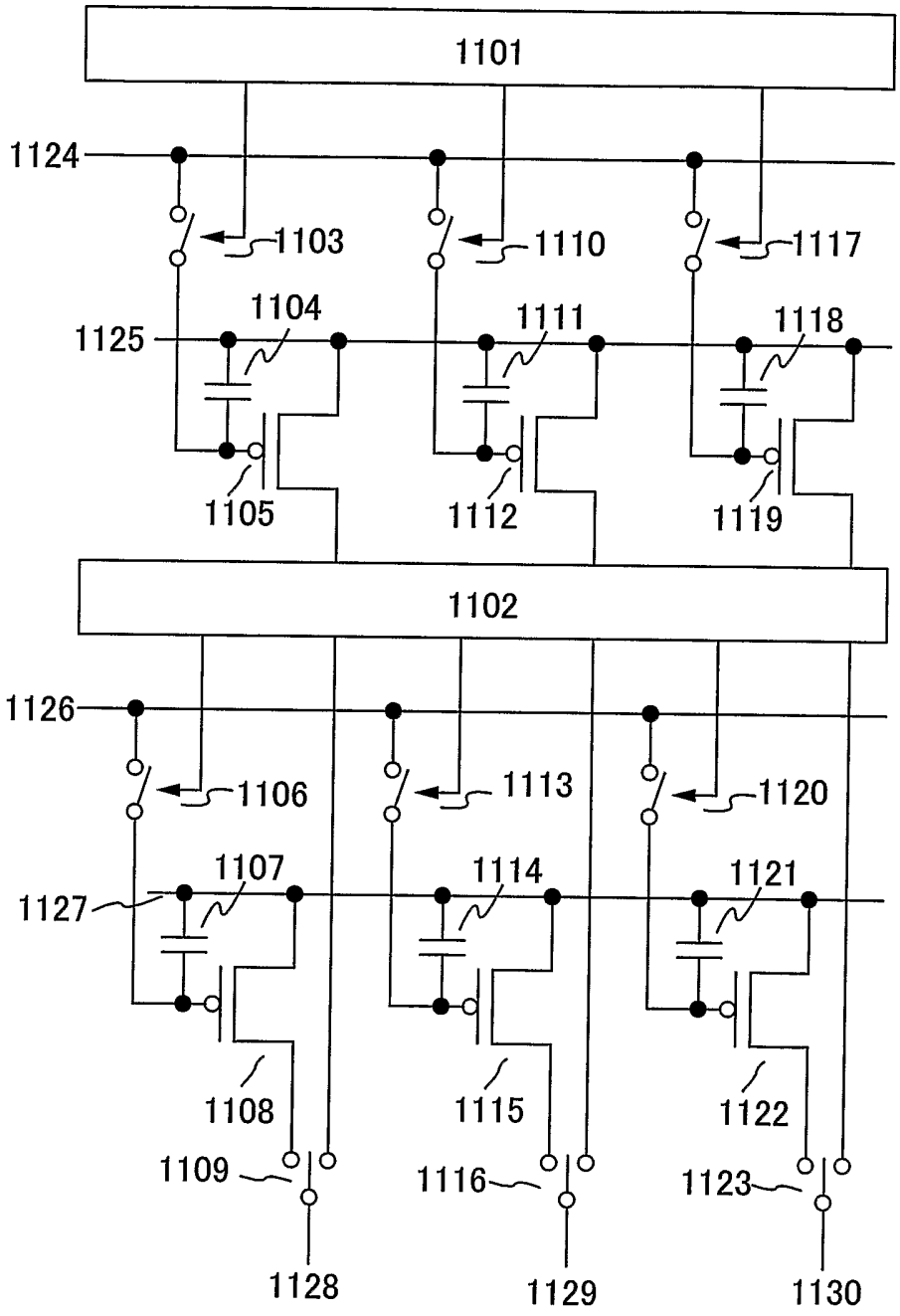

1101
1124
1103
1110
1117
1104
1111
1118
1125
1105
1112
1119
1102
1126
1106
1113
1120
1107
1114
1121
1127
1108
1115
1122
1109
1116
1123
1128
1129
1130

FIG.12

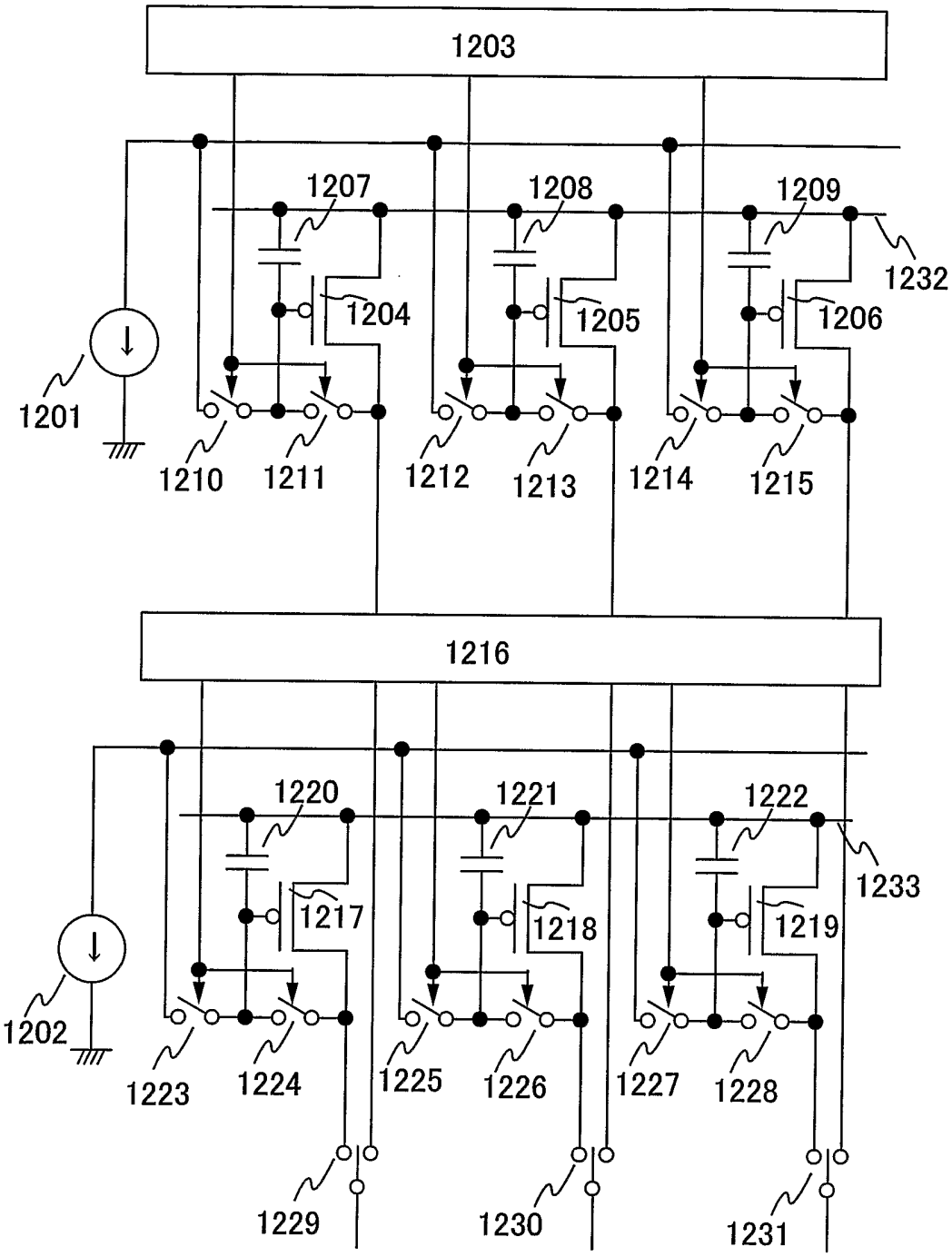

1203
1207
1208
1209
1232
1204
1205
1206
1201
1210
1211
1212
1213
1214
1215
1216
1220
1221
1222
1233
1217
1218
1219
1202
1223
1224
1225
1226
1227
1228
1229
1230
1231

FIG.13

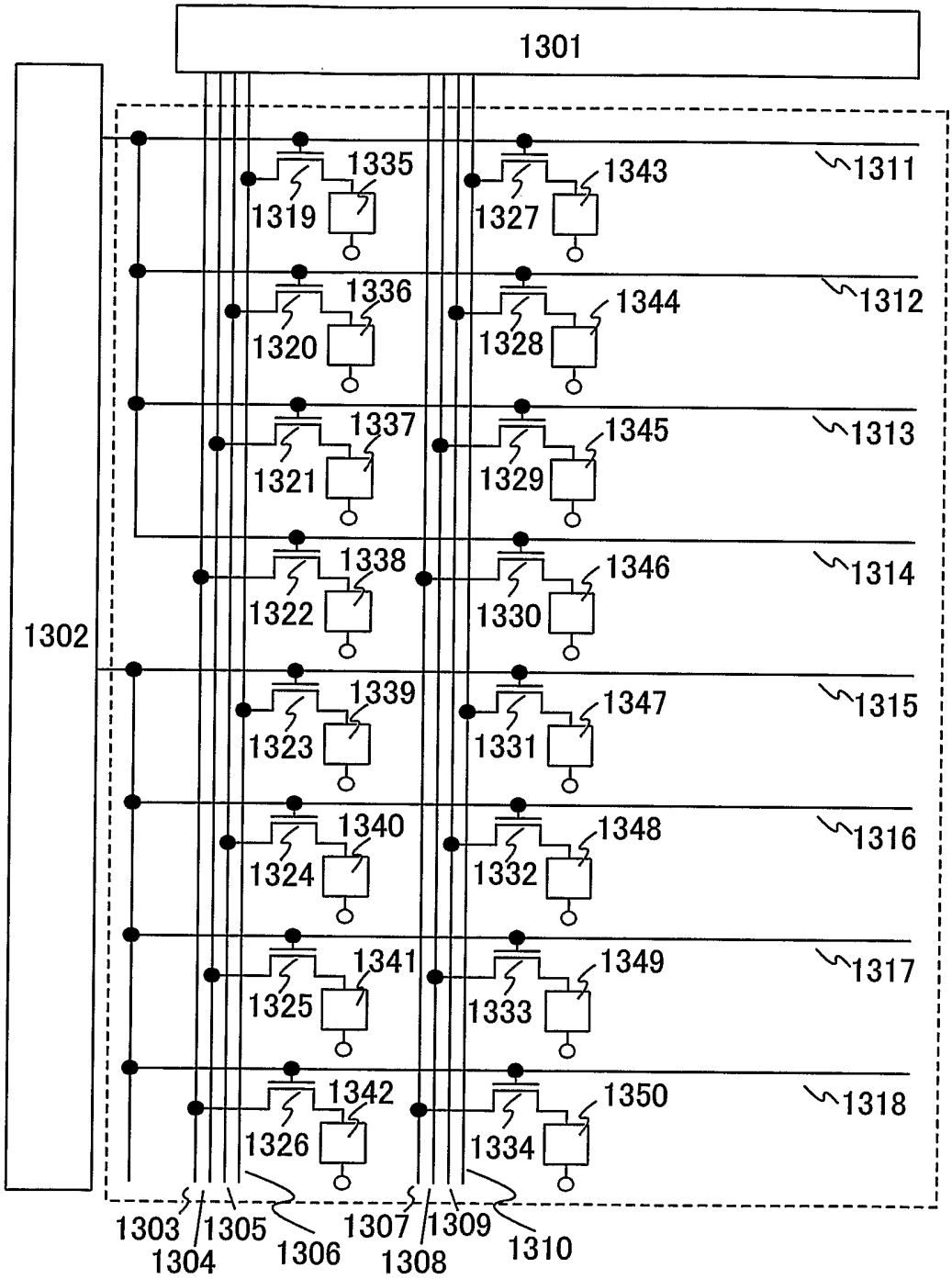

1301
1302
1303
1304
1305
1306
1307
1308
1309
1310
1311
1312
1313
1314
1315
1316
1317
1318
1319
1320
1321
1322
1323
1324
1325
1326
1327
1328
1329
1330
1331
1332
1333
1334
1335
1336
1337
1338
1339
1340
1341
1342
1343
1344
1345
1346
1347
1348
1349
1350

FIG.14

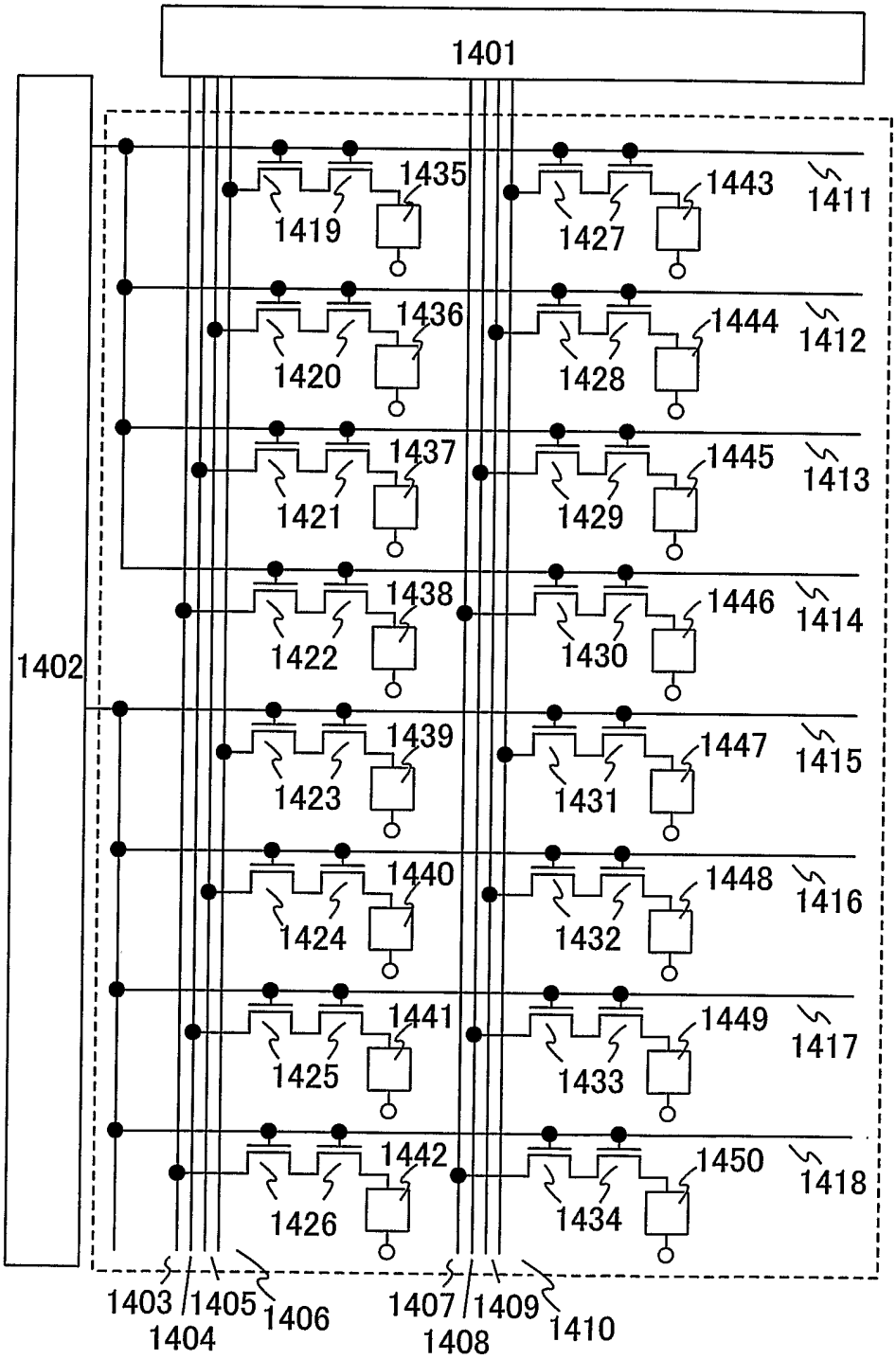

1401
1402
1403
1404
1405
1406
1407
1408
1409
1410
1411
1412
1413
1414
1415
1416
1417
1418
1419
1420
1421
1422
1423
1424
1425
1426
1427
1428
1429
1430
1431
1432
1433
1434
1435
1436
1437
1438
1439
1440
1441
1442
1443
1444
1445
1446
1447
1448
1449
1450

FIG.15

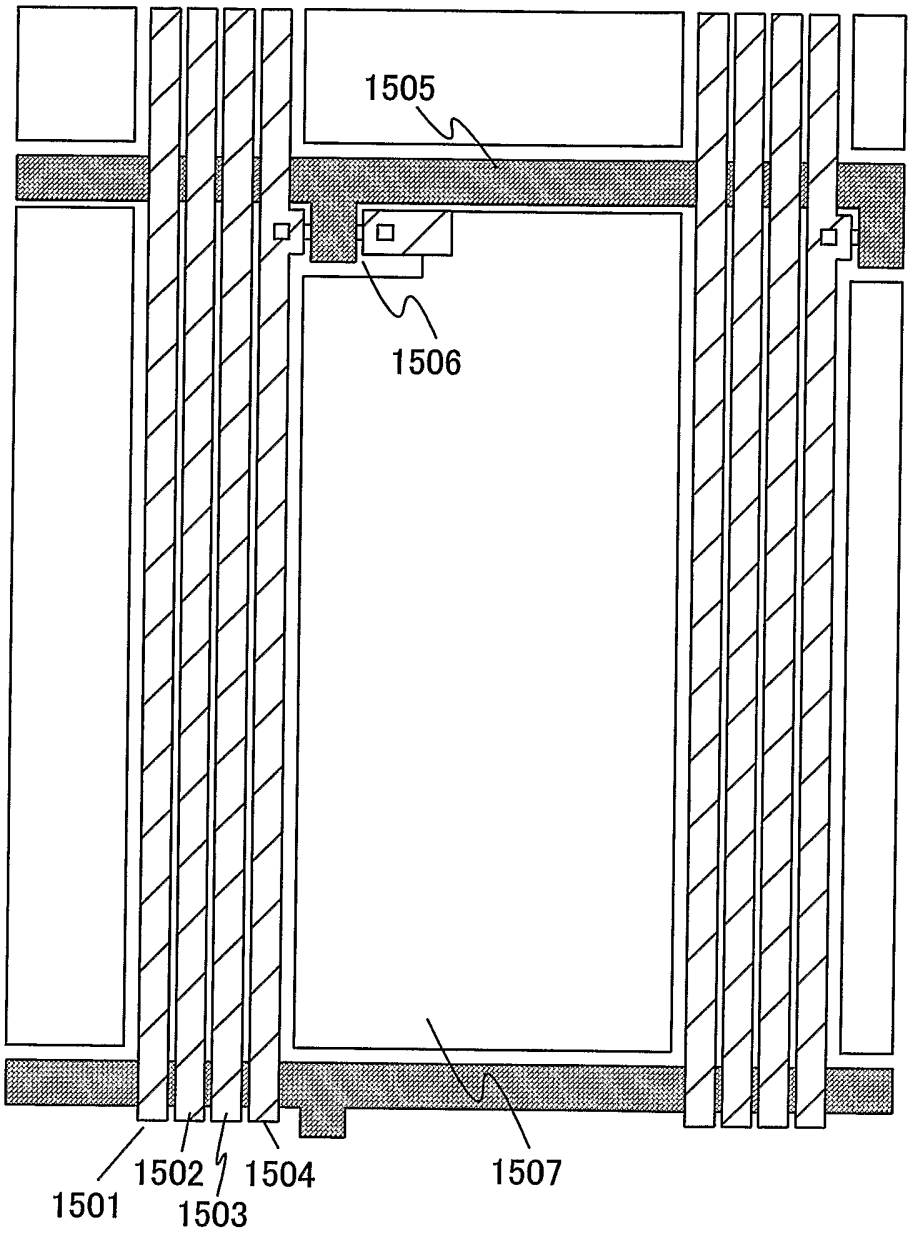


FIG.16

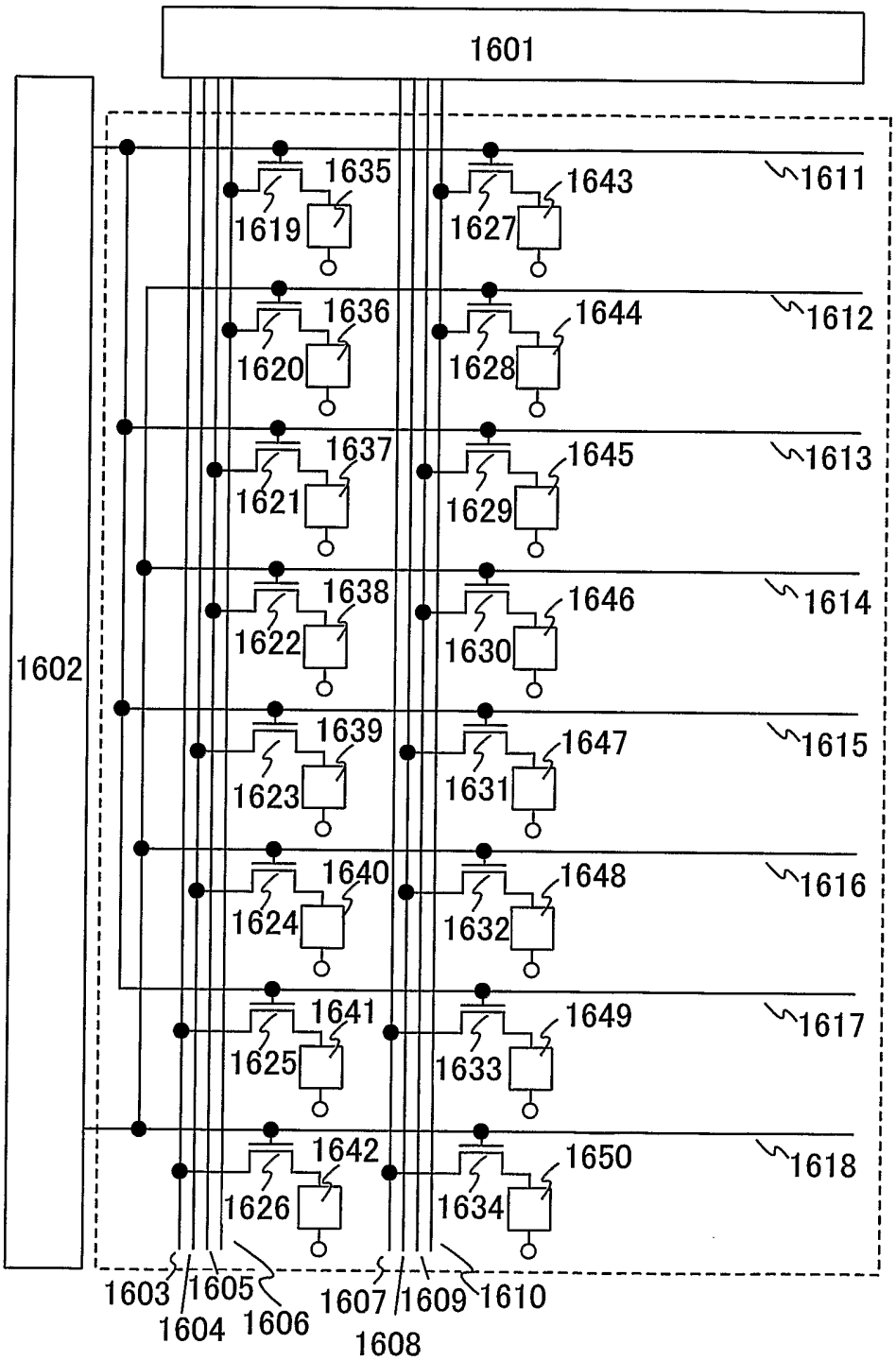

1601
1602
1603
1604
1605
1606
1607
1608
1609
1610
1611
1612
1613
1614
1615
1616
1617
1618
1619
1620
1621
1622
1623
1624
1625
1626
1627
1628
1629
1630
1631
1632
1633
1634
1635
1636
1637
1638
1639
1640
1641
1642
1643
1644
1645
1646
1647
1648
1649
1650

FIG.17

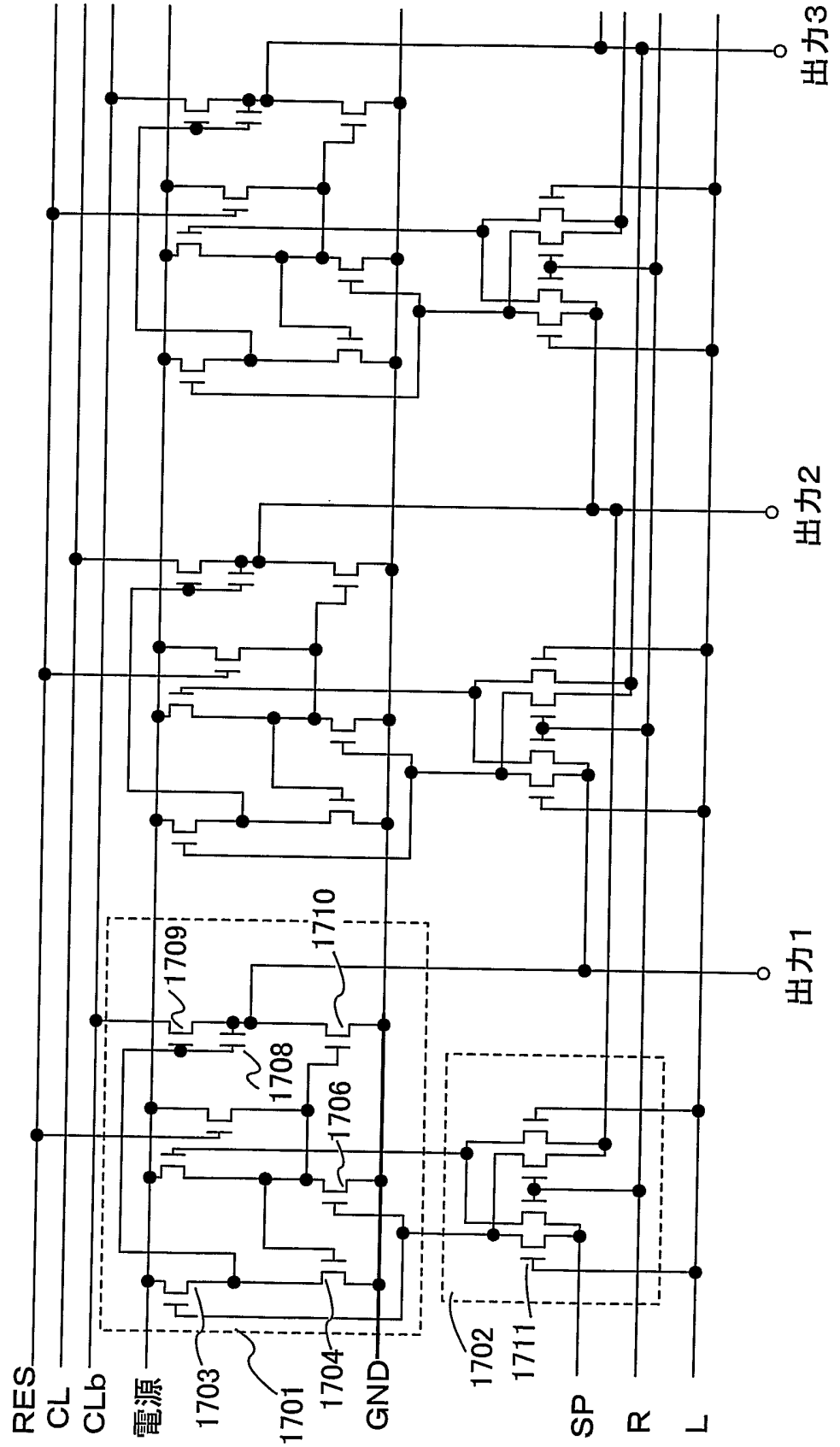

出力3
出力2
出力1
RES
CL
CLb
電源
1703
1701
1704
GND
1709
1710
1708
1706
1702
1711
SP
R
L

FIG.18

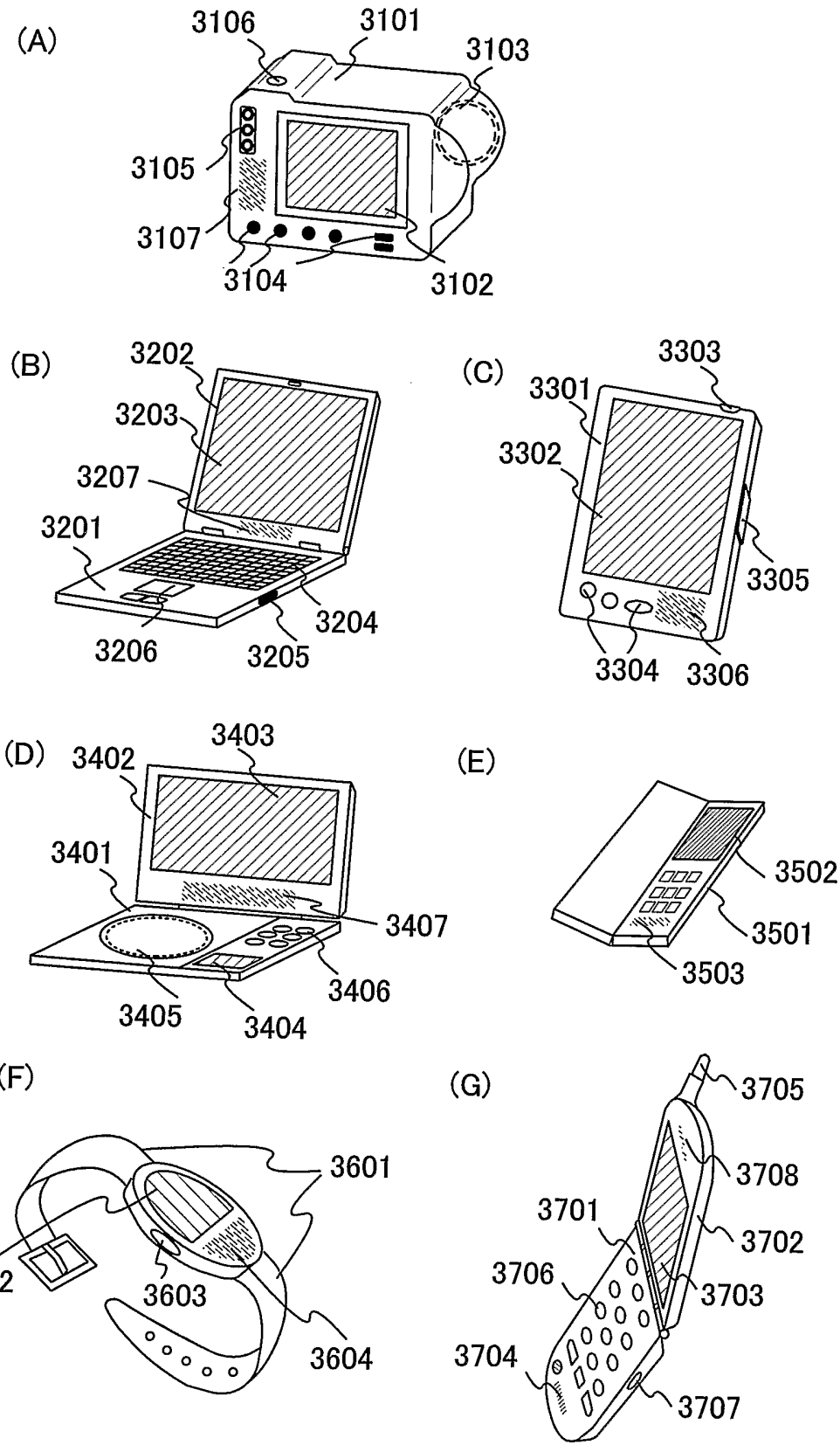
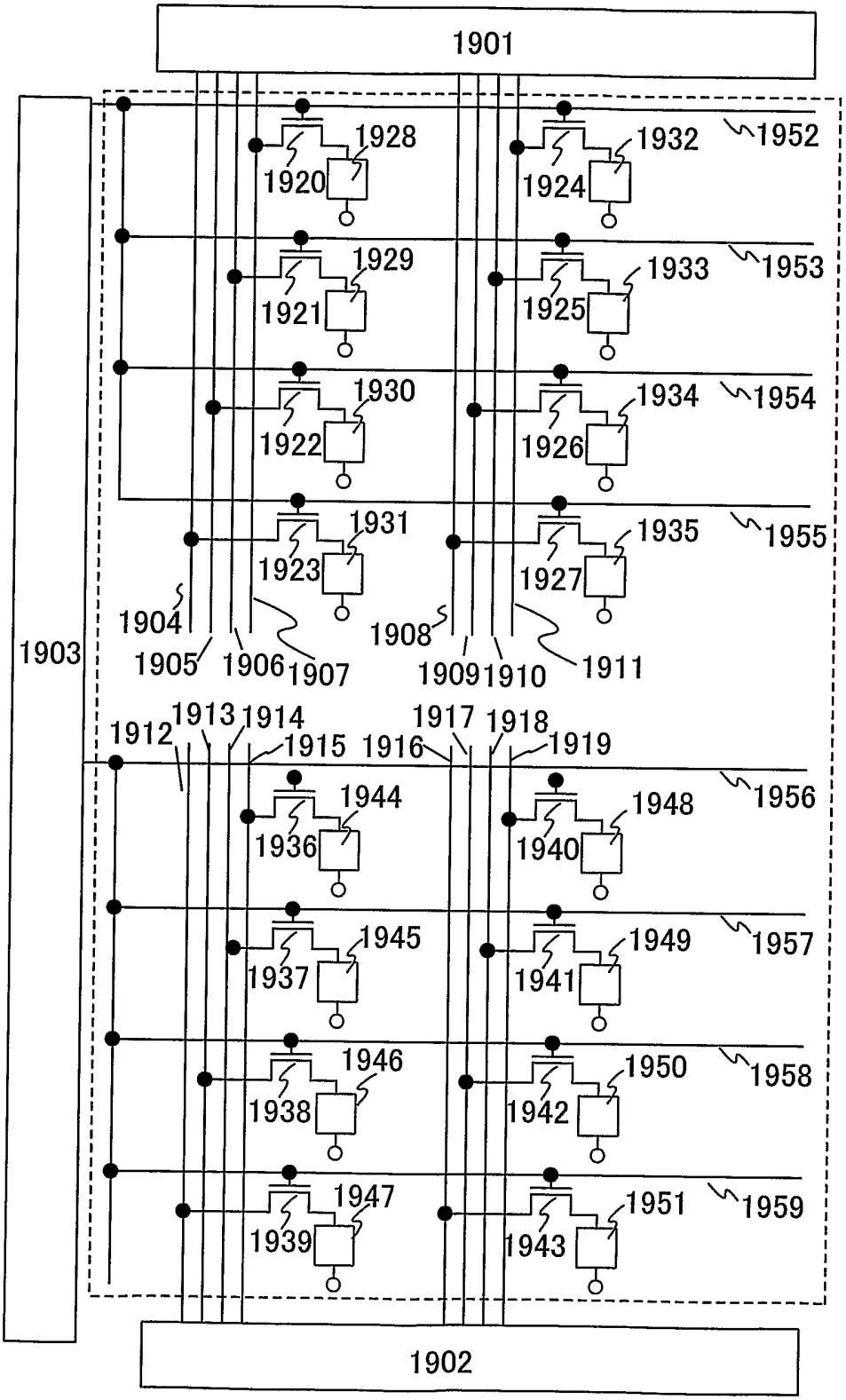

(A)
3106
3101
3103
3105
3107
3104
3102
(B)
3202
3203
3207
3201
3204
3206
3205
(C)
3303
3301
3302
3305
3304
3306
(D)
3403
3402
3401
3407
3406
3405
3404
(E)
3502
3501
3503
(F)
3601
3602
3603
3604
(G)
3705
3708
3701
3702
3706
3703
3704
3707

FIG.19


1901
1902
1903
1904
1905
1906
1907
1908
1909
1910
1911
1912
1913
1914
1915
1916
1917
1918
1919
1920
1921
1922
1923
1924
1925
1926
1927
1928
1929
1930
1931
1932
1933
1934
1935
1936
1937
1938
1939
1940
1941
1942
1943
1944
1945
1946
1947
1948
1949
1950
1951
1952
1953
1954
1955
1956
1957
1958
1959

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/16026

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G09G3/30, 3/20, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G09G3/30, 3/20, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	JP 57-114189 A (Hitachi, Ltd.), 15 July, 1982 (15.07.82), & DE 3200122 A & US 4481511 A	
X	Full text; Figs. 1 to 10	1-15,17-20, 22
Y	Full text; Figs. 1 to 10	16,21
	JP 58-132791 A (Hitachi, Ltd.), 08 August, 1983 (08.08.83),	
X	Full text; Figs. 1 to 17	1-15,17-20, 22
Y	Full text; Figs. 1 to 17 (Family: none)	16,21

[X] Further documents are listed in the continuation of Box C. [ ] See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
09 March, 2004 (09.03.04)	23 March, 2004 (23.03.04)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/16026

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	JP 52-19960 B2 (Nippon Telegraph & Telephone Public Corp.), 31 May, 1977 (31.05.77),	
X	Full text; Figs. 1 to 6	1-15,17-20, 22
Y	Full text; Figs. 1 to 6 (Family: none)	16,21
Y	JP 2001-312243 A (Semiconductor Energy Laboratory Co., Ltd.), 09 November, 2001 (09.11.01), Par. Nos. [0152] to [0153]; Figs. 18 to 19 & EP 1128355 A2 & CN 1310435 A & KR 2001100792 A & US 2001/0048408 A1 & TW 535127 A	16,21
	JP 2003-280586 A (President of Toyama University), 02 October, 2003 (02.10.03), & EP 1349138 A2 & US 2003/0193298 A1 & KR 2003077419 A	
P,X	Par. Nos. [0018] to [0043]; Figs, 2 to 9	1-15,17-20, 22
P,Y	Par. Nos. [0018] to [0043]; Figs. 2 to 9	16,21

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０３／１６０２６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int. cl[7]　G09G3/30, 3/20, H05B33/14

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int. cl[7]　G09G3/30, 3/20, H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
	JP 57-114189 A (株式会社日立製作所) 1982.07.15, & DE 3200122 A & US 4481511 A	
X	全文，第1-10図	1-15, 17-20, 22
Y	全文，第1-10図	16, 21
	JP 58-132791 A (株式会社日立製作所) 1983.08.08 (ファミリーなし)	
X	全文，第1-17図	1-15, 17-20, 22
Y	全文，第1-17図	16, 21

☒ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日 09.03.2004	国際調査報告の発送日 23.3.2004
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員） 濱本　禎広　　２Ｇ　９５０９ 電話番号　０３－３５８１－１１０１　内線　３２２６

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９８年７月）

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
	JP 52-19960 B2 (日本電信電話公社) 1977.05.31 (ファミリーなし)	
X	全文，第1-6図	1-15, 17-20, 22
Y	全文，第1-6図	16, 21
Y	JP 2001-312243 A (株式会社半導体エネルギー研究所) 2001.11.09, 【0152】～【0153】, 【図18】～【図19】 & EP 1128355 A2 & CN 1310435 A & KR 2001100792 A & US 2001/0048408 A1 & TW 535127 A	16, 21
	JP 2003-280586 A (富山大学長) 2003.10.02 & EP 1349138 A2 & US 2003/0193298 A1 & KR 2003077419 A	
P, X	【0018】～【0043】, 【図2】～【図9】	1-15, 17-20, 22
P, Y	【0018】～【0043】, 【図2】～【図9】	16, 21