

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月7日(07.05.2020)



(10) 国際公開番号

WO 2020/090025 A1

(51) 国際特許分類:
G06F 7/556 (2006.01)

(21) 国際出願番号: PCT/JP2018/040476

(22) 国際出願日: 2018年10月31日(31.10.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 富士通株式会社(FUJITSU LIMITED)
[JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).

(72) 発明者: 小 園 井 健 (OSONOI, Takeshi);
〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa

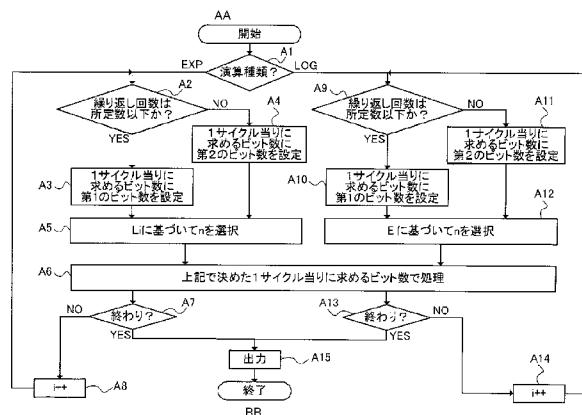
(JP). 和田 洋征(WADA, Hiroyuki); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 真田 有, 外(SANADA, Tamotsu et al.);
〒1800004 東京都武蔵野市吉祥寺本町1丁目10番31号 NMF 吉祥寺本町ビル5階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: ARITHMETIC PROCESSING UNIT AND CONTROL METHOD OF ARITHMETIC PROCESSING UNIT

(54) 発明の名称: 演算処理装置および演算処理装置の制御方法



A1 Operation type?
A2, A9 Is number of repetitions less than or equal to prescribed number?
A3, A10 Set first bit number to the number of bits required for one cycle
A4, A11 Set second bit number to the number of bits required for one cycle
A5 Select n on the basis of Li
A6 Processing with bit number required for one cycle determined above
A7, A13 Terminate?
A12 Select n on the basis of Ei
A15 Output
AA Start
BB End

(57) Abstract: This arithmetic processing unit is provided with arithmetic circuits 107, 114 which perform exponential operations or logarithmic operations, and setting units 106, 108, 109 which, if the number of operation repetitions by an arithmetic circuit 107, 114 is less than or equal to a threshold value, sets the number of bits required by the arithmetic circuit 107, 114 for one cycle to a first number, and if the number of operation repetitions is more than the threshold value, sets the number of bits required by the calculation circuit 107, 114 for one cycle to a second number greater than the

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

first number. Thereby, it is possible to converge at a solution in exponential operations or logarithmic operations without increasing the circuit scale.

(57) 要約：指数演算または対数演算を行なう演算回路107, 114と、演算回路107, 114による演算繰り返し回数が閾値以下の場合に、1サイクルあたりに演算回路107, 114が求めるビット数を第1数に設定し、演算繰り返し回数が閾値よりも多い場合に、1サイクルあたりに演算回路107, 114が求めるビット数を、第1数よりも多い第2数に設定する設定部106, 108, 109とを備えることで、回路規模を大きくすることなく指数演算または対数演算において解に収束できるようにする。

明 細 書

発明の名称：演算処理装置および演算処理装置の制御方法

技術分野

[0001] 本発明は、演算処理装置および演算処理装置の制御方法に関する。

背景技術

[0002] 図8は従来の演算処理回路500の構成を示す図である。

この図8に示す演算処理回路500は、レジスタ501～504，判定回路505，CSA（Carry-Save Adder：桁上げ保存加算器）506，507，Log Table回路508，右シフト回路（RSFT）509，510および演算回路511～514を備える。

[0003] 演算処理回路500は指数（EXP）演算および対数（LOG）演算を行なう演算回路である。例えば、演算1回で商2bitを求めるradix-4のSTL（Sequential Table Lookup）法を用いる。

[0004] 演算処理回路500は、指数演算において、 x を入力とし、 $\exp(x)$ を求める。

L はべき数の空間の変数であり、 E は指数の空間の変数である。また、 i は演算の繰り返し回数である。

[0005] L_i の算出（ L_i 演算）には、以下の式（1）を用いる。

$$L_{i+1} = L_i - \log(1 + n \times 2^{-2i}) \quad \cdots (1)$$

[0006] また、 E_i の算出（ E_i 演算）には、以下の式（2）を用いる。

$$\begin{aligned} E_{i+1} &= E_i \times (1 + n \times 2^{-2i}) \\ &= E_i + E_i \times n \times 2^{-2i} \quad \cdots (2) \end{aligned}$$

[0007] ただし、 $n = -2, -1, 0, +1, +2$ であり、 L_i と0との大小関係および差分を判定し、 L_i が0に一番近づくように n を選ぶ。

[0008] なお、レジスタ501，502，503，504に格納される値（レジスタ値）を、それぞれLS，LC，ES，ECという場合がある。また、レジスタ501，502，503，504を、それぞれレジスタLS，LC，ES，EC

という場合がある。

[0009] 演算処理回路500においては、初期値を $L_1 = x$, $E_1 = \exp(0) = 1$ となるよう、レジスタ501～504の初期化が行なわれる。

[0010] なお、 $LS + LC = L_i$ であり、例えば、LSとLCとのいずれか一方に x を設定し、他方に0を設定する。同様に、 $ES + EC = E_i$ であり、ESとECとのいずれか一方に1を設定し、他方に0を設定する。

[0011] 演算処理回路500においては、 $x = \log(E_i) + L_i$ を満たしつつ、演算を繰り返して L_i を少しずつ0に近づけることで、 E_i が $\exp(x)$ に近づく ($L_i=x \rightarrow 0$, $E_i=\exp(0) \rightarrow \exp(x)$)。

[0012] すなわち、処理対象の指数演算において i が予め規定された最大値 ($i_{\max}$) に到達するまで、 L_i を算出する L_i 演算と E_i を算出する E_i 演算とを繰り返し行なう。

[0013] 演算処理回路500は、対数演算において、 x を入力とし、 $\log(x)$ を求める。

L は対数の空間の変数であり、 E は真数の空間の変数である。また i は繰り返し演算の回数である。

[0014] 初期値を $L_1 = \log(1) = 0$, $E_1 = x$ とし、 $x = E_i \times \exp(L_i)$ を満たしつつ、演算を繰り返して E_i を少しずつ1に近づけることで、 L_i が $\log(x)$ に近づく ($E_i=x \rightarrow 1$, $L_i=\log(1) \rightarrow \log(x)$)。

[0015] 対数演算における L_i および E_i の演算方法 (L_i 演算, E_i 演算) は概ね指数演算と同様であるが、 n の選び方は異なる。すなわち、 E_i と1との大小関係および差分を判定し、 E_i が1に一番近づくように n を選ぶ。

[0016] 演算処理回路500において、Log Table回路508およびCSA506が、指数演算または対数演算における L_i 演算を実現する。また、右シフト回路509, 510, 演算回路511～514およびCSA507が、指数演算または対数演算における E_i 演算を実現する。

[0017] 指数演算を行なう場合、判定回路505は、 L_i に基づき、 n を選択する。判定回路505は、 L_i と0との大小関係および差分を判定し、 L_i が0に一番近づく

n の値を選択する。一方、対数演算を行なう場合、判定回路505は、 E_i に基づき、 n を選択する。判定回路505は、 E_i と1との大小関係および差分を判定し、 E_i が1に一番近づく n の値を選択する。選択された n はLog Table回路508に出力される。

[0018] Log Table回路508には、予め変数 i 、 n に対応する $\log(1+n \times 2^{-2i})$ の値が設定されており、 i と判定回路505から入力される n とに応じた $\log(1+n \times 2^{-2i})$ の値をCSA506に出力する。

[0019] CSA506は、桁上を伝播させずにそのまま出力する加算器であり、上記式(1)を用いて L_i 演算(参照)を行なう。CSA506の出力(演算結果)のうち部分和ビットの列は、レジスタ501に入力される。一方、CSA506の出力(演算結果)のうち桁上げビットの列はレジスタ502に入力される。

[0020] また、右シフト回路509、510、演算回路511～514およびCSA507が、指数演算における E_i 演算(上記式(2)参照)を実現する。

[0021] 右シフト回路509、510は、レジスタ503、504から読み出された値ES、ECに対して $2i$ ビットの右シフト演算を行なうことで 2^{-2i} 倍算を実現する。これにより、上記式(2)の 2^{-2i} の演算が実現される。なお、その後、演算回路511～514により $E_i \times n \times 2^{-2i}$ の演算が実現される。

[0022] 演算回路511、512は、右シフト回路509、510から出力された値に対して、1倍($\times 1$)演算または2倍($\times 2$)演算を行なう。例えば、判定回路505において決定された n が+2または-2である場合に、演算回路511、512は $\times 2$ 演算を行なう。一方、判定回路505において決定された n が+1または-1である場合に、演算回路511、512は $\times 1$ 演算を行なう。

[0023] 演算回路513、514は、演算回路511、512から出力された値をスルー(+)または符号反転(-)して出力する。例えば、判定回路505において決定された n が+2、+1、0のいずれかである場合に、演算回路513、514はスルー出力する。一方、判定回路505において決定された n が-2または-1である場合に、演算回路513、514は符号反転して出力する。

- [0024] CSA507は、桁上を伝播させずにそのまま出力する加算器であり、上記式(2)を用いて E_i 演算を行なう。CSA507の出力(演算結果)のうち部分和ビットの列は、レジスタ503に入力される。一方、CSA507の出力(演算結果)のうち桁上げビットの列はレジスタ504に入力される。
- [0025] 演算処理回路500においては、指数演算の結果としてレジスタ503, 504の値 E_i を出力し、対数演算の結果としてレジスタ501, 502の値 L_i を出力する。
- [0026] しかしながら、このような従来の演算処理回路500においては、指数演算を行なう場合に、 L_i が0から遠い時点では、1回の演算で E_i が $\exp(x)$ に十分近づかず、結果として演算を繰り返しても E_i が $\exp(x)$ に収束しないことがある。同様に、対数演算を行なう場合に、 E_i が1から遠い時点では、1回の演算で L_i が $\log(x)$ に十分近づかず、結果として演算を繰り返しても L_i が $\log(x)$ に収束しないことがある。 E_i もしくは L_i が解にある程度近い範囲にあることを想定しているのに対し、繰り返し回数(i)が少ない時点では、その範囲から外れる場合があるからである。
- [0027] すなわち、演算を繰り返しても指数演算の E_i もしくは対数演算の L_i が解に収束しない場合がある。
- [0028] 図9は上述の如き演算処理回路500による問題を解消するための従来の演算処理回路600の構成を示す図である。
- [0029] この図9に示す演算処理回路600においては、図8に示した演算処理回路500の判定回路505に代えて判定回路601, 1st_nテーブル回路602およびセクタ603を備える。また、演算処理回路500の演算回路511, 512に代えて演算回路604, 605を備えるとともに、Log Table回路508に代えてLog Table回路606を備える。その他の部分は図8の演算処理回路500と同様に構成されている。
- [0030] なお、図中、既述の符号と同一の符号は同様の部分を示しているもので、その説明は省略する。
- [0031] この図9に示す演算処理回路600においては、演算1回目($i=1$)だけ n の

選択論理を変更する。

[0032] 1st_nテーブル回路602および判定回路601の各出力がセクタ603に入力される。

[0033] 1st_nテーブル回路602は、演算1回目 ($i=1$) においてのみ参照される参照テーブル (lookup table) である。演算1回目 ($i=1$) だけ、 L_1 もしくは E_1 (つまり入力 x) をインデックスとして1st_nテーブル回路602が参照され、セクタ603は1st_n テーブル回路602の出力を選択して出力する。

[0034] なお、演算2回目以降は、セクタ603は判定回路601の出力を選択して出力する。また、判定回路601においては、図8に示した判定回路505に比べて n の選択肢に ± 3 が追加されている。すなわち、判定回路601は、選択肢 n として、 $-3, -2, -1, 0, +1, +2, +3$ を有する。

[0035] セクタ603の出力は、演算回路513, 514, 604, 605およびLog Table回路606に入力される。

[0036] Log Table回路606においては、Log Table回路508に比べて、エントリに $n=-3, +3$ に対応する値を追加して備える。

[0037] 演算回路604, 605は、それぞれ、 $\times 1$ or $\times 2$ or $\times 3$ 回路であり、判定回路601から出力される n に応じて、スルー ($\times 1$) または、左シフト ($\times 2$) または $\times 3$ 乗算のいずれかを行なう。

先行技術文献

特許文献

[0038] 特許文献1：特開平8-123785号公報

特許文献2：特開平2-170285号公報

発明の概要

発明が解決しようとする課題

[0039] しかしながら、このような図9に示す従来の演算処理回路600においては、1st_nテーブル回路602やセクタ603, 演算回路604, 605を備えることで、回路規模が大きくなる。これにより、クリティカルパスの論

理段数が多くなり、ディレイが大きくなるという課題がある。

[0040] 本発明は、このような課題に鑑み創案されたもので、回路規模を大きくすることなく指数演算または対数演算において解に収束できるようにすることを目的とする。

課題を解決するための手段

[0041] 上記の目的を達成するために、この演算処理装置は、指数演算または対数演算を行なう演算回路と、前記演算回路による演算繰り返し回数が閾値以下の場合に、1サイクル当たりに前記演算回路が求めるビット数を第1数に設定し、前記演算繰り返し回数が前記閾値よりも多い場合に、1サイクル当たりに前記演算回路が求めるビット数を、前記第1数よりも多い第2数に設定する設定部とを備える。

発明の効果

[0042] 回路規模を大きくすることなく指数演算または対数演算において解に収束できる。

図面の簡単な説明

[0043] [図1]実施形態の一例としての演算処理回路の構成を例示する図である。

[図2]実施形態の一例としての演算処理回路におけるLog Table回路のインデックスとエントリとの関係を例示する図である。

[図3]実施形態の一例としての演算処理回路における右シフト回路の回路構成を例示する図である。

[図4]図3に例示した右シフト回路のセレクタの切り替えルールを例示する図である。

[図5]実施形態の一例としての演算処理回路の処理の概要を説明するためのフローチャートである。

[図6]実施形態の一例としての演算処理回路における演算処理を説明するためのフローチャートである。

[図7]実施形態の一例としての演算処理回路をプロセッサに実装する構成例を示す図である。

[図8]従来の演算処理回路の構成を示す図である。

[図9]従来の演算処理回路の構成を示す図である。

発明を実施するための形態

[0044] 以下、図面を参照して本演算処理装置および演算処理装置の制御方法に係る実施の形態を説明する。ただし、以下に示す実施形態はあくまでも例示に過ぎず、実施形態で明示しない種々の変形例や技術の適用を排除する意図はない。すなわち、本実施形態を、その趣旨を逸脱しない範囲で種々変形して実施することができる。また、各図は、図中に示す構成要素のみを備えるという趣旨ではなく、他の機能等を含むことができる。

[0045] 図1は実施形態の一例としての演算処理回路1の構成を例示する図である。

[0046] 演算処理回路（演算器）1は、例えば情報処理装置のプロセッサ（演算処理装置）に備えられ、演算を実現する。図1に示す演算処理回路1は、指数（EXP）演算および対数（LOG）演算の2種類の演算を実現する演算処理回路である。すなわち、本演算処理回路1は、指数演算および対数演算のいずれかを選択的に実現する。

[0047] [指数演算]

指数演算においては、例えば、演算1回で商2bitを求めるradix4のSTL（Sequential Table Lookup）法を用いてもよい。

例えば、 x を入力とし、 $\exp(x)$ を求める。

L はべき数の空間の変数であり、 E は指数の空間の変数である。また、 i は演算の繰り返し回数である。

[0048] 初期値を $L_1 = x$, $E_1 = \exp(0) = 1$ とし、 $x = \log(E_i) + L_i$ を満たしつつ、演算を繰り返して L_i を少しずつ0に近づけることで、 E_i が $\exp(x)$ に近づく（ $L_i = x \rightarrow 0$, $E_i = \exp(0) \rightarrow \exp(x)$ ）。

[0049] [対数演算]

対数演算にSTL法を用いてもよい。

例えば、 x を入力とし、 $\log(x)$ を求める。

[0050] L は対数の空間の変数であり、 E は真数の空間の変数である。また i は繰り返し演算の回数である。

[0051] 初期値を $L_1 = \log(1) = 0$, $E_1 = x$ とし、 $x = E_i \times \exp(L_i)$ を満たしつつ、演算を繰り返して E_i を少しずつ1に近づけることで、 L_i が $\log(x)$ に近づく ($E_i = x \rightarrow 1$, $L_i = \log(1) \rightarrow \log(x)$)。

[0052] 対数演算における L_i および E_i の演算方法 (L_i 演算, E_i 演算) は概ね指数演算と同様であるが、 n の選び方は異なる。すなわち、 E_i と1との大小関係および差分を判定し、 E_i が1に一番近づくように n を選ぶ。

[0053] (A) 構成

図1に示す演算処理回路1は、レジスタ101~104, 判定回路105, CSA107, 114, Log Table回路106, 右シフト回路(RSFT2)108, 109および演算回路110~113を備える。

[0054] 以下、レジスタ101をレジスタLSと表す場合がある。同様に、レジスタ102をレジスタLCと表す場合があり、レジスタ103をレジスタESと表す場合があり、レジスタ104をレジスタECと表す場合がある。

[0055] レジスタ101は、判定回路105およびCSA107にそれぞれ接続されている。レジスタ101には、後述するCSA107による L_i 演算の結果 (sum) が格納される。すなわち、レジスタ101には、演算処理の過程でCSA107によって生成された演算途中値が格納される。

[0056] また、レジスタ101から読み出されたレジスタ値 L_i は、判定回路105およびCSA107のそれぞれに入力される。

[0057] レジスタ102は、判定回路105およびCSA107にそれぞれ接続されている。レジスタ102にCSA107による L_i 演算の結果 (carry) が格納される。すなわち、レジスタ102には、演算処理の過程でCSA107によって生成された演算途中値が格納される。

[0058] レジスタ102から読み出されたレジスタ値 L_i は判定回路105およびCSA107のそれぞれに入力される。

[0059] Log Table回路106およびCSA107が、指数演算または対数演算にお

ける L_i 演算を実現する。右シフト回路108, 109, 演算回路110~113およびCSA114が、指数演算または対数演算における E_i 演算を実現する。

[0060] ここで、本演算処理回路1においては、繰り返し回数(i)が少ない時点、すなわち i が閾値 k 以下の時点では1サイクルあたりに求めるビット数(第1数)を少なくする(例えば、1回)。そして、繰り返し回数(i)が閾値 k よりも大きくなった以降は1サイクルあたりに求めるビット数(第2数)を増やす(例えば、2回以上)。第2数は第1数よりも多くする。

[0061] 具体的には、例えば、 L_i の算出(L_i 演算)および E_i の算出(E_i 演算)には、以下の式(3)を用いる。

[数1]

$$\left. \begin{array}{l} i \leq k \text{ のとき} \\ L_{i+1} = L_i \cdot \log(1 + n \times 2^{-i}) \\ E_{i+1} = E_i + E_i \times n \times 2^{-i} \\ i > k \text{ のとき} \\ L_{i+1} = L_i \cdot \log(1 + n \times 2^{-(2i-k)}) \\ E_{i+1} = E_i + E_i \times n \times 2^{-(2i-k)} \end{array} \right\} \dots (3)$$

[0062] なお、 $n = -2, -1, 0, +1, +2$ である。

本実施形態においては、 $i \leq k$ のときには1サイクルあたりに求めるビット数(第1数)は1であり、 $i > k$ のときには1サイクルあたりに求めるビット数(第2数)は2である。

[0063] 指数演算を行なう場合、判定回路105は、 L_i に基づき、 n を選択する。判定回路105は、 L_i と0との大小関係および差分を判定し、 L_i が0に一番近づく n の値を選択する。対数演算を行なう場合、判定回路105は、 E_i に基づき、 n を選択する。判定回路105は、 E_i と1との大小関係および差分を判定し、 E_i が1に一番近づく n の値を選択する。

[0064] 判定回路105によって決定された n の値は、演算回路110~113およびLog Table回路106に入力される。

- [0065] Log Table回路106は、 $\log(1+n*2^{-A})$ の値を出力する。ここで、 $i \leq k$ のとき $A=i$ であり、 $i > k$ のとき $A=2i-k$ である。
- [0066] Log Table回路106には、変数である i 、 n に対応する $\log(1+n*2^{-A})$ の値が予め設定されており、 i と判定回路105から入力される n とに応じた $\log(1+n*2^{-A})$ の値を出力する。
- [0067] すなわち、Log Table回路106は、インデックスとして i および n を有し、エントリとして $\log(1+n \times 2^{-i})$ や $\log(1+n \times 2^{-(2i-k)})$ の各値を有する。
- [0068] 図2は実施形態の一例としての演算処理回路1におけるLog Table回路106のインデックスとエントリとの関係を例示する図である。
- [0069] この図2においては、 $1 \leq i \leq 9$ であり、 $k=3$ の例について示す。また、図2中においては、便宜上、各エントリを $\log$ を冠した対数の形式で示しているが、実際には各エントリには対数を計算した数値が保持される。また、図2中において“don't care”が示された箇所は選択されることがない。
- [0070] Log Table回路106は、入力された i および n に対応するエントリの値をCSA107に出力する。
- [0071] なお、Log Table回路106は、図2に例示するようなインデックスとエントリとを対応付けた情報を図示しない記憶装置に格納し、 i および n が入力された場合に、この情報を、入力された i 、 n をインデックスとして参照して、対応するエントリの値を取得し、出力してもよい。
- [0072] また、Log Table回路106は、図2に例示するような情報を制御ユニット10等から取得してもよい。
- [0073] CSA107は、3入力－2出力（3 in - 2 out）の桁上げ保存加算器であり、レジスタ101、102およびLog Table回路106から各出力が入力される。また、このCSA107の出力（演算結果）のうち、部分和ビットの列はレジスタ101に入力される。一方、CSA107の出力（演算結果）のうち、桁上げビットの列はレジスタ102に入力される。
- [0074] CSA107は、 L_{i+1} の演算（ L_i 演算）を行なう。CSA107は、Log Table回路106から出力された $\log(1+n*2^{-A})$ の値を用いて、上記式（3）に基

づき E_i を算出する。

- [0075] レジスタ103は、判定回路105、右シフト回路108およびCSA114にそれぞれ接続されており、このレジスタ103に後述するCSA114による E_i 演算の結果(sum)が格納される。すなわち、レジスタ103には、演算処理の過程でCSA114によって生成された演算途中値が格納される。
- [0076] レジスタ103から読み出されたレジスタ値 E_i は、判定回路105、右シフト回路108およびCSA114のそれぞれに入力される。
- [0077] レジスタ104は、判定回路105、右シフト回路109およびCSA114にそれぞれ接続されている。このレジスタ104にCSA114による E_i 演算の結果(carry)が格納される。すなわち、レジスタ104には、演算処理の過程でCSA114によって生成された演算途中値が格納される。
- [0078] レジスタ104から読み出されたレジスタ値 E_i は、判定回路105、右シフト回路109およびCSA114のそれぞれに入力される。
- [0079] CSA114は、4入力-2出力(4 in - 2 out)の桁上げ保存加算器であり、レジスタ103、104および演算回路112、113からの各出力が入力される。
- [0080] CSA114は、指数演算または対数演算に用いられる。CSA114は、 E_{i+1} の演算を行なう。CSA114は、レジスタ103、104および演算回路112、113のそれぞれから出力された値を用いて、上記式(3)に基づき E_i を算出する。
- [0081] CSA114の出力(演算結果)のうち部分和ビットの列は、レジスタ103に入力される。一方、CSA114の出力(演算結果)のうち桁上げビットの列はレジスタ104に入力される。
- [0082] 右シフト回路108、109は、処理対象データのビット列に対して右シフトを行なうものであり、処理対象データに対して、演算繰り返し回数 i に応じた数のビットシフトを行なう。右シフト回路108は、レジスタ103のレジスタ出力ESに対して、また、右シフト回路109は、レジスタ104の

レジスタ出力ECに対して、それぞれ右シフト演算を行なうことで、 $E_i \times 2^{-i}$ の演算または $E_i \times 2^{-(2i-k)}$ の演算を実現する。

[0083] 右シフト回路108, 109は、 $i \leq k$ のとき $E_i \times 2^{-i}$ の演算を行ない、 $i > k$ のとき $E_i \times 2^{-(2i-k)}$ の演算を行なう。

[0084] 右シフト回路108, 109は、 i だけ E_i を右シフトすることで $E_i \times 2^{-i}$ の演算を実現し、 $2i-k$ だけ E_i を右シフトすることで $E_i \times 2^{-(2i-k)}$ の演算を実現する。なお、右シフト回路108, 109は互いに同様の構成を有する。

[0085] 図3は実施形態の一例としての演算処理回路1における右シフト回路108, 109の回路構成を例示する図、図4は図3に例示した右シフト回路108, 109のセレクタ1081の切り替えルールを例示する図である。

[0086] 右シフト回路108, 109は図4に例示する切り替えルールに従って各セレクタ1081による選択出力を行なうことで、 $i \leq k$ の場合に $E_i \times 2^{-i}$ の演算結果の出力を行ない、 $i > k$ の場合に $E_i \times 2^{-(2i-k)}$ の演算結果の出力を実現する。

[0087] 図3および図4においてはデータ幅が16bitの右シフト回路108, 109を例示しており、また、 $k=3$ の場合について示すものとする。

[0088] $D[15:0]$ は、シフト対象のデータを示し、 $R[15:0]$ はシフト後のデータを示す。なお、[15]は符号ビットである。また、 i は繰り返し演算の回数である。

[0089] 右シフト回路108, 109は、 R の各ビット ($R[0] \sim R[15]$) に対し、 D を入力とするセレクタ1081をそれぞれ備える。セレクタ1081は、図4に例示する切り替えルールを参照して i に応じた選択および出力を行なう。セレクタ1081の入力数は i のとり得る数（図4に示す例では9）である。

[0090] 図4に例示する切り替えルールにおいて、例えば $R[0]$ は、 $i \leq 3$ の場合にはシフト量が i のデータが出力データとして選択され、 $i \geq 4$ の場合にはシフト量が $2i-k$ のデータが出力データとして選択されている。すなわち、右シフト回路108, 109においては、閾値 k （図4に示す例では $k=3$ ）を境にシフト量が変更され、 $i \leq 3$ の場合に $E_i \times 2^{-i}$ の演算によりシフト量= i ビットとなり、 $i > k$ の場合に $E_i \times 2^{-(2i-k)}$ の演算によりシフト量= $2i-k$ ビットとなる。

- [0091] このように、右シフト回路 108, 109 は、処理対象データに対して、演算繰返し回数 i に応じた数のビットシフトを行なう。入力 $D[15:0]$ が i ビット右シフトしたものが $R[15:0]$ となる。
- [0092] 演算回路 110, 111 は、入力された値に対して、1 倍 ($\times 1$) 演算または 2 倍 ($\times 2$) 演算を行なう。演算回路 110, 111 は、入力された値をスルーすることで 1 倍 ($\times 1$) 演算を実現し、入力されたレジスタ値を 1 bit 左シフトすることで 2 倍 ($\times 2$) 演算を実現する。
- [0093] 例えば、判定回路 105 において決定された n が +2 または -2 である場合に、演算回路 110, 111 は $\times 2$ 演算を行なう。一方、判定回路 105 において決定された n が +1 または -1 である場合に、演算回路 110, 111 は $\times 1$ 演算を行なう。
- [0094] 演算回路 110 による演算結果は演算回路 112 に入力され、演算回路 111 による演算結果は演算回路 113 に入力される。
- [0095] 演算回路 112, 113 は、入力された値をスルー (+) または符号反転 (-) して出力する。演算回路 112, 113 には、判定回路 105 からの出力が入力される。演算回路 112, 113 は、判定回路 105 において決定された n の符号に応じた符号を選択して設定する。
- [0096] 制御ユニット 10 は本演算処理回路 1 における演算処理を制御する。制御ユニット 10 は、プログラムからの指示で動作する。
- [0097] 制御ユニット 10 は、命令デコーダとしての機能を備え、図示しない命令レジスタに読み込まれた命令の内容を解読し、本演算処理回路 1 を制御する。
- [0098] メモリ 11 は、例えば RAM (Random Access Memory) である。メモリ 11 には、例えば、各レジスタ 101 ~ 104 の初期値が格納されている。初期値は演算処理の種類 (指数演算および対数演算) に応じて、それぞれ備えられている。
- [0099] 制御ユニット 10 は、本演算処理回路 1 における演算処理の開始時に、各レジスタ 101 ~ 104 の初期化を行なう。制御ユニット 10 は本演算処理

回路 1 において実行する演算種類に応じた初期値をメモリ 11 から読み出し、各レジスタ 101～104 に格納することで初期化を行なってもよい。

[0100] また、制御ユニット 10 は、演算処理の結果を格納するレジスタ 101～104 から演算結果を読み出し、出力させる。

[0101] 制御ユニット 10 は、Log Table 回路 106 が参照するインデックスとエントリとを対応付けた情報（図 2 参照）を、メモリ 11 に格納し、適宜、Log Table 回路 106 に提供してもよい。

[0102] また、制御ユニット 10 は、右シフト回路 108, 109 が参照するセレクタ 1081 の切り替えルール（図 4 参照）をメモリ 11 に格納し、適宜、右シフト回路 108, 109 に提供してもよい。

[0103] また、制御ユニット 10 は、本演算処理回路 1 における演算処理の開始指示を行なってもよい。

[0104] 制御ユニット 10 は、本演算処理回路 1 における演算の繰り返し（ループ）回数を示す i を管理してもよい。制御ユニット 10 は、 i のカウントを行ない、この i の値と予め設定された閾値（ $i_{\max}$ ）とを比較することでループが終わったという判断を行なってもよい。

[0105] （B）動作

上述の如く構成された実施形態の一例としての演算処理回路 1 の処理の概要を、図 5 に示すフローチャート（ステップ A1～A15）に従って説明する。

[0106] ステップ A1 において、制御ユニット 10 は演算種類の確認を行なう。演算種類が指数演算である場合には（ステップ A1 の EXP ルート参照）、ステップ A2 に移行する。

[0107] ステップ A2 において、例えば右シフト回路 108, 109 は、演算の繰り返し回数 i が所定の閾値 k （例えば、 $k=3$ ）以下であるかを確認する。

[0108] 確認の結果、演算の繰り返し回数 i が閾値 k 以下である場合には（ステップ A2 の YES ルート参照）、ステップ A3 に移行する。ステップ A3 において、演算処理回路 1 は、1 サイクルあたりに求めるビット数として規定の第

1 の数（第 1 のビット数：例えば 1bit）を設定する。

- [0109] 一方、演算の繰り返し回数 i が閾値 k よりも多い場合には（ステップ A 2 の NO ルート参照）、ステップ A 4 に移行する。ステップ A 4 において、演算処理回路 1 は、1 サイクルあたりに求めるビット数として、第 1 の数よりも多い第 2 の数（第 2 のビット数：例えば 2bit）を設定する。右シフト回路 108, 109 が、設定されたシフト数に応じた右シフト演算を実行する。
- [0110] ステップ A 5 において、判定回路 105 は、 L_i に基づいて n を選択する。
- [0111] ステップ A 6 において、ステップ A 3 またはステップ A 4 において設定された第 1 の数または第 2 の数に応じたビット数で、指数演算が実行される。
- [0112] ステップ A 7 において、制御ユニット 10 は指数演算が終了したかを確認する。この確認の結果、指数演算が終了していない場合には（ステップ A 7 の NO ルート参照）、ステップ A 8 において i の値をインクリメント ($i++$) した後、ステップ A 2 に戻る。
- [0113] また、ステップ A 7 における確認の結果、指数演算が終了している場合には（ステップ A 7 の YES ルート参照）、ステップ A 15 に移行する。
- [0114] ステップ A 15 においては、レジスタ 103, 104 の値が E_i 演算の結果として出力される。
- [0115] 一方、ステップ A 1 における確認の結果、演算種類が対数演算である場合には（ステップ A 1 の LOG ルート参照）、ステップ A 9 に移行する。
- [0116] ステップ S 9 において、制御ユニット 10 は、演算の繰り返し回数 i が所定の閾値 k （例えば、 $k=3$ ）以下であるかを確認する。
- [0117] 確認の結果、演算の繰り返し回数 i が閾値 k 以下である場合には（ステップ A 9 の YES ルート参照）、ステップ A 10 に移行する。ステップ A 10 において、演算処理回路 1 は、1 サイクルあたりに求めるビット数として規定の第 1 の数（第 1 のビット数：例えば 1bit）を設定する。
- [0118] 一方、演算の繰り返し回数 i が閾値 k よりも多い場合には（ステップ A 9 の NO ルート参照）、ステップ A 11 に移行する。ステップ A 11 において、演算処理回路 1 は、1 サイクルあたりに求めるビット数として、第 1 の数よ

りも多い第2の数（第2のビット数：例えば2bit）を設定する。右シフト回路108, 109が、設定されたシフト数に応じた右シフト演算を実行する。

[0119] ステップA12において、判定回路105は、 E_i に基づいて n を選択する。

[0120] その後、ステップA6において、ステップA10またはステップA11において設定された第1の数または第2の数に応じたビット数で、対数演算が実行される。

[0121] ステップA13において、制御ユニット10は対数演算が終了したかを確認する。この確認の結果、対数演算が終了していない場合には（ステップA13のNOルート参照）、ステップA14において i の値をインクリメント（ $i++$ ）した後、ステップA9に戻る。

[0122] また、ステップA13における確認の結果、対数演算が終了している場合には（ステップA13のYESルート参照）、ステップA15に移行する。

[0123] ステップA15においては、レジスタ101, 102の値が L_i 演算の結果として出力される。

[0124] 次に、実施形態の一例としての演算処理回路1における演算処理を、図6に示すフローチャート（ステップB1～B23）に従って説明する。

[0125] 演算処理の開始に際して、 x が入力される。ステップB1において、制御ユニット10は演算種類の確認を行なう。演算種類が指数演算である場合には（ステップB1のEXPルート参照）、ステップB2に移行する。

[0126] ステップB2において、レジスタ101～104の初期化が行なわれる。レジスタの初期化は、例えば、制御ユニット10によって行なわれる。例えば、レジスタ101～104に対して、 $L_1=x$, $E_1=1$ となるように初期化が行なわれる。なお、 $LS + LC = L_1$ であり、例えば、LSとLCとのいずれか一方に x を設定し、他方に0を設定する。同様に、 $ES + EC = E_1$ であり、ESとECとのいずれか一方に1を設定し、他方に0を設定する。

[0127] ステップB3において、処理対象の指数演算において i が予め規定された最大値（ i_{max} ）に到達するまで、ステップB11までの制御を繰り返し実施す

るループ処理を開始する。

[0128] ステップB 4において、例えば右シフト回路108, 109は、演算の繰り返し回数 i が所定の閾値 k （例えば、 $k=3$ ）以下であることを確認する。

[0129] 確認の結果、演算の繰り返し回数 i が閾値 k 以下である場合には（ステップB 4のYESルート参照）、ステップB 5において、 $A=i$ が設定される。一方、演算の繰り返し回数 i が閾値 k よりも多い場合には（ステップB 4のNORルート参照）、ステップB 6において、 $A=2i-k$ が設定される。

[0130] その後、ステップB 7において、判定回路105は、 L_i と0との大小関係および差分を判定し、 L_i が0に一番近づく n の値を選択する。

[0131] ステップB 8において、Log Table回路106は、 i と判定回路105によって選択された n とに対応する $\log(1+n \times 2^{-A})$ の値を出力する。

[0132] ステップB 9において、CSA107が、Log Table回路106から取得した $\log(1+n \times 2^{-A})$ を用いて、上記式（3）に基づき L_i 演算を行なう。すなわち、CSA107は、 $L_{i+1} = L_i - \log(1 + n \times 2^{-A})$ を算出する。

[0133] また、ステップB 10において、右シフト回路108, 109, 演算回路110～113およびCSA114が、指数演算における E_i 演算（上記式（3）参照）を実現する。すなわち、CSA114等は、 $E_{i+1} = E_i + E_i \times n \times 2^{-A}$ を算出する。

[0134] その後、制御がステップB 11に進む。ステップB 11では、ステップB 3に対応するループ端処理が実施される。ここで、 i が $i_{\max}$ に到達すると（ $i = i_{\max}$ ）、ステップB 12に移行する。

[0135] ステップB 12において、 E_i は後段の処理部（例えば、他の演算回路等）に出力され、処理を終了する。

[0136] ステップB 1における演算種類の確認の結果、演算種類が対数演算である場合には（ステップB 1のLOGルート参照）、ステップB 13に移行する。

[0137] ステップB 13において、レジスタ101～104の初期化が行なわれる。レジスタの初期化は、例えば、制御ユニット10によって行なわれる。例えば、レジスタ101～104に対して、 $L_1=0$, $E_1=x$ となるように初期化が行

なわれる。なお、 $LS + LC = L_i$ であり、例えば、LSとLCとのそれぞれに0を設定する。同様に、 $ES + EC = E_i$ であり、ESとECとのいずれか一方にxを設定し、他方に0を設定する。

[0138] ステップB 1 4において、処理対象の指数演算においてiが予め規定された最大値 (i_{max}) に到達するまで、ステップB 2 2までの制御を繰り返し実施するループ処理を開始する。

[0139] ステップB 1 5において、例えば右シフト回路1 0 8, 1 0 9は、演算の繰り返し回数iが所定の閾値k (例えば、 $k=3$) 以下であることを確認する。

[0140] 確認の結果、演算の繰り返し回数iが閾値k以下である場合には (ステップB 1 5のYESルート参照)、ステップB 1 6において、 $A=i$ が設定される。一方、演算の繰り返し回数iが閾値kよりも多い場合には (ステップB 1 5のNOルート参照)、ステップB 1 7において、 $A=2i-k$ が設定される。

[0141] その後、ステップB 1 8において、判定回路1 0 5は、 E_i と1との大小関係および差分を判定し、 E_i が0に一番近づくnの値を選択する。

[0142] ステップB 1 9において、Log Table回路1 0 6は、iと判定回路1 0 5によって選択されたnとに対応する $\log(1+n \times 2^{-A})$ の値を出力する。

[0143] ステップB 2 0において、CSA 1 0 7が、Log Table回路1 0 6から取得した $\log(1+n \times 2^{-A})$ を用いて、上記式 (3) に基づき L_i 演算を行なう。すなわち、CSA 1 0 7は、 $L_{i+1} = L_i - \log(1 + n \times 2^{-A})$ を算出する。

[0144] また、ステップB 2 1において、右シフト回路1 0 8, 1 0 9, 演算回路1 1 0 ~ 1 1 3およびCSA 1 1 4が、指数演算における E_i 演算 (上記式 (3) 参照) を実現する。すなわち、CSA 1 1 4等は、 $E_{i+1} = E_i + E_i \times n \times 2^{-A}$ を算出する。

[0145] その後、制御がステップB 2 2に進む。ステップB 2 2では、ステップB 1 4に対応するループ端処理が実施される。ここで、iが i_{max} に到達すると ($i = i_{max}$)、ステップB 2 3に移行する。

[0146] ステップB 2 3において、 L_i は後段の処理部 (例えば、他の演算回路等) に出力され、処理を終了する。

[0147] (C) 効果

このように、実施形態の一例としての演算処理回路 1 によれば、演算の繰り返し回数 i が閾値 k 以下の時点において、1 サイクルあたりに求めるビット数を少なくするとともに、演算の繰り返し回数 i が閾値 k よりも多い時点において、1 サイクルあたりに求めるビット数を多くする。これにより、指数演算の E_i を $\exp(x)$ に、対数演算の L_i を $\log(x)$ にそれぞれ収束させることができる。

[0148] また、図 9 に示した従来の演算処理回路と比べて、1st_n テーブル回路等を備える必要がなく、回路規模を削減することができる。これにより、クリティカルパスの論理段数を減らし、ディレイを小さくすることができる。

[0149] すなわち、回路規模を大きくすることなく指数演算または対数演算において解に収束できるのである。

[0150] (D) その他

図 7 は上述した実施形態の一例としての演算処理回路 1 を、例えば、ディープラーニング等の用途のプロセッサに実装する構成例を示す図である。

[0151] ディープラーニング等を用途とするプロセッサは、図 7 に例示するように、複数の演算器を備え、並列演算を行なう。

[0152] 各演算器は、それぞれ指数演算および対数演算を行なう EXP/LOG 演算器を備え、図 7 に示すように、プロセッサに備えられる EXP/LOG 演算器として本演算処理回路 1 を用いてもよい。

[0153] 図 7 に例示するプロセッサは、命令ユニットと、複数のレジスタファイル # 1 ~ # m と、複数の実行ユニット # 1 ~ # m を備える。

[0154] 各実行ユニットは複数 (n 個) の演算器 # 1 ~ # n を備え、これらの演算器に演算処理回路 1 が備えられる。

[0155] この図 7 に例示するプロセッサシステムは、全体に対する演算器の占有率が大きいものであるが、このような各演算器に本演算処理回路 1 を適用することで、演算器の回路規模削減の効果を奏することができる。

[0156] そして、本発明は上述した実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。

[0157] また、上述した開示により本実施形態を当業者によって実施・製造することが可能である。

符号の説明

[0158] 1 演算処理回路
 1 0 制御ユニット
 1 1 メモリ
 1 2 プロセッサ
 1 0 1 ~ 1 0 4 レジスタ
 1 0 5 判定回路
 1 0 7, 1 1 4 C S A
 1 0 6 Log Table回路
 1 0 8, 1 0 9 右シフト回路
 1 1 0 ~ 1 1 3 演算回路
 1 0 8 1 セレクタ

請求の範囲

- [請求項1] 指数演算または対数演算を行なう演算回路と、
前記演算回路による演算繰り返し回数が閾値以下の場合に、1 サイクル当たりに前記演算回路が求めるビット数を第1数に設定し、前記演算繰り返し回数が前記閾値よりも多い場合に、1 サイクル当たりに前記演算回路が求めるビット数を、前記第1数よりも多い第2数に設定する設定部と
を備えること特徴とする、演算処理装置。
- [請求項2] 前記設定部が、処理対象データのビット列に対して右シフトを行なう右シフト回路であって、
前記右シフト回路が、前記処理対象データに対して、前記演算繰り返し回数に応じた数のビットシフトを行なう
ことを特徴とする、請求項1に記載の演算処理装置。
- [請求項3] 前記演算回路が、指数演算を実施する指数演算回路であり、
演算繰り返し回数 (i) が閾値以下の場合に、 $L_{i+1} = L_i - \log(1 + n \times 2^{-i})$ を演算し、
前記演算繰り返し回数 (i) が前記閾値よりも多い場合に、 $L_{i+1} = L_i - \log(1 + n \times 2^{-(2i-k)})$ を演算する
ことを特徴とする、請求項1または2に記載の演算処理装置。
- [請求項4] 前記演算回路が、対数演算を実施する指数演算回路であり、
演算繰り返し回数 (i) が閾値以下の場合に、 $E_{i+1} = E_i + E_i \times n \times 2^{-i}$ を演算し、
前記演算繰り返し回数 (i) が前記閾値よりも多い場合に、 $E_{i+1} = E_i + E_i \times n \times 2^{-(2i-k)}$ を演算する
ことを特徴とする、請求項1～3のいずれか1項に記載の演算処理装置。
- [請求項5] 指数演算または対数演算を行なう演算回路を備える演算処理装置において、

前記演算回路による演算繰返し回数を確認する処理と、

前記演算回路による前記演算繰返し回数が閾値以下の場合に、1 サイクルあたりに前記演算回路が求めるビット数を第1数に設定し、前記演算繰返し回数が前記閾値よりも多い場合に、1 サイクルあたりに前記演算回路が求めるビット数を、前記第1数よりも多い第2数に設定する処理

とを備えること特徴とする、演算処理装置の制御方法。

[請求項6] 処理対象データのビット列に対して右シフトを行なう右シフト回路が、前記処理対象データに対して、前記演算繰返し回数に応じた数のビットシフトを行なう

ことを特徴とする、請求項5に記載の演算処理装置の制御方法。

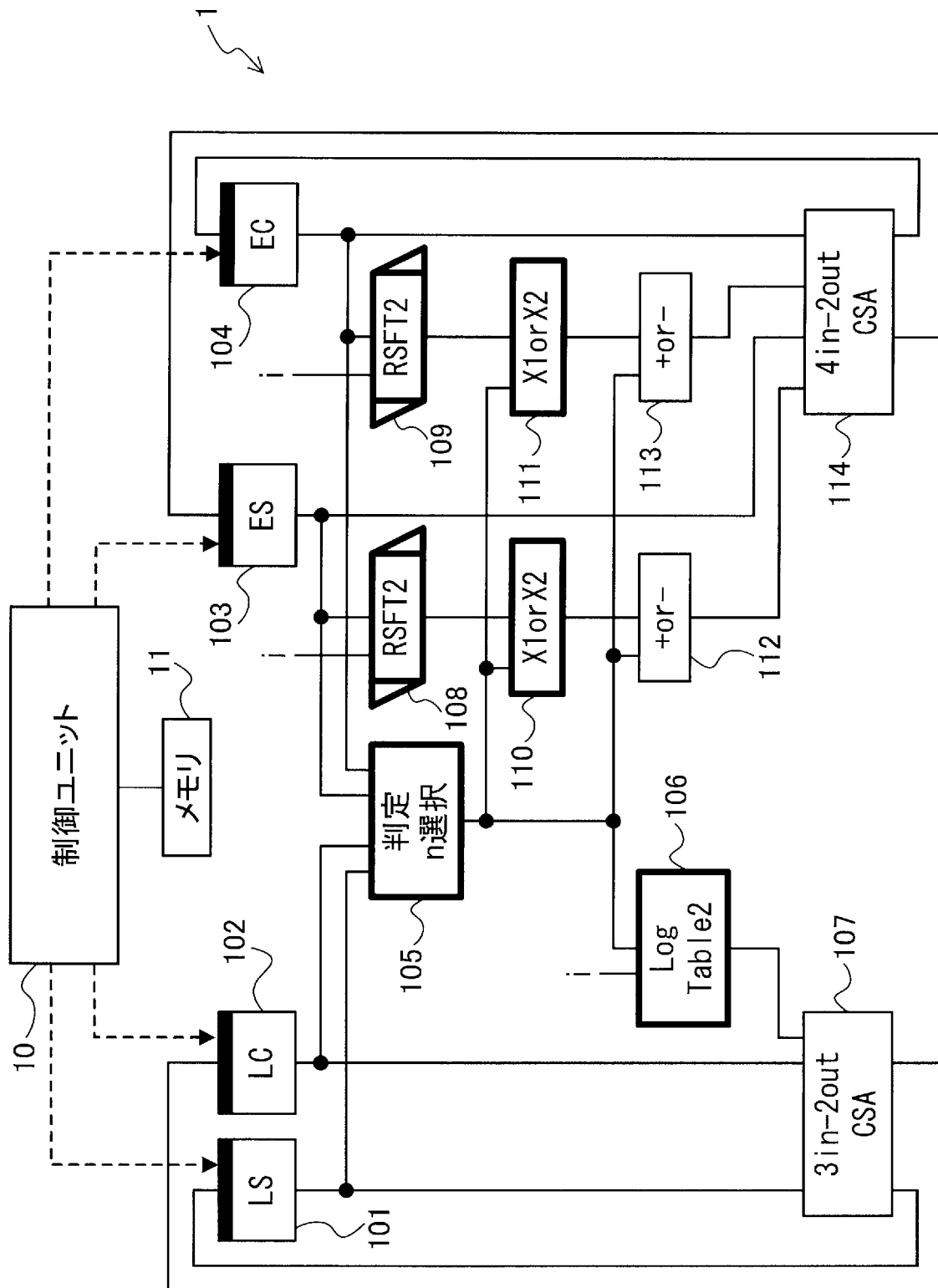
[請求項7] 前記演算回路が、指数演算を実施する指数演算回路であり、
演算繰返し回数 (i) が閾値以下の場合に、 $L_{i+1} = L_i - \log(1 + n \times 2^{-i})$ を演算し、
前記演算繰返し回数 (i) が前記閾値よりも多い場合に、 $L_{i+1} = L_i - \log(1 + n \times 2^{-(2i-k)})$ を演算する

ことを特徴とする、請求項5 または 6 記載の演算処理装置の制御方法。

[請求項8] 前記演算回路が、対数演算を実施する指数演算回路であり、
演算繰返し回数 (i) が閾値以下の場合に、 $E_{i+1} = E_i + E_i \times n \times 2^{-i}$ を演算し、
前記演算繰返し回数 (i) が前記閾値よりも多い場合に、 $E_{i+1} = E_i + E_i \times n \times 2^{-(2i-k)}$ を演算する

ことを特徴とする、請求項5～7のいずれか1項に記載の演算処理装置の制御方法。

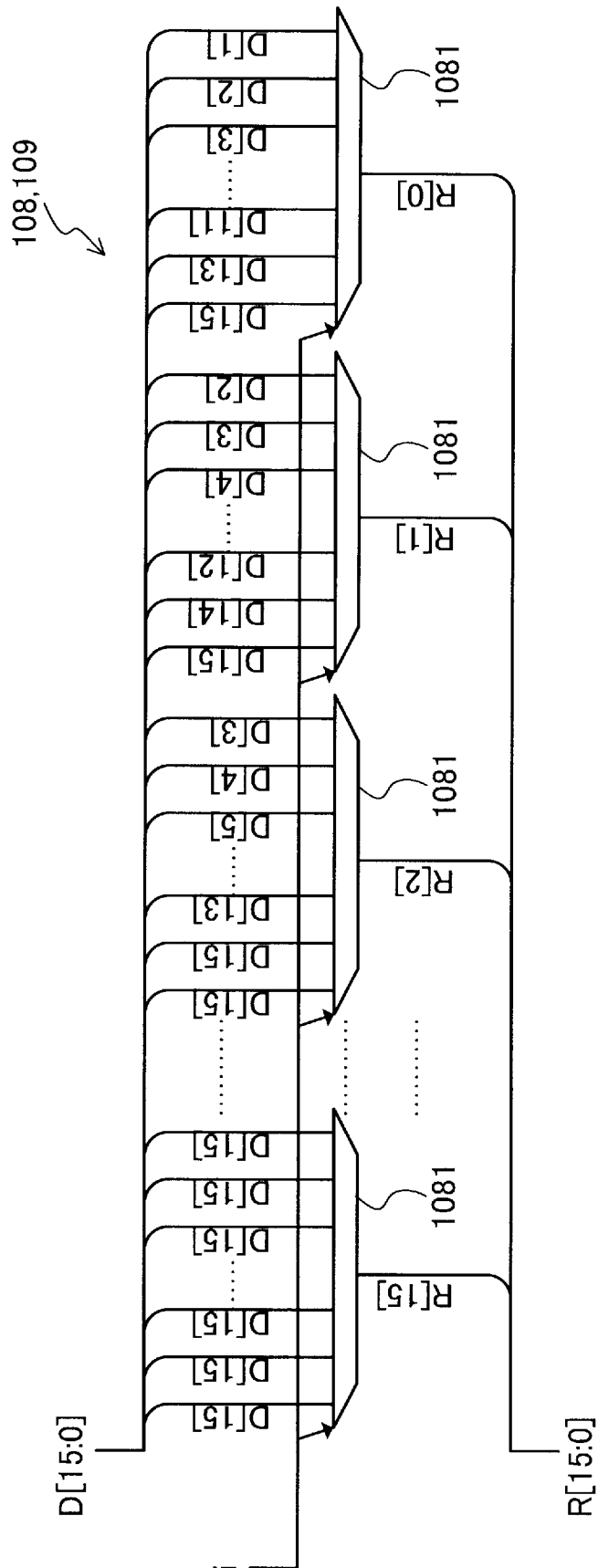
[図1]



[図2]

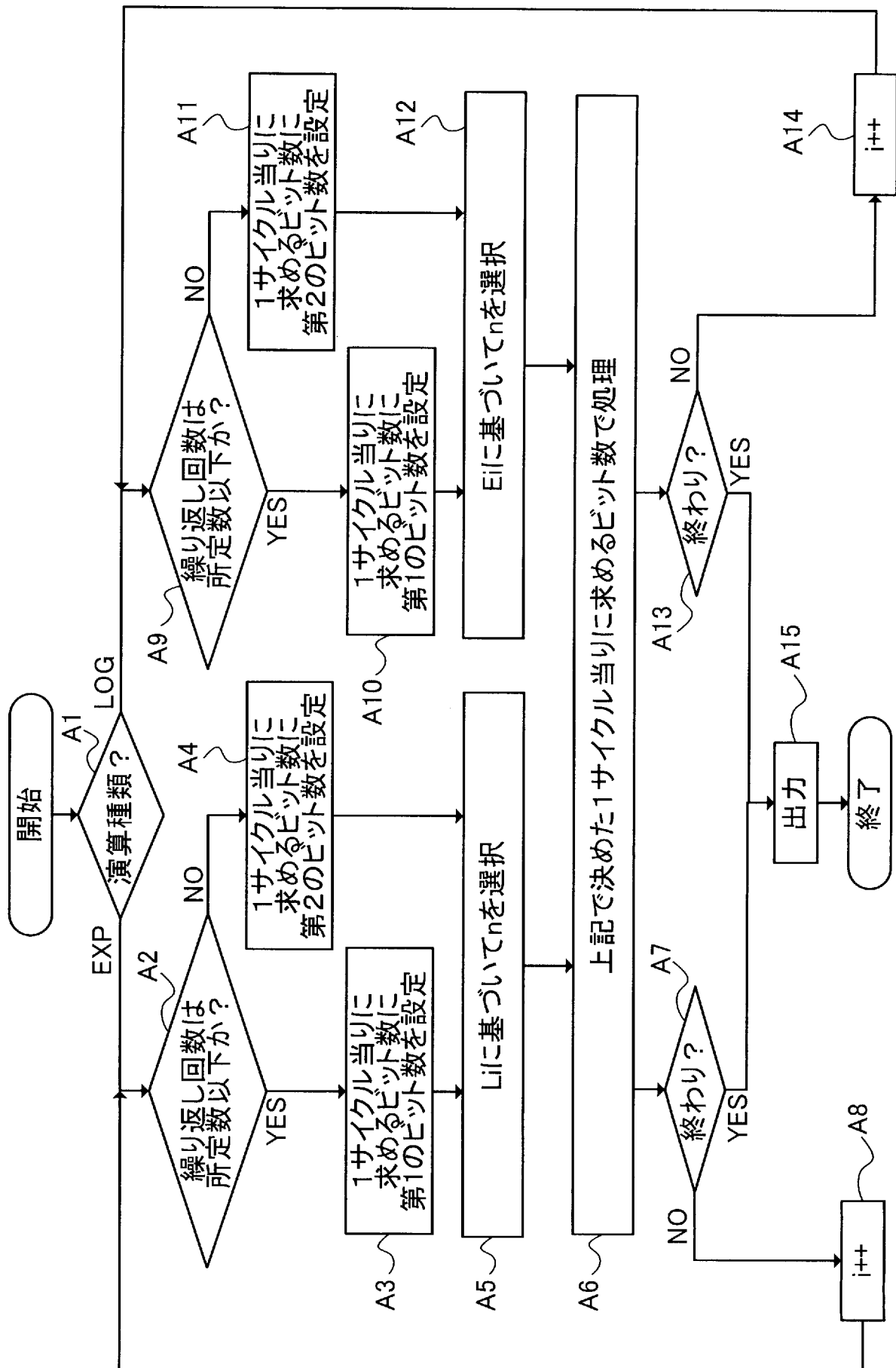
$\frac{i}{n}$	-2	-1	0	+1	+2
1	don't care	$\log(1-1*2^{-1})$	0	$\log(1+1*2^{-1})$	$\log(1+2*2^{-1})$
2	$\log(1-2*2^{-2})$	$\log(1-1*2^{-2})$	0	$\log(1+1*2^{-2})$	$\log(1+2*2^{-2})$
3	$\log(1-2*2^{-3})$	$\log(1-1*2^{-3})$	0	$\log(1+1*2^{-3})$	$\log(1+2*2^{-3})$
4	$\log(1-2*2^{-5})$	$\log(1-1*2^{-5})$	0	$\log(1+1*2^{-5})$	$\log(1+2*2^{-5})$
5	$\log(1-2*2^{-7})$	$\log(1-1*2^{-7})$	0	$\log(1+1*2^{-7})$	$\log(1+2*2^{-7})$
6	$\log(1-2*2^{-9})$	$\log(1-1*2^{-9})$	0	$\log(1+1*2^{-9})$	$\log(1+2*2^{-9})$
7	$\log(1-2*2^{-11})$	$\log(1-1*2^{-11})$	0	$\log(1+1*2^{-11})$	$\log(1+2*2^{-11})$
8	$\log(1-2*2^{-13})$	$\log(1-1*2^{-13})$	0	$\log(1+1*2^{-13})$	$\log(1+2*2^{-13})$
9	$\log(1-2*2^{-15})$	$\log(1-1*2^{-15})$	0	$\log(1+1*2^{-15})$	$\log(1+2*2^{-15})$

[図3]

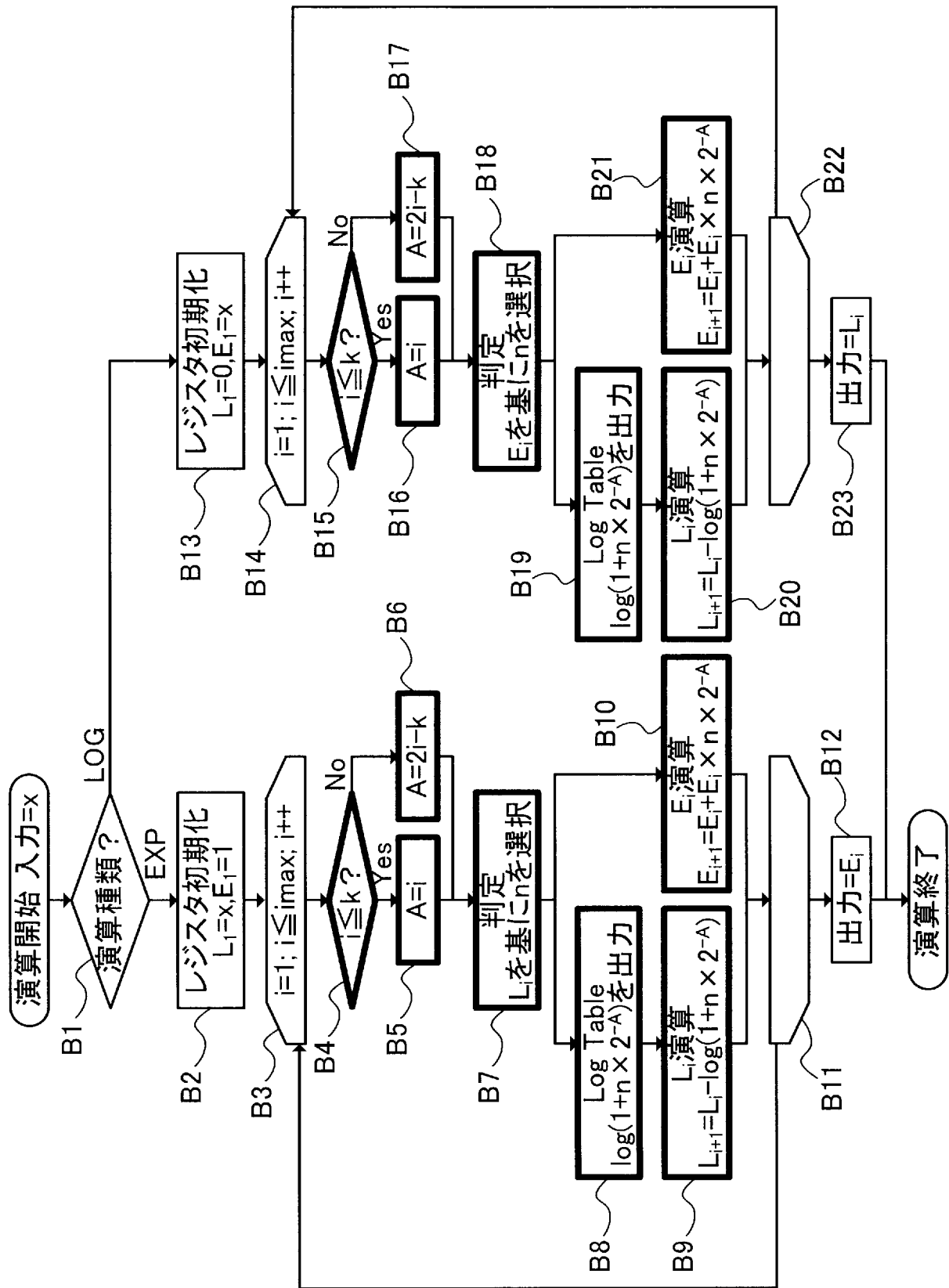


[illegible]

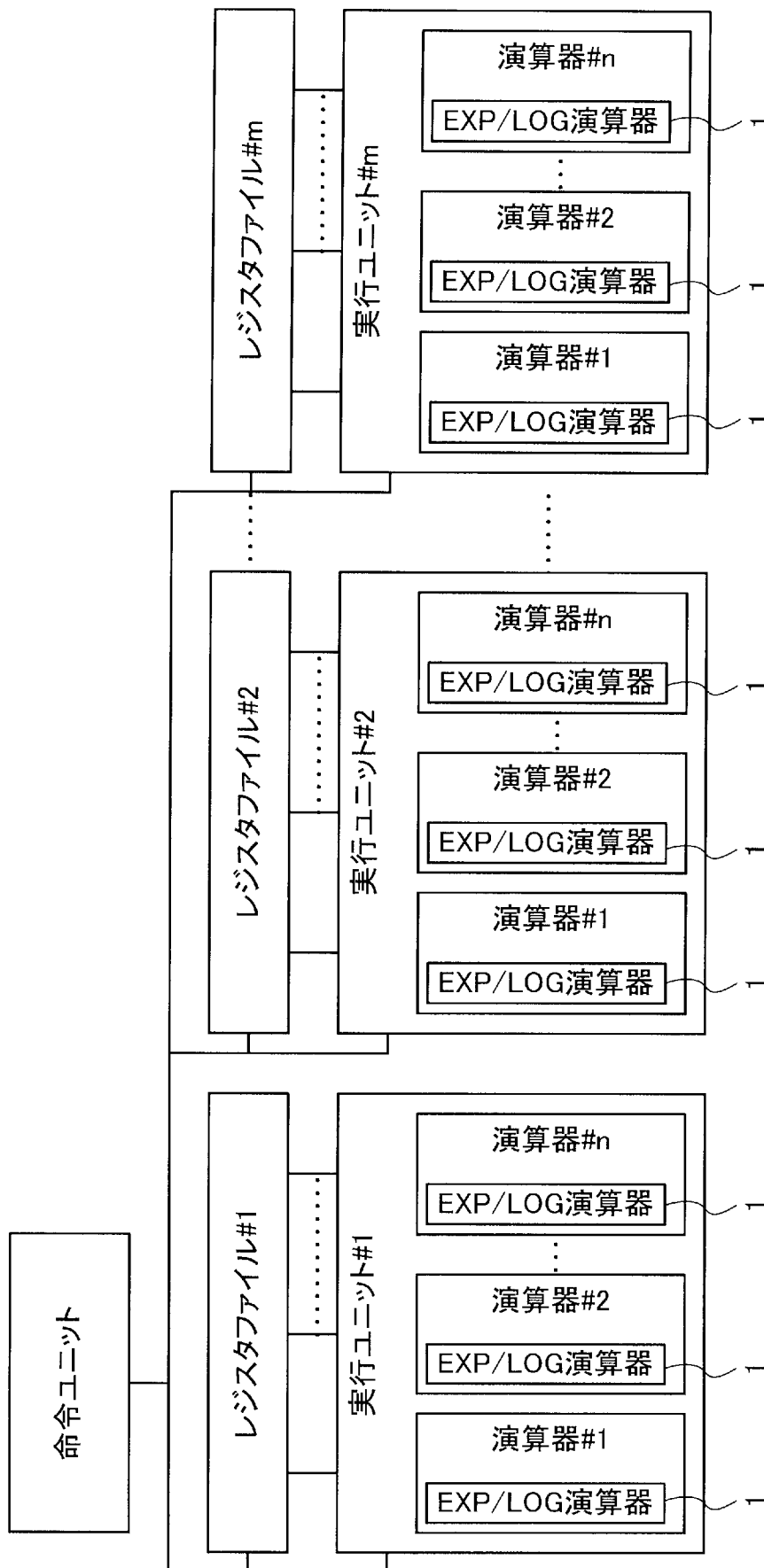
[図5]



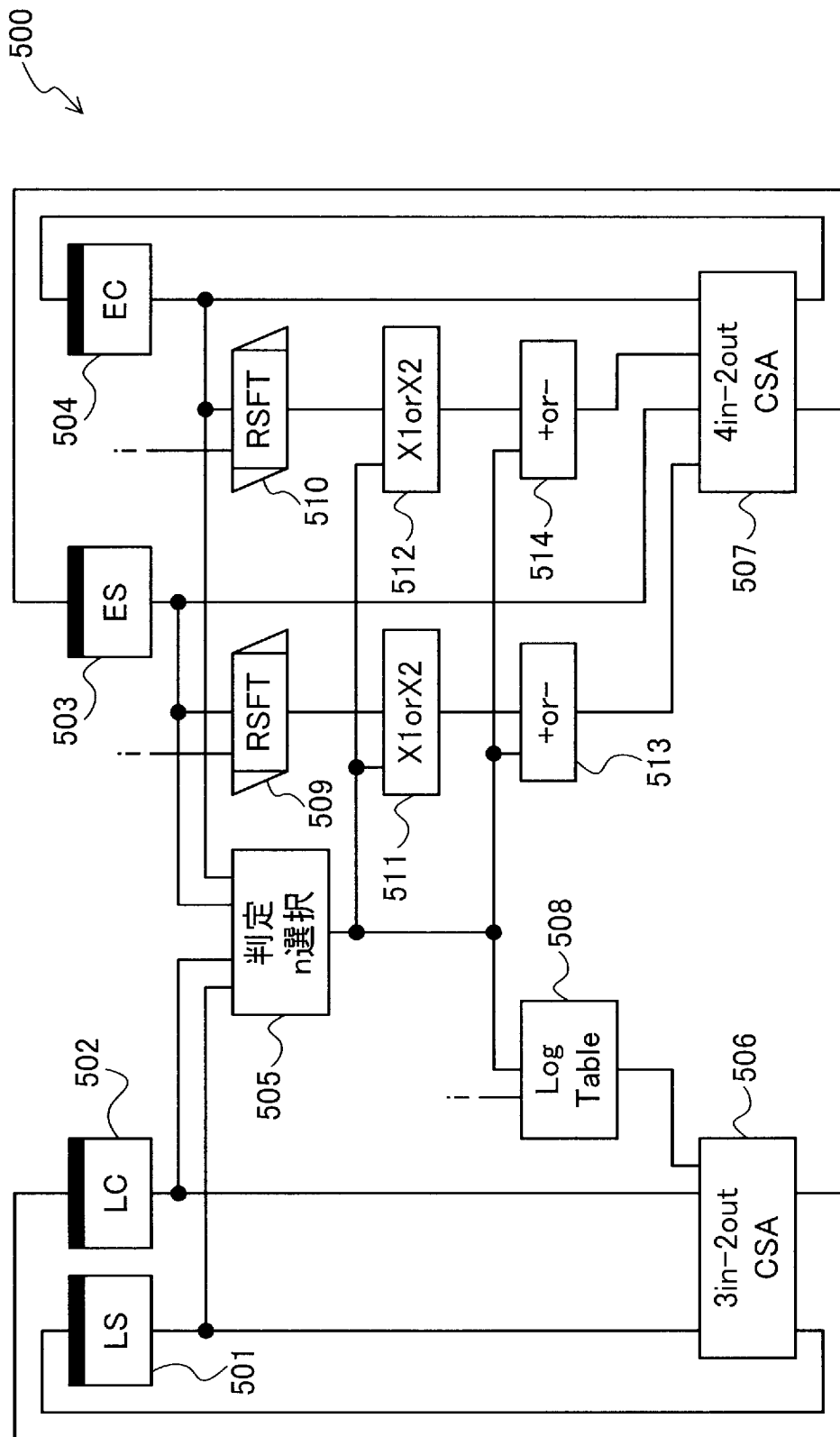
[図6]



[図7]

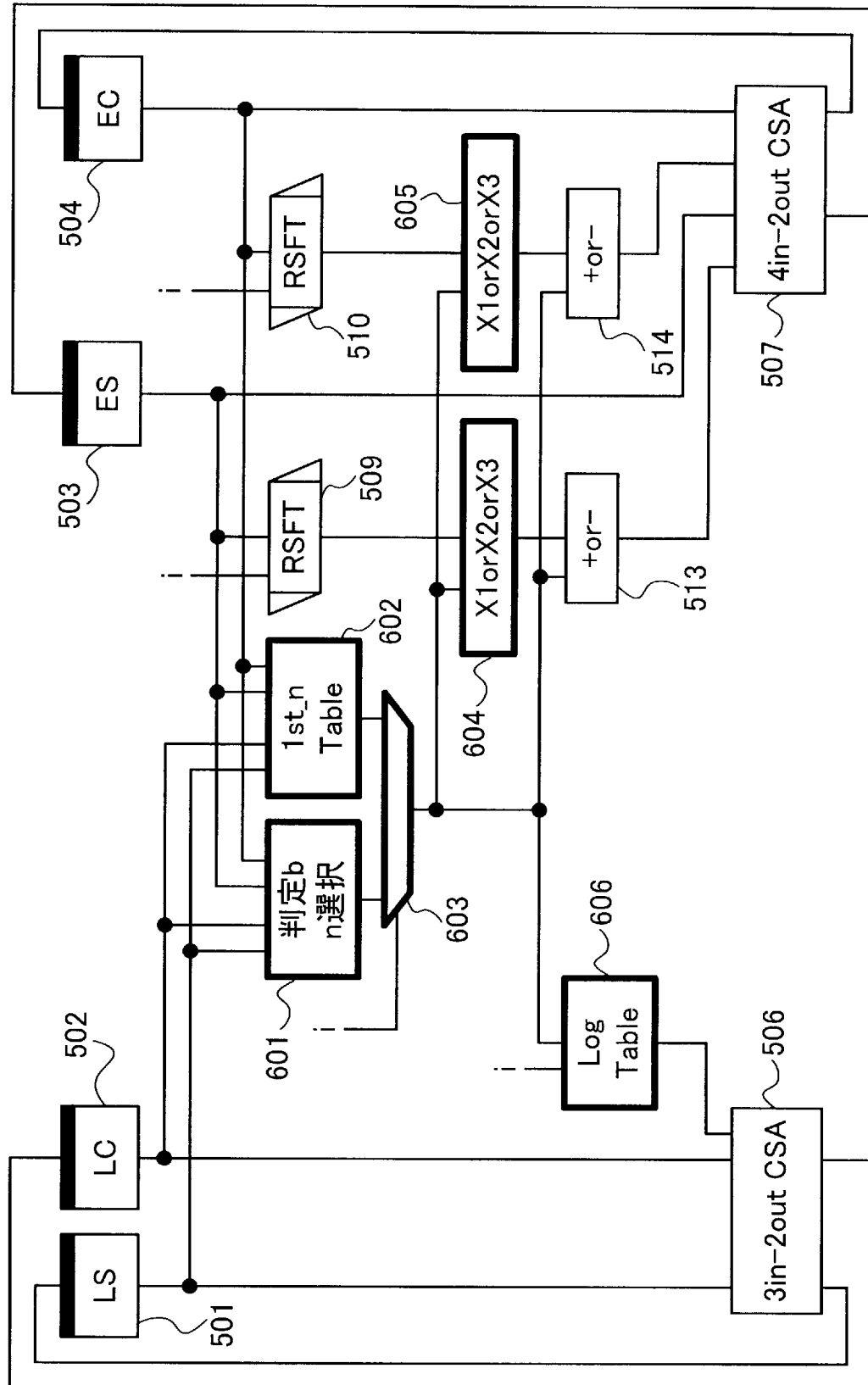


[図8]



[図9]

600



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/040476

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G06F7/556 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G06F7/556

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-276990 A (SHARP CORP.) 26 November 2009, paragraphs [0036]-[0093], fig. 1-11 (Family: none)	1-8
A	JP 9-34693 A (NEC CORP.) 07 February 1997, paragraphs [0034]-[0105], fig. 1, 2 & US 5831878 A, column 3, line 47 to column 8, line 34, fig. 1, 2 & EP 755121 A2	1-8
A	JP 2-118725 A (NEC CORP.) 07 May 1990, entire text, all drawings & US 5041999 A, entire text, all drawings & EP 366155 A2 & DE 68926563 T2	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08.01.2019

Date of mailing of the international search report
15.01.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06F7/556(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06F7/556

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-276990 A（シャープ株式会社）2009.11.26, 段落[0036]-[0093], 図1-11（ファミリーなし）	1-8
A	JP 9-34693 A（日本電気株式会社）1997.02.07, 段落[0034]-[0105], 図1-2 & US 5831878 A, 第3欄第47行-第8欄第34行, 図1-2 & EP 755121 A2	1-8
A	JP 2-118725 A（日本電気株式会社）1990.05.07, 全文全図 & US 5041999 A, 全文全図 & EP 366155 A2 & DE 68926563 T2	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

08.01.2019

国際調査報告の発送日

15.01.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

佐賀野 秀一

5E

5878

電話番号 03-3581-1101 内線 3521