

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6255982号
(P6255982)

(45) 発行日 平成30年1月10日 (2018. 1. 10)

(24) 登録日 平成29年12月15日 (2017. 12. 15)

(51) Int. Cl.

F I

G 0 6 F 17/50 (2006.01)

G 0 6 F 17/50 6 6 2 G

G 0 6 F 17/50 6 6 4 B

請求項の数 6 (全 21 頁)

(21) 出願番号 特願2013-265844 (P2013-265844)
 (22) 出願日 平成25年12月24日 (2013. 12. 24)
 (65) 公開番号 特開2015-121981 (P2015-121981A)
 (43) 公開日 平成27年7月2日 (2015. 7. 2)
 審査請求日 平成28年9月5日 (2016. 9. 5)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100104190
 弁理士 酒井 昭徳
 (72) 発明者 樋口 博之
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 松岡 英俊
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

審査官 早川 学

最終頁に続く

(54) 【発明の名称】 検証支援プログラム、および検証支援方法

(57) 【特許請求の範囲】

【請求項 1】

コンピュータに、

検証の対象回路に含まれる第1回路の性能値と、前記対象回路に含まれる前記第1回路と異なる第2回路の良品率を示す良品情報と、の複数の組を取得し、

取得した前記複数の組の各々について、前記第2回路の設計に関する複数の第1確率変数の各値であって、前記組の前記良品情報が示す前記良品率に対応する各値と、前記組の前記性能値と、に基づく前記対象回路の性能値を取得し、

前記第1回路の性能値と、前記第2回路の良品率を示す良品情報と、に基づいて前記対象回路の性能値を算出可能な関数を、取得した前記対象回路の各性能値によって生成し、

前記第1回路の設計に関する複数の第2確率変数の各値であって、前記第1回路の良品率の所定範囲に対応する各値の複数の第1組み合わせ候補から、前記第1組み合わせ候補に基づく前記第1回路の性能値と、前記第1組み合わせ候補に基づき導出した前記第2回路の良品率を示す良品情報と、を生成した前記関数に与えて算出した前記対象回路の性能値が最悪となる第1組み合わせを探索し、

前記第1回路の良品率の所定範囲と、探索によって得られた前記第1組み合わせの良品率を示す良品情報と、に基づき導出した前記第2回路の良品率を示す良品情報に対応する各値の複数の第2組み合わせ候補から、前記第1組み合わせに基づく前記第1回路の性能値と前記第2組み合わせ候補とに基づく前記対象回路の性能値が最悪となる第2組み合わせを探索する、

10

20

処理を実行させることを特徴とする検証支援プログラム。

【請求項 2】

前記第 2 回路はメモリセルであり、前記第 1 回路は前記メモリセルのビット線間を増幅する増幅回路であることを特徴とする請求項 1 に記載の検証支援プログラム。

【請求項 3】

前記コンピュータに、

前記第 2 回路の良品率を示す良品情報（以下、「第 1 良品情報」と称する。）と異なる前記対象回路の良品率を示す第 2 良品情報を取得し、

前記第 2 良品情報が示す前記良品率と、前記対象回路に含まれる前記第 1 回路の数と前記対象回路に含まれる前記第 2 回路の数とに基づく値と、に基づいて前記第 2 回路の良品率の範囲を導出する処理を実行させ、

前記複数の組を取得する処理では、前記第 1 回路の性能値と、導出した前記第 2 回路の良品率の範囲から選択された前記第 2 回路の良品率を示す前記第 1 良品情報と、の複数の組を取得することを特徴とする請求項 1 または 2 に記載の検証支援プログラム。

【請求項 4】

前記コンピュータに、

前記第 2 回路の良品率を示す良品情報（以下、「第 1 良品情報」と称する。）と異なる前記対象回路の良品率を示す第 2 良品情報を取得する処理を実行させ、

前記所定範囲は、取得した前記第 2 良品情報が示す前記良品率に基づくことを特徴とする請求項 1 ～ 3 のいずれか一つに記載の検証支援プログラム。

【請求項 5】

前記対象回路の性能値を取得する処理では、取得した前記複数の組の各々について、前記組の前記良品情報が示す前記良品率に対応する各値と前記組の前記性能値とに基づく前記対象回路の性能値から、最悪となる前記対象回路の性能値を取得することを特徴とする請求項 1 ～ 4 のいずれか一つに記載の検証支援プログラム。

【請求項 6】

コンピュータが、

検証の対象回路に含まれる第 1 回路の性能値と、前記対象回路に含まれる前記第 1 回路と異なる第 2 回路の良品率を示す良品情報と、の複数の組を取得し、

取得した前記複数の組の各々について、前記第 2 回路の設計に関する複数の第 1 確率変数の各値であって、前記組の前記良品情報が示す前記良品率に対応する各値と、前記組の前記性能値と、に基づく前記対象回路の性能値を取得し、

前記第 1 回路の性能値と、前記第 2 回路の良品率を示す良品情報と、に基づいて前記対象回路の性能値を算出可能な関数を、取得した前記対象回路の各性能値によって生成し、

前記第 1 回路の設計に関する複数の第 2 確率変数の各値であって、前記第 1 回路の良品率の所定範囲に対応する各値の複数の第 1 組み合わせ候補から、前記第 1 組み合わせ候補に基づく前記第 1 回路の性能値と、前記第 1 組み合わせ候補に基づき導出した前記第 2 回路の良品率を示す良品情報と、を生成した前記関数に与えて算出した前記対象回路の性能値が最悪となる第 1 組み合わせを探索し、

前記第 1 回路の良品率の所定範囲と、探索によって得られた前記第 1 組み合わせの良品率を示す良品情報と、に基づき導出した前記第 2 回路の良品率を示す良品情報に対応する各値の複数の第 2 組み合わせ候補から、前記第 1 組み合わせに基づく前記第 1 回路の性能値と前記第 2 組み合わせ候補とに基づく前記対象回路の性能値が最悪となる第 2 組み合わせを探索する、

処理を実行することを特徴とする検証支援方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、検証支援プログラム、および検証支援方法に関する。

【背景技術】

【 0 0 0 2 】

従来、回路の性能値を模擬するモデル関数に含まれるパラメータを確率変数とし、当該確率変数の値のうち最も回路の性能値が悪くなる値を検索する技術が公知である。例えば、確率変数が張る空間内における所定の良品率に対応する等確率面上または等確率面で囲まれる領域内において性能値が最大値または最小値をとる点を探索して最悪条件とする技術が公知である（例えば、以下特許文献 1 , 2 参照。）。また、例えば、システム全体をメモリセル、センスアンプなどの複数の小さいブロックに分割し、ブロックごとに確率変数の値についてモンテカルロシミュレーションを実行することによってシステムレベルの歩留まりを推定する技術が公知である（例えば、以下特許文献 3 参照。）。 10

【 0 0 0 3 】

また、従来、SRAM (Static Random Access Memory) に含まれるメモリセルと、センスアンプと、を同時に考慮して歩留まりを計算する技術が公知である（例えば、以下非特許文献 1 参照。）。 10

【先行技術文献】

【特許文献】

【 0 0 0 4 】

【特許文献 1】国際公開第 2 0 0 8 / 1 0 2 6 8 1 号

【特許文献 2】特開 2 0 1 2 - 1 0 3 8 6 1 号公報

【特許文献 3】特表 2 0 1 0 - 5 1 2 6 4 5 号公報

【非特許文献】 20

【 0 0 0 5 】

【非特許文献 1】“An Analytical Model for Performance Yield Of Nanoscale SRAM Accounting for the Sense Amplifier Strobe Signal”, Joseph F. Ryan, Sudhanshu Khanna, Benton H. Calhoun, ISLPED 2011, pp. 297 - 302

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、検証の対象回路に含まれる各部分回路において性能値が同時に最悪となる可能性は低いため、各部分回路の性能値が最悪となる各確率変数の各値に基づき対象回路の性能値を検証すると精度が低い。また、各部分回路について確率変数の各値をモンテカルロシミュレーションによって発生させて対象回路の性能値を検証すると時間がかかる。このように、上述した従来技術では、対象回路の検証を効率よく行うことができないという問題点がある。 30

【 0 0 0 7 】

1 つの側面では、本発明は、検証の効率化を図ることができる検証支援プログラム、および検証支援方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 8 】 40

本発明の一側面によれば、検証の対象回路に含まれる第 1 回路の性能値と、前記対象回路に含まれる前記第 1 回路と異なる第 2 回路の良品率を示す良品情報と、の複数の組を取得し、取得した前記複数の組の各々について、前記第 2 回路の設計に関する複数の第 1 確率変数の各値であって、前記組の前記良品情報が示す前記良品率に対応する各値と、前記組の前記性能値と、に基づく前記対象回路の性能値を取得し、前記第 1 回路の性能値と、前記第 2 回路の良品率を示す良品情報と、に基づいて前記対象回路の性能値を算出可能な関数を、取得した前記対象回路の各性能値によって生成し、前記第 1 回路の設計に関する複数の第 2 確率変数の各値であって、前記第 1 回路の良品率の所定範囲に対応する各値の複数の第 1 組み合わせ候補から、前記第 1 組み合わせ候補に基づく前記第 1 回路の性能値と、前記第 1 組み合わせ候補に基づき導出した前記第 2 回路の良品率を示す良品情報と、 50

を生成した前記関数に与えて算出した前記対象回路の性能値が所定条件を満たす第 1 組み合わせを探索し、探索によって得られた前記第 1 組み合わせに基づき導出した前記第 2 回路の良品率に対応する各値の複数の第 2 組み合わせ候補から、前記第 1 組み合わせに基づく前記第 1 回路の性能値と前記第 2 組み合わせ候補とに基づく前記対象回路の性能値が所定条件を満たす第 2 組み合わせを探索する検証支援プログラム、および検証支援方法が提案される。

【発明の効果】

【0009】

本発明の一態様によれば、検証の効率化を図ることができる。

【図面の簡単な説明】

10

【0010】

【図 1】図 1 は、本発明に係る検証支援装置による一動作例を示す説明図である。

【図 2】図 2 は、S R A Mに含まれるメモリセルと S A の回路例を示す説明図である。

【図 3】図 3 は、S R A Mの性能指標である読み出し時間例を示す説明図である。

【図 4】図 4 は、検証支援装置のハードウェア構成例を示すブロック図である。

【図 5】図 5 は、検証支援装置の機能的構成を示すブロック図である。

【図 6】図 6 は、メモリセルの各設計パラメータの設定例を示す説明図である。

【図 7】図 7 は、ワーストケース探索例を示す説明図である。

【図 8】図 8 は、各組によるサンプリング結果例を示す説明図である。

【図 9】図 9 は、センスアンプの各設計パラメータの設定例を示す説明図である。

20

【図 10】図 10 は、検証支援装置による検証支援処理手順例を示すフローチャート（その 1）である。

【図 11】図 11 は、検証支援装置による検証支援処理手順例を示すフローチャート（その 2）である。

【発明を実施するための形態】

【0011】

以下に添付図面を参照して、本発明にかかる検証支援プログラム、および検証支援方法の実施の形態を詳細に説明する。

【0012】

図 1 は、本発明に係る検証支援装置による一動作例を示す説明図である。検証支援装置 100 は、対象回路の性能値が最も悪くなる、検証の対象回路に含まれる第 1 回路の設計に関する複数の変数の各値の組み合わせと、対象回路に含まれる第 2 回路の設計に関する複数の変数の各値の組み合わせと、を探索するコンピュータである。例えば、検証の対象回路は S R A Mであり、第 1 回路はセンスアンプであり、第 2 回路はメモリセルである。センスアンプは、メモリセルのビット線間の電位差を増幅する増幅回路である。

30

【0013】

例えば、トランジスタの特性のばらつきが大きくなると、メモリセルが不良になる可能性が高い。トランジスタの特性のばらつきとしては、例えば、チップ間ばらつき、チップ内ばらつきなどの製造ばらつきが挙げられる。チップ内ばらつきとは、トランジスタごとの製造のばらつきである。チップ間ばらつきとは、チップごとの製造のばらつきであり、チップ間ばらつきに関しては、チップ内の全てのトランジスタは同一のばらつきである。トランジスタの微細化により、複数のトランジスタの特性が同様にばらつくチップ間ばらつきより、個々のトランジスタの特性がランダムにばらつくチップ間ばらつきの方が大きくなる傾向がある。S R A Mはアナログ回路であり、その性能は回路の各トランジスタの特性のバランスに大きく依存するため、チップ内ばらつきの S R A M歩留まりへの影響が大きい。例えば、図 2 を用いて後述するようにメモリセルは、6 つのトランジスタを有する。ここで、メモリセルの設計パラメータには、例えば、メモリセルに含まれるトランジスタごとにチャンネル長 L、チャンネル幅 W、閾値電圧 V_{th} などがある。また、例えば、図 2 を用いて後述するようにセンスアンプは、5 つのトランジスタを有する。センスアンプの設計パラメータには、例えば、センスアンプに含まれるトランジスタごとにチャンネル長

40

50

L、チャンネル幅W、閾値電圧 V_{th} などがある。ただし、不良となる設計パラメータの値は、仕様に基づいて決定される設計値とは離れた値である。例えば、 $10 [MBit]$ のSRAMにおいて歩留まりが $99 [\%]$ の場合、メモリセルの不良率は、 $(1/100) \cdot 1/(10 \cdot 10^6)$ である。 10^6 は10の6乗を示す。

【0014】

そこで、例えば、メモリセルとセンスアンプとの両方を同時に解析するために、モンテカルロシミュレーションによってメモリセルとセンスアンプとの両方の複数の設計パラメータの各値をランダムに多数発生させる技術がある。1つのメモリセルの不良率が 10^{-9} 程度の場合、十分な精度を得るには10億回以上のシミュレーションが必要となる。これにより、SRAMの性能値が最も悪くなる各設計パラメータの値の組み合わせを精度よく特定可能であるが、ランダムに設計パラメータを発生させる都度、メモリセルとセンスアンプとの両方のアナログ動作のシミュレーションが行われる。例えば、アナログ動作のシミュレーションについては、SPICE (Simulation Program with Integrated Circuit Emphasis) などの回路シミュレータが用いられる。そのため、検証の精度は高くなるが、最悪性能を与える各トランジスタのパラメータ値の組み合わせの特定にかかる時間が膨大になる。ここで、SRAMの性能値は、例えば、メモリセルからの読み出し時間 T_{read} である。読み出し時間 T_{read} は、後述するように、メモリセルのビット線間の電位差がセンスアンプのオフセット電位差 V_{os} になるまでの時間である。

【0015】

また、SRAM全体において指定された良品率に対応するメモリセルの複数の変数の各値の複数の組み合わせのうち、読み出し時間 T_{read} が最も悪くなる組み合わせを探索する場合がある。ここでの探索方法は、例えば特許文献1, 2などに記載の技術である。この場合、複数の変数の各値の組み合わせ候補の各々について組み合わせ候補を用いたメモリセルのアナログ動作のシミュレーションが行われる際、センスアンプの性能値は固定値として扱われる。センスアンプの性能値は、例えば、センスアンプのオフセット電位差 V_{os} である。ここでは、例えば、SRAM全体において指定された良品率に対応するセンスアンプの複数の変数の各値の組み合わせに基づいてセンスアンプのアナログ動作のシミュレーションを行った場合に、最も悪いオフセット電位差が固定値として扱われる。

【0016】

このように、センスアンプとメモリセルとのいずれもが最悪となった場合における複数の変数の各値の組み合わせが特定される。しかしながら、センスアンプとメモリセルとのいずれにおいてもばらつきが最悪となる状態が発生することは確率的に低い。そのため、いずれにおいてもばらつきが最悪となる各変数の各値を、SRAMを利用した製品の性能検証に流用すると、例えば読み出し時間であれば、各性能検証において遅延マージンが大きくなる。例えばSRAMを利用した高性能なサーバでは、遅延マージンが大きいと、実際の能力よりも製品の性能が落ちることになる。

【0017】

そこで、本実施の形態では、検証支援装置100は、読み出し時間を算出可能な関数を生成する。そして、検証支援装置100は、該関数で得た該性能値が最悪となるセンスアンプの設計に関する複数の変数の各値を探索し、その値を用いて最後に該性能値が最悪となるセルの設計に関する複数の変数の各値を探索結果により探索する。これにより、センスアンプおよびセルの同時解析と同等精度の解析を効率よく行うことができる。解析の効率とは、精度に対する解析時間である。

【0018】

まず、図1(1)に示すように、検証支援装置100は、センスアンプの性能値であるオフセット電位差 V_{os} と、メモリセルの良品率を示す良品情報と、の複数の組を取得する。良品情報とは、直接的または間接的に良品率を示す情報である。本実施の形態では、良品率を、歩留まり、または良品と不良品の境界となる性能値の z 得点によって表すが、図1(1)の例では、良品率は z 得点 c によって表す。 z 得点とは、ある確率分布の平均

10

20

30

40

50

と標準偏差が与えられたとき、その確率分布のあるサンプル値に対して、サンプル値から平均値を引き、標準偏差で割ったもので、サンプル値が平均値から標準偏差いくつ分離れているかを示す値である。取得されるメモリセルの良品率やセンスアンプの良品率については、例えば、S R A M全体の指定される良品率によって定まる。

【 0 0 1 9 】

つぎに、図 1 (1) に示すように、検証支援装置 1 0 0 は、複数の組の各々について、メモリセルの設計に関する複数の第 1 変数の各値であって、 z 得点 c に対応する各値と、組のオフセット電位差と、に基づく読み出し時間 T_{read} を取得する。 z 得点 c に対応する各値とは、メモリセルの設計に関する複数の第 1 変数を複数の第 1 確率変数とした場合に、第 1 確率変数が張る空間内における組の z 得点に対応する等確率面上における複数の第 1 確率変数の各値である。また、当該 z 得点 c に対応する各値の組み合わせが複数ある。そして、取得される読み出し時間 T_{read} は、当該組み合わせの各々に基づくメモリセルのアナログ動作のシミュレーションによって得られる各読み出し時間 T_{read} のうち、最も長い読み出し時間 T_{read}^{worst} である。ここで、取得される読み出し時間 T_{read} は、特許文献 1 , 2 などに記載されたワーストケース探索によって得られたワーストケースにおける読み出し時間である。ワーストケースとは、変数の各値の組み合わせのうち、指標となる性能値が最も悪い組み合わせである。ワーストケースや第 1 確率変数が張る空間については、例えば特許文献 1 , 2 などに詳細が記載されてあるため、詳細な説明を省略する。また、以降メモリセルのアナログ動作のシミュレーションは、省略してメモリセルのシミュレーションと称する。

【 0 0 2 0 】

そして、図 1 (2) に示すように、検証支援装置 1 0 0 は、オフセット電位差 V_{OS} と、 z 得点 c とに基づいて読み出し時間 T_{read} を算出可能な関数を、取得した各読み出し時間 T_{read} によって生成する。具体的には、検証支援装置 1 0 0 は、複数の組の各々についての読み出し時間 T_{read} を回帰分析することによって、当該関数を生成する。ここで、図 1 (2) の例では、生成される関数を $f (V_{OS} , c)$ と表し、オフセット電位差 V_{OS} と、 z 得点 c とが与えられると、最も長い読み出し時間 T_{read}^{worst} が算出できる。

【 0 0 2 1 】

そして、図 1 (3) に示すように、検証支援装置 1 0 0 は、センスアンプの設計に関する複数の第 2 変数の各値であって、センスアンプの良品率の所定範囲に対応する各値の複数の第 1 組み合わせ候補から、第 1 組み合わせを探索する。センスアンプの良品率の所定範囲とは、例えば、0 ~ 指定された S R A M 全体の z 得点までの範囲である。第 1 組み合わせは、第 1 組み合わせ候補に基づくオフセット電位差と、第 1 組み合わせ候補に基づき導出したメモリセルの z 得点と、を生成した関数 f に与えて算出した読み出し時間 T_{read}^{worst} が所定条件を満たす第 1 組み合わせ候補である。また、第 1 組み合わせ候補に基づくオフセット電位差とは、第 1 組み合わせ候補に基づいてセンスアンプのアナログ動作のシミュレーションを行った場合に得られるオフセット電位差である。また、読み出し時間 T_{read}^{worst} が所定条件を満たす第 1 組み合わせ候補とは、読み出し時間 T_{read}^{worst} が最も長い第 1 組み合わせ候補である。図 1 (3) に示すように、センスアンプの設計に関する複数の第 2 変数を複数の第 2 確率変数 x とした場合に、第 2 確率変数が張る空間内における所定範囲内の各 z 得点に対応する等確率面上における複数の第 2 確率変数の各値である。図 1 (3) の例では、第 2 確率変数として x_1 と x_2 を示す。図 1 (3) の例において、円上にある第 2 確率変数の各値の組み合わせは、 z 得点の絶対値が同一である。第 2 確率変数が張る空間については、例えば特許文献 1 , 2 などに記載されてあるため、詳細な説明を省略する。また、以降センスアンプのアナログ動作のシミュレーションは、省略してセンスアンプのシミュレーションと称する。

【 0 0 2 2 】

ここでは、検証支援装置 1 0 0 は、特許文献 1 , 2 などに記載されたワーストケース探索を利用して、関数 f によって得られる読み出し時間 T_{read}^{worst} が最悪となる組み合わせを探索する。このように、関数 f を利用することによってセンスアンプの解析において

、メモリセルの解析を同時に行わずに間接的に読み出し時間 T_{read} が算出可能となる。

【0023】

そして、検証支援装置 100 は、探索によって得られた第 1 組み合わせに基づき導出したメモリセルの良品率に対応する各値の複数の第 2 組み合わせ候補から、第 2 組み合わせを探索する。第 2 組み合わせ候補は、第 1 組み合わせに基づくオフセット電位差と第 2 組み合わせ候補とに基づく読み出し時間 T_{read} が所定条件を満たす第 2 組み合わせ候補である。第 1 組み合わせに基づくオフセット電位差と第 2 組み合わせ候補とに基づく読み出し時間 T_{read} とは、オフセット電位差 V_{OS} と第 2 組み合わせ候補とに基づいてメモリセルのシミュレーションを行うことにより得られる読み出し時間である。所定条件を満たす第 2 組み合わせ候補とは、当該読み出し時間 T_{read} が最も長い読み出し時間 T_{read} である第 2 組み合わせ候補である。探索によって得られた第 1 組み合わせに基づき導出したメモリセルの良品率とは、例えば、第 1 組み合わせに対応する z 得点 z_s と指定された z 得点 z_T とに基づいて算出される z 得点 z_C である。図 1 (4) に示すように、第 1 確率変数 y が張る空間内における導出した z 得点 z_C に対応する等確率面上における複数の第 1 確率変数 y の各値である。図 1 (4) の例では、第 1 確率変数 y として y_1 と y_2 を示す。ここでは、検証支援装置 100 は、特許文献 1, 2 などに記載されたワーストケース探索を利用して、読み出し時間 T_{read} が最悪となる組み合わせを探索する。

10

【0024】

このようにして、センスアンプおよびセルの同時検証と同等精度の検証を効率よく行うことができるため、検証の効率とは、精度に対する解析時間である。

20

【0025】

図 2 は、SRAM に含まれるメモリセルと SA の回路例を示す説明図である。図 2 に示すように、複数のメモリセル cell と、複数のメモリセル cell の第 1 のビット線 BLT と第 2 のビット線 BLC との間の電位差を増幅するセンスアンプ SA と、を一つのカラムとし、SRAM 200 は、複数のカラムを有する。

【0026】

メモリセル cell は、6 個のトランジスタ $Trc_1 \sim Trc_6$ を有する。トランジスタ Trc_3 とトランジスタ Trc_5 とは、ドライバ・トランジスタであり、NMOS である。トランジスタ Trc_1 とトランジスタ Trc_6 とは、アクセス・トランジスタであり、NMOS である。トランジスタ Trc_2 とトランジスタ Trc_4 とは、負荷トランジスタであり、PMOS である。トランジスタ Trc_1 とトランジスタ Trc_4 とのゲートは、共通のワード線に接続される。トランジスタ Trc_1 の一方の端子は、第 1 のビット線 BLT に接続され、トランジスタ Trc_6 の一方の端子は、第 2 のビット線 BLC に接続される。また、メモリセル cell は電源 V_{dd} とグランド GND に接続される。なお、グランド GND の電位を 0 とする。メモリセル cell の内部ノード $n1$ および $n2$ は、いずれか一方が電源電位あるいはそれに近い値のとき他方がグランド電位あるいはそれに近い値となり、 $n1$ と $n2$ のいずれが電源電位あるいはそれに近い値にあるかによってメモリセル cell は 1 と 0 の情報を記憶する。

30

【0027】

図 2 に示すセンスアンプ SA は、ラッチ型のセンスアンプであり、CMOS (Complementary Metal-Oxide-Semiconductor) インバータのたすきがけ構成である。センスアンプ SA は、5 個のトランジスタ $Trs_1 \sim Trs_5$ を有する。トランジスタ Trs_1 とトランジスタ Trs_3 とは PMOS である。トランジスタ Trs_2 とトランジスタ Trs_4 とは NMOS である。ノード $d1$ は第 1 のビット線 BLT と接続され、ノード $d2$ は第 2 のビット線 BLC と接続される。

40

【0028】

図 3 は、SRAM の性能指標である読み出し時間例を示す説明図である。読み出し時間 T_{read} は、読み出し開始時刻から第 1 のビット線 BLT の電位 $v1$ と第 2 のビット線 BLC の電位 $v2$ との電位差の絶対値がオフセット電位差 V_{OS} となる時刻までの時間である。

【0029】

50

(検証支援装置 100 のハードウェア構成例)

図 4 は、検証支援装置のハードウェア構成例を示すブロック図である。図 4 において、検証支援装置 100 は、CPU (Central Processing Unit) 401 と、ROM (Read Only Memory) 402 と、RAM 403 と、ディスクドライブ 404 と、ディスク 405 と、を有している。検証支援装置 100 は、I / F (Inter / Face) 406 と、入力装置 407 と、出力装置 408 と、を有している。また、各部はバス 400 によってそれぞれ接続されている。

【 0030 】

ここで、CPU 401 は、検証支援装置 100 の全体の制御を司る。ROM 402 は、ブートプログラムなどのプログラムを記憶している。RAM 403 は、CPU 401 のワー
10
ークエリアとして使用される。ディスクドライブ 404 は、CPU 401 の制御にしたがってディスク 405 に対するデータのリード / ライトを制御する。ディスク 405 は、ディスクドライブ 404 の制御で書き込まれたデータを記憶する。ディスク 405 としては、磁気ディスク、光ディスクなどが挙げられる。

【 0031 】

I / F 406 は、通信回線を通じて LAN (Local Area Network) 、WAN (Wide Area Network) 、インターネットなどのネットワーク
NET に接続され、このネットワーク NET を介して他の装置に接続される。そして、I / F 406 は、ネットワーク NET と内部のインターフェースを司り、外部装置からのデータの入出力を制御する。I / F 406 には、例えばモデムや LAN アダプタなどを採用
20
することができる。

【 0032 】

入力装置 407 は、キーボード、マウス、タッチパネルなど利用者の操作により、各種データのを行うインターフェースである。また、入力装置 407 は、カメラから画像や動画を取り込むこともできる。また、入力装置 407 は、マイクから音声を取り込むこともできる。出力装置 408 は、CPU 401 の指示により、データを出力するインターフェースである。出力装置 408 には、ディスプレイやプリンタが挙げられる。

【 0033 】

(検証支援装置 100 の機能的構成例)

図 5 は、検証支援装置の機能的構成を示すブロック図である。検証支援装置 100 は、
30
制御部 501 を含む。また、検証支援装置 100 は、セル回路情報 502 、SA 回路情報 503 、セル搭載数 c_n 、SA 搭載数 s_n 、ばらつきモデル情報 504 、指定歩留などを入力データとして得て、後述する第 1 組み合わせや第 2 組み合わせなどを出力する。

【 0034 】

セル回路情報 502 は、メモリセル $cell$ を示す回路情報であって、例えば、メモリセル $cell$ のシミュレーションを実行可能な情報が含まれる。また、セル回路情報 502 は、メモリセル $cell$ の設計に関する複数の第 1 確率変数の各々に基づくメモリセル $cell$ の設計パラメータを設定可能である。また、SA 回路情報 503 は、センスアンプ SA を示す回路情報であって、例えば、センスアンプ SA のシミュレーションを実行可能な情報が含まれる。また、SA 回路情報 503 は、センスアンプ SA の設計に関する複
40
数の第 2 確率変数の各々に基づくセンスアンプ SA の設計パラメータを設定可能である。

【 0035 】

セル搭載数 c_n は、検証対象の SRAM 200 に含まれるメモリセル $cell$ の数である。SA 搭載数 s_n は、検証対象の SRAM 200 に含まれるセンスアンプ SA の数である。指定歩留は、検証対象の SRAM 200 において許容される歩留まりであり、SRAM 200 の検証者や設計者などによって定められる値である。ばらつきモデル情報 504 は、第 1 確率変数の各々について z 得点を与えて第 1 確率変数の値が算出可能なモデル式、や第 2 確率変数の各々について z 得点を与えて第 2 確率変数の値が算出可能なモデル式を有する。

【 0036 】

また、制御部 501 の処理は、例えば、CPU 401 がアクセス可能な記憶装置に記憶された検証支援プログラムにコーディングされている。そして、CPU 401 が記憶装置から検証支援プログラムを読み出して、検証支援プログラムにコーディングされている処理を実行する。これにより、各部の処理が実現される。また、各部の処理結果は、例えば、RAM 403、ディスク 405 などの記憶装置に記憶される。また、制御部 501 は、モデル関数生成部 511 と、SA ワーストケース探索部 512 と、セルワーストケース探索部 513 と、を有する。また、制御部 501 は、SA 回路情報 503、セル回路情報 502 を回路シミュレータ 514 に与えることによって、センスアンプ SA、メモリセル cell の各々のシミュレーションを行うことができる。回路シミュレータ 514 は、例えば、SPICE である。

10

【0037】

また、本実施の形態における検証支援処理手順は手順 1 ~ 3 に分けられる。手順 1 では、検証支援装置 100 は、モデル関数の作成処理を行う。つぎに、手順 2 では、検証支援装置 100 は、モデル関数によって得られる性能値を指標としたセンスアンプ SA のワーストケースの第 1 探索処理を行う。そして、手順 3 では、検証支援装置 100 は、第 1 探索処理により得られたワーストケースに基づく入力オフセット電位差と、該ワーストケースに基づくメモリセル cell の良品率と、に基づいて、メモリセル cell のワーストケースの第 2 探索処理を行う。ここで、手順 1 の詳細については、モデル関数生成部 511 を用いて説明し、手順 2 の詳細については、SA ワーストケース探索部 512 を用いて説明し、手順 3 の詳細については、セルワーストケース探索部 513 を用いて説明する。

20

【0038】

< 手順 1 >

まず、モデル関数生成部 511 は、対象回路の良品率を示す良品情報を取得する。ここで、検証の対象回路は、SRAM 200 である。SRAM 200 の良品率を示す良品情報は、直接的または間接的に良品率を示す情報である。本実施の形態では、良品率を、歩留まり、または歩留まりによって得られる良品と不良品の境界となる性能値の z 得点によって表す。そして、モデル関数生成部 511 は、取得した良品情報が示す SRAM 200 の良品率と、センスアンプ SA の数とメモリセル cell の数とに基づく値と、に基づいてメモリセル cell の良品率の範囲を導出する。センスアンプ SA の数とメモリセル cell の数とに基づく値とは、後述する SA 当たりセル数である。つぎに、モデル関数生成部 511 は、センスアンプ SA の性能値と、メモリセル cell の良品率を示す良品情報と、の複数の組を取得する。メモリセル cell の良品率を示す良品情報は、直接的または間接的に良品率を示す情報である。また、複数の組の各々の良品情報が示す良品率は、導出したメモリセル cell の良品率の範囲に含まれる値である。

30

【0039】

具体的に、モデル関数生成部 511 は、指定歩留と、SRAM 200 に含まれるメモリセル cell の数と、SRAM 200 に含まれるセンスアンプ SA の数と、を取得する。メモリセル cell の数は、セル搭載数 c_n と称し、センスアンプ SA の数を SA 搭載数 s_n と称する。つぎに、具体的に、モデル関数生成部 511 は、指定歩留に基づいて、z 得点 τ を算出する。より具体的に、モデル関数生成部 511 は、歩留まりに基づいて z 得点を算出可能な関数に、指定歩留 $1/SA$ 搭載数 s_n を与えることによって z 得点 τ を算出する。歩留まりに基づいて z 得点を算出可能な関数は、歩留 変換関数と称する。ここでは、歩留 変換関数に指定歩留 $1/SA$ 搭載数 s_n を与えることを、歩留 変換関数 (指定歩留 $1/SA$ 搭載数 s_n) とも表す。z 得点に基づいて歩留まりを算出可能な関数を以下式 (1) に示す。z 得点に基づいて歩留まりを算出可能な関数は、歩留 変換関数と称する。歩留 変換関数は、歩留 変換関数の逆関数によって表される。例えば、指定歩留が 0.998655 の場合、z 得点は 3 (単位は標準偏差) である。

40

【0040】

【数 1】

$$\frac{1}{\sqrt{2\pi}} e^{-\frac{x^2}{2}} \quad \dots (1)$$

【0041】

つぎに、具体的に、モデル関数生成部511は、1センスアンプSA当たりのセル数を算出する。1センスアンプSA当たりのセル数は、SA当たりセル数と称する。モデル関数生成部511は、SA当たりセル数を以下式(2)によって算出する。

【0042】

SA当たりセル数 = セル搭載数 c_n / SA搭載数 s_n . . . (2)

【0043】

そして、具体的に、モデル関数生成部511は、1メモリセルcell当たりのz得点 c の最大値を算出する。1メモリセルcell当たりのz得点 c の最大値は、z得点 c^{\max} と表す。より具体的に、モデル関数生成部511は、z得点 c^{\max} を以下式(3)によって算出する。

【0044】

$c^{\max} = \text{歩留 変換関数} (\text{歩留変換関数} (\tau)^{1/SA \text{ 当たりセル数}}) \dots (3)$

【0045】

そして、モデル関数生成部511は、例えば、[0, $V_{dd}/10$] の範囲に含まれるオフセット電位差 V_{OS} と、[0, c^{\max}] の範囲に含まれるz得点 c と、の複数の組を取得する。

【0046】

つぎに、モデル関数生成部511は、複数の組の各々について、メモリセルcellの設計に関する複数の第1変数の各値であって、組の良品率に対応する各値と組の性能値とに基づくSRAM200の性能値を取得する。そして、モデル関数生成部511は、オフセット電位差 V_{OS} とメモリセルcellの良品率を示す良品情報とに基づいてSRAM200の性能値が算出可能な関数を、取得したSRAM200の各性能値によって生成する。具体的に、モデル関数生成部511は、ワーストケース探索部521と、フィッティング部522と、を有する。

【0047】

具体的に、ワーストケース探索部521は、複数の組の各々について、組のz得点 c に対応する複数の第1変数の各値の組み合わせ候補と組の性能値とに基づくSRAM200の性能値のうち、所定条件を満たす性能値を探索する。ここで、所定条件を満たす性能値とは、例えば、最も大きい性能値である。ここで、第1変数の各値の組み合わせ候補は複数ある。

【0048】

ここでは、例えばメモリセルcellの設計に関する複数の第1変数を複数の第1確率変数とする。そして、ワーストケース探索部521は、複数の第1確率変数が張る空間内における組み合わせのz得点に対応する等確率面上または等確率面に囲われた領域内における複数の第1確率変数の各値と、組み合わせの性能値と、によってワーストケース探索を行う。また、例えば、複数の第1確率変数は設計値との差分値であり、複数の第1確率変数が張る空間の原点が設計値である。また、設計値とは、仕様によって定められた値である。ワーストケース探索部521によるワーストケース探索は、上述した例えば特許文献1, 2などにおけるメモリセルcellの性能値のワーストケース探索と同様であるため、ここでは簡易的に説明する。

【0049】

まず、ワーストケース探索部521は、複数の第1確率変数が張る空間内における組み合わせのz得点に対応する等確率面上または等確率面で囲まれる領域内におけるいずれかの複数の第1確率変数の各値を取得する。等確率面とは、z得点が等しい面である。例え

10

20

30

40

50

ば、ワーストケース探索部 521 は、探索の最初では、設計値あるいは設計者により指定された初期値を第一確率変数の値として取得する。探索の途中では、前段階で更新された値を取得する。

【0050】

そして、ワーストケース探索部 521 は、セル回路情報 502 に設定可能なメモリセル c_{e11} の各設計パラメータを算出可能なモデル式に、取得した複数の第 1 確率変数の各値を代入することによって、メモリセル c_{e11} の各設計パラメータを設定する。

【0051】

図 6 は、メモリセルの各設計パラメータの設定例を示す説明図である。例えば、トランジスタ Trc_i ($i = 1 \sim 6$) の設計パラメータは、チャンネル長 L_{ci} とチャンネル幅 W_{ci} と閾値電圧 V_{thci} とがある。チャンネル長 L_{ci}^d とチャンネル幅 W_{ci}^d と閾値電圧 V_{thci}^d とは、それぞれ設計値である。 y_j ($j = 1 \sim 18$) は、第 1 確率変数である。 SD_{Lci} 、 SD_{Wci} 、 SD_{Vthci} はそれぞれチャンネル長 L_{ci} 、チャンネル幅 W_{ci} 、閾値電圧 V_{thci} の標準偏差である ($i = 1 \sim 6$)。例えば、トランジスタ Trc_1 の設計パラメータであるチャンネル長 L_{c1} は、第 1 確率変数 y_1 の値を代入することにより、メモリセル c_{e11} を示すセル回路情報 502 に含まれるチャンネル長 L_{c1} を設定する。

【0052】

図 5 に示したワーストケース探索部 521 は、設定後のセル回路情報 502 と、組のオフセット電位差 V_{OS} と、に基づいて、メモリセル c_{e11} のシミュレーションを行うことにより、メモリセル c_{e11} の性能値を取得する。

【0053】

図 7 は、ワーストケース探索例を示す説明図である。図 5 に示したワーストケース探索部 521 は、第 1 確率変数 y の各々について、現在の各第 1 確率変数 y の値から所定量変更した場合のメモリセル c_{e11} のシミュレーションを行う。所定量は、例えば検証者によって定められた値とする。そして、ワーストケース探索部 521 は、第 1 確率変数 y の各々について、メモリセル c_{e11} の性能値の勾配を計算する。

【0054】

そして、ワーストケース探索部 521 は、第 1 確率変数 y の各々について算出した勾配に基づいて、メモリセル c_{e11} の性能値が悪化すると推定される複数の第 1 確率変数 y の各値によって設計パラメータを設定する。このように、ワーストケース探索部 521 は、性能値の算出処理と、勾配を算出する処理と、を繰り返すことによって、ワーストケースを探索する。

【0055】

図 8 は、各組によるサンプリング結果例を示す説明図である。テーブル 800 には、オフセット電位差 V_{OS} と z 得点 c との組の各々について、ワーストケースにおける読み出し時間 T_{read}^{worst} が設定されている。図 8 の例では、オフセット電位差 V_{OS} について $[0, V_{dd}/10]$ の範囲が、 $0.02 \cdot V_{dd}$ 、 $0.04 \cdot V_{dd}$ 、 $0.06 \cdot V_{dd}$ 、 $0.08 \cdot V_{dd}$ 、 $0.10 \cdot V_{dd}$ の 5 段に区切られている。また、 z 得点 c について $[0, c^{max}]$ の範囲が、 0 、 $0.2 \cdot c^{max}$ 、 $0.4 \cdot c^{max}$ 、 $0.6 \cdot c^{max}$ 、 $0.8 \cdot c^{max}$ 、 $1.0 \cdot c^{max}$ の 5 段階に区切られている。

【0056】

つぎに、図 5 に示したフィッティング部 522 は、組の各々についての読み出し時間 T_{read}^{worst} を用いた回帰分析によって、オフセット電位差 V_{OS} とメモリセル c_{e11} の z 得点 c とに基づいて読み出し時間 T_{read}^{worst} が算出可能なモデル関数 f を生成する。モデル関数は、例えば、以下式 (4) によって表される。式 (4) における a 、 b 、 c は回帰分析によって得られた係数である。

【0057】

$$T_{read}^{worst} = a \cdot V_{OS} + b \cdot c + c \cdot \dots (4)$$

【0058】

<手順 2>

10

20

30

40

50

SAワーストケース探索部512は、センスアンプSAの設計に関する複数の第2変数の各値であって、センスアンプSAの良品率の所定範囲に対応する各値の複数の第1組み合わせ候補から、所定条件を満たす第1組み合わせを探索する。第1組み合わせは、モデル関数によって得られる読み出し時間 T_{read}^{worst} が所定条件を満たす第1組み合わせ候補である。ここで、モデル関数には、第1組み合わせ候補に基づくオフセット電位差 V_{OS} と、第1組み合わせ候補に基づき導出したメモリセルcellのz得点 c_c と、が与えられる。読み出し時間 T_{read}^{worst} が所定条件を満たす第1組み合わせとは、読み出し時間 T_{read}^{worst} が最も長い第1組み合わせである。ここでの第1組み合わせの探索では、オフセット電位差 V_{OS} が最も悪い第2確率変数の組み合わせを探索するのではなく、モデル関数に与えて得られる読み出し時間 T_{read}^{worst} が最も長くなる第2確率変数の組み合わせを探索する。ここで、所定範囲は、 $[0, \tau]$ である。

10

【0059】

例えば、オフセット電位差 V_{OS} を算出するためのセンスアンプSAの設計に関する複数の第2変数を第2確率変数とする。SAワーストケース探索部512は、複数の第2確率変数が張る空間内における所定範囲の各々に対応する等確率面上または等確率面に囲われた領域内において、モデル関数によって得られる読み出し時間 T_{read}^{worst} を指標として、ワーストケース探索を行う。SAワーストケース探索部512は、ばらつきモデル情報504に含まれる第2確率変数の各々について第2確率変数を算出可能なモデルによって、所定範囲内のいずれかのz得点 s_s に対応する第2確率変数の各値を取得する。第2確率変数を算出可能なモデルは、上述した第1確率変数を算出可能なモデルと同様である。

20

【0060】

SAワーストケース探索部512は、取得した複数の第2確率変数の各値に基づいてセンスアンプSAの各設計パラメータを設定する。

【0061】

図9は、センスアンプの各設計パラメータの設定例を示す説明図である。例えば、トランジスタ Tr_{sm} ($m = 1 \sim 5$)の設計パラメータは、チャンネル長 L_{sm} とチャンネル幅 W_{sm} と閾値電圧 V_{thsm} とがある。チャンネル長 L_{sm}^d とチャンネル幅 W_{sm}^d と閾値電圧 V_{thsm}^d とは、それぞれ設計値である。 x_n ($n = 1 \sim 15$)は、第2確率変数である。 SD_{Lsm} 、 SD_{Wsm} 、 SD_{Vthsm} はそれぞれチャンネル長 L_{sm} 、チャンネル幅 W_{sm} 、閾値電圧 V_{thsm} の標準偏差である ($m = 1 \sim 5$)。例えば、トランジスタ Tr_{s1} の設計パラメータであるチャンネル長 L_{s1} は、第2確率変数 x_1 の値を代入することにより、メモリセルcellを示す回路情報に含まれるチャンネル長 L_{s1} を設定する。

30

【0062】

図5に示したSAワーストケース探索部512は、設定後のセンスアンプSAを示すSA回路情報503に基づいて、センスアンプSAのシミュレーションを行うことによって、オフセット電位差 V_{OS} を導出する。SAワーストケース探索部512は、z得点 s_s と目標のz得点 τ とに基づいてメモリセルcell当たりのz得点 c_c を算出する。より具体的に、SAワーストケース探索部512は、z得点 c_c を以下式(5)、(6)によって算出することができる。

【0063】

$$c_{col}^2 = \tau^2 - s_s^2 \cdot \dots (5)$$

$$c_c = \text{歩留 変換関数} (\text{歩留変換関数} (c_{col})^{1/SA当たりセル数}) \cdot \dots (6)$$

40

【0064】

c_{col} は、1カラム当たりのz得点である。SAワーストケース探索部512は、導出したオフセット電位差 V_{OS} とz得点 c_c をモデル関数 f に代入することによって、読み出し時間 T_{read}^{worst} を算出する。

【0065】

また、SAワーストケース探索部512は、第2確率変数 x の各々について、現在の各第2確率変数 x の値から所定量変更した場合のシミュレーションを行う。そして、SAワーストケース探索部512は、第2確率変数 x の各々について、読み出し時間 T_{read}^{worst}

50

t の勾配を計算する。

【0066】

そして、SAワーストケース探索部512は、第2確率変数の各々について算出した勾配に基づいて、読み出し時間 T_{read}^{worst} が悪化すると推定される複数の第2確率変数の各値によって設計パラメータを設定する。このように、SAワーストケース探索部512は、性能値の算出処理と、勾配を算出する処理と、を繰り返すことによって、複数の第2確率変数の各値の第1組み合わせ候補から、第1組み合わせを探索する。上述したように、ワーストケースの探索については、従来技術と同様であるため、詳細な説明を省略する。

【0067】

<手順3>

セルワーストケース探索部513は、探索によって得られた第1組み合わせに基づいて導出したメモリセルc e l lの良品率に対応する複数の第1確率変数 y の各値の複数の第2組み合わせ候補のうち、第2組み合わせを探索する。第2組み合わせは、第1組み合わせに基づくオフセット電位差 V_{OS} と第2組み合わせ候補とに基づくSRAM200の性能値が所定条件を満たす第2組み合わせ候補である。メモリセルc e l lの良品率である z 得点 c は、上述した式(5)、式(6)によって算出可能である。また、SRAM200の性能値が所定条件を満たす第2組み合わせ候補とは、SRAM200の性能値が最も悪くなる第2組み合わせ候補である。

【0068】

具体的に、セルワーストケース探索部513は、上述したように、メモリセルc e l lの良品率に対応する複数の第1確率変数 y の各値の第2組み合わせ候補に基づいてメモリセルc e l lの各設計パラメータをセル回路情報502に設定する。そして、セルワーストケース探索部513は、第1組み合わせに基づくオフセット電位差 V_{OS} と設定後のセル回路情報502とに基づいてメモリセルc e l lのシミュレーションを行うことによって、読み出し時間 T_{read} を導出する。このようにして、導出した読み出し時間 T_{read} を指標として、セルワーストケース探索部513は、複数の第2組み合わせ候補から、導出した読み出し時間 T_{read} が最も長い第2組み合わせを探索する。第2組み合わせの探索方法については、従来技術であるため、詳細な説明を省略する。

【0069】

(検証支援装置100による検証支援処理手順例)

図10および図11は、検証支援装置による検証支援処理手順例を示すフローチャートである。まず、検証支援装置100は、セル回路情報502とSA回路情報503とを入力データとして取得する(ステップS1001)。検証支援装置100は、セル搭載数 c_n とSA搭載数 s_n とを入力データとして取得する(ステップS1002)。検証支援装置100は、ばらつきモデル情報504と指定歩留とを取得する(ステップS1003)。ステップS1001～ステップS1003については同時に行われてもよいし、順番は特に限定しない。

【0070】

検証支援装置100は、 $T = \text{歩留}$ 変換関数(指定歩留 $^{1/SA}$ 搭載数 s_n)を算出する(ステップS1004)。検証支援装置100は、SA当たりセル数=セル搭載数 c_n /SA搭載数 s_n を行う(ステップS1005)。検証支援装置100は、 $c^{max} = \text{歩留}$ 変換関数(歩留変換関数(T) $^{1/SA}$ 当たりセル数)を行う(ステップS1006)。検証支援装置100は、オフセット電位差 V_{OS} の範囲 $[0, V_{dd}/10]$ と z 得点 c の範囲 $[0, c^{max}]$ とから代表点の組(V_{OS}, c)の集合 P を取得する(ステップS1007)。

【0071】

検証支援装置100は、集合 P に含まれる組の各々について、ワーストケース探索を行うことにより、 T_{read}^{worst} を取得する(ステップS1008)。検証支援装置100は、集合 P に含まれる各組と、該組について取得した読み出し時間 T_{read}^{worst} とによって

10

20

30

40

50

回帰分析し、 $f(V_{OS}, c)$ を生成する(ステップS1009)。

【0072】

検証支援装置100は、センスアンプSAのz得点 s の範囲 $[0, T]$ に対応する第2確率変数の各値の第1組み合わせ候補から、生成したモデル関数によって算出した読み出し時間 T_{read}^{worst} が最も長い第1組み合わせを探索する(ステップS1101)。上述したように、検証支援装置100は、第1組み合わせ候補に対応するz得点 s に基づいて導出したz得点 c と、第1組み合わせ候補に基づいてセンスアンプSAのシミュレーションを行って得られたオフセット電位差と、をモデル関数 f に与える。これにより、検証支援装置100は、読み出し時間 T_{read}^{worst} を算出する。

【0073】

つぎに、検証支援装置100は、第1組み合わせに基づき導出したz得点 c に対応する第1確率変数の各値の第2組み合わせ候補から第2組み合わせを探索する(ステップS1102)。ここでは、上述したように、第1組み合わせに基づき導出したz得点 c は、第1組み合わせ候補に対応するz得点 s に基づいて導出したz得点 c であり、上述した式(5)、(6)などによって算出される。検証支援装置100は、第1組み合わせと、第1組み合わせに基づくオフセット電位差と、第2組み合わせと、第2組み合わせに基づく読み出し時間 T_{read}^{worst} と、を出力し(ステップS1103)、一連の処理を終了する。

【0074】

以上説明したように、検証支援装置100は、SRAMの性能値を算出可能な関数を生成し、該関数で得た該性能値が最悪となるセンスアンプの変数の値を探索し、探索結果により該性能値が最悪となるセルの変数の値を探索する。これにより、SRAMの性能値を指標にして、センスアンプの検証を行うことができる。そのため、モンテカルロシミュレーションを利用したセンスアンプおよびメモリセルの同時解析と同等程度の精度で検証を行うことができ、かつモンテカルロシミュレーションよりも検証にかかる時間を短縮できる。したがって、検証の効率化を図ることができる。

【0075】

また、検証支援装置100は、SRAMの良品率と、SRAMに含まれるセンスアンプの数とメモリセルの数とに基づく値と、に基づいて、取得する複数の組のメモリセルの良品率の範囲を導出する。これにより、指定されたSRAMの良品率を満たすような性能値が得られる関数を生成することができ、検証精度の向上を図ることができる。

【0076】

また、検証支援装置100は、SRAMの性能値を算出可能な関数を回帰分析によって生成する。これにより、性能値が得られる関数を容易に生成することができる。

【0077】

また、センスアンプの変数の値を探索する際のセンスアンプの良品率の所定範囲は、SRAMの良品率に基づいて定まる。これにより、SRAMの良品率を満たす各変数の値を探索することができ、検証精度の向上を図ることができる。

【0078】

また、検証支援装置100は、センスアンプの性能値とメモリセルの良品率との複数の組の各々について、組の良品率に対応する各値と組の性能値とに基づくSRAMの性能値から、所定条件を満たす対象回路の性能値を取得する。これにより、各組における最も悪い性能値によって関数を生成することが可能となり、検証精度の向上を図ることができる。

【0079】

なお、本実施の形態で説明した検証支援方法は、予め用意された検証支援プログラムをパーソナル・コンピュータやワークステーション等のコンピュータで実行することにより実現することができる。本検証支援プログラムは、磁気ディスク、光ディスク、USB(Universal Serial Bus)フラッシュメモリなどのコンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されること

10

20

30

40

50

によって実行される。また、検証支援プログラムは、インターネット等のネットワークを介して配布されてもよい。

【0080】

上述した実施の形態に関し、さらに以下の付記を開示する。

【0081】

(付記1) コンピュータに、

検証の対象回路に含まれる第1回路の性能値と、前記対象回路に含まれる前記第1回路と異なる第2回路の良品率を示す良品情報と、の複数の組を取得し、

取得した前記複数の組の各々について、前記第2回路の設計に関する複数の第1確率変数の各値であって、前記組の前記良品情報が示す前記良品率に対応する各値と、前記組の前記性能値と、に基づく前記対象回路の性能値を取得し、

前記第1回路の性能値と、前記第2回路の良品率を示す良品情報と、に基づいて前記対象回路の性能値を算出可能な関数を、取得した前記対象回路の各性能値によって生成し、

前記第1回路の設計に関する複数の第2確率変数の各値であって、前記第1回路の良品率の所定範囲に対応する各値の複数の第1組み合わせ候補から、前記第1組み合わせ候補に基づく前記第1回路の性能値と、前記第1組み合わせ候補に基づき導出した前記第2回路の良品率を示す良品情報と、を生成した前記関数に与えて算出した前記対象回路の性能値が所定条件を満たす第1組み合わせを探索し、

探索によって得られた前記第1組み合わせに基づき導出した前記第2回路の良品率に対応する各値の複数の第2組み合わせ候補から、前記第1組み合わせに基づく前記第1回路の性能値と前記第2組み合わせ候補とに基づく前記対象回路の性能値が所定条件を満たす第2組み合わせを探索する、

処理を実行させることを特徴とする検証支援プログラム。

【0082】

(付記2) 前記第2回路はメモリセルであり、前記第1回路は前記メモリセルのビット線間を増幅する増幅回路であることを特徴とする付記1に記載の検証支援プログラム。

【0083】

(付記3) 前記対象回路の性能値は、前記対象回路の読み出し時間であり、前記増幅回路の性能値は、前記増幅回路のオフセット電位差であることを特徴とする付記2に記載の検証支援プログラム。

【0084】

(付記4) 前記コンピュータに、

前記良品情報(以下、「第1良品情報」と称する。)と異なる前記対象回路の良品率を示す第2良品情報を取得し、

前記第2良品情報が示す前記良品率と、前記対象回路に含まれる前記第1回路の数と前記対象回路に含まれる前記第2回路の数とに基づく値と、に基づいて前記第2回路の良品率の範囲を導出する処理を実行させ、

前記複数の組を取得する処理では、前記第1回路の性能値と、導出した前記第2回路の良品率の範囲から選択された前記第2回路の良品率を示す前記第1良品情報と、の複数の組を取得することを特徴とする付記1～3のいずれか一つに記載の検証支援プログラム。

【0085】

(付記5) 前記関数を生成する処理では、取得した前記対象回路の各性能値を用いた回帰分析によって生成することを特徴とする付記1～4のいずれか一つに記載の検証支援プログラム。

【0086】

(付記6) 前記コンピュータに、

前記良品情報(以下、「第1良品情報」と称する。)と異なる前記対象回路の良品率を示す第2良品情報を取得する処理を実行させ、

前記所定範囲は、取得した前記第2良品情報が示す前記良品率に基づくことを特徴とする付記1～5のいずれか一つに記載の検証支援プログラム。

10

20

30

40

50

【 0 0 8 7 】

(付記7) 前記対象回路の性能値を取得する処理では、取得した前記複数の組の各々について、前記組の前記良品情報が示す前記良品率に対応する各値と前記組の前記性能値とに基づく前記対象回路の性能値から、所定条件を満たす前記対象回路の性能値を取得することを特徴とする付記1～6のいずれか一つに記載の検証支援プログラム。

【 0 0 8 8 】

(付記8) コンピュータが、

検証の対象回路に含まれる第1回路の性能値と、前記対象回路に含まれる前記第1回路と異なる第2回路の良品率を示す良品情報と、の複数の組を取得し、

取得した前記複数の組の各々について、前記第2回路の設計に関する複数の第1確率変数の各値であって、前記組の前記良品情報が示す前記良品率に対応する各値と、前記組の前記性能値と、に基づく前記対象回路の性能値を取得し、

前記第1回路の性能値と、前記第2回路の良品率を示す良品情報と、に基づいて前記対象回路の性能値を算出可能な関数を、取得した前記対象回路の各性能値によって生成し、

前記第1回路の設計に関する複数の第2確率変数の各値であって、前記第1回路の良品率の所定範囲に対応する各値の複数の第1組み合わせ候補から、前記第1組み合わせ候補に基づく前記第1回路の性能値と、前記第1組み合わせ候補に基づき導出した前記第2回路の良品率を示す良品情報と、を生成した前記関数に与えて算出した前記対象回路の性能値が所定条件を満たす第1組み合わせを探索し、

探索によって得られた前記第1組み合わせに基づき導出した前記第2回路の良品率に対応する各値の複数の第2組み合わせ候補から、前記第1組み合わせに基づく前記第1回路の性能値と前記第2組み合わせ候補とに基づく前記対象回路の性能値が所定条件を満たす第2組み合わせを探索する、

処理を実行することを特徴とする検証支援方法。

【 0 0 8 9 】

(付記9) 検証の対象回路に含まれる第1回路の性能値と、前記対象回路に含まれる前記第1回路と異なる第2回路の良品率を示す良品情報と、の複数の組を取得し、

取得した前記複数の組の各々について、前記第2回路の設計に関する複数の第1確率変数の各値であって、前記組の前記良品情報が示す前記良品率に対応する各値と、前記組の前記性能値と、に基づく前記対象回路の性能値を取得し、

前記第1回路の性能値と、前記第2回路の良品率を示す良品情報と、に基づいて前記対象回路の性能値を算出可能な関数を、取得した前記対象回路の各性能値によって生成し、

前記第1回路の設計に関する複数の第2確率変数の各値であって、前記第1回路の良品率の所定範囲に対応する各値の複数の第1組み合わせ候補から、前記第1組み合わせ候補に基づく前記第1回路の性能値と、前記第1組み合わせ候補に基づき導出した前記第2回路の良品率を示す良品情報と、を生成した前記関数に与えて算出した前記対象回路の性能値が所定条件を満たす第1組み合わせを探索し、

探索によって得られた前記第1組み合わせに基づき導出した前記第2回路の良品率に対応する各値の複数の第2組み合わせ候補から、前記第1組み合わせに基づく前記第1回路の性能値と前記第2組み合わせ候補とに基づく前記対象回路の性能値が所定条件を満たす第2組み合わせを探索する、

処理をコンピュータに実行させる検証支援プログラムを記録したことを特徴とする記録媒体。

【 符号の説明 】

【 0 0 9 0 】

- 1 0 0 検証支援装置
- 2 0 0 S R A M
- 4 0 1 C P U
- 5 0 1 制御部
- 5 0 2 セル回路情報

10

20

30

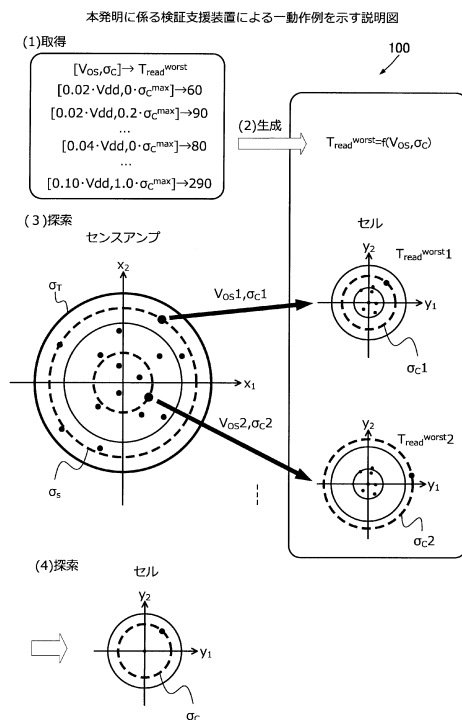
40

50

503 SA回路情報
 511 モデル関数生成部
 512 SAワーストケース探索部
 513 セルワーストケース探索部
 514 回路シミュレータ
 521 ワーストケース探索部
 522 フィッティング部
 y_1, y_2, y_j 第1確率変数
 x_1, x_2, x_n 第2確率変数
 $C', T', S', C_{col}, C^{max}$ z 得点
 cell メモリセル
 SA センスアンプ
 BLT 第1のビット線
 BLC 第2のビット線
 V_{OS} オフセット電位差
 c_n セル搭載数
 s_n SA 搭載数

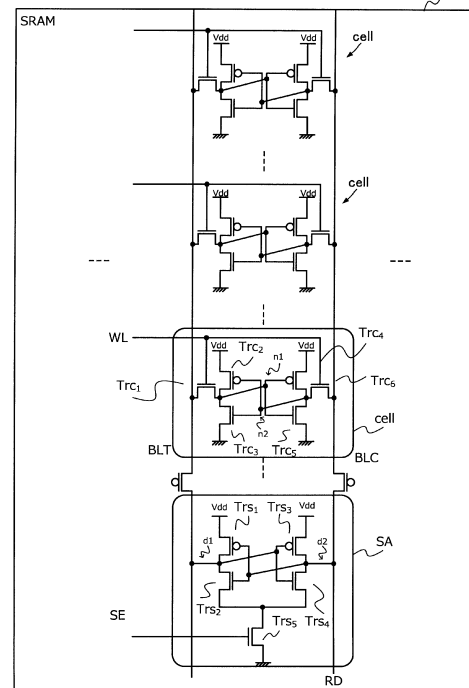
10

【図1】

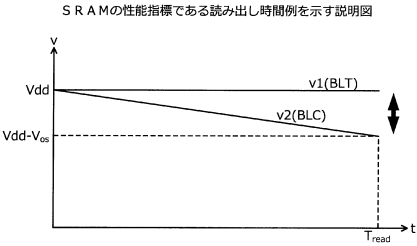


【図2】

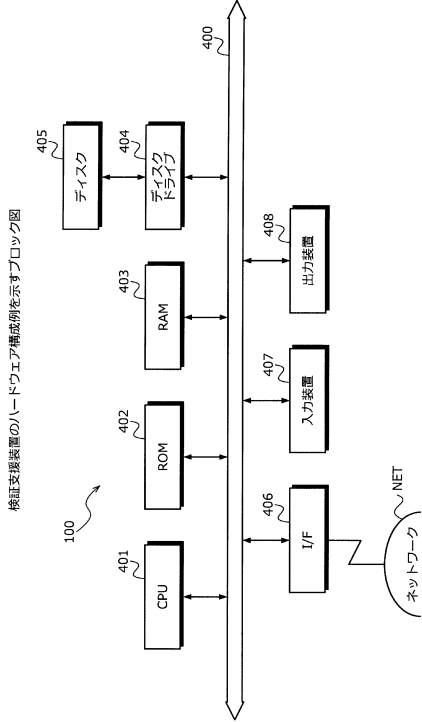
SRAMに含まれるメモリセルとSAの回路例を示す説明図 200



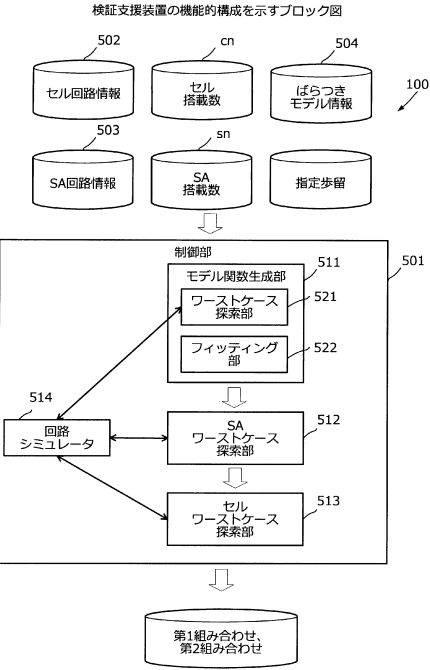
【図 3】



【図 4】

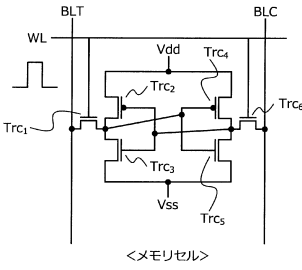


【図 5】



【図 6】

メモリセルの各設計パラメータの設定例を示す説明図



<メモリセル>

$$\begin{aligned} Trc_1 : & LC_1 = LC_1^d + y_1 \times SD_{LC1}, \quad Wc_1 = Wc_1^d + y_2 \times SD_{Wc1}, \\ & Vthc_1 = Vthc_1^d + y_3 \times SD_{Vthc1} \\ Trc_2 : & LC_2 = LC_2^d + y_4 \times SD_{LC2}, \quad Wc_2 = Wc_2^d + y_5 \times SD_{Wc2}, \\ & Vthc_2 = Vthc_2^d + y_6 \times SD_{Vthc2} \\ Trc_3 : & LC_3 = LC_3^d + y_7 \times SD_{LC3}, \quad Wc_3 = Wc_3^d + y_8 \times SD_{Wc3}, \\ & Vthc_3 = Vthc_3^d + y_9 \times SD_{Vthc3} \\ Trc_4 : & LC_4 = LC_4^d + y_{10} \times SD_{LC4}, \quad Wc_4 = Wc_4^d + y_{11} \times SD_{Wc4}, \\ & Vthc_4 = Vthc_4^d + y_{12} \times SD_{Vthc4} \\ Trc_5 : & LC_5 = LC_5^d + y_{13} \times SD_{LC5}, \quad Wc_5 = Wc_5^d + y_{14} \times SD_{Wc5}, \\ & Vthc_5 = Vthc_5^d + y_{15} \times SD_{Vthc5} \\ Trc_6 : & LC_6 = LC_6^d + y_{16} \times SD_{LC6}, \quad Wc_6 = Wc_6^d + y_{17} \times SD_{Wc6}, \\ & Vthc_6 = Vthc_6^d + y_{18} \times SD_{Vthc6} \end{aligned}$$

【図 7】

ワーストケース探索例を示す説明図

確率変数	現在の 第1組み合わせ候補	次の 第1組み合わせ候補
Y_1	0.01	
Y_2	-0.2	
Y_3	1.4	
Y_4	-0.7	
Y_5	0	
...
Y_1 勾配	0.01	
Y_2 勾配	-0.005	
Y_3 勾配	0.03	
Y_4 勾配	-0.01	
Y_5 勾配	0.01	
...
V_{OS}	100 mV	
σ_T	5	
σ	1.578005	
σ_{Cool}	4.74446	
σ_C	5.764984	
$T_{read\ worst}$	0.5 ns	

次の第1組み合わせ候補
を決定

更新

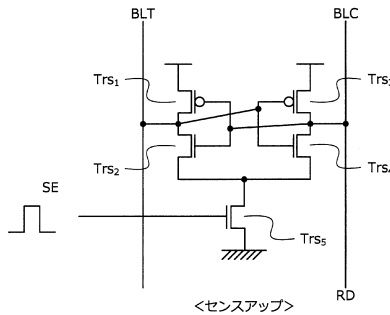
【図 8】

各組によるサンプリング結果例を示す説明図

σ_C V_{OS}	0	60	80	100	120	140
0.02-Vdd	90	110	130	150	170	190
0.04-Vdd	90	110	130	150	170	190
0.06-Vdd	90	110	130	150	170	190
0.08-Vdd	90	110	130	150	170	190
0.10-Vdd	90	110	130	150	170	190

【図 9】

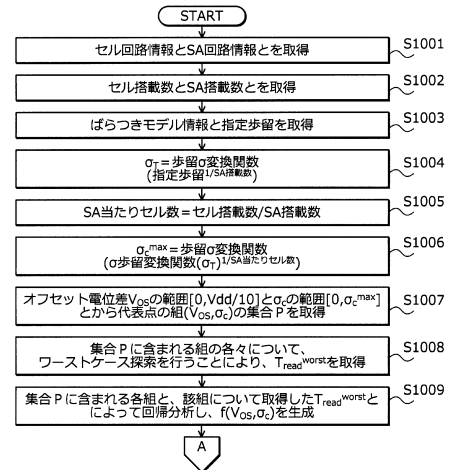
センスアンプの各設計パラメータの設定例を示す説明図



$$\begin{aligned}
 TrS_1 : LS_1 &= LS_1^d + X_1 \times SD_{LS1}, WS_1 = WS_1^d + X_2 \times SD_{WS1}, \\
 VthS_1 &= VthS_1^d + X_3 \times SD_{VthS1} \\
 TrS_2 : LS_2 &= LS_2^d + X_4 \times SD_{LS2}, WS_2 = WS_2^d + X_5 \times SD_{WS2}, \\
 VthS_2 &= VthS_2^d + X_6 \times SD_{VthS2} \\
 TrS_3 : LS_3 &= LS_3^d + X_7 \times SD_{LS3}, WS_3 = WS_3^d + X_8 \times SD_{WS3}, \\
 VthS_3 &= VthS_3^d + X_9 \times SD_{VthS3} \\
 TrS_4 : LS_4 &= LS_4^d + X_{10} \times SD_{LS4}, WS_4 = WS_4^d + X_{11} \times SD_{WS4}, \\
 VthS_4 &= VthS_4^d + X_{12} \times SD_{VthS4} \\
 TrS_5 : LS_5 &= LS_5^d + X_{13} \times SD_{LS5}, WS_5 = WS_5^d + X_{14} \times SD_{WS5}, \\
 VthS_5 &= VthS_5^d + X_{15} \times SD_{VthS5}
 \end{aligned}$$

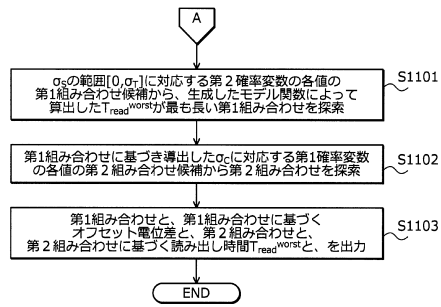
【図 10】

検証支援装置による検証支援処理手順例を示すフローチャート (その1)



【図 11】

検証支援装置による検証支援処理手順例を示すフローチャート（その2）



フロントページの続き

(56)参考文献 特開2006-186150(JP,A)
特開2012-103861(JP,A)
国際公開第2008/102681(WO,A1)
特表2010-512645(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F 17/50