

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 歐洛邦米 阿迪杜杜
ADETUTU, OLUBUNMI
2. 艾瑞克 陸考斯基
LUCKOWSKI, ERIC
3. 斯瑞肯斯 B 沙瑪維丹
SAMAVEDAM, SRIKANTH B.
4. 阿杜洛 M 瑪丁茲二世
MARTINEZ, ARTURO M., JR.

住居所地址：(中文/英文)

1. 美國德州奧斯汀市伯納迪諾灣 2913 號
2913 BERNARDINO COVE, AUSTIN, TEXAS 78728, U.S.A.
2. 美國德州圓石市花山莊大道 3016 號
3016 FLOWER HILL DRIVE, ROUND ROCK, TEXAS 78664, U.S.A.
3. 美國德州奧斯汀市伯納迪諾灣 2913 號
2913 BERNADINO COVE, AUSTIN, TEXAS 78728, U.S.A.
4. 美國德州奧斯汀市凱利農場路 13000 號
13000 KELLIES FARM LANE, AUSTIN, TEXAS 78721, U.S.A.

國 籍：(中文/英文)

1. 印度 INDIA
2. 美國 U.S.A.
3. 印度 INDIA
4. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2003 年 04 月 09 日；10/410,043

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

[先前申請案之參考]

此申請案已於2003年4月9日在美國提出申請，其專利申請案號為10/410,043。

【發明所屬之技術領域】

本發明係關於使用金屬閘極來製造積體電路，且更明確地說，本發明係關於使用不同結構之金屬閘極來製造積體電路。

【先前技術】

隨著半導體裝置在幾何學方面一直按比例縮減，習知之多晶矽閘極正變得缺乏(inadequate)。一個問題為相對高的電阻率，且另一個問題為會在位於多晶矽閘極與閘極介電之間的介面附近的位置中耗盡多晶矽閘極中的摻雜劑。為克服此等多晶矽之不足，正將金屬閘極作為替代物來推行。就P通道電晶體及N通道電晶體之所需功能而言，用於N通道及P通道電晶體之金屬的工作函數應不相同。因此，可將兩種不同種類的金屬用作直接位於閘極介電上的金屬。通常不能簡單地來沈積或蝕刻能有效用於此目的之金屬。兩種已發現有效的金屬為用於P通道電晶體之氮化鈦及用於N通道電晶體之氮化矽鈦。然而，一般用於此等材料之蝕刻劑並不對閘極介電及矽基板具有充足的選擇性，因此可在矽基板中出現挖鑿(gouging)現象。產生此現象的原因係：在P通道之活性區域中，氮化鈦位於氮化矽鈦之下。用於移除P通道活性區域之上的氮化矽鈦的蝕刻程序有必要

將用於隨後之蝕刻的氮化鈦曝光，該隨後之蝕刻亦將N通道活性區域中之閘極介電曝光。結果，亦將氮化鈦之蝕刻施用於其中將形成源極/汲極之N通道活性區域中的已曝光之閘極介電。此對氮化鈦之蝕刻亦具有以下不利影響：移除已曝光之閘極介電並在其中將形成源極/汲極的區域來挖鑿位於下面(underlying)的矽。

因此，需要一種用於形成雙閘極電晶體之方法，該方法能解決上述問題。

【發明內容】

一種用於形成一個雙金屬閘極結構之程序，其包括：

提供一具有一第一區域及一第二區域之半導體基板，其中該第一區域具有一第一導電類型且該第二區域具有一第二導電類型，其不同於該第一導電類型；

形成一覆蓋該半導體基板之該第一區域及該第二區域的介電層；

形成一覆蓋該介電層之第一含金屬層，其中該第一含金屬層覆蓋該半導體基板之第一區域；

形成一覆蓋該第一含金屬層及該介電層之第二含金屬層，其中該第二含金屬層與覆蓋該半導體基板之第二區域的該介電層之一部分直接接觸；

形成一覆蓋該第二含金屬層之圖案化遮罩層以界定一第一閘極堆疊及一第二閘極堆疊；

使用該圖案化遮罩層來對該第二含金屬層進行乾式蝕刻，以形成該第一閘極堆疊之一閘極電極；及

使用該圖案化遮罩層來對該第一含金屬層之至少一第一部分進行濕式蝕刻，以形成該第二閘極堆疊之一閘極電極。

【實施方式】

在一實施例中，一半導體裝置具有一P通道閘極堆疊及一N通道閘極堆疊，其中該P通道閘極堆疊包含第一金屬類型及位於該第一金屬類型之上的第二金屬類型，該N通道閘極堆疊包括直接與一閘極介電接觸之第二金屬類型。藉由一乾式蝕刻程序來蝕刻N通道閘極堆疊及一部分P通道閘極堆疊。藉由一濕式蝕刻來完成P通道閘極堆疊之蝕刻。濕式蝕刻對閘極介電及對第二金屬類型非常具有選擇性，使得N通道電晶體不會受到完成P通道閘極堆疊之蝕刻的不利影響。此可藉由參考圖示及以下描繪來更好地理解。

圖1展示了一半導體裝置10，其包括一絕緣物上矽(SOI)基板12、一直接位於SOI基板12之頂面上的閘極介電14、一氮化鈦層16、一氮化矽鈹層18、一多晶矽層20、富矽之氮化矽的一抗反射塗層(ARC)22及圖案化之光阻部分24及26。SOI基板12具有一矽基板28、一絕緣物層30、一N區域34、一隔離區域32及一P區域36。絕緣物層30較佳為二氧化矽但亦可為另一絕緣材料。另外，可使塊矽基板，而非使用SOI基板。層16覆蓋於N區域34上而非覆蓋於區域36上，且該層16直接與閘極介電14接觸。層18覆蓋於SOI基板12上，該SOI基板12包括層16及P區域36。層20覆蓋於層18上。層22覆蓋於層20上。圖案化之光阻部分24覆蓋於N區域34之其中將形成P通道閘極堆疊的一部分上。類似地，圖案化

之光阻部分26覆蓋於其中將形成N通道閘極堆疊的P區域36上。

在此點上(at this point)來執行一乾式蝕刻，其不會滲透過閘極介電14。層16及18之厚度較佳為50埃，但亦可低至30埃或高於50埃。圖案化之光阻部分24及26的寬度較佳為500埃，約為金屬層16及18之厚度的十倍，該圖案化之光阻部分24及26的寬度可用於確定電晶體閘極的長度。隔離區域32之寬度與圖案化之光阻部分24及26的寬度近似相等。視正使用之特殊技術而定，此等尺寸可要麼更小或要麼更大。舉例而言，在生產中，微影技術挑戰可將圖案化之光阻部分24及26的尺寸限制於僅為500埃或甚至1000埃，但是層16及18之厚度仍可保持50埃。ARC層22之厚度較佳為200埃。

圖2展示了乾式蝕刻之結果：將閘極堆疊37及39分別放置於N區域34及P區域36之上。使P區域36上之閘極介電14曝光，除了被閘極堆疊39所覆蓋的部分之外。使位於N區域34上之層16曝光，除了被閘極堆疊37所覆蓋的部分之外。圖案化光阻部分24及26可能已經受到侵蝕。閘極堆疊37及39兩者皆具有ARC 22、層20及層18部分。

較佳以三個蝕刻步驟來達成此能形成圖2之閘極堆疊37及39的乾式蝕刻。第一步係針對氮化矽ARC層22且較佳為一基於鹵素之反應性離子蝕刻(RIE)隨後為藉由基於鹵素之化學中的RIE來對多晶矽層20進行蝕刻。緊隨層20之蝕刻的為對層18進行蝕刻，其由基於鹵素之RIE來執行。此等為

用於此等類型之層的習知蝕刻。氮化鈦之典型蝕刻係藉由亦基於鹵素之RIE來達成的。達成此的困難在於氮化鈦對閘極介電不具有充分的選擇性，在此情況下，較佳使用氮氧化矽。氮氧化矽比氧化矽具有更高的介電常數，且對基於鹵素之RIE蝕刻更具有抵抗性，但是並非具有足夠的抵抗性，從而使得不能在對具有所需厚度之氮化鈦進行此類蝕刻期間來避免氮氧化矽被該基於鹵素之RIE蝕刻所滲透。基於鹵素之RIE蝕刻各略有不同，且其在實驗中最終基於該等經受蝕刻之實際層來決定。對此等材料所進行之此等蝕刻係習知的且傳統上已加以確定。若將氧化矽用作閘極介電，則會呈現相同的蝕刻問題且事實上將變得更糟糕，因為對含金屬之材料(諸如彼等用於層16及18)所進行的典型乾式蝕刻對氧化矽的選擇性比對氮氧化矽更差。

出於處理的目的，氮化鈦之厚度需要薄些，但是亦需要具有足夠的厚度以確定能控制隨後形成之電晶體的通道的工作函數。閘極介電較佳具有一大於3.9之介電常數。N通道電晶體閘極與P通道電晶體閘極的最佳工作函數通常被認為處於矽能帶邊緣，意即分別為4.1電子伏(eV)及5.2 eV。對於塊矽及對於部分耗盡之SOI而言，此係正確的。實際上，此可能難以達成，但是對於部分耗盡之SOI基板或塊半導體基板而言，較佳地，N通道金屬閘極應具有一少於或等於4.4 eV的工作函數且P通道金屬應具有一大於4.6 eV的工作函數，此為當前情形。氮化鈦層16具有4.65 eV之工作函數，且氮化矽鈹層18具有4.4 eV之工作函數。一較

少之工作函數差異可滿足完全耗盡之SOI基板。

因此，使用濕式蝕刻來對層16進行蝕刻，而非使用習知之RIE蝕刻。該濕式蝕刻較佳為一種由硫酸及過氧化氫與水形成的溶液所組成的piranha clean。其它濕式蝕刻亦具有相同的效果。piranha clean尤其有利，因為其通常可自製造工廠獲得且因此吾人已熟知如何來施用並控制該piranha clean。此piranha clean對氮化矽鉭與氮氧化矽兩者以及二氧化矽皆非常具有選擇性。因此，在將曝露於piranha clean之層16移除時，對層18及閘極介電14產生最小的蝕刻。若閘極介電14為氧化矽，則此亦為正確的。

圖3展示了施用piranha clean之結果。此展示了閘極堆疊37的完成及對閘極堆疊39所產生的最小變化。在此piranha clean期間，來移除圖案化之光阻部分24及26。以濕式清洗之方法來移除一材料通常係各向同性的，使得其可橫向地以及縱向地來蝕刻。因此，存在層16之底切，使得可自層18之一部分(其為閘極堆疊37之一部分)的下面來移除層16之一部分。此底切通常不比正經受蝕刻之層的厚度大。在此情況下，層16之較佳厚度為50埃，使得在層16與18之間的介面所進行的底切能在50埃左右，此約為閘極長度的10%，而對閘極介電14所進行的底切則較小。如圖3所示，閘極堆疊37及39適於以習知之方式來完成電晶體之形成。

圖4展示了使用閘極堆疊37及39所完成之電晶體38及40。自閘極堆疊37與39兩者來移除ARC層22，且電晶體38及40能夠以習知之方式來製得。電晶體38係一P通道電晶

體，其具有源極/汲極42及44、側壁間隔片46、襯墊48及矽化物區域50、52及54。矽化物區域50及52分別形成於源極/汲極42及44上，並分別與其接觸。類似地，矽化物區域54形成於層20之一部分上並與其接觸，其中該層20之一部分為如圖3所示之閘極堆疊37的一部分。電晶體40係一N通道電晶體，其具有源極/汲極區域56及58、側壁間隔片60、襯墊62及矽化物區域64及66。矽化物區域64及66分別位於源極/汲極56及58之上並分別與其接觸。

在上述說明書中，已藉由特定實施例來描述了本發明。然而，一般熟習此項技術者將瞭解，可作出各種修改及變化，而不背離申請專利範圍中所闡述之本發明的範疇。舉例而言，圖1中所展示之裝置結構的一替代結構為使覆蓋導體自身形成層次或係一種具有該等材料中之一種材料的分級濃度的合金。同樣，兩個不同的層16及18可為不同於本文所指定的材料。此等兩個層可實際上具有相同的材料但是具有此等材料之不同的比率，以達成所需之工作函數差異。另外，可首先沈積層18，使得層16位於P區域36區中之層18上。結果將為N通道電晶體閘極堆疊將具有兩種金屬，而非如圖2-4所示之具有兩個金屬層的P通道閘極堆疊。一替代結構之另一實施例為：以一種具有較低薄層電阻的材料(諸如鎢)來置換覆蓋之多晶矽層。因此，將說明書及附圖認為係說明性的而非具有限制意義，且意欲使所有此等修改包含於本發明之範疇內。

已將關於特定實施例的利益、其它優點及問題的解決方

案描述如上。然而，並非將該等利益、優點、問題的解決方案及任何可導致任何利益、優點，或解決方案會出現或變得更加明顯的元件看作是任何或所有申請專利範圍之一關鍵性的、需要的，或必要的特徵或元件。如本文所用，術語"包括"或其任何其它的變體意欲涵蓋一非專用之包涵物，使得一程序、方法、物件，或包括一系列元件之設備不僅包含彼等元件而且可包含未明顯列出或為此程序、方法、物件或裝置所固有之其它元件。

【圖式簡單說明】

藉由實例來說明本發明，且本發明並非受到隨附圖示的限制，其中相同的參考數字指示相同的元件，且其中：

圖 1-4 為一根據本發明之第一實施例之處於連續處理階段的半導體裝置之截面。

熟習此項技術者將瞭解，為簡單及清楚起見，對圖中之元件進行了說明且已並無必要來按比例製圖。舉例而言，可相對於其它元件來放大圖中之一些元件的尺寸，以幫助改進對本發明之實施例的理解。

【主要元件符號說明】

10	半導體裝置
12	基板
14	閘極介電
16， 18， 20， 22	層
24， 26	光阻部分
28	矽基板

30	絕緣物層
32	隔離區域
34	N區域
36	P區域
37, 39	閘極堆疊
38, 40	通道
42, 44	汲極
46, 60	側壁間隔片
48, 62	襯墊
50, 52, 54, 64, 66	矽化物區域
56, 58	汲極區域

五、中文發明摘要：

一種半導體裝置具有一P通道(38)閘極堆疊及一N通道(40)閘極堆疊，其中該P通道(38)閘極堆疊包括第一金屬類型(18)及位於該第一金屬類型(18)之上的第二金屬類型(20)，該N通道(40)閘極堆疊包括直接與閘極介電(14)接觸的第一金屬類型(18)。藉由乾式蝕刻來蝕刻N通道(40)閘極堆疊及一部分P通道(38)閘極堆疊。藉由濕式蝕刻來完成P通道(38)閘極堆疊之蝕刻。濕式蝕刻對閘極介電(14)及第一金屬類型(18)非常具有選擇性，使得N通道電晶體不會受到完成P通道(38)閘極堆疊之蝕刻的不利影響。

六、英文發明摘要：

A semiconductor device (10) has a P channel (38) gate stack comprising a first metal type (18) and a second metal type (20) over the first metal type (18) and an N channel (40) gate stack comprising the second metal type (18) in direct contact with the a gate dielectric (14). The N channel (40) gate stack and a portion of the P channel (38) gate stack are etched by a dry etch. The etch of the P channel (38) gate stack is completed with a wet etch. The wet etch is very selective to the gate dielectric (14) and to the second metal type (18) so that the N channel transistor is not adversely effected by completing the etch of the P channel (38) gate stack.

十一、圖式：

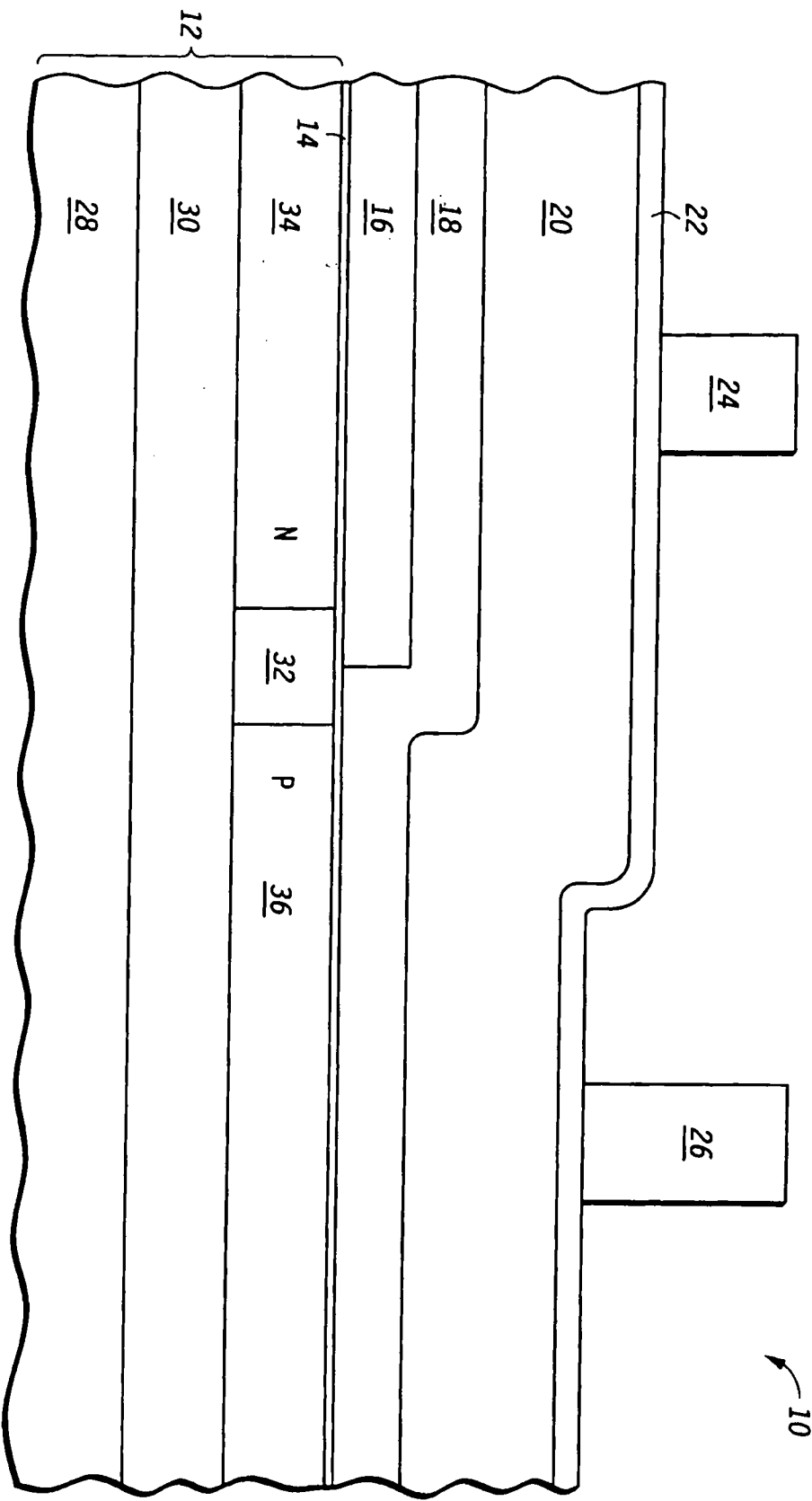
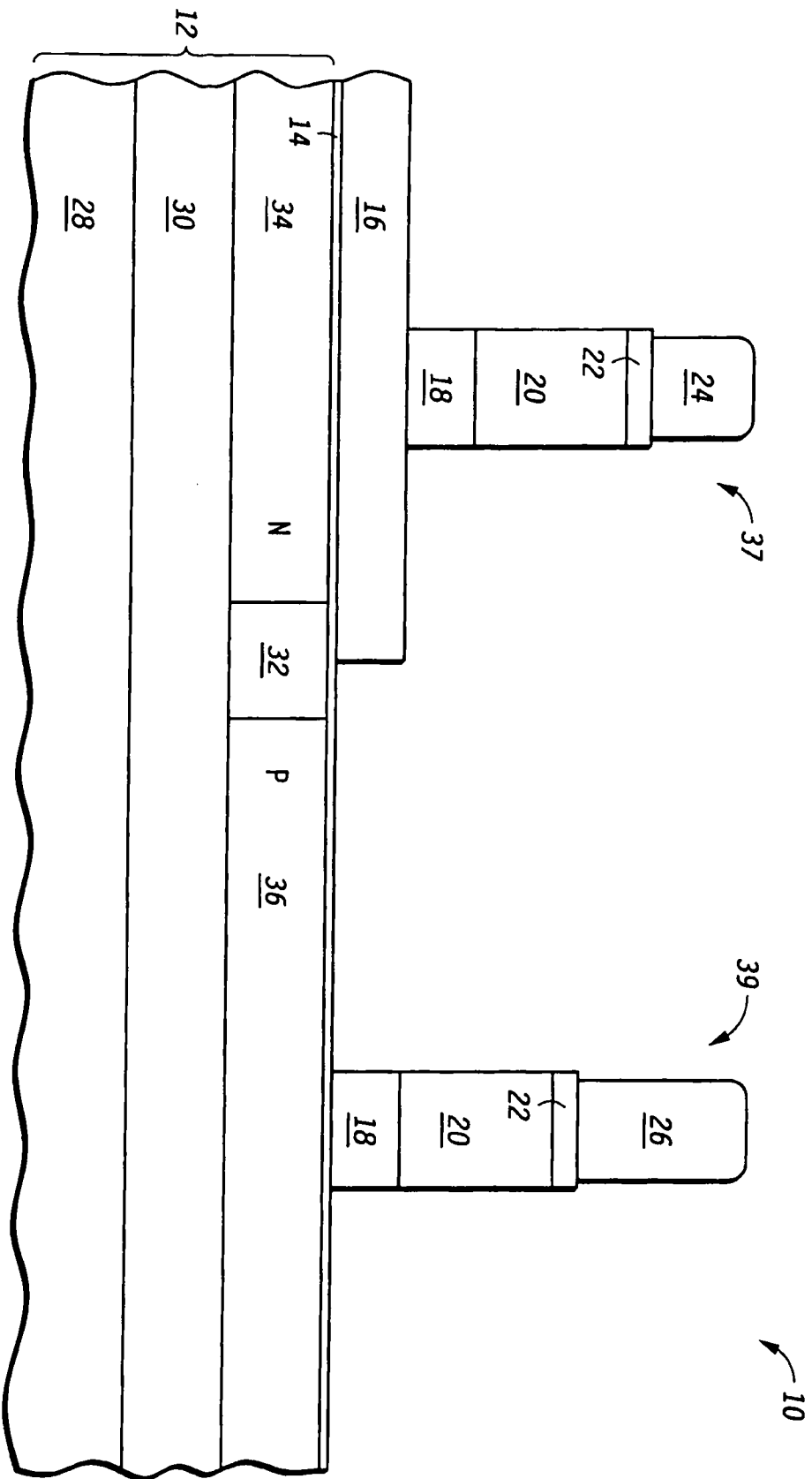


圖 1



2

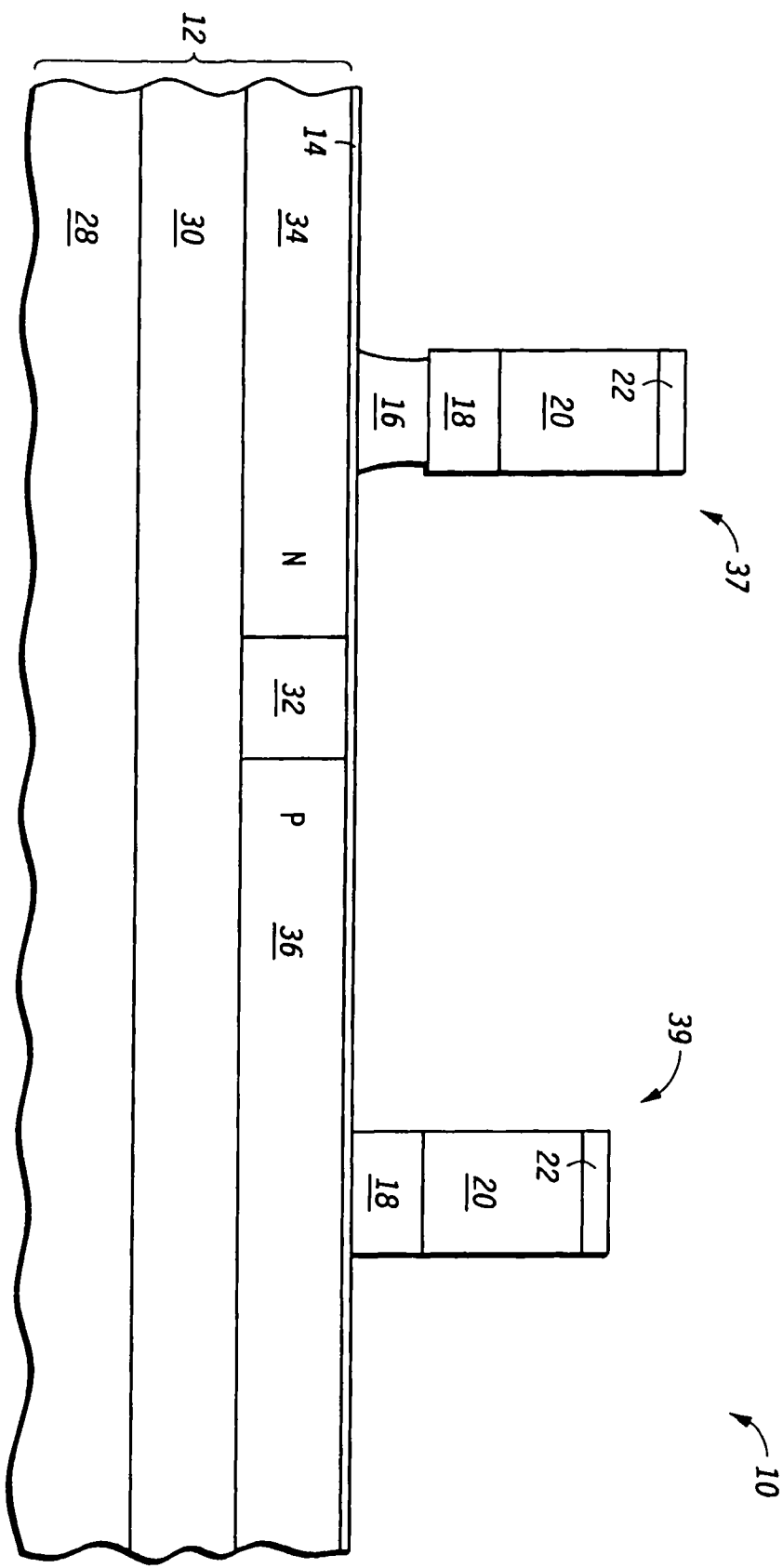


圖 3

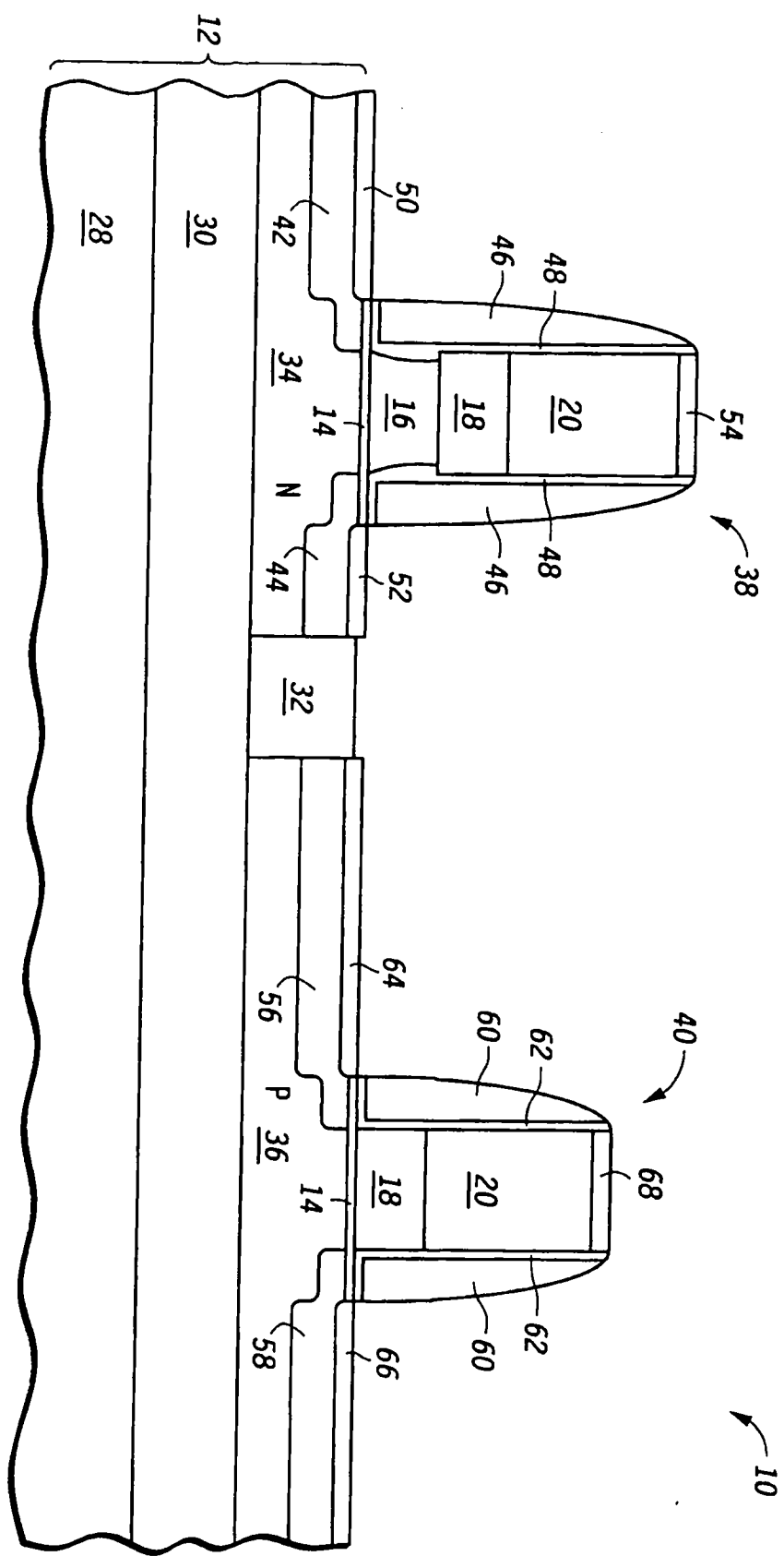


圖 4

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

10	半導體裝置
12	基板
14	閘極介電層
16, 18, 20, 22	層
28	矽基板
30	絕緣物層
32	隔離區域
34	N區域
36	P區域
37, 39	閘極堆疊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

發明專利說明書

B310 (1)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93110018

※ 申請日期：93.4.9

※IPC 分類：H01L 21/306 (2006.01)

一、發明名稱：(中文/英文)

形成雙金屬閘極結構之程序

PROCESS FOR FORMING DUAL METAL GATE STRUCTURES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,

U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

十、申請專利範圍：

1. 一種用於形成一個雙金屬閘極結構之程序，其包括：

提供一具有一第一區域及一第二區域之半導體基板，其中該第一區域具有一第一導電類型且該第二區域具有一第二導電類型，其不同於該第一導電類型；

形成一覆蓋該半導體基板之該第一區域及該第二區域的介電層；

形成一覆蓋該介電層之第一含金屬層，其中該第一含金屬層覆蓋該半導體基板之第一區域；

形成一覆蓋該第一含金屬層及該介電層之第二含金屬層，其中該第二含金屬層與覆蓋該半導體基板之第二區域的該介電層之一部分直接接觸；

形成一覆蓋該第二含金屬層之圖案化遮罩層以界定一第一閘極堆疊及一第二閘極堆疊；

使用該圖案化遮罩層來對該第二含金屬層進行乾式蝕刻以形成該第一閘極堆疊之一閘極電極，並在該第一含金屬層上界定該第二含金屬層之一第一部分之側壁，其中該第二含金屬層之該第一部分係該第二閘極堆疊之一上部分；及

使用該第二含金屬層之該第一部分作為一遮罩來對該第一含金屬層之至少一部分進行濕式蝕刻，以在該第一部分下形成該第二閘極堆疊之一閘極電極。

2. 如請求項1之程序，其中第一及第二含金屬層中之一個具有一至少為4.6電子伏(eV)的工作函數，且第一及第二含

99年12月08日修(更)正替換頁

金屬層中之另一個具有一至多為4.4 eV的工作函數。

3. 如請求項1之程序，其中第一及第二含金屬層中之一個包括氮化鈦(TiN)，且第一及第二含金屬層中之另一個包括氮化矽鉭(TaSiN)。
4. 如請求項1之程序，其中第一及第二含金屬層之每一個具有一至少為30埃的厚度。
5. 如請求項1之程序，其中該第二含金屬層包括一合金。
6. 如請求項1之程序，其中第一及第二含金屬層中之每一個包括一合金。
7. 如請求項1之程序，其進一步包括：

形成一覆蓋該第二含金屬層之含矽層，其中該圖案化遮罩層覆蓋該含矽層；及

使用該圖案化遮罩層來對該含矽層進行乾式蝕刻。

8. 如請求項7之程序，其進一步包括：

形成一覆蓋該含矽層之抗反射塗層(ARC)，其中該圖案化遮罩層覆蓋該ARC層；及

使用該圖案化遮罩層來對該ARC層進行乾式蝕刻。

9. 如請求項8之程序，其進一步包括：

在該半導體基板之第一及第二區域中來形成摻雜區域，其鄰近於第一及第二閘極堆疊，且形成鄰近於第一及第二閘極堆疊的側壁間隔片，從而形成一第一電晶體及一第二電晶體。