(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年11月23日(23.11.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/223590 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/861* (2006.01)
H01L 29/12 (2006.01) *H01L 29/868* (2006.01)

(21) 国際出願番号： PCT/JP2022/046593

(22) 国際出願日： 2022年12月19日(19.12.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-082048 2022年5月19日(19.05.2022) JP

(71) 出願人: 住友電気工業株式会社 (**SUMITOMO ELECTRIC INDUSTRIES, LTD.**) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

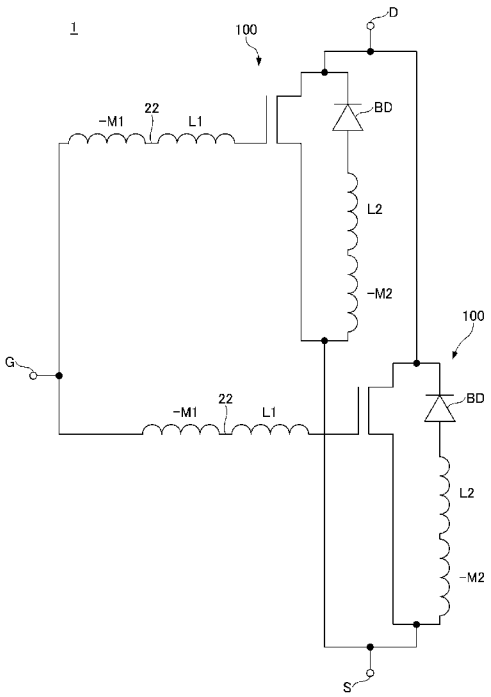
(72) 発明者: 増田 健良 (**MASUDA, Takeyoshi**); 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 住友電気工業株式会社内 Osaka (JP).

(74) 代理人: 伊東 忠重, 外 (**ITOH, Tadashige** et al.); 〒1000005 東京都千代田区丸の内二丁目１番１号 丸の内 ＭＹ ＰＬＡＺＡ （明治安田生命ビル） １６階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) **Title:** SEMICONDUCTOR CHIP

(54) 発明の名称： 半導体チップ



(57) **Abstract:** A semiconductor chip (1) comprises a plurality of transistor cells (100) arranged side by side in a first direction (Y). Each transistor cell has a gate wire (22a, 22b) that extends in a second direction (X) that is orthogonal to the first direction (Y), and a first semiconductor region (17) that extends in the second direction. The gate wire is disposed such that the mutual inductance that is generated between the gate wire and the gate wire of an adjacent transistor cell assumes a negative value. The first semiconductor region is disposed such that the mutual inductance that is generated between the first semiconductor region and the first semiconductor region of an adjacent transistor cell assumes a negative value.

(57) 要約：半導体チップ（1）は、第１方向（Y）に沿って並んで配置される複数のトランジスタセル（100）を備え、前記トランジスタセルは、前記第１方向と直交する第２方向（X）に沿って延びるゲート配線（22a, 22b）と、前記第２方向に沿って延び、第１導電型の第１半導体領域（17）と、を有し、前記ゲート配線は、隣り合う前記トランジスタセルの前記ゲート配線との間に生じる相互インダクタンスが負の値となるように配置され、前記第１半導体領域は、隣り合う前記トランジスタセルの前記第１半導体領域との間に生じる相互インダクタンスが負の値となるように配置される。

WO 2023/223590 A1

［続葉有］

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明　細　書

発明の名称 ： 半導体チップ

技術分野

[0001]　本開示は、半導体チップに関する。

[0002]　本出願は、２０２２年５月１９日出願の日本出願第２０２２－０８２０４８号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。

背景技術

[0003]　並列に配置された複数のトランジスタセルを含む半導体チップが知られている（例えば、特許文献１参照）。

先行技術文献

特許文献

[0004] 特許文献1：日本国特開２０１２－２３２９１号公報

発明の概要

[0005]　本開示の半導体チップは、第１方向に沿って並んで配置される複数のトランジスタセルを備え、前記トランジスタセルは、前記第１方向と直交する第２方向に沿って延びるゲート配線と、前記第２方向に沿って延び、第１導電型の第１半導体領域と、を有し、前記ゲート配線は、隣り合う前記トランジスタセルの前記ゲート配線との間に生じる相互インダクタンスが負の値となるように配置され、前記第１半導体領域は、隣り合う前記トランジスタセルの前記第１半導体領域との間に生じる相互インダクタンスが負の値となるように配置される。

図面の簡単な説明

[0006] [図1]図１は、実施形態に係る半導体チップを示す回路図である。

[図2]図２は、実施形態に係る半導体チップを示す平面図である。

[図3]図３は、実施形態に係る半導体チップを示す斜視断面図である。

[図4]図４は、実施形態に係る半導体チップにおける電界緩和領域及び接続領

域の構成を示す図である。

[図5]図５は、実施形態に係る半導体チップにおけるコンタクト領域及び接続領域の構成を示す図である。

[図6]図６は、実施形態に係る半導体チップを示す断面図（その１）である。

[図7]図７は、実施形態に係る半導体チップを示す断面図（その２）である。

[図8]図８は、実施形態に係る半導体チップを示す断面図（その３）である。

[図9]図９は、実施形態に係る半導体チップを示す断面図（その４）である。

[図10]図１０は、実施形態に係る半導体チップを示す断面図（その５）である。

発明を実施するための形態

[0007] ［本開示が解決しようとする課題］

従来の半導体チップでは、隣り合うトランジスタセルのｐ$^+$ボディ層に同じ方向の電流が流れるため、隣り合うｐ$^+$ボディ層との間に生じる相互インダクタンスによってｐ$^+$ボディ層の内部インダクタンスが大きくなる場合がある。

[0008] 従来の半導体チップでは、隣り合うトランジスタセルのゲート配線に同じ方向の電流が流れ、隣り合うゲート配線との間に生じる相互インダクタンスによりゲート配線の内部インダクタンスが大きくなる場合がある。

[0009] 本開示は、内部インダクタンスを低減できる半導体チップを提供することを目的とする。

[0010] ［本開示の効果］

本開示によれば、内部インダクタンスを低減できる。

[0011] 実施するための形態について、以下に説明する。

[0012] ［本開示の実施形態の説明］

最初に本開示の実施態様を列記して説明する。以下の説明では、同一又は対応する要素には同一の符号を付し、それらについて同じ説明は繰り返さない。

[0013] 〔１〕 本開示の一態様に係る半導体チップは、第１方向に沿って並んで配置される複数のトランジスタセルを備え、前記トランジスタセルは、前記

第１方向と直交する第２方向に沿って延びるゲート配線と、前記第２方向に沿って延び、第１導電型の第１半導体領域と、を有し、前記ゲート配線は、隣り合う前記トランジスタセルの前記ゲート配線との間に生じる相互インダクタンスが負の値となるように配置され、前記第１半導体領域は、隣り合う前記トランジスタセルの前記第１半導体領域との間に生じる相互インダクタンスが負の値となるように配置される。この場合、ゲート配線の相互インダクタンスがゲート配線の自己インダクタンスを低減させる方向に作用するので、ゲート配線の内部インダクタンスを低減できる。このため、ゲート電圧のリンギングを抑制できる。また、第１半導体領域の相互インダクタンスが第１半導体領域の自己インダクタンスを低減させる方向に作用するので、第１半導体領域の内部インダクタンスを低減できる。このため、スイッチング特性に優れた半導体チップが得られる。

[0014] 〔２〕 〔１〕において、前記ゲート配線は、隣り合う前記トランジスタセルの前記ゲート配線との間で、前記第２方向に沿って流れる電流の向きが逆になるように配置されてもよい。この場合、相互インダクタンスを負の値にしやすい。

[0015] 〔３〕 〔１〕又は〔２〕において、半導体基板と、前記半導体基板の上に配置されるゲートパッドと、前記ゲート配線と前記ゲートパッドとを電気的に接続する第１接続配線と、前記ゲート配線と前記ゲートパッドとを電気的に接続する第２接続配線と、を備え、前記第１接続配線は、前記第１方向に沿って延び、前記第２接続配線は、前記第１接続配線との間に複数の前記ゲート配線を挟んで配置され、複数の前記ゲート配線は、前記第１接続配線と電気的に接続される第１ゲート配線と、前記第２接続配線と電気的に接続される第２ゲート配線と、を有し、前記第１ゲート配線と前記第２ゲート配線とは前記第１方向に沿って交互に配置されてもよい。この場合、隣り合うゲート配線に互いに逆向きの電流を流しやすい。

[0016] 〔４〕 〔３〕において、前記第１ゲート配線と前記第２ゲート配線とは互いに平行であってもよい。この場合、相互インダクタンスが自己インダク

タンスを低減させる方向に作用しやすい。

[0017] 〔５〕 〔３〕又は〔４〕において、前記半導体基板は炭化珪素基板であってもよい。この場合、優れた耐圧を得やすい。

[0018] 〔６〕 〔１〕から〔５〕において、前記複数のトランジスタセルは、共通のソース端子と電気的に接続され、かつ共通のドレイン端子と電気的に接続されてもよい。この場合、１つの半導体チップに複数のトランジスタセルを搭載できる。

[0019] 〔７〕 〔１〕から〔６〕において、前記第１半導体領域は、隣り合う前記トランジスタセルの前記第１半導体領域との間で、前記第２方向に沿って流れる電流の向きが逆になるように配置されてもよい。この場合、相互インダクタンスを負の値にしやすい。

[0020] 〔８〕 〔１〕から〔７〕において、前記トランジスタセルは、ソース電極と、前記第１半導体領域と前記ソース電極と電気的に接続し、前記第１導電型の第２半導体領域と、を有し、前記第２半導体領域は、隣り合う前記トランジスタセルの前記第２半導体領域に対して前記第２方向における異なる位置に配置されてもよい。この場合、隣り合う第１半導体領域に互いに逆向きの電流を流しやすい。

[0021] 〔９〕 〔８〕において、前記第２半導体領域は、前記第２方向に沿って複数配置され、前記第２半導体領域が配置される前記第２方向における位置は、隣り合う前記トランジスタセルの前記第２方向において隣り合う２つの前記第２半導体領域の中間であってもよい。この場合、隣り合う第１半導体領域に互いに逆向きの電流を流しやすい。

[0022] 〔１０〕 〔１〕から〔９〕において、前記第１半導体領域は、電界緩和領域であってもよい。この場合、電界緩和領域の内部インダクタンスを低減できる。

[0023] 〔１１〕 〔１〕から〔１０〕において、前記トランジスタセルは縦型トランジスタセルであってもよい。この場合、オン抵抗の低減と耐圧の向上を両立しやすい。

[0024] ［本開示の実施形態の詳細］

以下、本開示の実施形態について詳細に説明するが、本開示はこれらに限定されるものではない。

[0025] 実施形態に係る半導体チップ１について説明する。

[0026] 図１は、実施形態に係る半導体チップ１を示す回路図である。図１に示されるように、実施形態に係る半導体チップ１は、複数のトランジスタセル１００を備える。

[0027] 複数のトランジスタセル１００は、電気的に並列接続される。複数のトランジスタセル１００は、共通のゲート端子Ｇ、共通のソース端子Ｓ及び共通のドレイン端子Ｄと電気的に接続される。この場合、１つの半導体チップ１に複数のトランジスタセル１００を搭載できる。各トランジスタセル１００には、ソース端子Ｓとドレイン端子Ｄとの間にボディダイオードＢＤが生成される。

[0028] 各トランジスタセル１００は、ゲート配線２２によりゲート端子Ｇに接続される。各ゲート配線２２には、内部インダクタンスが存在し得る。内部インダクタンスは、各ゲート配線２２の自己インダクタンスと、各ゲート配線２２と隣り合うゲート配線２２による相互インダクタンスとを含む。

[0029] 各ゲート配線２２は、隣り合うトランジスタセル１００のゲート配線２２との間に生じる相互インダクタンスが負の値となるように配置される。この場合、相互インダクタンスが自己インダクタンスを低減させる方向に作用するので、ゲート配線２２の内部インダクタンスを低減できる。このため、ゲート電圧のリンギングを抑制できる。

[0030] 例えば、各ゲート配線２２の自己インダクタンスの絶対値をＬ１とし、相互インダクタンスの絶対値をＭ１とすると、各ゲート配線２２の内部インダクタンスがＬ１－Ｍ１となる。このため、各ゲート配線２２の内部インダクタンスを低減できる。

[0031] これに対し、各ゲート配線２２が隣り合うトランジスタセル１００のゲート配線２２との間に生じる相互インダクタンスが正の値となるように配置さ

れる場合、各ゲート配線２２の内部インダクタンスがＬ１＋Ｍ１となる。このため、各ゲート配線２２の内部インダクタンスが増大する。

[0032] 各トランジスタセル１００には、ソース端子Ｓとドレイン端子Ｄとの間の半導体領域に内部インダクタンスが存在し得る。内部インダクタンスは、各トランジスタセル１００の半導体領域と、各トランジスタセル１００と隣り合うトランジスタセル１００の半導体領域による相互インダクタンスとを含む。

[0033] 各半導体領域は、隣り合うトランジスタセル１００の半導体領域との間に生じる相互インダクタンスが負の値となるように配置される。この場合、相互インダクタンスが自己インダクタンスを低減させる方向に作用するので、半導体領域の内部インダクタンスを低減できる。このため、スイッチング特性に優れた半導体チップ１が得られる。また、ボディダイオードＢＤの逆回復特性が改善すると共に、ドレイン電圧の跳ね上がりを抑制できる。

[0034] 例えば、各半導体領域における、自己インダクタンスの絶対値をＬ２とし、相互インダクタンスの絶対値をＭ２とすると、各半導体領域の内部インダクタンスがＬ２－Ｍ２となる。このため、各半導体領域の内部インダクタンスを低減できる。

[0035] これに対し、各半導体領域が隣り合うトランジスタセル１００の半導体領域との間に生じる相互インダクタンスが正の値となるように配置される場合、各半導体領域の内部インダクタンスがＬ２＋Ｍ２となる。このため、各半導体領域の内部インダクタンスが増大する。

[0036] 各半導体領域は、所定の方向に沿って延び、例えば隣り合うトランジスタセル１００の半導体領域との間で、所定の方向に沿って流れる電流の向きが逆になるように配置される。この場合、相互インダクタンスを負の値にしやすい。

[0037] 各半導体領域は、後述する電界緩和領域１７であってよい。この場合、電界緩和領域１７の内部インダクタンスを低減できる。

[0038] 次に、実施形態に係る半導体チップ１の一例としての電界効果トランジス

タの構成について説明する。

[0039] 図２は、実施形態に係る半導体チップ１を示す平面図である。図３は、実施形態に係る半導体チップ１を示す斜視断面図である。図３では、後述するゲート絶縁膜２１、ゲート配線２２、層間絶縁膜２３及びソース電極３０の図示を省略する。図４は、実施形態に係る半導体チップ１における電界緩和領域１７及び接続領域１８の構成を示す図である。図４は、図３中の接続領域１８の下端面に沿った断面図である。図５は、実施形態に係る半導体チップ１におけるコンタクト領域１６及び接続領域１８の構成を示す図である。図５は、図３中のコンタクト領域１６の上端面に沿った断面図である。

[0040] 図２から図５に示されるように、実施形態に係る半導体チップ１は、複数のトランジスタセル１００を備える。

[0041] 複数のトランジスタセル１００は、Ｘ軸方向を長手方向とし、Ｙ軸方向に沿って並んで配置される。Ｙ軸方向は第１方向の一例であり、Ｘ軸方向は第２方向の一例である。各トランジスタセル１００は、例えばトレンチゲート構造の縦型トランジスタセルである。各トランジスタセル１００は、プレーナゲート構造の縦型トランジスタセルであってもよい。各トランジスタセル１００が縦型トランジスタセルである場合、オン抵抗の低減と耐圧の向上を両立しやすい。各トランジスタセル１００は、Ｘ軸方向に沿って延びるゲート配線２２を有する。

[0042] 各ゲート配線２２は、例えば隣り合うトランジスタセル１００のゲート配線２２との間で、Ｘ軸方向に沿って流れる電流の向きが逆になるように配置される。この場合、相互インダクタンスを負の値にしやすい。

[0043] 複数のゲート配線２２は、第１ゲート配線２２ａと、第２ゲート配線２２ｂとを含む。第１ゲート配線２２ａは、ゲートランナー５１と電気的に接続され、かつゲートランナー５２と電気的に接続されない。第２ゲート配線２２ｂは、ゲートランナー５２と電気的に接続され、かつゲートランナー５１と電気的に接続されない。第１ゲート配線２２ａと第２ゲート配線２２ｂとは、例えばＹ軸方向に沿って交互に配置される。この場合、隣り合うゲート

配線２２に互いに逆向きの電流を流しやすい。Ｘ軸方向及びＹ軸方向と直交する方向から平面視したときに、第１ゲート配線２２ａ、第２ゲート配線２２ｂ及びゲートランナー５１，５２は、例えば櫛形状に配置される。ゲートランナー５１，５２は、ゲートパッド６０と電気的に接続される。

[0044] 複数のゲート配線２２は、例えば互いに平行である。この場合、相互インダクタンスが自己インダクタンスを低減させる方向に作用しやすい。

[0045] 図６から図１０は、実施形態に係る半導体チップ１を示す断面図である。図６は、図２中のＡ－Ａ線及び図４中及び図５中のＤ－Ｄ線に沿った断面図である。図７は、図２中のＢ－Ｂ線に沿った断面図である。図８は、図２中のＣ－Ｃ線に沿った断面図である。図９は、図４中及び図５中のＥ－Ｅ線に沿った断面図である。図１０は、図４中及び図５中のＦ－Ｆ線に沿った断面図である。

[0046] 図６から図１０に示されるように、実施形態に係る半導体チップ１は、主として、炭化珪素基板１０と、ゲート絶縁膜２１と、ゲート配線２２と、層間絶縁膜２３と、ソース電極３０と、ドレイン電極４０と、ゲートランナー５１，５２と、ゲートパッド６０とを有する。

[0047] 炭化珪素基板１０は、半導体基板の一例である。炭化珪素基板１０を用いる場合、優れた耐圧を得やすい。炭化珪素基板１０は、炭化珪素単結晶基板１１と、炭化珪素単結晶基板１１上にある炭化珪素エピタキシャル層１２とを含む。炭化珪素基板１０は、第１主面１０Ａと、第１主面１０Ａと反対の第２主面１０Ｂとを有する。炭化珪素エピタキシャル層１２は第１主面１０Ａを構成し、炭化珪素単結晶基板１１は第２主面１０Ｂを構成する。炭化珪素単結晶基板１１及び炭化珪素エピタキシャル層１２は、例えばポリタイプ４Ｈの六方晶炭化珪素から構成される。炭化珪素単結晶基板１１は、例えば窒素（Ｎ）等のｎ型不純物を含み、ｎ型の導電型を有する。炭化珪素基板１０に複数のトランジスタセル１００が形成される。

[0048] 炭化珪素エピタキシャル層１２は、主として、ドリフト領域１３と、ボディ領域１４と、ソース領域１５と、コンタクト領域１６と、電界緩和領域１

７と、接続領域１８とを有する。

[0049] ドリフト領域１３は、例えば窒素又はリン（Ｐ）等のｎ型不純物を含み、ｎ型の導電型を有する。ドリフト領域１３は、第１領域１３Ａと、第２領域１３Ｂと、第３領域１３Ｃとを有する。

[0050] ボディ領域１４は、ドリフト領域１３の上に設けられる。ボディ領域１４は、例えばアルミニウム（Ａｌ）等のｐ型不純物を含み、ｐ型の導電型を有する。

[0051] ソース領域１５は、ボディ領域１４の上に設けられる。ソース領域１５は、例えば窒素又はリン等のｎ型不純物を含み、ｎ型の導電型を有する。ソース領域１５は、ボディ領域１４によってドリフト領域１３から隔てられる。ソース領域１５は、第１主面１０Ａを構成する。

[0052] コンタクト領域１６は、例えばアルミニウム等のｐ型不純物を含み、ｐ型の導電型を有する。コンタクト領域１６は、ソース領域１５を貫通し、ボディ領域１４に接する。コンタクト領域１６は、第１主面１０Ａを構成する。コンタクト領域１６のｐ型不純物の実効濃度は、例えば$1\times10^{18}cm^{-3}$以上$2\times10^{20}cm^{-3}$以下である。

[0053] 第１主面１０Ａには、側面３と底面４とにより規定されるゲートトレンチ５が設けられる。側面３は、ソース領域１５及びボディ領域１４を貫通してドリフト領域１３に至る。側面３は、例えば第２主面１０Ｂから傾斜した面であってもよく、第２主面１０Ｂに垂直な面であってもよい。底面４は、側面３と連なる。底面４は、ドリフト領域１３にある。底面４は、例えば第２主面１０Ｂと平行な平面である。ゲートトレンチ５は、例えばＸ軸方向に沿ってアイランド状に設けられる。第１主面１０Ａに垂直な方向から平面視したときに、複数のゲートトレンチ５はＹ軸方向に一定の間隔で設けられる。

[0054] 電界緩和領域１７は、例えばアルミニウム等のｐ型不純物を含み、ｐ型の導電型を有する。電界緩和領域１７は、Ｘ軸方向に沿って延びる。電界緩和領域１７は、ボディ領域１４と第２主面１０Ｂとの間にある。第１主面１０Ａに垂直な方向から平面視したときに、電界緩和領域１７はゲートトレンチ

５と重なる部分を含む。電界緩和領域１７は、高電圧印加時に底面４に接するゲート絶縁膜２１に電界が集中することを緩和する。第２主面１０Ｂに対して垂直な方向において、電界緩和領域１７の上端面は底面４から離隔する。電界緩和領域１７の上端面は、ゲートトレンチ５の底面４を含んでもよい。電界緩和領域１７の上端面の一部は、ボディ領域１４の下端面の一部に対向する。電界緩和領域１７は、ソース電極３０と電気的に接続される。この場合、電界緩和領域１７がソース電位となり、ゲート配線２２とドレイン電極４０との間の寄生容量を低減できる。このため、スイッチング速度が向上する。電界緩和領域１７のｐ型不純物の実効濃度は、例えば$５\times１０^{17}ｃｍ^{-3}$以上$５\times１０^{18}ｃｍ^{-3}$以下である。電界緩和領域１７は、第１半導体領域の一例である。

[0055] 接続領域１８は、例えばアルミニウム等のｐ型不純物を含み、ｐ型の導電型を有する。接続領域１８は、第１領域１３Ａを貫通して、電界緩和領域１７に至る。接続領域１８は、ボディ領域１４と電界緩和領域１７とを電気的に接続する。この場合、図９及び図１０の矢印で示されるように、ソース電極３０からコンタクト領域１６、ボディ領域１４及び接続領域１８をこの順に通って電界緩和領域１７に電流が流れる。接続領域１８は、ボディ領域１４に接する。接続領域１８は、コンタクト領域１６に接してもよい。接続領域１８は、ボディ領域１４及びコンタクト領域１６の各々に接してもよい。接続領域１８は、コンタクト領域１６と電界緩和領域１７との間にある。接続領域１８は、コンタクト領域１６よりも第２主面１０Ｂの近くにある。接続領域１８は、電界緩和領域１７よりも第１主面１０Ａの近くにある。接続領域１８は、例えばＸ軸方向に沿って一定の間隔で複数配置される。接続領域１８のｐ型不純物の実効濃度は、電界緩和領域１７のｐ型不純物の実効濃度とほぼ同じであってもよい。接続領域１８のｐ型不純物の実効濃度は、例えば$５\times１０^{17}ｃｍ^{-3}$以上$５\times１０^{18}ｃｍ^{-3}$以下である。接続領域１８は、第２半導体領域の一例である。

[0056] 接続領域１８は、隣り合うトランジスタセル１００の接続領域１８に対し

てＸ軸方向における異なる位置に配置される。この場合、図４の矢印で示されるように隣り合う電界緩和領域１７に互いに逆向きの電流を流しやすい。

[0057] 接続領域１８が配置されるＸ軸方向における位置は、例えば隣り合うトランジスタセル１００のＸ軸方向において隣り合う２つの接続領域１８の中間であってよい。この場合、隣り合う電界緩和領域１７に互いに逆向きの電流を流しやすい。

[0058] ドリフト領域１３の第１領域１３Ａは、ボディ領域１４と電界緩和領域１７との間にある。第１領域１３Ａは、ボディ領域１４及び電界緩和領域１７に接する。第１領域１３Ａは、電界緩和領域１７よりも第１主面１０Ａの近くにある。

[0059] 第２領域１３Ｂは、第１領域１３Ａよりも第２主面１０Ｂの近くにある。第２領域１３Ｂは、第１領域１３Ａと連なる。第２領域１３Ｂは、第２主面１０Ｂと平行な方向において電界緩和領域１７と接する。第２領域１３Ｂと電界緩和領域１７とは、第２主面１０Ｂと平行な同一平面に位置してもよい。第２領域１３Ｂのｎ型不純物の実効濃度は、第１領域１３Ａのｎ型不純物の実効濃度よりも高くてもよい。

[0060] 第３領域１３Ｃは、第２領域１３Ｂよりも第２主面１０Ｂの近くにある。第３領域１３Ｃは、第２領域１３Ｂと連なる。第３領域１３Ｃは、電界緩和領域１７と接する。第３領域１３Ｃは、電界緩和領域１７よりも第２主面１０Ｂの近くにある。第３領域１３Ｃは、第２領域１３Ｂと炭化珪素単結晶基板１１との間にあってもよい。第３領域１３Ｃは、炭化珪素単結晶基板１１に連なってもよい。第３領域１３Ｃのｎ型不純物の実効濃度は、第２領域１３Ｂのｎ型不純物の実効濃度と同じであってもよい。

[0061] ゲート絶縁膜２１は、例えば酸化膜である。ゲート絶縁膜２１は、例えば二酸化珪素を含む材料により構成される。ゲート絶縁膜２１は、側面３及び底面４に接する。ゲート絶縁膜２１は、底面４において第１領域１３Ａと接する。ゲート絶縁膜２１は、側面３においてソース領域１５、ボディ領域１４及び第１領域１３Ａと接する。ゲート絶縁膜２１は、第１主面１０Ａにお

いてソース領域１５と接してもよい。

[0062] ゲート配線２２は、ゲート絶縁膜２１の上に設けられる。ゲート配線２２は、例えば導電性不純物を含むポリシリコンから構成される。ゲート配線２２は、ゲートトレンチ５の内部に設けられる。ゲート配線２２の一部は、第１主面１０Ａの上に設けられてもよい。

[0063] 層間絶縁膜２３は、ゲート配線２２を覆う。層間絶縁膜２３は、ゲート配線２２及びゲート絶縁膜２１に接する。層間絶縁膜２３は、例えば酸化膜である。層間絶縁膜２３は、例えば二酸化珪素を含む材料から構成される。層間絶縁膜２３は、ゲート配線２２とソース電極３０とを互いに電気的に絶縁する。層間絶縁膜２３の一部は、ゲートトレンチ５の内部に設けられてもよい。

[0064] 層間絶縁膜２３及びゲート絶縁膜２１には、コンタクトホール２４が形成される。コンタクトホール２４は、Ｙ軸方向に一定の間隔で設けられる。コンタクトホール２４は、第１主面１０Ａに垂直な方向から平面視したときに、Ｙ軸方向で隣り合うコンタクトホール２４の間にゲートトレンチ５が位置するように設けられる。コンタクトホール２４は、Ｘ軸方向に沿って延びる。コンタクトホール２４を通じて、ソース領域１５及びコンタクト領域１６が層間絶縁膜２３及びゲート絶縁膜２１から露出する。コンタクト領域１６は、Ｘ軸方向において、全体にわたって設けられる必要はなく、周期的に設けられてもよい。層間絶縁膜２３の上面及び側面と、ゲート絶縁膜２１の側面とを覆うバリアメタル膜が形成されてもよい。

[0065] ソース電極３０は、第１主面１０Ａに接する。ソース電極３０は、コンタクト電極３１と、ソース配線３２とを有する。

[0066] コンタクト電極３１は、第１主面１０Ａにおいて、ソース領域１５及びコンタクト領域１６に接する。コンタクト電極３１は、例えばニッケルシリサイド（ＮｉＳｉ）を含む材料から構成される。コンタクト電極３１は、チタンと、アルミニウムと、シリコンとを含む材料から構成されてもよい。コンタクト電極３１は、コンタクト領域１６とオーミック接合する。

[0067] ソース配線３２は、層間絶縁膜２３の上面及び側面と、コンタクト電極３１の上面とを覆う。ソース配線３２は、コンタクト電極３１と接する。ソース配線３２は、例えばアルミニウムを含む材料から構成される。

[0068] ドレイン電極４０は、第２主面１０Ｂに接する。ドレイン電極４０は、第２主面１０Ｂにおいて炭化珪素単結晶基板１１と接する。ドレイン電極４０は、ドリフト領域１３と電気的に接続される。ドレイン電極４０は、例えばニッケルシリサイドを含む材料から構成される。ドレイン電極４０は、チタンと、アルミニウムと、シリコンとを含む材料から構成されてもよい。ドレイン電極４０は、炭化珪素単結晶基板１１とオーミック接合する。

[0069] ゲートランナー５１は、複数のゲート配線２２よりもＸ軸正側に設けられる。ゲートランナー５１は、Ｙ軸方向に沿って延びる。ゲートランナー５１は、第１ゲート配線２２ａとゲートパッド６０とを電気的に接続する。ゲートランナー５１は、第１ゲート配線２２ａのＸ軸正側の端部と電気的に接続される。この場合、充電電流は図２及び図７の矢印で示されるようにＸ軸正側からＸ軸負側に向かって流れる。一方、放電電流はＸ軸負側からＸ軸正側に向かって流れる。ゲートランナー５１は、ゲート配線２２よりも電気抵抗率が小さい材料から構成される。ゲートランナー５１は、例えばアルミニウム又は銅を含む材料から構成される。ゲートランナー５１は、アルミニウム及び銅を含む材料から構成されてもよい。ゲートランナー５１は、第１接続配線の一例である。

[0070] ゲートランナー５２は、複数のゲート配線２２よりもＸ軸負側に設けられる。ゲートランナー５２は、Ｙ軸方向に沿って延びる。ゲートランナー５２は、ゲートランナー５１との間に複数のゲート配線２２を挟んで配置される。ゲートランナー５２は、第２ゲート配線２２ｂとゲートパッド６０とを電気的に接続する。ゲートランナー５２は、第２ゲート配線２２ｂのＸ軸負側の端部と電気的に接続される。この場合、充電電流は図２及び図８の矢印で示されるようにＸ軸負側からＸ軸正側に向かって流れる。一方、放電電流はＸ軸正側からＸ軸負側に向かって流れる。このため、第１ゲート配線２２ａ

を流れる充電電流の向きと、第２ゲート配線２２ｂを流れる充電電流の向きとが逆になる。また、第１ゲート配線２２ａを流れる放電電流の向きと、第２ゲート配線２２ｂを流れる放電電流の向きとが逆になる。ゲートランナー５２は、ゲートランナー５１と同じ材料から構成される。ゲートランナー５２は、第２接続配線の一例である。

[0071] ゲートパッド６０は、複数のゲート配線２２よりもＹ軸正側に設けられる。ゲートパッド６０は、複数のゲート配線２２よりもＹ軸負側に設けられてもよい。ゲートパッド６０は、例えば矩形状を有する。ゲートパッド６０は、例えばアルミニウム又は銅を含む材料から構成される。ゲートパッド６０は、アルミニウム及び銅を含む材料から構成されてもよい。

[0072] 以上、実施形態について詳述したが、特定の実施形態に限定されるものではなく、請求の範囲に記載された範囲内において、種々の変形及び変更が可能である。

符号の説明

[0073] １　半導体チップ
３　側面
４　底面
５　ゲートトレンチ
１０　炭化珪素基板
１０Ａ　第１主面
１０Ｂ　第２主面
１１　炭化珪素単結晶基板
１２　炭化珪素エピタキシャル層
１３　ドリフト領域
１３Ａ　第１領域
１３Ｂ　第２領域
１３Ｃ　第３領域
１４　ボディ領域

１５　ソース領域

１６　コンタクト領域

１７　電界緩和領域

１８　接続領域

２１　ゲート絶縁膜

２２　ゲート配線

２２ａ　第１ゲート配線

２２ｂ　第２ゲート配線

２３　層間絶縁膜

２４　コンタクトホール

３０　ソース電極

３１　コンタクト電極

３２　ソース配線

４０　ドレイン電極

５１　ゲートランナー

５２　ゲートランナー

６０　ゲートパッド

１００　トランジスタセル

ＢＤ　ボディダイオード

Ｄ　ドレイン端子

Ｇ　ゲート端子

Ｓ　ソース端子

請求の範囲

[請求項1] 第１方向に沿って並んで配置される複数のトランジスタセルを備え、

前記トランジスタセルは、

前記第１方向と直交する第２方向に沿って延びるゲート配線と、

前記第２方向に沿って延び、第１導電型の第１半導体領域と、

を有し、

前記ゲート配線は、隣り合う前記トランジスタセルの前記ゲート配線との間に生じる相互インダクタンスが負の値となるように配置され、

前記第１半導体領域は、隣り合う前記トランジスタセルの前記第１半導体領域との間に生じる相互インダクタンスが負の値となるように配置される、

半導体チップ。

[請求項2] 前記ゲート配線は、隣り合う前記トランジスタセルの前記ゲート配線との間で、前記第２方向に沿って流れる電流の向きが逆になるように配置される、

請求項１に記載の半導体チップ。

[請求項3] 半導体基板と、

前記半導体基板の上に配置されるゲートパッドと、

前記ゲート配線と前記ゲートパッドとを電気的に接続する第１接続配線と、

前記ゲート配線と前記ゲートパッドとを電気的に接続する第２接続配線と、

を備え、

前記第１接続配線は、前記第１方向に沿って延び、

前記第２接続配線は、前記第１接続配線との間に複数の前記ゲート配線を挟んで配置され、

複数の前記ゲート配線は、

前記第１接続配線と電気的に接続される第１ゲート配線と、

前記第２接続配線と電気的に接続される第２ゲート配線と、

を有し、

前記第１ゲート配線と前記第２ゲート配線とは前記第１方向に沿って交互に配置される、

請求項１に記載の半導体チップ。

[請求項4] 前記第１ゲート配線と前記第２ゲート配線とは互いに平行である、

請求項３に記載の半導体チップ。

[請求項5] 前記半導体基板は炭化珪素基板である、

請求項３に記載の半導体チップ。

[請求項6] 前記複数のトランジスタセルは、共通のソース端子と電気的に接続され、かつ共通のドレイン端子と電気的に接続される、

請求項１に記載の半導体チップ。

[請求項7] 前記第１半導体領域は、隣り合う前記トランジスタセルの前記第１半導体領域との間で、前記第２方向に沿って流れる電流の向きが逆になるように配置される、

請求項１に記載の半導体チップ。

[請求項8] 前記トランジスタセルは、

ソース電極と、

前記第１半導体領域と前記ソース電極と電気的に接続し、前記第１導電型の第２半導体領域と、

を有し、

前記第２半導体領域は、隣り合う前記トランジスタセルの前記第２半導体領域に対して前記第２方向における異なる位置に配置される、

請求項１に記載の半導体チップ。

[請求項9] 前記第２半導体領域は、前記第２方向に沿って複数配置され、

前記第２半導体領域が配置される前記第２方向における位置は、隣

り合う前記トランジスタセルの前記第２方向において隣り合う２つの前記第２半導体領域の中間である、

請求項８に記載の半導体チップ。

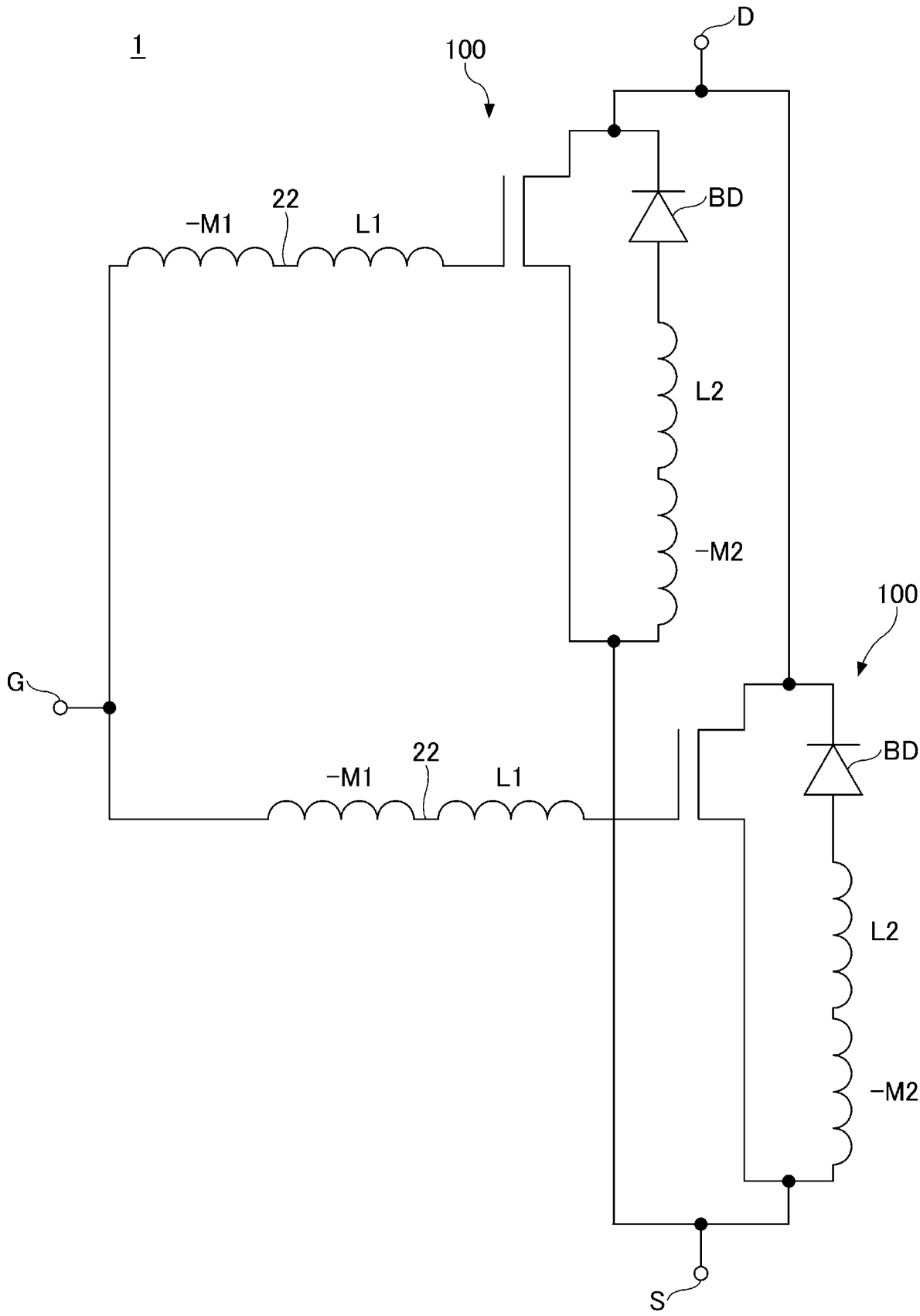
[請求項10] 前記第１半導体領域は、電界緩和領域である、

請求項１に記載の半導体チップ。

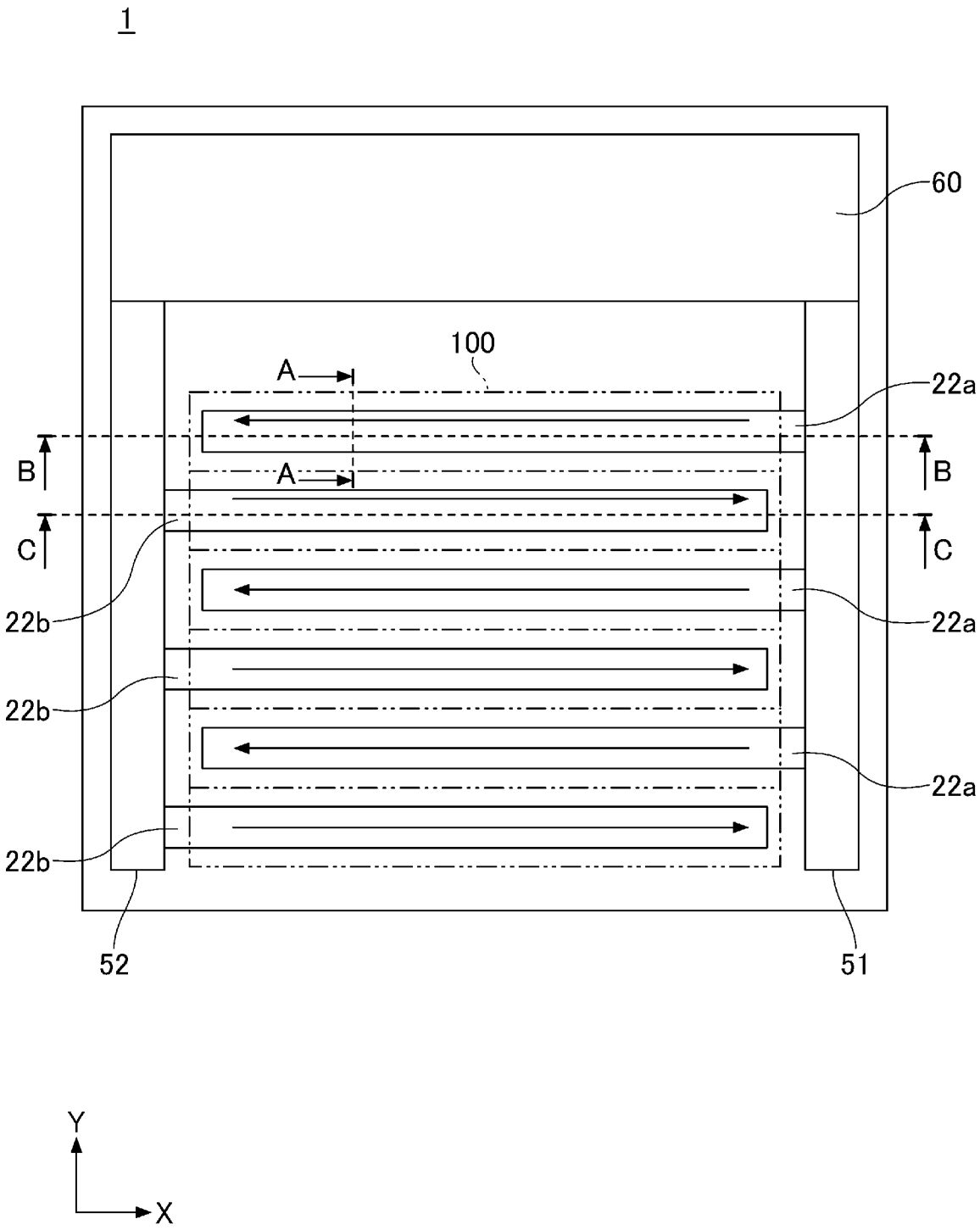
[請求項11] 前記トランジスタセルは縦型トランジスタセルである、

請求項１から請求項１０のいずれか１項に記載の半導体チップ。

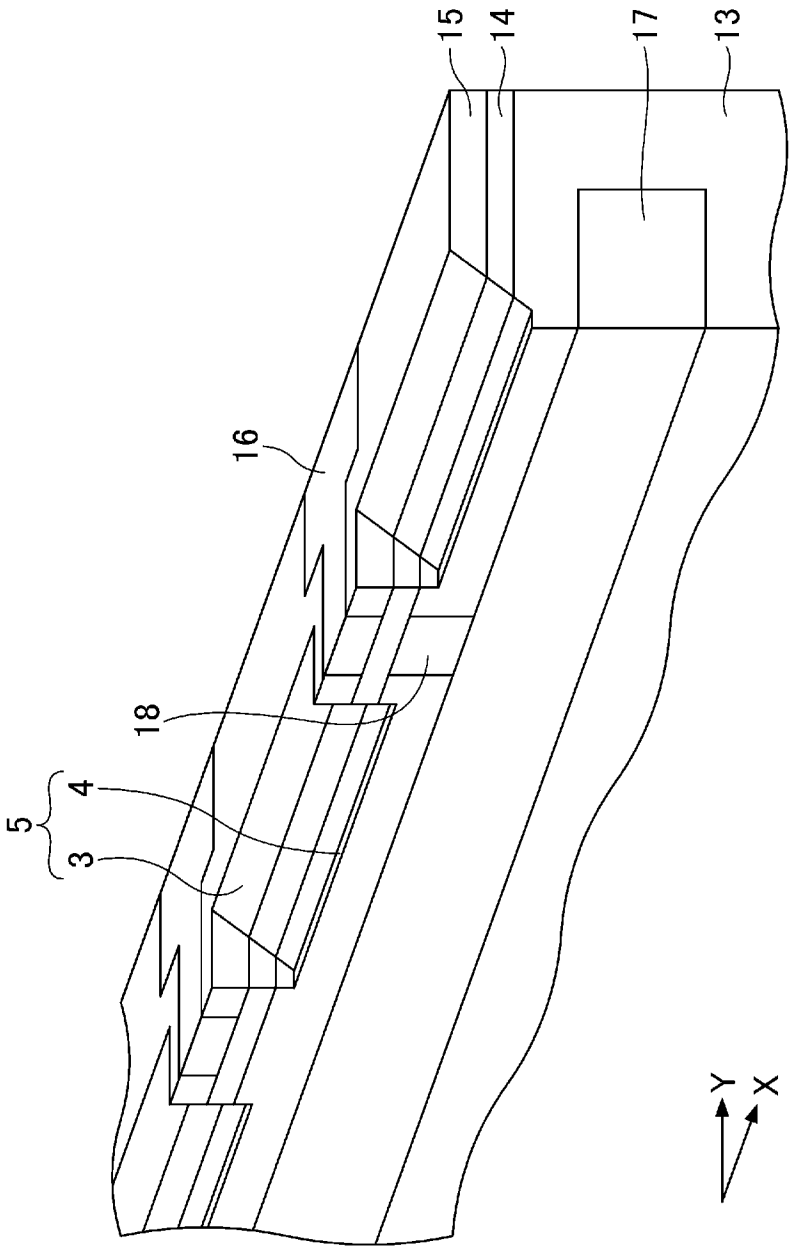
[図1]



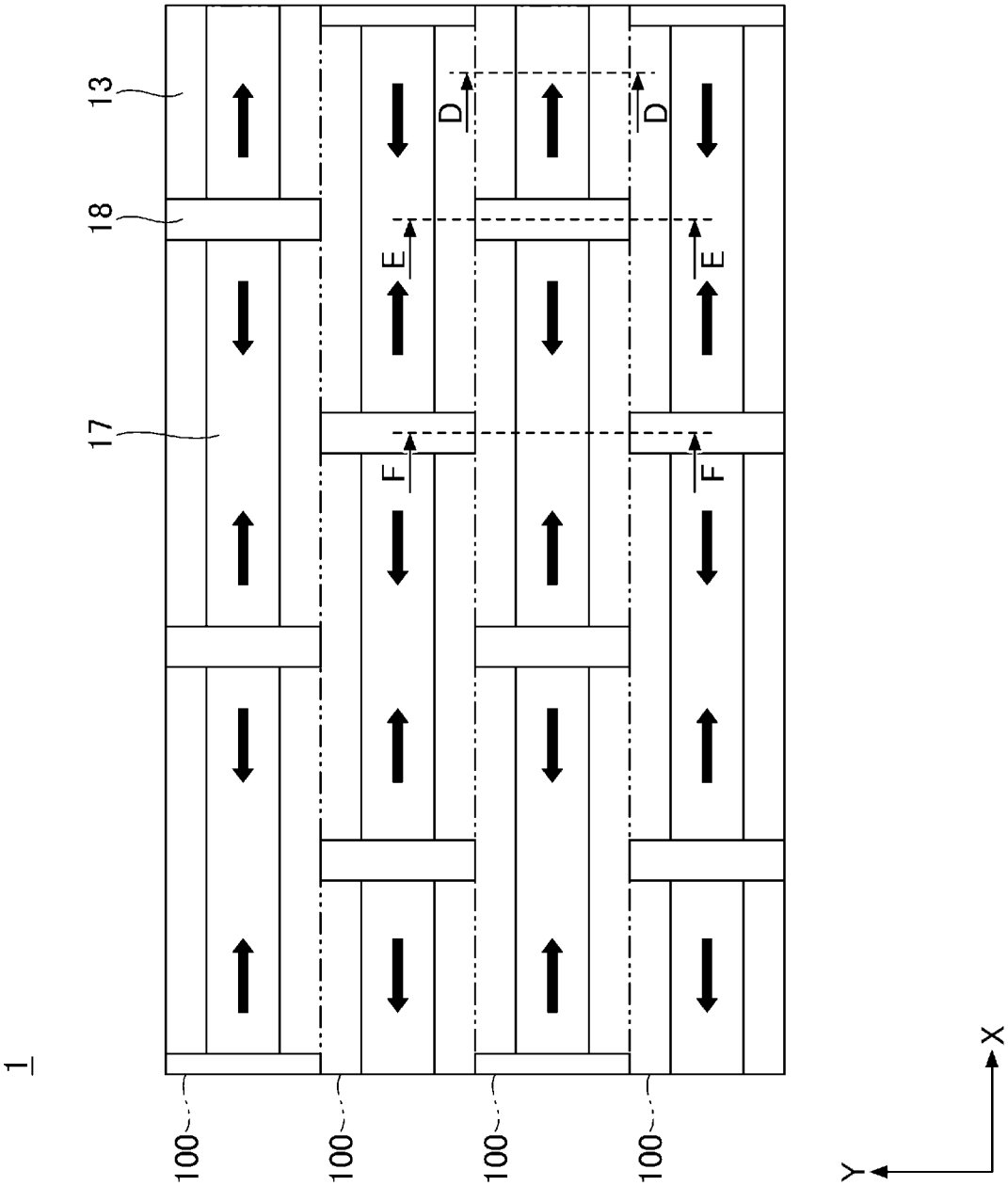
[図2]



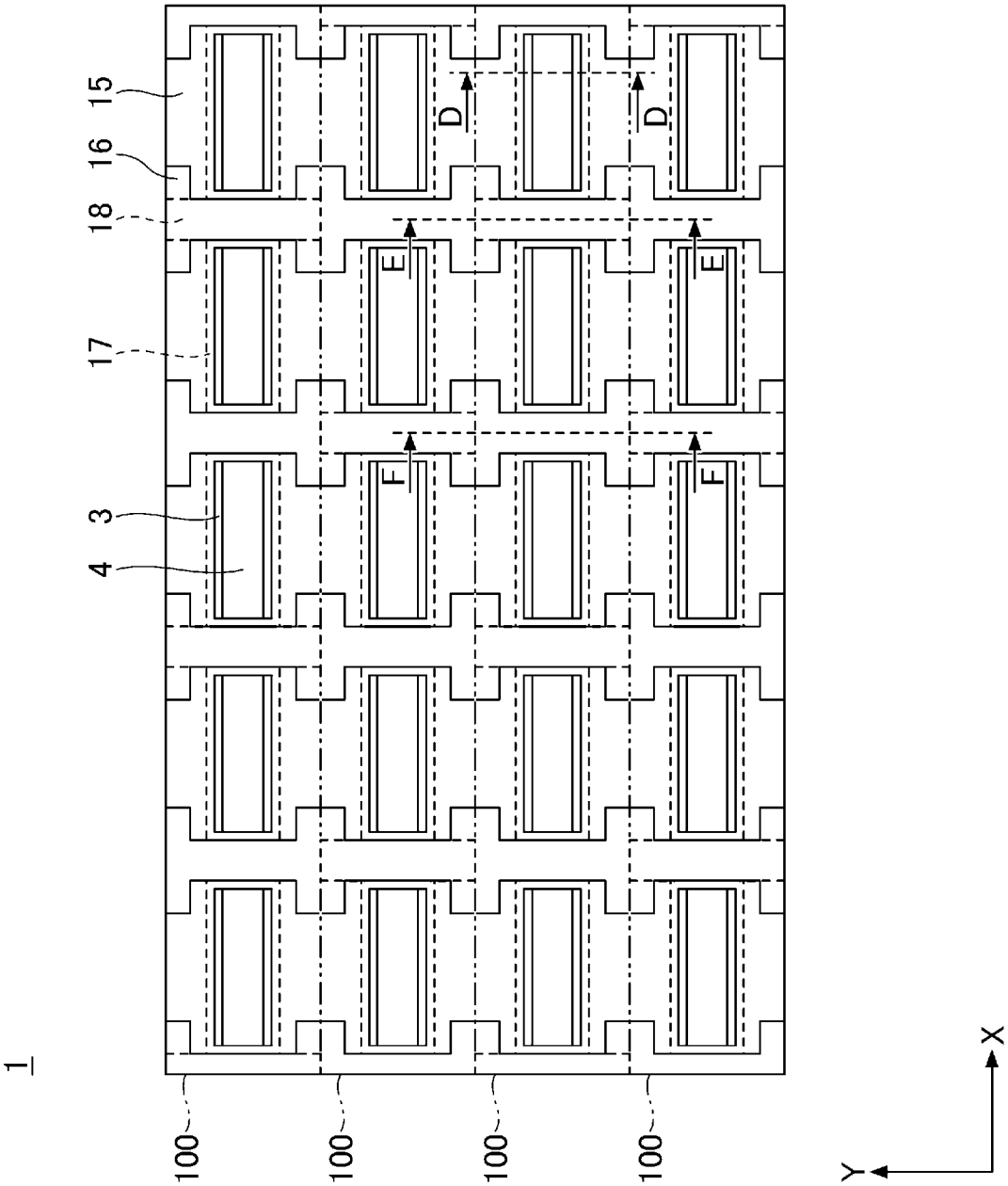
[図3]



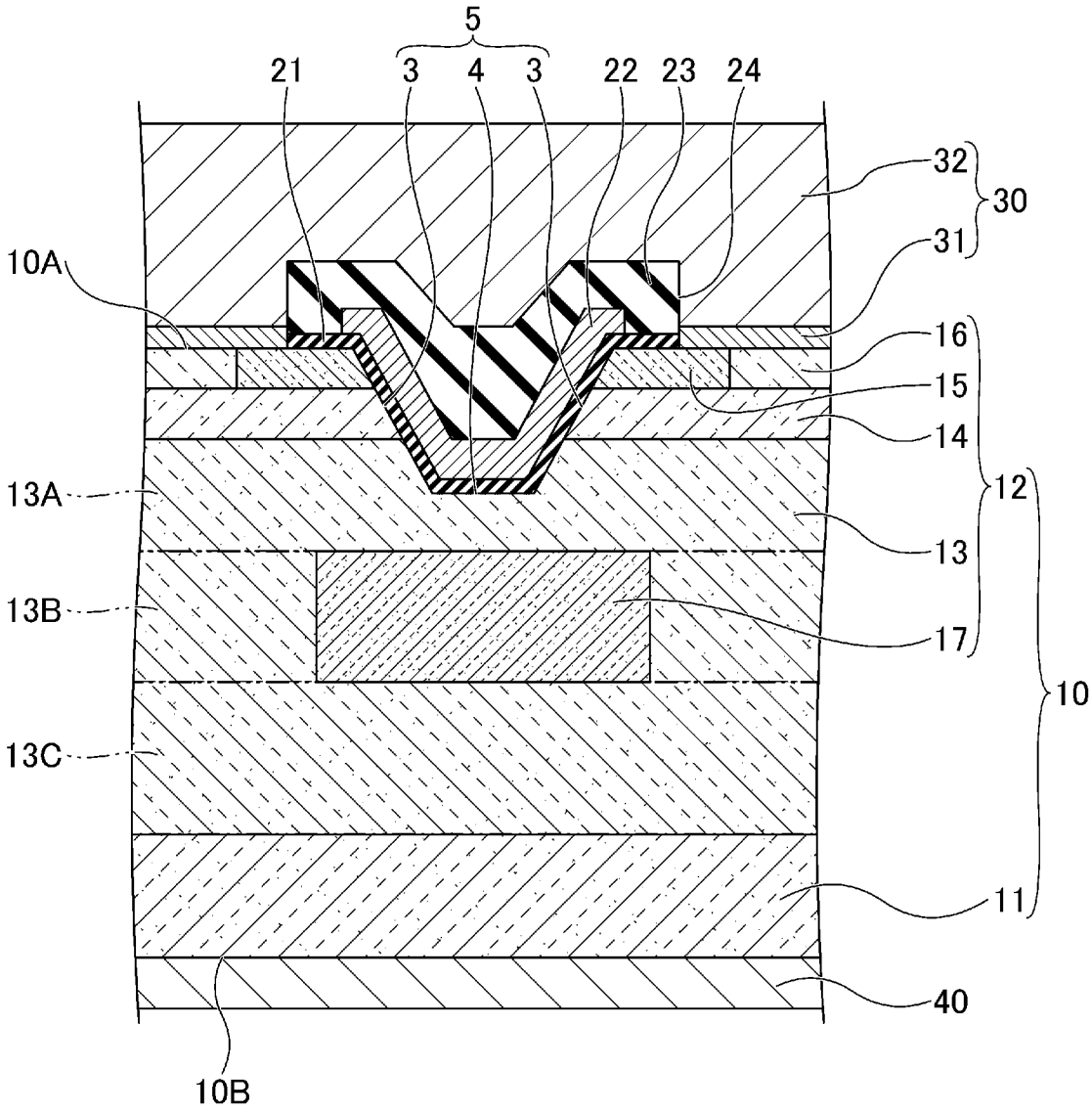
[図4]



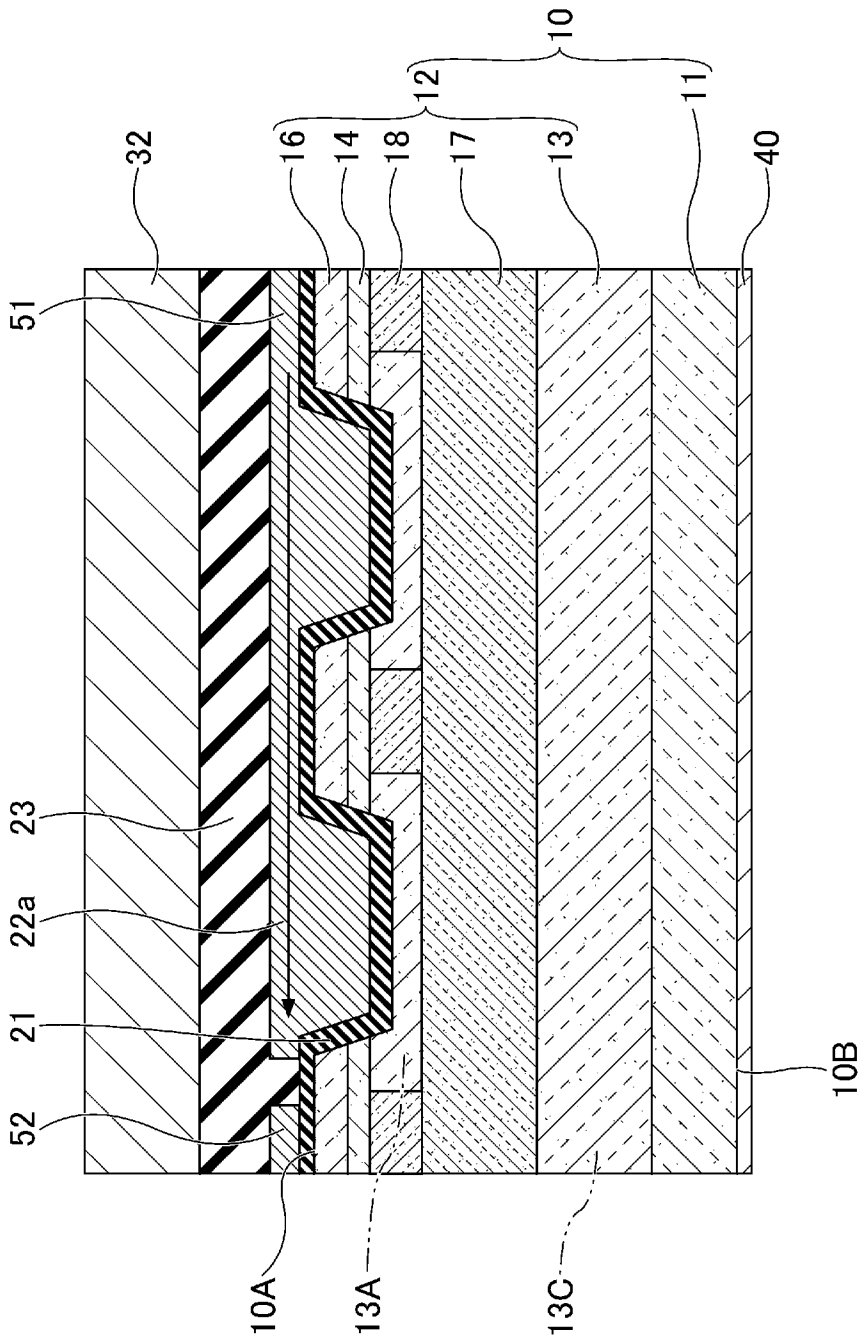
[図5]



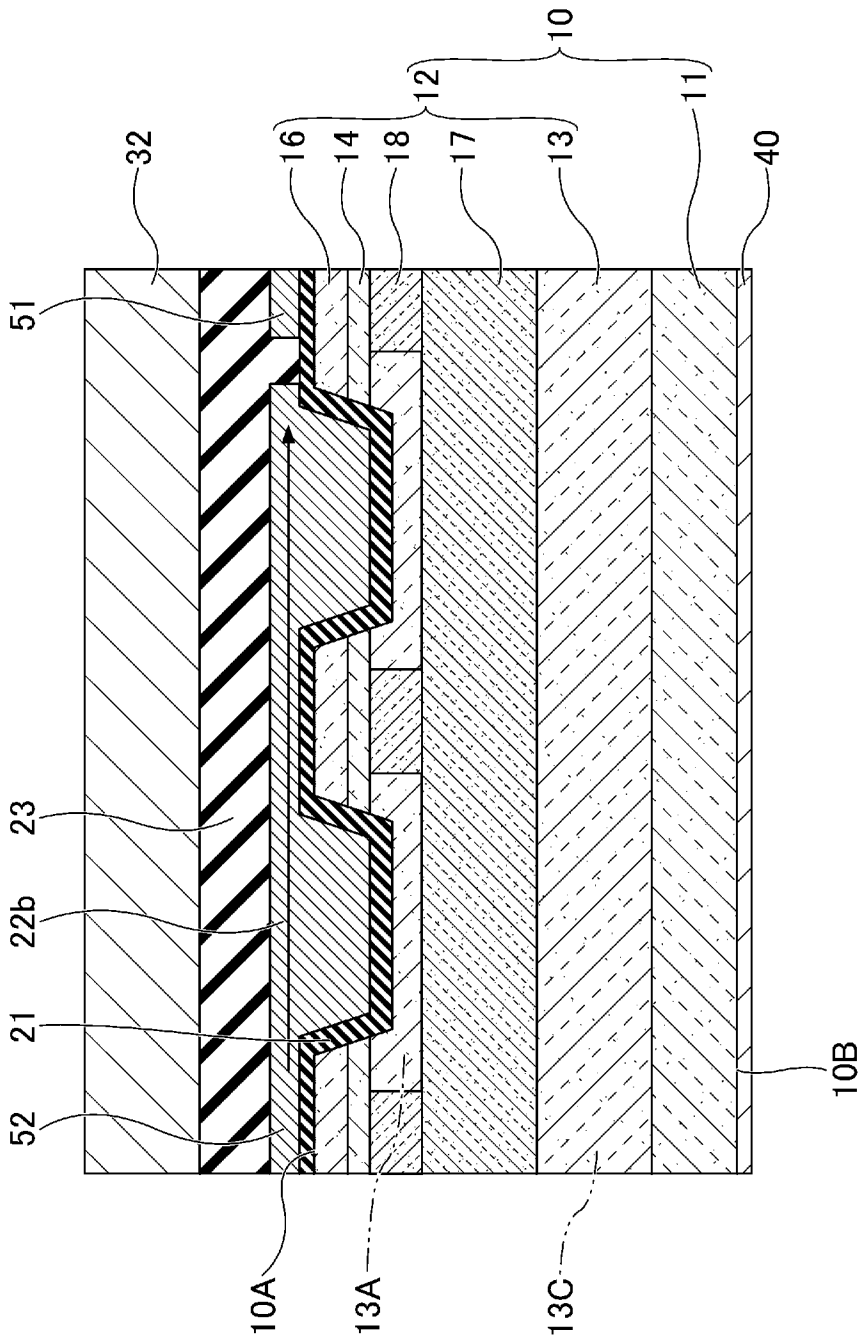
[図6]


5
21
3
4
3
22
23
24
32
30
31
10A
16
15
14
12
13A
13
13B
17
10
13C
11
40
10B

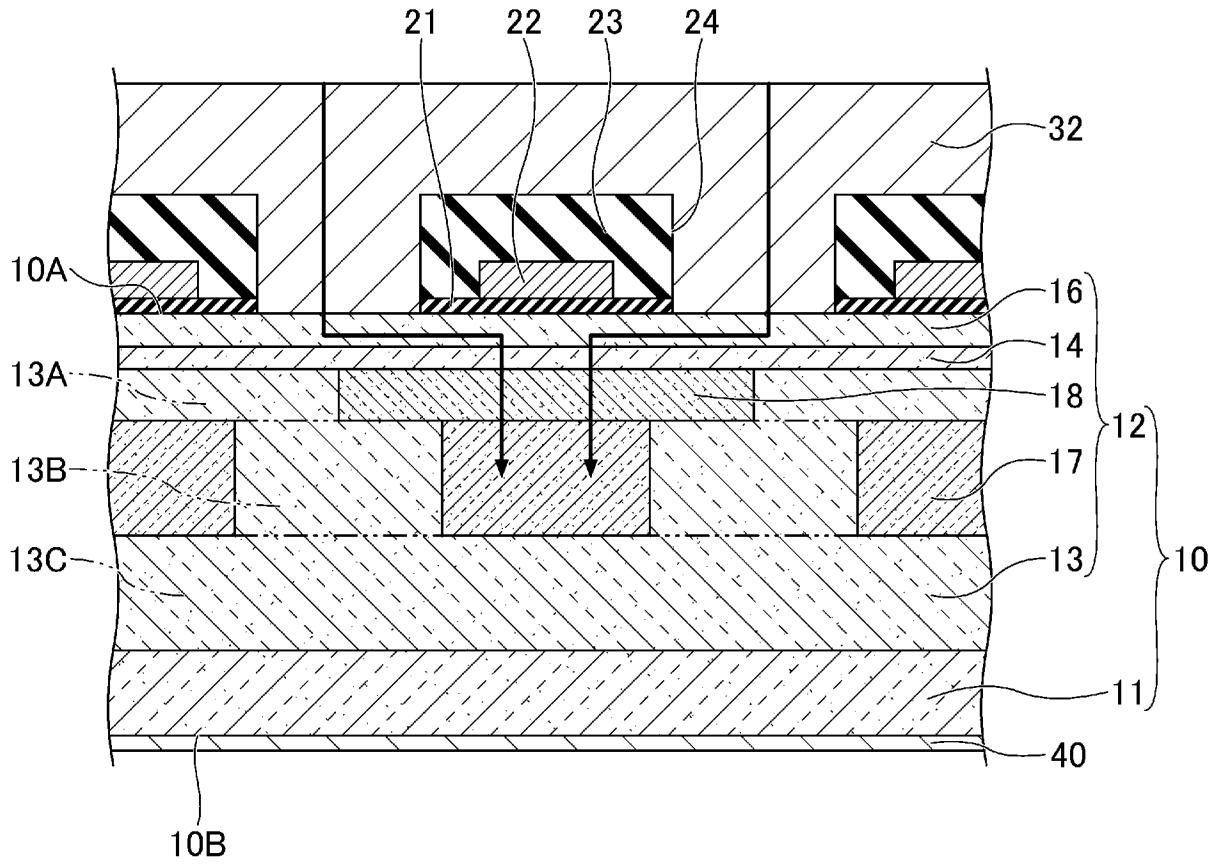
[図7]



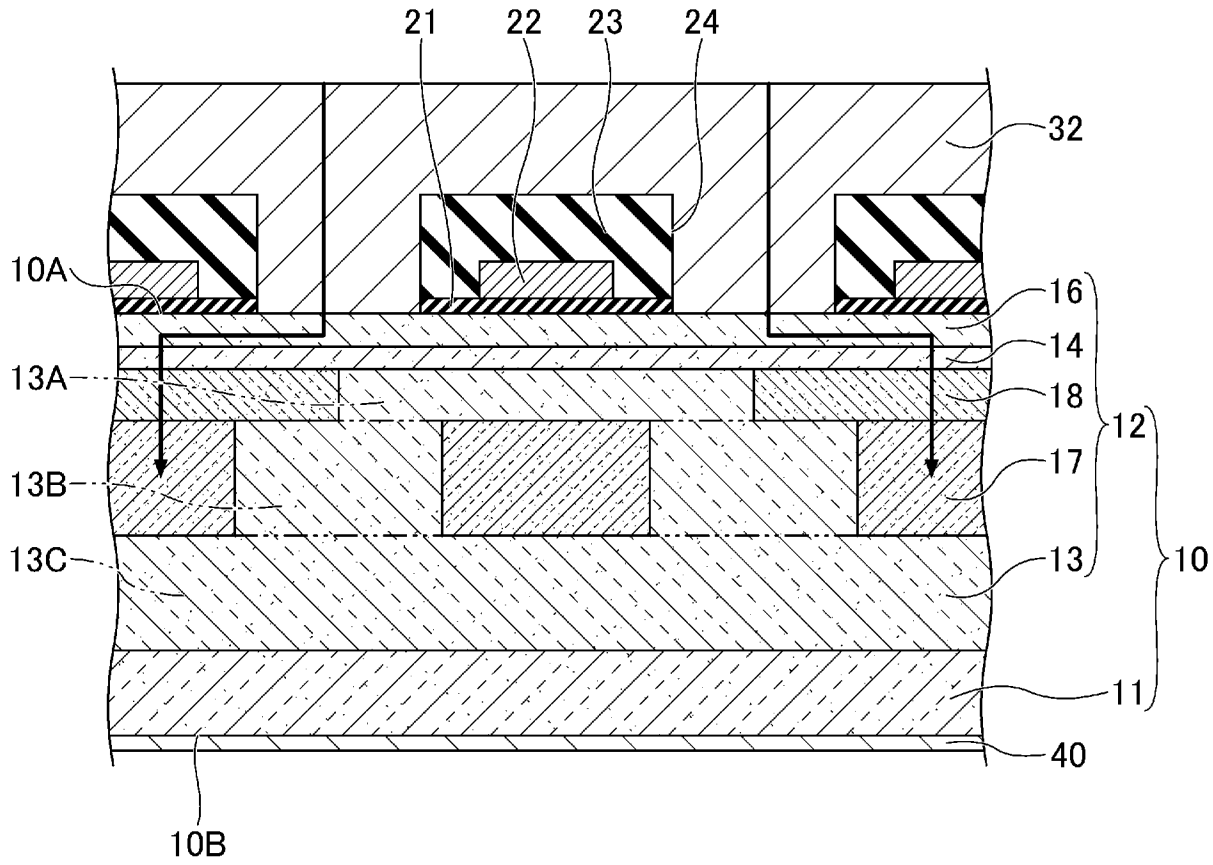
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/046593

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; ***H01L 29/12***(2006.01)i; ***H01L 29/861***(2006.01)i; ***H01L 29/868***(2006.01)i
FI: H01L29/78 652S; H01L29/78 652F; H01L29/78 652J; H01L29/78 652Q; H01L29/78 652T; H01L29/78 653A; H01L29/78 657D; H01L29/91 C; H01L29/91 F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L29/12; H01L29/861; H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016/046900 A1 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) 31 March 2016 (2016-03-31) entire text, all drawings	1-11
A	JP 2021-2620 A (FUJI ELECTRIC CO., LTD.) 07 January 2021 (2021-01-07) entire text, all drawings	1-11
A	JP 2019-169597 A (TOSHIBA CORP.) 03 October 2019 (2019-10-03) entire text, all drawings	1-11
A	JP 2019-62737 A (DENSO CORP.) 18 April 2019 (2019-04-18) entire text, all drawings	1-11
A	JP 2017-163136 A (INFINEON TECHNOLOGIES AUSTRIA AG) 14 September 2017 (2017-09-14) entire text, all drawings	1-11
A	WO 2017/175460 A1 (MITSUBISHI ELECTRIC CORP.) 12 October 2017 (2017-10-12) entire text, all drawings	1-11

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 February 2023	**14 March 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/046593

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2019/155783 A1 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 15 August 2019 (2019-08-15) entire text, all drawings	1-11
A	US 2019/0259870 A1 (MEISER, Andreas) 22 August 2019 (2019-08-22) entire text, all drawings	1-11
A	JP 2021-114496 A (TAKATANI, Shinichiro) 05 August 2021 (2021-08-05) entire text, all drawings	1-11
A	JP 2017-139441 A (FUJI ELECTRIC CO., LTD.) 10 August 2017 (2017-08-10) entire text, all drawings	1-11
A	JP 2020-119939 A (DENSO CORP.) 06 August 2020 (2020-08-06) entire text, all drawings	1-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/046593

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2016/046900 A1	31 March 2016	EP 3203528 A1 entire text, all drawings JP 5795452 B1 US 2016/0293753 A1 CN 105637644 A TW 201613099 A	
JP 2021-2620 A	07 January 2021	US 2020/0403089 A1 entire text, all drawings	
JP 2019-169597 A	03 October 2019	US 2019/0296133 A1 entire text, all drawings	
JP 2019-62737 A	18 April 2019	(Family: none)	
JP 2017-163136 A	14 September 2017	US 2017/0250260 A1 entire text, all drawings US 2017/0250685 A1 US 2019/0198664 A1 US 2020/0136608 A1 DE 102017103765 A1	
WO 2017/175460 A1	12 October 2017	JP 2019-96631 A entire text, all drawings	
WO 2019/155783 A1	15 August 2019	US 2021/0399090 A1 entire text, all drawings DE 112018007026 T5 CN 111670502 A	
US 2019/0259870 A1	22 August 2019	DE 102018103849 A1 entire text, all drawings	
JP 2021-114496 A	05 August 2021	US 2021/0226019 A1 entire text, all drawings CN 113140629 A TW 202129970 A	
JP 2017-139441 A	10 August 2017	US 2017/0221714 A1 entire text, all drawings US 2018/0269064 A1 US 2019/0304787 A1 US 2017/0222046 A1 DE 102016226235 A1 DE 102016226237 A1 CN 107026205 A CN 107039268 A	
JP 2020-119939 A	06 August 2020	US 2020/0235239 A1 entire text, all drawings CN 111463277 A	

国際調査報告

国際出願番号
PCT/JP2022/046593

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/78(2006.01)i; H01L 29/12(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i
FI: H01L29/78 652S; H01L29/78 652F; H01L29/78 652J; H01L29/78 652Q; H01L29/78 652T; H01L29/78 653A; H01L29/78 657D; H01L29/91 C; H01L29/91 F

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/78; H01L29/12; H01L29/861; H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2016/046900 A1（新電元工業株式会社）31.03.2016（2016-03-31） 全文、全図	1-11
A	JP 2021-2620 A（富士電機株式会社）07.01.2021（2021-01-07） 全文、全図	1-11
A	JP 2019-169597 A（株式会社東芝）03.10.2019（2019-10-03） 全文、全図	1-11
A	JP 2019-62737 A（株式会社デンソー）18.04.2019（2019-04-18） 全文、全図	1-11
A	JP 2017-163136 A（インフィネオン　テクノロジーズ　オーストリア　アクチエンゲゼルシャフト）14.09.2017（2017-09-14） 全文、全図	1-11
A	WO 2017/175460 A1（三菱電機株式会社）12.10.2017（2017-10-12） 全文、全図	1-11

☑ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
14.02.2023	14.03.2023

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

上田　智志 5F 3664

電話番号 03-3581-1101 内線 3514

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2019/155783 A1 (住友電気工業株式会社) 15.08.2019 (2019-08-15) 全文、全図	1-11
A	US 2019/0259870 A1 (MEISER, Andreas) 22.08.2019 (2019-08-22) 全文、全図	1-11
A	JP 2021-114496 A (高谷信一郎) 05.08.2021 (2021-08-05) 全文、全図	1-11
A	JP 2017-139441 A (富士電機株式会社) 10.08.2017 (2017-08-10) 全文、全図	1-11
A	JP 2020-119939 A (株式会社デンソー) 06.08.2020 (2020-08-06) 全文、全図	1-11

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/046593

引用文献	公表日	パテントファミリー文献	公表日
WO 2016/046900 A1	31.03.2016	EP 3203528 A1 全文、全図 JP 5795452 B1 US 2016/0293753 A1 CN 105637644 A TW 201613099 A	
JP 2021-2620 A	07.01.2021	US 2020/0403089 A1 全文、全図	
JP 2019-169597 A	03.10.2019	US 2019/0296133 A1 全文、全図	
JP 2019-62737 A	18.04.2019	（ファミリーなし）	
JP 2017-163136 A	14.09.2017	US 2017/0250260 A1 全文、全図 US 2017/0250685 A1 US 2019/0198664 A1 US 2020/0136608 A1 DE 102017103765 A1	
WO 2017/175460 A1	12.10.2017	JP 2019-96631 A 全文、全図	
WO 2019/155783 A1	15.08.2019	US 2021/0399090 A1 全文、全図 DE 112018007026 T5 CN 111670502 A	
US 2019/0259870 A1	22.08.2019	DE 102018103849 A1 全文、全図	
JP 2021-114496 A	05.08.2021	US 2021/0226019 A1 全文、全図 CN 113140629 A TW 202129970 A	
JP 2017-139441 A	10.08.2017	US 2017/0221714 A1 全文、全図 US 2018/0269064 A1 US 2019/0304787 A1 US 2017/0222046 A1 DE 102016226235 A1 DE 102016226237 A1 CN 107026205 A CN 107039268 A	
JP 2020-119939 A	06.08.2020	US 2020/0235239 A1 全文、全図 CN 111463277 A	