

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-247695

(P2013-247695A)

(43) 公開日 平成25年12月9日(2013.12.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO2M 7/48 (2007.01)	HO2M 7/48 K	5H007
HO2M 7/5387 (2007.01)	HO2M 7/5387 Z	5H505
HO2P 27/06 (2006.01)	HO2M 7/48 F	
	HO2P 7/63 Z	

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願2012-117437 (P2012-117437)
 (22) 出願日 平成24年5月23日 (2012.5.23)

(71) 出願人 000002853
 ダイキン工業株式会社
 大阪府大阪市北区中崎西2丁目4番12号
 梅田センタービル
 (74) 代理人 110001427
 特許業務法人前田特許事務所
 (72) 発明者 関本 守満
 滋賀県草津市岡本町字大谷1000番地の
 2 ダイキン工業株式会社滋賀製作所内
 (72) 発明者 小林 直人
 滋賀県草津市岡本町字大谷1000番地の
 2 ダイキン工業株式会社滋賀製作所内
 (72) 発明者 川嶋 玲二
 滋賀県草津市岡本町字大谷1000番地の
 2 ダイキン工業株式会社滋賀製作所内
 最終頁に続く

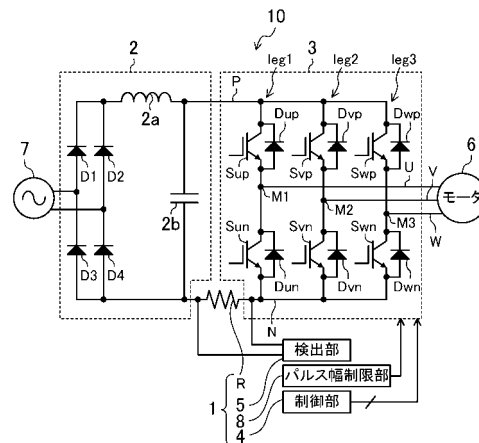
(54) 【発明の名称】 電力変換装置

(57) 【要約】

【課題】シャント抵抗が接続されたインバータ回路を有する電力変換装置において、このインバータ回路に接続されたモータの制御性を向上させる。

【解決手段】電力変換装置に、各スイッチング素子 (Sup, ..., Swn) に逆並列で接続されて、電圧パルスのパルス幅をP、リカバリ時間をRとしたときに、 $0 < R < (1/10)P$ となる特性を有する還流ダイオード(12)を設ける。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数のスイッチング素子 (Sup, ..., Swn) のスイッチング状態をそれぞれ変化させて直流を交流に変換するインバータ回路 (3) と、

上記インバータ回路 (3) における出力交流の相電流に応じた電圧の電圧パルスを出力するシャント抵抗 (R) と、

上記電圧パルスに基いて上記相電流を検出する検出部 (5) と、

上記各スイッチング素子 (Sup, ..., Swn) に逆並列で接続されて、上記電圧パルスのパルス幅を P、リカバリ時間を R としたときに、 $0 < R < (1/10)P$ となる特性を有する還流ダイオード (12) と、

を備えていることを特徴とする電力変換装置。

10

【請求項 2】

請求項 1 において、

上記インバータ回路 (3) には圧縮機用モータ (6) が接続される一方、

上記インバータ回路 (3) の出力電圧指令に応じて設定されるパルス幅設定値をパルス幅制限値で制限するパルス幅制限部 (8) と、

上記圧縮機用モータ (6) が最低回転数のときの上記インバータ回路 (3) の出力電圧を V_m とし、上記パルス幅制限部 (8) でパルス幅を制限したときに生じる誤差電圧を V_e としたときに、 $0 < (V_e / V_m) < (1/10)$ の関係を満たすように、最低回転数又はパルス幅制限値が設定されていることを特徴とする電力変換装置。

20

【請求項 3】

請求項 2 において、

上記パルス幅制限値を T' とし、上記スイッチング素子 (Sup, ..., Swn) に係るキャリア周期を T_1 とし、上記インバータ回路 (3) の入力電圧を V_{dc} としたときに、上記誤差電圧である V_e を、

$V_e = (T') / (T_1 / 2) \times V_{dc}$ として、上記最低回転数又は上記パルス幅制限値が設定されていることを特徴とする電力変換装置。

【請求項 4】

請求項 1 から 3 の何れか 1 つにおいて、

上記シャント抵抗 (R) は、上記インバータ回路 (3) における負側の直流母線 (N) と、上記直流を出力する直流電源 (2) との間に設けられていることを特徴とする電力変換装置。

30

【請求項 5】

請求項 1 から 3 の何れか 1 つにおいて、

上記シャント抵抗 (R1, R2, R3) は、上記インバータ回路 (3) を構成する複数のスイッチングレグ (leg1, leg2, leg3) にそれぞれ直列に接続されていることを特徴とする電力変換装置。

【請求項 6】

請求項 1 から 5 の何れか 1 つにおいて、

上記還流ダイオード (12) は SiC - SBD であることを特徴とする電力変換装置。

40

【請求項 7】

請求項 1 から 5 の何れか 1 つにおいて、

上記スイッチング素子 (Sup, ..., Swn) は SiC - MOSFET であり、上記還流ダイオード (12) は SiC - MOSFET の寄生ダイオードであることを特徴とする電力変換装置。

【請求項 8】

請求項 1 から 5 の何れか 1 つにおいて、

上記スイッチング素子 (Sup, ..., Swn) は SiC - JFET であり、上記還流ダイオード (12) は SiC - JFET の寄生ダイオードであることを特徴とする電力変換装置。

【請求項 9】

50

請求項 1 から 5 の何れか 1 つにおいて、

上記スイッチング素子 (Sup, ..., Swn) は Si - IGBT であり、上記還流ダイオード (12) は Si - FRD であることを特徴とする電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インバータ回路を備えた電力変換装置に関し、特にインバータ回路の出力交流の相電流を検出する技術に関するものである。

【背景技術】

【0002】

空気調和機では圧縮機を駆動するモータに交流電力を供給するために、直流を交流に変換するインバータ回路が用いられることが多い。そして、このインバータ回路には、モータに流れる電流を制御するためなどの目的で、出力交流の相電流を検出する相電流検出部が設けられる。この相電流検出部としては、DCCTを用いるのが一般的であるが、高価であることから、シャント抵抗を用いた方法も提案されている (例えば、特許文献 1 を参照)。特許文献 1 の相電流検出部は、DCリンクに設けたシャント抵抗と、シャント抵抗の両端の電圧を入力した増幅器とを有し、PWM制御 (PWM: Pulse Width Modulation) を行っている際にシャント抵抗に生じた電圧パルスを用いて相電流を検出している。

【0003】

ところで、シャント抵抗が接続されているインバータ回路のDCリンクにはパルス状の電流が流れるため、その波形の立ち上がり時にリングングが発生する。このリングングの影響を受けずに上記相電流検出部で正確に電流を検知できるようにするためには、上記電圧パルスのパルス幅をリングングの収束時間よりも長く設定し、この収束時間後における上記相電流検出部の検出時間を十分に確保する必要がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2004 - 135440 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、このパルス幅はインバータの出力電圧の大きさに関係するが、出力電圧の大きさから設定されるパルス幅に対して、検出時間の制約上そのパルス幅よりも長くする必要がある。この場合には、上記インバータ回路の出力電圧に係る誤差電圧が大きくなってしまふ。そして、誤差電圧が大きくなればなるほど、上記モータに対するインバータ回路の制御性が悪くなってしまふという問題がある。

【0006】

本発明は、かかる点に鑑みてなされたものであり、その目的は、シャント抵抗が接続されたインバータ回路を有する電力変換装置において、このインバータ回路に接続されたモータの制御性を向上させることにある。

【課題を解決するための手段】

【0007】

第 1 の発明の電力変換装置は、複数のスイッチング素子 (Sup, ..., Swn) のスイッチング状態をそれぞれ変化させて直流を交流に変換するインバータ回路 (3) と、上記インバータ回路 (3) における出力交流の相電流に応じた電圧の電圧パルスを出力するシャント抵抗 (R) と、上記電圧パルスに基いて上記相電流を検出する検出部 (5) と、上記各スイッチング素子 (Sup, ..., Swn) に逆並列で接続されて、上記電圧パルスのパルス幅を P、リカバリ時間を R としたときに、 $0 < R < (1/10)P$ となる特性を有する還流ダイオード (12) とを備えていることを特徴としている。

【0008】

10

20

30

40

50

第1の発明では、上記リングング時間を短くすることによって上記検出部(5)の検出時間を確保している。そして、このリングング時間を短くするため、従来よりモリカバリ時間が短い特性を有する還流ダイオード(12)を上記スイッチング素子(Sup,...,Swn)に逆並列で接続している。これにより、上記検出部(5)の検出時間が十分に確保される。

【0009】

第2の発明は、第1の発明において、上記インバータ回路(3)には圧縮機用モータ(6)が接続される一方、上記インバータ回路(3)の出力電圧指令に応じて設定されるパルス幅設定値をパルス幅制限値で制限するパルス幅制限部(8)と、上記圧縮機用モータ(6)が最低回転数のときの上記インバータ回路(3)の出力電圧を V_m とし、上記パルス幅制限部(8)でパルス幅を制限したときに生じる誤差電圧を V_e としたときに、 $0 < (V_e / V_m) < (1 / 10)$ の関係を満たすように、最低回転数又はパルス幅制限値が設定されていることを特徴としている。

10

【0010】

第2の発明では、上記パルス幅を制限すると誤差電圧が生じることから、上記圧縮機用モータ(6)の最低回転時に、誤差電圧 V_e と出力電圧 V_m との関係が、 $0 < (V_e / V_m) < (1 / 10)$ となるように、パルス幅制限値又は上記圧縮機用モータ(6)の最低回転を決定している。これにより、誤差電圧を許容範囲内に抑えた状態で、上記検出部(5)の検出時間が確保される。

20

【0011】

第3の発明は、第2の発明において、上記パルス幅制限値を T' とし、上記スイッチング素子(Sup,...,Swn)に係るキャリア周期を T_1 とし、上記インバータ回路(3)の入力電圧を V_{dc} としたときに、上記誤差電圧である V_e を、 $V_e = (T') / (T_1 / 2) \times V_{dc}$ として、上記最低回転数又は上記パルス幅制限値が設定されていることを特徴としている。

【0012】

第3の発明では、上記誤差電圧である V_e を、 $V_e = (T') / (T_1 / 2) \times V_{dc}$ として、上記パルス幅制限値、又は上記圧縮機用モータ(6)の最低回転数が設定されている。

30

【0013】

第4の発明は、第1から第3の何れか1つの発明において、上記シャント抵抗(R)は、上記インバータ回路(3)における負側の直流母線(N)と、上記直流を出力する直流電源(2)との間に設けられていることを特徴としている。

【0014】

第4の発明では、負側の直流母線(N)と直流電源(2)との間にシャント抵抗(R)が設けられているので、このシャント抵抗(R)には、各相(U相,V相,W相)の相電流が流れる。すなわち、1つのシャント抵抗(R)で各相の相電流(I_u, I_v, I_w)を検出することができる。

【0015】

第5の発明は、第1から第3の何れか1つの発明において、上記シャント抵抗(R_1, R_2, R_3)は、上記インバータ回路(3)を構成する複数のスイッチングレグ(leg_1, leg_2, leg_3)にそれぞれ直列に接続されていることを特徴としている。

40

【0016】

第5の発明では、シャント抵抗(R_1, R_2, R_3)が各スイッチングレグ(leg_1, leg_2, leg_3)に設けられているので、相電流の検出を各相同時に行うことが可能になる。

【0017】

第6の発明は、第1から第5の何れか1つの発明において、上記還流ダイオード(12)はSiC-SBDであることを特徴としている。

【0018】

第7の発明は、第1から第5の何れか1つの発明において、上記スイッチング素子(

50

Sup, ..., Swn) は SiC - MOSFET であり、上記還流ダイオード (12) は SiC - MOSFET の寄生ダイオードであることを特徴としている。

【0019】

第8の発明は、第1から第5の何れか1つの発明において、上記スイッチング素子 (Sup, ..., Swn) は SiC - JFET であり、上記還流ダイオード (12) は SiC - JFET の寄生ダイオードであることを特徴としている。

【0020】

第9の発明は、第1から第5の何れか1つの発明において、上記スイッチング素子 (Sup, ..., Swn) は Si - IGBT であり、上記還流ダイオード (12) は Si - FRD であることを特徴としている。

【0021】

第6から第9の発明では、このような還流ダイオード (12) と上記スイッチング素子 (Sup, ..., Swn) との組み合わせによって、上記パルス幅の制限値を短くしても、上記検出部 (5) の検出時間が確実に確保される。

【発明の効果】

【0022】

本発明によれば、リカバリ時間の短い還流ダイオード (12) を用いることによって上記リングング時間を短くすることができる。そして、このリングング時間が短くなった分だけ、上記電圧パルスのパルス幅の制限値を短くできるので、上述した誤差電圧が低減され上記インバータ回路 (3) の電圧をより正確に検知することができる。これにより、上記インバータ回路 (3) の制御性を向上させることができる。

【0023】

また、上記第2の発明によれば、上記圧縮機用モータ (6) の最低回転時に、誤差電圧 V_e と出力電圧 V_m との関係が、 $0 < (V_e / V_m) < (1 / 10)$ となるようにパルス幅制限値又は上記圧縮機用モータ (6) の最低回転数を決定している。これにより、誤差電圧を許容範囲内に抑えた状態で、上記検出部 (5) の検出時間を確保することができ、上記圧縮機用モータ (6) における低速域での制御性を向上させることができる。

【0024】

また、上記第3の発明によれば、上記パルス幅制限値を T' とし、上記スイッチング素子 (Sup, ..., Swn) に係るキャリア周期を T_1 とし、上記インバータ回路 (3) の入力電圧を V_{dc} としたときに、上記誤差電圧である V_e を、 $V_e = (T') / (T_1 / 2) \times V_{dc}$ とし、上記パルス幅制限値又は上記圧縮機用モータ (6) の最低回転数を設定することができる。

【0025】

また、上記第4の発明によれば、1つのシャント抵抗 (R) で各相の相電流を検出することができるので、上記検出部 (5) を安価に設計することが可能になる。

【0026】

また、上記第5の発明によれば、相電流の検出を各相同時に行うことが可能になるので、上記検出部 (5) の検出精度が向上する。

【0027】

また、上記第6から第9の発明によれば、このような還流ダイオード (12) と上記スイッチング素子 (Sup, ..., Swn) との組み合わせによって、上記パルス幅を短くしても、上記検出部 (5) の検出時間が確実に確保される。これにより、上記電圧パルスのパルス幅の制限値を長くしないので、上述した誤差電圧を大きくせずに上記インバータ回路 (3) の電圧を正確に検知することができる。これにより、上記インバータ回路 (3) の制御性を向上させることができる。

【図面の簡単な説明】

【0028】

【図1】本発明の実施形態に係る電力変換装置の構成を示すブロック図である。

【図2】電力変換装置に係る検出部の構成例を示すブロック図である。

10

20

30

40

50

【図3】上アーム側の各スイッチング素子のゲートにそれぞれ与えるゲート信号の波形とシャント抵抗における電圧パルスを説明する図である。

【図4】図3の電圧パルスを拡大した図である。

【図5】本実施形態の変形例に係る電力変換装置の構成を示すブロック図である。

【発明を実施するための形態】

【0029】

図1は、本発明の実施形態に係る電力変換装置(10)の構成を示すブロック図である。この電力変換装置(10)は、検出制御部(1)、コンバータ回路(直流電源)(2)、及びインバータ回路(3)を備えている。又、上記検出制御部(1)は、シャント抵抗(R)、制御部(4)、検出部(5)、及びパルス幅制限部(8)を備えている。

10

【0030】

そして、電力変換装置(10)には交流電源(7)が接続されており、交流電源(7)が出力した交流(以下、入力交流という)を三相交流(以下、出力交流という)に変換し、負荷である圧縮機用モータ(6)に供給するようになっている。この圧縮機用モータ(6)は、例えば空気調和機の冷媒回路に設けられた圧縮機を駆動するものである。

【0031】

上記コンバータ回路(2)は、ブリッジ接続された4つのダイオード(D1,...,D4)、リアクトル(2a)、及び平滑コンデンサ(2b)を備え、上記入力交流を全波整流する。このコンバータ回路(2)の出力はインバータ回路(3)に設けられた正負1対の直流母線(P,N)(後述)に接続されている。具体的に、このコンバータ回路(2)では、図1に示すように、リアクトル(2a)は、コンバータ回路(2)の正側の出力と、インバータ回路(3)の正側の直流母線(P)とに接続され、平滑コンデンサ(2b)は、インバータ回路(3)の2つの直流母線(P,N)間に接続されている。

20

【0032】

上記インバータ回路(3)は、複数のスイッチング素子に係るスイッチング状態をそれぞれ変化させて、コンバータ回路(2)が出力した直流を交流に変換して圧縮機用モータ(6)(負荷)に供給するようになっている。具体的には、本実施形態のインバータ回路(3)は、図1に示すように、上アームを構成する3つのスイッチング素子(Sup,Svp,Swp)及び3つの還流ダイオード(Dup,Dvp,Dwp)、下アームを構成する3つのスイッチング素子(Sun,Svn,Swn)及び3つの還流ダイオード(Dun,Dvn,Dwn)を備えている。また、このインバータ回路(3)には、正負1対の直流母線(P,N)が設けられており、これらの直流母線(P,N)には、コンバータ回路(2)が出力した直流が供給されている。

30

【0033】

そして、このインバータ回路(3)では、上アームのスイッチング素子(Sup,Svp,Swp)と下アームのスイッチング素子(Sun,Svn,Swn)とが、1対1に対応して直列接続されている。以下では、直列接続されたスイッチング素子(Sup,...,Swn)の対をスイッチングレグと呼ぶことにする。この例では、スイッチング素子(Sup)とスイッチング素子(Sun)の対で形成されたスイッチングレグ(leg1)、スイッチング素子(Svp)とスイッチング素子(Svn)の対で形成されたスイッチングレグ(leg2)、スイッチング素子(Swp)とスイッチング素子(Swn)の対で形成されたスイッチングレグ(leg3)がある。

40

【0034】

これらのスイッチングレグ(leg1,leg2,leg3)は、正側の直流母線(P)と負側の直流母線(N)との間にそれぞれ接続されている。また、それぞれのスイッチングレグ(leg1,leg2,leg3)の各中間点(M1,M2,M3)が出力交流の各相(U相,V相,W相)の相電圧(Vu,Vv,Vw)を出力するノードであり、各中間点(M1,M2,M3)は圧縮機用モータ(6)の各相にそれぞれ接続されている。

【0035】

このインバータ回路(3)では、スイッチング素子(Sup,...,Swn)は、Si-IGBT(Si:Silicon、IGBT:Insulated Gate Bipolar Transistor)である。又、このインバータ回路(3)では、上記還流ダイオード(1)が、Si-FRD(Si:Silicon

50

、FRD：Fast Recovery Diode）である。尚、この還流ダイオード（1）は、上記電圧パルスのパルス幅をP、リカバリ時間をRとしたときに、 $0 < R < (1/10)P$ となる特性を有するものである。

【0036】

上記検出制御部（1）は、上記出力交流の各相電流（ I_u, I_v, I_w ）を検出し、それぞれの検出結果（相電流値）を示す電流値信号を出力している。この電流値信号は、電力変換装置（10）の制御や、インバータ回路（3）を過電流から保護するためなどの目的に使用することができる。上述したように、上記検出制御部（1）は、シャント抵抗（R）、制御部（4）、検出部（5）、及びパルス幅制限部（8）を備えている。

【0037】

上記シャント抵抗（R）は、負荷（圧縮機用モータ（6））からの電流が流れ込む位置に配置されている。この例では、シャント抵抗（R）は、インバータ回路（3）の負側の直流母線（N）とコンバータ回路（2）の負側ノード（より詳しくは平滑コンデンサ（2b）よりも圧縮機用モータ（6）寄りのノード）との間に設けられている。このシャント抵抗（R）に圧縮機用モータ（6）からの電流が流れると、シャント抵抗（R）の両端には電位差が生じ、この両端間の電圧を検出することで相電流（ I_u, I_v, I_w ）を算出することができる。

【0038】

上記制御部（4）は、インバータ回路（3）の各スイッチング素子（ S_{up}, \dots, S_{wn} ）のゲートに印加するゲート信号（ G_{up}, \dots, G_{wn} ）を生成する。そして、各スイッチング素子（ S_{up}, \dots, S_{wn} ）のスイッチング状態を遷移させることによって、上記出力交流の電流又は電圧を制御する。この制御部（4）は、上記インバータ制御を所定期間（ T_1 ）単位で繰り返す。具体的には、制御部（4）が行うインバータ制御はPWM制御であり、キャリア信号に同期して上記出力交流の電圧を制御する。上記所定期間（ T_1 ）は、キャリア信号の周期（キャリア周期）と同じ長さの期間である。

【0039】

上記検出部（5）は、上記シャント抵抗（R）に生じた電圧パルスが立ち上がったから、該電圧パルスに生じたリングングが収束した後の検知時間（図4を参照）内に電圧パルスの電圧値を検出し、検出値とシャント抵抗（R）の抵抗値から相電流を求めてその検出結果を出力する。図2は、検出部（5）の構成例を示すブロック図である。この例では、検出部（5）は、シャント抵抗（R）が出力した電圧パルスを入力とした差動増幅器（5a）と該作動増幅器（5a）の出力をA/D変換するA/D変換器（5b）によって構成している。

【0040】

上記パルス幅制限部（8）は、上記インバータ回路（3）の出力電圧に応じて設定されるパルス幅設定値をパルス幅制限値へ制限するものである。上記パルス幅制限値は、上記圧縮機用モータ（6）が最低回転数のときの上記インバータ回路（3）の出力電圧を V_m とし、上記パルス幅制限部（8）でパルス幅を制限したときに生じる誤差電圧を V_e としたときに、 $0 < (V_e / V_m) < (1/10)$ の関係を満たすように設定されている。具体的には、上記スイッチング素子（ S_{up}, \dots, S_{wn} ）に係るキャリア周期を T_1 とし、上記インバータ回路（3）の入力電圧を V_{dc} とし、上記パルス幅設定値が T のときに、上記パルス幅制限値 T' でパルス幅を制限したときの誤差電圧は、 $(T' - T) / (T_1 / 2) \times V_{dc}$ で求めることができる。このとき誤差電圧が最大となる条件としては $T = 0$ であるため、誤差電圧は $V_e = T' / (T_1 / 2) \times V_{dc}$ で算出できる。よって、 $0 < (V_e / V_m) < (1/10)$ の関係を満たすように、上記パルス幅制限値又は上記圧縮機用モータ（6）が最低回転数が設定される。

【0041】

- 運転動作 -

図3は、上アーム側の各スイッチング素子（ S_{up}, S_{vp}, S_{wp} ）のゲートにそれぞれ与えるゲート信号（ G_{up}, G_{vp}, G_{wp} ）の波形とシャント抵抗（R）における電圧波形を説明する図である。この図では、ゲート信号（ G_{up}, G_{vp}, G_{wp} ）がハイレベルに表示されている場合に

10

20

30

40

50

は、その信号に対応した上アーム側のスイッチング素子がオン、それと対になる下アーム側のスイッチング素子がオフであることを示している。逆に、ゲート信号 (G_{up}, G_{vp}, G_{wp}) がローレベルに表示されている場合には、そのゲート信号に対応した上アーム側のスイッチング素子がオフ、それと対になる下アーム側のスイッチング素子がオンであることを示している。

【0042】

図3の例では、制御部(4)は、U相に対応したスイッチングレグ ($leg1$) に関し、所定期間 ($T1$) 内の $t_3 \sim t_5$ の期間に、矩形波状のゲート信号 (G_{up}) を出力して上アーム側のスイッチング素子 (S_{up}) をオンに制御し、所定期間 ($T1$) 内の他の期間にはオフに制御する。また、V相に対応したスイッチングレグ ($leg2$) に関し、所定期間 ($T1$) 内の $t_2 \sim t_6$ の期間に、上アーム側のスイッチング素子 (S_{vp}) をオンに制御し、所定期間 ($T1$) 内の他の期間にはオフに制御する。また、W相に対応したスイッチングレグ ($leg3$) に関し、所定期間 ($T1$) 内の $t_1 \sim t_7$ の期間に、上アーム側のスイッチング素子 (S_{wp}) をオンに制御し、所定期間 ($T1$) 内の他の期間にはオフに制御する。

10

【0043】

なお、このインバータ制御では、下アーム側の各スイッチング素子 (S_{un}, S_{vn}, S_{wn}) は、オンオフの状態が、対応した上アーム側のスイッチング素子とは逆の関係にある。例えば、制御部(4)は、U相の下アーム側のスイッチング素子 (S_{un}) を、スイッチング素子 (S_{up}) がオンの場合にはオフ、スイッチング素子 (S_{up}) がオフの場合にはオンに制御する。

20

【0044】

上記の制御により、図3に示すように、 $t_0 \sim t_1$ の期間には、上アーム側のすべてのスイッチング素子 (S_{up}, S_{vp}, S_{wp}) がオフになり、この場合はシャント抵抗 (R) における電流の大きさはゼロである。したがって、シャント抵抗 (R) の両端に電圧は発生しない。

【0045】

また、 $t_1 \sim t_2$ の期間には、上アーム側のスイッチング素子 (S_{wp}) と下アーム側の2つのスイッチング素子 (S_{un}, S_{vn}) がオン、上アーム及び下アームのその他のスイッチング素子 (S_{up}, \dots, S_{wn}) がオフに制御される。これにより、シャント抵抗 (R) には相電流 (I_w) が流れる。上述したように、上記検出部(5)が、上記リングングが収束した後で電圧パルスの電圧値を検出し、この検出値とシャント抵抗 (R) の抵抗値から相電流 (I_w) を求めた後、その検出結果を出力する。上記リングングが収束した後の正確な電圧パルスの電圧値を検出できるように、パルス幅 ($t_2 - t_1$) はパルス幅制限値以上になるように制限されている。

30

【0046】

$t_2 \sim t_3$ の期間には、上アーム側の2つスイッチング素子 (S_{vp}, S_{wp}) と下アーム側のスイッチング素子 (S_{un}) がオン、上アーム及び下アームのその他のスイッチング素子 (S_{up}, \dots, S_{wn}) がオフに制御される。これにより、シャント抵抗 (R) には、大きさが ($I_v + I_w$) の電流が流れる。上記検出部(5)が、上記リングングが収束した後で電圧パルスの電圧値を検出し、この検出値とシャント抵抗 (R) の抵抗値から相電流 ($I_v + I_w$) を求める。そして、この相電流 ($I_v + I_w$) から上述した相電流 (I_w) を差し引いて相電流 (I_v) を求めた後、その検出結果を出力する。上記同様に、パルス幅 ($t_3 - t_2$) はパルス幅制限値以上になるように制限されている。

40

【0047】

そして、V相、W相のそれぞれの相電流 (I_v, I_w) を検出し終わると、検出部(5)は、U相の相電流 (I_u) を $I_u = - (I_w + I_v)$ の関係式から算出し、その値を出力する。これにより、3相分の相電流 (I_u, I_v, I_w) が検出される。

【0048】

- 実施形態の効果 -

本実施形態によれば、リカバリ時間の短い還流ダイオード(12)を用いることによっ

50

て上記リングング時間を短くすることができる。そして、このリングング時間が短くなった分だけ、上記検出部(5)の検出時間を十分に確保することができる。これにより、上記インバータ回路(3)の電圧を正確に検知することができ、上記圧縮機用モータ(6)に対するインバータ回路(3)の制御性を向上させることができる。

【0049】

又、本実施形態によれば、上記圧縮機用モータ(6)の最低回転時に、誤差電圧 V_e と出力電圧 V_m との関係が、 $0 < (V_e / V_m) < (1 / 10)$ となるようにパルス幅制限値又は上記圧縮機用モータ(6)の最低回転数を決定している。これにより、誤差電圧を許容範囲内に抑えた状態で、上記検出部(5)の検出時間を確保することができ、上記圧縮機用モータ(6)における低速域での制御性を向上させることができる。

10

【0050】

又、本実施形態によれば、上記パルス幅制限値を T' とし、上記スイッチング素子(Sup, ..., Swn)に係るキャリア周期を T_1 とし、上記インバータ回路(3)の入力電圧を V_{dc} としたときに、上記誤差電圧である V_e を、 $V_e = (T') / (T_1 / 2) \times V_{dc}$ として、上記パルス幅制限値又は上記圧縮機用モータ(6)の最低回転数を設定することができる。

【0051】

- 実施形態の変形例 -

図5に示す実施形態の変形例では、上記検出制御部(1)に係るシャント抵抗の数と配置が上記実施形態とは異なる。変形例の検出制御部(1)は、3つのシャント抵抗(R_1, R_2, R_3)を有している。各シャント抵抗(R_1, R_2, R_3)は、各スイッチングレグ(leg_1, leg_2, leg_3)に1つずつ配置されている。より詳しくは、スイッチングレグ(leg_1)にはスイッチング素子(S_{un})と直流母線(N)の間にシャント抵抗(R_1)が、スイッチングレグ(leg_2)にはスイッチング素子(S_{vn})と直流母線(N)の間にシャント抵抗(R_2)が、スイッチングレグ(leg_3)にはスイッチング素子(S_{wn})と直流母線(N)の間にシャント抵抗(R_3)がそれぞれ配置されている。すなわち、シャント抵抗(R_1)にはU相の相電流(I_u)、シャント抵抗(R_2)にはV相の相電流(I_v)、シャント抵抗(R_3)にはW相の相電流(I_w)がそれぞれ流れることになる。

20

【0052】

また、各シャント抵抗(R_1, R_2, R_3)に対応して3つの検出部(5)が設けられている。それぞれの検出部(5)は、上記実施形態の検出部(5)と同じ構成であり、各検出部(5)は対応したシャント抵抗(R_1, R_2, R_3)の電圧パルスを検出し、対応した相の相電流(I_u, I_v, I_w)を求めるようになっている。このように、相電流の検出を各相同時に行うことが可能になるので、上記検出制御部(1)の検出精度が向上する。

30

【0053】

《その他の実施形態》

上記実施形態については、以下のような構成としてもよい。

【0054】

上記実施形態では、スイッチング素子(Sup, ..., Swn)としてSi-IGBTを用い、還流ダイオード(1)としてSi-FRDを用いていたが、これに限定されず、例えばSi-FRDに代えてSiC-SBD(SiC: Silicon Carbide, SBD: Schottky Barrier Diode)を用いてもよい。又、スイッチング素子(Sup, ..., Swn)としてSiC-MOSFETを用い、還流ダイオード(1)としてSiC-SBDを用いてもよい。又、スイッチング素子(Sup, ..., Swn)としてSiC-MOSFETを用い、還流ダイオード(1)としてSiC-MOSFETが有する寄生ダイオードを用いてもよい。又、スイッチング素子(Sup, ..., Swn)としてSiC-JFETを用い、還流ダイオード(1)としてSiC-JFETの寄生ダイオードを用いてもよい。何れの場合でも、本発明と同様の効果を得ることができる。

40

【0055】

なお、以上の実施形態は、本質的に好ましい例示であって、本発明、その適用物、あ

50

るいはその用途の範囲を制限することを意図するものではない。

【産業上の利用可能性】

【0056】

以上説明したように、本発明は、インバータ回路を備えた電力変換装置に関し、特にインバータ回路の出力交流の相電流を検出する技術について有用である。

【符号の説明】

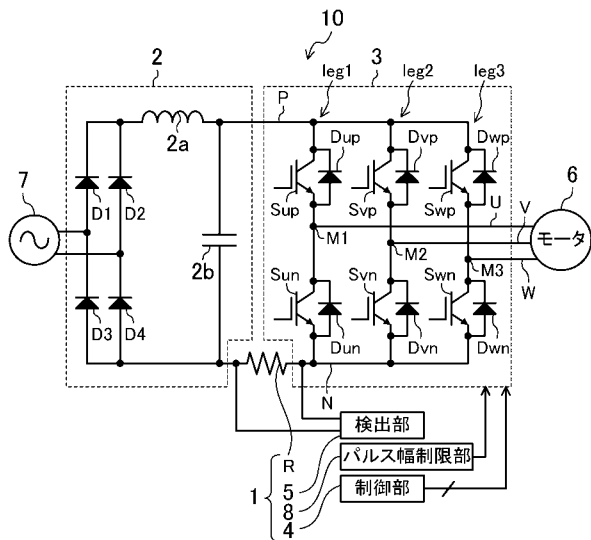
【0057】

- 1 検出制御部
- 2 コンバータ回路
- 3 インバータ回路
- 4 制御部
- 5 検出部
- 6 モータ（負荷）
- 8 パルス幅制限部
- 10 電力変換装置
- 12 還流ダイオード
- leg 1 スイッチングレグ
- leg 2 スイッチングレグ
- leg 3 スイッチングレグ
- M 1 , M 2 , M 3 中間点
- N , P 直流母線
- R , R 1 , R 2 , R 3 シャント抵抗
- S u p , … , S w n スイッチング素子

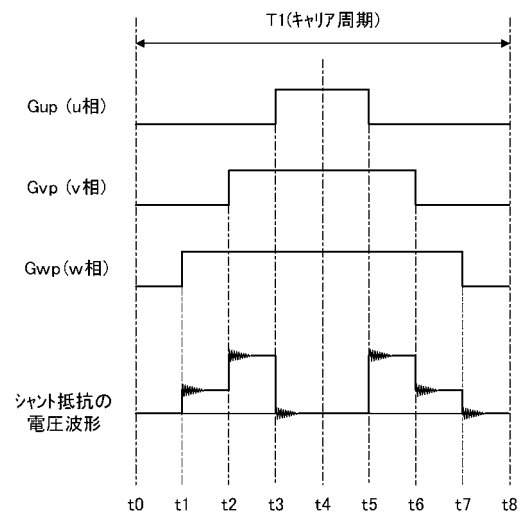
10

20

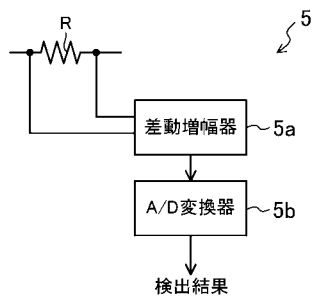
【図1】



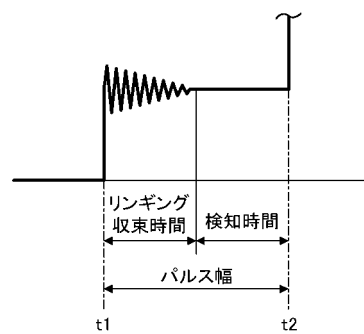
【図3】



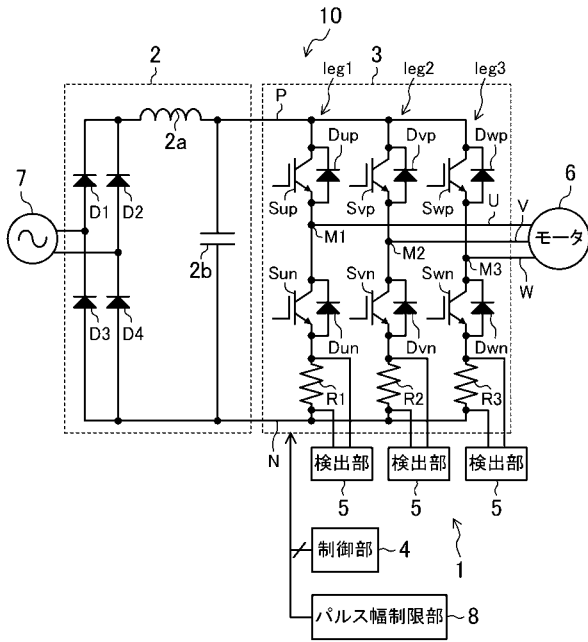
【図2】



【図4】



【 図 5 】



フロントページの続き

(72)発明者 松野 澄和

滋賀県草津市岡本町字大谷 1 0 0 0 番地の 2 ダイキン工業株式会社滋賀製作所内

Fターム(参考) 5H007 AA12 BB06 CA01 CB05 DC02 EA02

5H505 AA06 BB06 CC05 DD03 EE49 HA10 HB02 LL22