

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6032247号
(P6032247)

(45) 発行日 平成28年11月24日(2016.11.24)

(24) 登録日 平成28年11月4日(2016.11.4)

(51) Int.Cl.		F I	
HO4B	3/04	(2006.01)	HO4B 3/04 C
HO4L	25/03	(2006.01)	HO4L 25/03 C
HO4B	3/10	(2006.01)	HO4L 25/03 B
HO3H	21/00	(2006.01)	HO4B 3/10 C
			HO3H 21/00

請求項の数 38 (全 49 頁)

(21) 出願番号	特願2014-124297 (P2014-124297)	(73) 特許権者	000004260
(22) 出願日	平成26年6月17日 (2014.6.17)		株式会社デンソー
(65) 公開番号	特開2015-216613 (P2015-216613A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成27年12月3日 (2015.12.3)	(74) 代理人	110000567
審査請求日	平成27年3月19日 (2015.3.19)		特許業務法人 サトー国際特許事務所
(31) 優先権主張番号	特願2013-211869 (P2013-211869)	(72) 発明者	秋田 浩伸
(32) 優先日	平成25年10月9日 (2013.10.9)		愛知県刈谷市昭和町1丁目1番地 株式会
(33) 優先権主張国	日本国(JP)		社デンソー内
(31) 優先権主張番号	特願2014-88220 (P2014-88220)	(72) 発明者	大塚 茂樹
(32) 優先日	平成26年4月22日 (2014.4.22)		愛知県刈谷市昭和町1丁目1番地 株式会
(33) 優先権主張国	日本国(JP)		社デンソー内
		(72) 発明者	松平 宣明
			愛知県刈谷市昭和町1丁目1番地 株式会
			社デンソー内

最終頁に続く

(54) 【発明の名称】 歪み補償システム及び通信装置

(57) 【特許請求の範囲】

【請求項1】

第1デジタルフィルタ(FF1, FB1)を用いて構成されたイコライザ(12)を備えた第1受信部(13)と、第2デジタルフィルタ(FF2, FB2)を用いて構成されたエンファシス回路(8)を備えた第1送信部(10)と、を備える第1通信ノード(4, 104, 204)と、

前記第1通信ノードの第1送信部から通常データを受信する前に予め定められたトレーニングパターンを前記第1通信ノードに第1伝送線路(6, 6a, 206a)を通じて送信する第2送信部(23)を備える第2通信ノード(5, 105, 205a)と、を備え、

前記第1通信ノードは、前記第2通信ノードの第2送信部が送信するトレーニングパターンを前記第1受信部により受信するように構成され、

前記イコライザは、前記トレーニングパターンについてエラーを収束させて受信できるように第1デジタルフィルタのフィルタ定数を収束させ、

前記第1通信ノードの第1送信部は、前記収束された前記第1デジタルフィルタのフィルタ定数を前記エンファシス回路の第2デジタルフィルタのフィルタ定数の少なくとも一部として用い歪み補償して通常データを送信し、

前記第1受信部のイコライザはDFE回路(12)を用いて構成され、

前記第1デジタルフィルタとして、前記DFE回路(12)の入力データを第1デジタルフィルタ処理する第1フィードフォワードフィルタ(FF1)と、当該DFE回路の出

カデータを第2デジタルフィルタ処理する第1フィードバックフィルタ(FB1)とを備え、前記第1フィードフォワードフィルタの出力と前記第1フィードバックフィルタの出力とを加算し当該加算結果をDFE回路の出力とを比較して照合するスライサ(S1)を備え、

前記第1送信部(10)のエンファシス回路(8)は、

前記第2デジタルフィルタとして、当該エンファシス回路の入力データを第1デジタルフィルタ処理する第2フィードフォワードフィルタ(FF2)と、当該エンファシス回路の出力データを第2デジタルフィルタ処理する第2フィードバックフィルタ(FB2)とを備え、前記第2フィードフォワードフィルタの出力と前記第2フィードバックフィルタの出力とを加算し当該加算結果を出力することを特徴とする歪み補償システム。

10

【請求項2】

請求項1記載の歪み補償システムにおいて、

前記第1受信部(13)が前記トレーニングパターンの1ビットを受信するための動作周波数を f_1 としたとき、

前記イコライザ(12)は、前記トレーニングパターンの中の各1ビットについて m 個($m > 2$)連続した同一データ値を有するサブビットに分割するように前記周波数 f_1 を超える周波数で動作し、前記サブビットのエラーを収束させて受信できるように第1デジタルフィルタ(FF1, FB1)のフィルタ定数を収束させ、

前記第1通信ノードの第1送信部(10)は、前記イコライザ(12)と同一周波数で動作し、前記収束された前記第1デジタルフィルタ(FF1, FB1)のフィルタ定数を前記エンファシス回路(8)の第2デジタルフィルタ(FF2, FB2)のフィルタ定数の少なくとも一部として用い前記サブビット単位で歪み補償して通常データを送信することを特徴とする歪み補償システム。

20

【請求項3】

請求項2記載の歪み補償システムにおいて、

前記サブビットの分割数は奇数であることを特徴とする歪み補償システム。

【請求項4】

請求項3記載の歪み補償システムにおいて、

前記サブビットの分割数は3であることを特徴とする歪み補償システム。

【請求項5】

請求項2～4の何れか一項に記載の歪み補償システムにおいて、

前記第1通信ノード(104)は、前記第2通信ノード(5)に前記サブビット単位で歪み補償して通常データを送信するときに高周波数領域の成分を低減するフィルタ($9a - 1$)を備えることを特徴とする歪み補償システム。

30

【請求項6】

請求項2～4の何れか一項に記載の歪み補償システムにおいて、

前記第2通信ノード(105)は、前記第1通信ノード(4)により送信され前記サブビット単位で歪み補償された通常データを受信するときに高周波数領域の成分を低減するフィルタ($21a - 1$)を備えることを特徴とする歪み補償システム。

【請求項7】

請求項5または6記載の歪み補償システムにおいて、

前記フィルタ($9a - 1$ 、 $21a - 1$)は、前記高周波数領域側のカットオフ周波数が、前記サブビット単位で分割して動作するための前記イコライザ(12、112)の動作周波数に対応したナイキスト周波数に設定されていることを特徴とする歪み補償システム。

40

【請求項8】

請求項1記載の歪み補償システムにおいて、

前記エンファシス回路(8、108)の第2フィードフォワードフィルタ(FF2、FF102)は、そのフィルタタップ数が前記イコライザ(12)の第1フィードフォワードフィルタ(FF1)のフィルタタップ数よりも少なく構成されていることを特徴とする

50

歪み補償システム。

【請求項 9】

請求項 1 記載の歪み補償システムにおいて、

前記エンファシス回路 (8) の第 2 フィードバックフィルタ (F B 2) は、そのフィルタタップ数が前記 D F E 回路 (1 2) の第 1 フィードバックフィルタ (F B 1) のフィルタタップ数よりも少なく構成されていることを特徴とする歪み補償システム。

【請求項 10】

請求項 1 記載の歪み補償システムにおいて、

前記エンファシス回路 (8) の第 2 フィードフォワードフィルタ (F F 2) は、そのフィルタタップ数が当該エンファシス回路 (8) の第 2 フィードバックフィルタ (F B 2) のフィルタタップ数よりも少なく構成されていることを特徴とする歪み補償システム。

10

【請求項 11】

請求項 1 記載の歪み補償システムにおいて、

前記エンファシス回路 (8) の第 2 フィードフォワードフィルタ (F F 2) は、そのフィルタ定数の誤差を規定するデータ桁数が前記 D F E 回路 (1 2) の第 1 フィードバックフィルタ (F B 1) のフィルタ定数の誤差を規定するデータ桁数より少なく構成されていることを特徴とする歪み補償システム。

【請求項 12】

請求項 1 記載の歪み補償システムにおいて、

前記エンファシス回路 (8) の第 2 フィードバックフィルタ (F B 2) は、そのフィルタ定数の誤差を規定するデータ桁数が前記 D F E 回路 (1 2) の第 1 フィードバックフィルタ (F B 1) のフィルタ定数の誤差を規定するデータ桁数よりも少なく構成されていることを特徴とする歪み補償システム。

20

【請求項 13】

請求項 1 記載の歪み補償システムにおいて、

前記エンファシス回路 (8) の第 2 フィードフォワードフィルタ (F F 2) は、そのフィルタ定数の誤差を規定する有効ビット桁が前記エンファシス回路 (8) の第 2 フィードバックフィルタ (F B 2) のフィルタ定数の誤差を規定する有効ビット桁よりも少なく構成されていることを特徴とする歪み補償システム。

【請求項 14】

請求項 1 ~ 13 の何れか一項に記載の歪み補償システムにおいて、

前記トレーニングパターンは、疑似乱数パターンを含むことを特徴とする歪み補償システム。

30

【請求項 15】

請求項 1 ~ 14 の何れか一項に記載の歪み補償システムにおいて、

前記第 1 通信ノード (4 , 1 0 4) は、前記第 2 通信ノード (5 , 1 0 5) に前記通常データとしてプログラムを送信することを特徴とする歪み補償システム。

【請求項 16】

請求項 1 ~ 15 の何れか一項に記載の歪み補償システムにおいて、

前記第 1 通信ノード (4 , 1 0 4 , 2 0 4) は、前記第 2 通信ノード (5 , 1 0 5 , 2 0 5 a) を通信相手先ノードとしたときの前記第 1 および第 2 デジタルフィルタ (F F 1 , F B 1 , F F 2 , F B 2) のフィルタ定数を保持するフィルタ定数保持部 (1 2 a , 8 a) を備えることを特徴とする歪み補償システム。

40

【請求項 17】

請求項 1 ~ 16 の何れか一項に記載の歪み補償システムにおいて、

前記第 1 伝送線路はバス (6 a) を含み、前記バス (6 a) は非終端の分岐路 (1 0 0) を備えることを特徴とする歪み補償システム。

【請求項 18】

請求項 1 ~ 17 の何れか一項に記載の歪み補償システムにおいて、

前記第 1 伝送線路はバス (6 a) を含み、前記バス (6 a) には前記第 1 通信ノード (

50

1 a の 4 , 1 0 2 の 4) 及び第 2 通信ノード (1 b の 5) が接続されると共に前記第 1 及び第 2 通信ノード以外の他の 1 又は複数の第 3 通信ノード (1 c ... 1 z の少なくとも 1 つ以上の 5) が接続されることを特徴とする歪み補償システム。

【請求項 1 9】

請求項 1 8 記載の歪み補償システムにおいて、

前記 1 又は複数の第 3 通信ノード (1 c ... 1 z の少なくとも 1 つの 5) は、前記第 1 通信ノード (1 a の 4 , 1 0 2 の 4) との間で通常データを通信する前に予め定められたトレーニングパターンを送信する第 2 送信部 (2 3) を備え、

前記第 1 通信ノード (1 a の 4 , 1 0 2 の 4) は、前記第 2 及び / 又は前記 1 又は複数の第 3 通信ノード (1 b ... 1 z の少なくとも 1 つ以上の 5) のうちの他の複数の通信ノードに順次送信要求する送信要求手段 (7) を備え、

前記他の複数の通信ノードが、前記送信要求手段 (7) から送信要求を受け付けると、前記他の複数の通信ノードの第 2 送信部 (2 3) はトレーニングパターンを前記第 1 通信ノード (1 a の 4 , 1 0 2 の 4) に送信することを特徴とする歪み補償システム。

10

【請求項 2 0】

請求項 1 8 または 1 9 記載の歪み補償システムにおいて、

前記第 1 通信ノード (1 a の 4 , 1 0 2 の 4) から前記第 2 通信ノード (1 b の 5) へデータ送信するデータ伝送速度は、

前記第 1 通信ノード (1 a の 4 , 1 0 2 の 4) 以外の他の複数の第 2 又は / 及び第 3 通信ノード (1 b ... 1 z のうちの複数の 5) が、前記バス (6 a) 上で互いに通信するデータ伝送速度よりも速いことを特徴とする歪み補償システム。

20

【請求項 2 1】

請求項 1 8 ~ 2 0 の何れか一項に記載の歪み補償システムにおいて、

前記第 1 通信ノード (1 a の 4 , 1 0 2 の 4) が前記バス (6 a) に接続される第 2 又は第 3 通信ノード (1 b ... 1 z のうちの一つの 5) と通信する間、当該通信中の通信ノード以外の通信ノードは通信中のデータを無視することを特徴とする歪み補償システム。

【請求項 2 2】

請求項 1 7 ~ 2 1 の何れか一項に記載の歪み補償システムにおいて、

前記第 1 通信ノード (1 0 2 の 4) は、前記バス (6 a) に着脱可能なケーブル (1 0 3) により接続可能に構成されていることを特徴とする歪み補償システム。

30

【請求項 2 3】

請求項 1 7 ~ 2 2 の何れか一項に記載の歪み補償システムにおいて、

前記第 1 通信ノード (1 a の 4) は、前記バス (6 a) に接続するポートとは異なるポートを介して上位ネットワークに接続されていることを特徴とする歪み補償システム。

【請求項 2 4】

請求項 1 ~ 1 6 の何れか一項に記載の歪み補償システムにおいて、

前記第 1 通信ノード (2 0 4) と前記第 2 通信ノード (2 0 5 a) との間を接続するトレーニングパターン選択信号線 (S S 、 S S a 、 S S z 、 S S y) を備え、

前記第 1 通信ノードは、前記第 2 通信ノードに前記トレーニングパターン選択信号線を通じてトレーニングパターンを送信要求する送信要求手段 (7) を備え、

前記第 2 の通信ノードが、前記送信要求手段から送信要求を受け付けると、前記第 2 の通信ノードの第 2 送信部はトレーニングパターンを前記第 1 通信ノードに送信することを特徴とする歪み補償システム。

40

【請求項 2 5】

請求項 1 ~ 1 6 の何れか一項に記載の歪み補償システムにおいて、

前記第 1 通信ノード (2 0 4) 及び前記第 2 通信ノード (2 0 5 a) 以外の他の通信ノードであり、前記第 1 通信ノードと第 2 伝送線路 (2 0 6 b ... 2 0 6 n) を通じて接続される 1 又は複数の第 3 通信ノード (2 0 5 b ... 2 0 5 n) と、

前記第 1 通信ノード (2 0 4) と前記第 2 通信ノード (2 0 5 a) との間を接続する第 1 トレーニングパターン選択信号線 (S S a) と、

50

前記第 1 通信ノード (2 0 4) と前記 1 又は複数の第 3 通信ノード (2 0 5 b ... 2 0 5 n) との間を接続する第 2 トレーニングパターン選択信号線 (S S b ... S S n) と、を備え、

前記第 1 通信ノードは、前記第 2 通信ノード及び前記 1 又は複数の第 3 通信ノードを対象通信ノードとして前記第 1 及び第 2 トレーニングパターン選択信号線を通じてトレーニングパターンを送信要求する送信要求手段 (7) を備え、

前記対象通信ノードは、前記送信要求手段 (7) から送信要求を受け付けると、前記第 2 送信部がトレーニングパターンを前記第 1 通信ノードに送信することを特徴とする歪み補償システム。

【請求項 2 6】

請求項 1 ~ 1 6 の何れか一項に記載の歪み補償システムにおいて、

前記第 1 通信ノード (2 0 4) 及び前記第 2 通信ノード (2 0 5 a) 以外の他の通信ノードであり、前記第 1 通信ノードと第 2 伝送線路 (2 0 6 b ... 2 0 6 n) を通じて接続される 1 又は複数の第 3 通信ノード (2 0 5 b ... 2 0 5 n) と、

前記第 1 通信ノードと前記第 2 通信ノードとの間、及び、前記第 1 通信ノードと前記第 3 通信ノードとの間を共用して接続するトレーニングパターン選択信号線 (S S z) とを備え、

前記第 1 通信ノードは、前記第 2 通信ノード及び前記 1 又は複数の第 3 通信ノードを対象通信ノードとして前記第 1 及び第 2 トレーニングパターン選択信号線を通じてトレーニングパターンを送信要求する送信要求手段 (7) を備え、

前記対象通信ノードは、前記送信要求手段から送信要求を受け付けると、前記対象通信ノードの第 2 送信部はトレーニングパターンを前記第 1 通信ノードに送信することを特徴とする歪み補償システム。

【請求項 2 7】

請求項 1 ~ 1 6 の何れか一項に記載の歪み補償システムにおいて、

前記第 1 通信ノード (2 0 4) 及び前記第 2 通信ノード (2 0 5 a) 以外の他の通信ノードであり、前記第 1 通信ノードと第 2 伝送線路 (2 0 6 b ... 2 0 6 n) を通じて接続される 1 又は複数の第 3 通信ノード (2 0 5 b ... 2 0 5 n) と、

前記第 1 通信ノードと前記第 2 通信ノードとの間を接続するトレーニングパターン選択信号線 (S S y) と、

前記第 2 通信ノードと前記第 3 通信ノードとの間を接続する中継線 (2 1 2) と、を備え、

前記第 1 通信ノードは、前記第 2 又は第 3 の通信ノードにトレーニングパターンを送信要求するように前記トレーニングパターン選択信号線を通じて前記第 2 通信ノードに送信する送信要求手段 (7) を備え、

前記第 2 通信ノードは多層配線層を使用した集積回路を用いて構成され、前記送信要求手段から送信要求が送信されると、前記第 2 通信ノードの集積回路の多層配線層内及び前記中継線 (2 1 2) を通じて前記第 3 通信ノードに伝達可能に構成され、

前記送信要求された対象の前記第 2 又は第 3 の通信ノードの第 2 送信部はトレーニングパターンを前記第 1 通信ノードに送信することを特徴とする歪み補償システム。

【請求項 2 8】

請求項 2 7 記載の歪み補償システムにおいて、

前記第 1 通信ノード (2 0 4) 及び前記第 2 通信ノード (2 0 5 a) はプリント配線基板 (2 1 0) に搭載されていることを特徴とする歪み補償システム。

【請求項 2 9】

請求項 2 7 記載の歪み補償システムにおいて、

前記第 2 通信ノードには、前記集積回路内に前記送信要求を波形整形する波形整形部 (2 1 3) を備えることを特徴とする歪み補償システム。

【請求項 3 0】

請求項 2 4 ~ 2 7 の何れか一項に記載の歪み補償システムにおいて、

10

20

30

40

50

前記送信要求手段は、全ての対象の通信ノードにトレーニングパターンを送信要求することを特徴とする歪み補償システム。

【請求項 3 1】

請求項 2 4 , 2 6 ~ 2 9 の何れか一項に記載の歪み補償システムにおいて、前記トレーニングパターン選択信号線 (S S , S S z , S S y) は 1 のみ設けられていることを特徴とする歪み補償システム。

【請求項 3 2】

請求項 2 4 , 2 6 ~ 3 1 の何れか一項に記載の歪み補償システムにおいて、前記送信要求手段は、前記トレーニングパターン選択信号線 (S S , S S a ... S S n , S S z , S S y) を通じて前記トレーニングパターンを送信要求するときには、前記トレーニングパターン選択信号線に所定のデジタルレベルを出力することで前記トレーニングパターンを送信要求することを特徴とする歪み補償システム。

10

【請求項 3 3】

請求項 2 5 記載の歪み補償システムにおいて、前記送信要求手段は、前記第 1 又は第 2 トレーニングパターン選択信号線 (S S a 又は S S b ... S S n) を通じて前記トレーニングパターンを送信要求するときには、前記第 1 又は第 2 トレーニングパターン選択信号線に所定のデジタルレベルを出力することで前記トレーニングパターンを送信要求することを特徴とする歪み補償システム。

【請求項 3 4】

請求項 1 ~ 2 3 の何れか一項に記載の歪み補償システムにおいて、前記第 2 通信ノード (5 , 1 0 5) は、車両用アクチュエータの駆動回路 (2) に搭載されることを特徴とする歪み補償システム。

20

【請求項 3 5】

請求項 1 ~ 2 3 の何れか一項に記載の歪み補償システムにおいて、前記第 1 通信ノード (4 , 1 0 4) は、車両用 E C U (1 , 1 a ~ 1 z) に搭載されることを特徴とする歪み補償システム。

【請求項 3 6】

請求項 1 ~ 2 3 の何れか一項に記載の歪み補償システムにおいて、前記第 1 通信ノード (4 , 1 0 4) は、プログラム書換装置 (1 0 2) に搭載され、前記第 2 通信ノード (5 , 1 0 5) に前記通常データとしてプログラムを送信することを特徴とする歪み補償システム。

30

【請求項 3 7】

請求項 1 ~ 3 6 の何れか一項に記載の第 1 通信ノード (4 , 1 0 4 , 2 0 4) の要件を備える通信装置。

【請求項 3 8】

第 1 デジタルフィルタ (F F 1 , F B 1) を用いて構成されたイコライザ (1 2) を備えた第 1 受信部 (1 3) と、

第 2 デジタルフィルタ (F F 2 , F B 2) を用いて構成されたエンファシス回路 (8) を備えた第 1 送信部 (1 0) と、を備え、

前記第 1 受信部 (1 3) は、第 2 通信ノード (5 , 1 0 5 , 2 0 5 a) の第 2 送信部 (2 3) から予め定められたトレーニングパターンが送信されると当該トレーニングパターンを受信するように構成され、

40

前記イコライザ (1 2) は、前記トレーニングパターンについてエラーを収束させて受信するように第 1 デジタルフィルタ (F F 1 , F B 1) のフィルタ定数を収束させ、

前記第 1 送信部 (1 0) は、前記収束された前記第 1 デジタルフィルタ (F F 1 , F B 1) のフィルタ定数を前記エンファシス回路 (8) の第 2 デジタルフィルタ (F F 2 , F B 2) のフィルタ定数の少なくとも一部として用い歪み補償して通常データを送信し、

前記第 1 受信部のイコライザは D F E 回路 (1 2) を用いて構成され、

前記第 1 デジタルフィルタとして、前記 D F E 回路 (1 2) の入力データを第 1 デジタルフィルタ処理する第 1 フィードフォワードフィルタ (F F 1) と、当該 D F E 回路の出

50

カデータを第2デジタルフィルタ処理する第1フィードバックフィルタ(FB1)とを備え、前記第1フィードフォワードフィルタの出力と前記第1フィードバックフィルタの出力とを加算し当該加算結果をDFE回路の出力とを比較して照合するスライサ(S1)を備え、

前記第1送信部(10)のエンファシス回路(8)は、

前記第2デジタルフィルタとして、当該エンファシス回路の入力データを第1デジタルフィルタ処理する第2フィードフォワードフィルタ(FF2)と、当該エンファシス回路の出力データを第2デジタルフィルタ処理する第2フィードバックフィルタ(FB2)とを備え、前記第2フィードフォワードフィルタの出力と前記第2フィードバックフィルタの出力とを加算し当該加算結果を出力することを特徴とする通信装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ伝送時に生じる歪みを補償するための歪み補償システム及び通信装置に関する。

【背景技術】

【0002】

複数の通信ノードが、伝送線路を通じて互いにデータ通信するとき、データレートが高くなるに従い伝送波形が歪む。このとき伝送波形の歪みがシンボル間干渉となり、正常なデジタル通信処理を妨げる。

20

【0003】

伝送線路の伝送路特性が事前に把握されているときには、通信装置がエンファシス回路を備えていれば波形歪みを補償でき歪みの影響を極力排除して正常にデータ通信できる。エンファシス回路は一般にプリエンファシス方式とディエンファシス方式があるが、これらはほぼ実装形態が同一で効果もほぼ同様である。

【0004】

例えばディエンファシス方式は例えばパーソナルコンピュータの内部バス等に採用されている。パーソナルコンピュータの内部バスは、例えばある送信ビットがその直後の1ビットに影響する波形歪みを考慮している。

【0005】

一般化すると、ある送信ビットがその直後の1又は複数ビットに影響することを考慮し、これらの影響に応じて生じた歪みを補償できるようにした方式も考えられる。しかし、伝送線路の伝送特性はケーブル長又は材質等に応じて変化するためこの状況を事前に把握できないときには伝送路特性を知ることは難しい。

30

【0006】

その他、波形歪みを改善する技術としては、Adaptive DFE(Decision Feedback Equalizer)と称される技術がある。DFE技術は、受信部が受信波形を用いて歪みを補償する技術である。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特表2008 503929号公報(特許第4841548号)

40

【発明の概要】

【発明が解決しようとする課題】

【0008】

前述のDFE技術が用いられると回路規模が大きくなりやすい。したがって、通常データを送信する側の通信ノードを第1通信ノードとし、通常データを受信する側の通信ノードを第2通信ノードとすると、例えば第2通信ノードが第1通信ノードに比較してサイズ制限の制約があるときには、第2通信ノードにDFE回路を設けることが困難となる。また、サイズ制限の制約に限らず様々な制約に応じて第2通信ノードがDFE回路等の歪み

50

補償用の回路を備えることができない場合もある。

【 0 0 0 9 】

第 1 通信ノードが第 2 通信ノードにテストパターンを送信し、この受信結果などを送り返し歪み補償する技術も提供されている（例えば、特許文献 1 参照）が、第 2 通信ノードから第 1 通信ノードに向けてテストパターンの受信結果を送り返すための別の通信手段を設ける必要を生じてしまう。

【 0 0 1 0 】

本発明の目的は、データ受信側の第 2 通信ノードに歪み補償用の回路を設けず、しかも第 2 通信ノードから第 1 通信ノードに対しテストパターンの受信結果を送り返すための別の通信手段を設けることなく、第 1 及び第 2 通信ノード間の通信処理に使用される伝送線路による信号歪みを補償できるようにした歪み補償システム、および、この歪み補償システムを構成する通信装置を提供することにある。

【課題を解決するための手段】

【 0 0 1 1 】

請求項 1 記載の発明によれば次のように作用する。まず、第 1 通信ノードと第 2 通信ノードの間の通常データの通信処理に先立ち、第 2 通信ノードの第 2 送信部が、予め定められたトレーニングパターンを第 1 通信ノードに送信する。第 1 通信ノードの第 1 受信部は、トレーニングパターンについて受信エラーが低減する様にイコライザの第 1 デジタルフィルタのフィルタ定数を収束させる。

【 0 0 1 2 】

そして、第 1 通信ノードの第 1 送信部は、収束された第 1 デジタルフィルタのフィルタ定数を、エンファシス回路の第 2 デジタルフィルタのフィルタ定数の少なくとも一部として用いて歪み補正を前もって行い送信する。これにより、第 1 及び第 2 通信ノードは伝送線路による信号歪みを補償できる。

【 0 0 1 3 】

このとき、データ受信側の第 2 通信ノードに歪み補償用の回路を設けなくても良くなり、第 2 通信ノードにはトレーニングパターンの送信回路を設けるだけでよくなる。さらに、テストパターンの受信結果を送り返すための別の通信手段を第 2 通信ノードに設けなくてもよくなる。

また第 1 受信部のイコライザは D F E 回路を用いて構成され、第 1 デジタルフィルタとして、D F E 回路の入力データを第 1 デジタルフィルタ処理する第 1 フィードフォワードフィルタと、当該 D F E 回路の出力データを第 2 デジタルフィルタ処理する第 1 フィードバックフィルタとを備えると共に、前記第 1 フィードフォワードフィルタの出力と前記第 1 フィードバックフィルタの出力とを加算し当該加算結果を D F E 回路の出力とを比較して照合するスライサを備える。また、第 1 送信部のエンファシス回路は、第 2 デジタルフィルタとして、当該エンファシス回路の入力データを第 1 デジタルフィルタ処理する第 2 フィードフォワードフィルタと、当該エンファシス回路の出力データを第 2 デジタルフィルタ処理する第 2 フィードバックフィルタとを備えると共に、第 2 フィードフォワードフィルタの出力と第 2 フィードバックフィルタの出力とを加算し当該加算結果を出力する。

【図面の簡単な説明】

【 0 0 1 4 】

【図 1】本発明の第 1 実施形態に係る歪み補償システムの電氣的構成例を概略的に示すブロック図

【図 2】車両用システムの電氣的構成例を概略的に示すブロック図

【図 3】D F E 回路の構成例を概略的に示す電氣的構成図

【図 4】D F E 処理部の構成例を概略的に示す電氣的構成図

【図 5】(a) は第 1 フィードフォワードフィルタを F I R フィルタにより構成した場合のデジタルフィルタの構成例を概略的に示す電氣的構成図、(b) は第 1 フィードバックフィルタを F I R フィルタにより構成した場合のデジタルフィルタの構成例を概略的に示す電氣的構成図

10

20

30

40

50

【図6】エンファシス回路の構成例を概略的に示す電氣的構成図

【図7】(a)は第2フィードフォワードフィルタをFIRフィルタにより構成した場合のデジタルフィルタの構成例を概略的に示す電氣的構成図、(b)は第2フィードバックフィルタをFIRフィルタにより構成した場合のデジタルフィルタの構成例を概略的に示す電氣的構成図

【図8】トレーニングパターンの通信処理及び通常データの通信処理の流れの一例を概略的に示すタイミングチャート

【図9】伝送線路の応答波形例

【図10】(a)(b)は収束後のデジタルフィルタのフィルタ定数のシミュレーション例

10

【図11】第2通信ノードの送信波形と第1通信ノードの受信部におけるDFE回路の出力波形とを概略的に示すシミュレーション例

【図12】第1通信ノードの送信波形と第2通信ノードの受信部における受信波形とを概略的に示すシミュレーション例

【図13】本発明の第2実施形態について、デジタルフィルタのタップ長調整機能を有するエンファシス回路の構成例

【図14】伝送線路の伝達特性例

【図15】本発明の第3実施形態において、3以上の複数の通信ノードが車内ネットワークを通じて接続される接続形態例を概略的に示す電氣的構成図

【図16】3以上の複数の通信ノードがY分岐線路を通じて接続される接続形態例を概略的に示す電氣的構成図

20

【図17】ネットワークの終端部に終端抵抗を配置した形態例を概略的に示す電氣的構成図

【図18】Y分岐線路を有するネットワークの終端部に終端抵抗を配置した形態例を概略的に示す電氣的構成図

【図19】第1通信ノードにより取得されるデジタルフィルタのフィルタ定数の一例

【図20】本発明の第4実施形態において、CAN-FDのフレームフォーマットの一例の説明図

【図21】CAN-FDデータフェーズにおけるデータレート特性例

【図22】第1通信ノードとしてプログラム書換装置を適用した場合のネットワーク接続形態例

30

【図23】多数の通信ノード間の通信処理の流れの一例を示すタイミングチャート

【図24】本発明の第5実施形態において、車両用ネットワークがゲートウェイを介して上位ネットワークに接続される接続形態例

【図25】比較対象例の方式を用いた場合の(a)送信用シミュレーションデータ例、(b)アイダイアグラム例

【図26】第1実施形態の方式を用いる場合の(a)送信用シミュレーションデータ例、(b)アイダイアグラム例

【図27】本発明の第6実施形態において、(a)トレーニングパターンのデータ列の例、(b)データ列がサブビットに分割されたデータ列である場合の説明を示す概念図

40

【図28】(a)送信用シミュレーションデータ例、(b)アイダイアグラムの一例

【図29】本発明の第7実施形態において、(a)トレーニングパターンのデータ列の例、(b)データ列がサブビットに分割されたデータ列である場合の説明を示す概念図

【図30】(a)サブビット分割数を3とした場合の送信用シミュレーションデータ例、(b)アイダイアグラム例

【図31】(a)サブビット分割数を5とした場合の送信用シミュレーションデータ例、(b)アイダイアグラム例

【図32】本発明の第8実施形態において、歪み補償システムの電氣的構成例を概略的に示すブロック図

【図33】サブビット分割数を2とした場合のアイダイアグラム例

50

- 【図34】サブビット分割数を3とした場合のアイダイアグラム例
- 【図35】サブビット分割数を4とした場合のアイダイアグラム例
- 【図36】サブビット分割数を5とした場合のアイダイアグラム例
- 【図37】本発明の第9実施形態において、歪み補償システムの電氣的構成例を概略的に示すブロック図
- 【図38】サブビット分割数を2とした場合のアイダイアグラム例
- 【図39】サブビット分割数を3とした場合のアイダイアグラム例
- 【図40】サブビット分割数を4とした場合のアイダイアグラム例
- 【図41】サブビット分割数を5とした場合のアイダイアグラム例
- 【図42】本発明の第10実施形態において、歪み補償システムの電氣的構成例を概略的に示すブロック図 10
- 【図43】イコライザの構成例を概略的に示す電氣的構成図
- 【図44】(a)はイコライズ処理部の構成例を概略的に示す電氣的構成図、(b)は第1フィードフォワードフィルタの構成例を概略的に示す電氣的構成図
- 【図45】(a)はエンファシス回路の構成例を概略的に示す電氣的構成図、(b)は第2フィードフォワードフィルタの構成例を概略的に示す電氣的構成図
- 【図46】本発明の第11実施形態において、トレーニングパターンの送信ノードを選択するためのトレーニングパターン選択信号線を接続した場合の電氣的構成例を概略的に示すブロック図
- 【図47】トレーニングパターン送信要求時における動作を概略的に示すタイミングチャート 20
- 【図48】本発明の第12実施形態において、実装形態例を概略的に示すブロック図(その1)
- 【図49】実装形態例を概略的に示すブロック図
- 【図50】トレーニングパターン送信要求時における動作を概略的に示すタイミングチャート
- 【図51】実装形態例を概略的に示すブロック図
- 【図52】本発明の第13実施形態において、実装形態例を概略的に示すブロック図
- 【発明を実施するための形態】
- 【0015】 30
- 以下、歪み補償システムの幾つかの実施形態について、図面を参照しながら説明する。各実施形態において同一又は類似の機能を備えた構成要件については同一又は類似の符号を付して必要に応じて説明を省略し、各実施形態の特徴部分の説明を中心に行う。
- 【0016】
- (第1実施形態)
- 図1～図12は第1実施形態を示す。図1には歪み補償システムSの電氣的構成例を示し、図2には車両用システム内の接続構成例を概略的に示す。
- 【0017】
- 図2に示すように、車両内には、マスタとなるECU1と、スレーブとなるアクチュエータの駆動回路2とが、例えばバス3により接続されている。ECU1と駆動回路2とを比較すると、ECU1の方が駆動回路2よりも回路規模が大きく構成されており回路等の搭載スペースも大きい。 40
- 【0018】
- ECU1には通信装置(第1通信ノード相当)4が搭載されており、駆動回路2には通信装置(第2通信ノード相当)5が搭載されている。通信装置4及び5はそれぞれ例えば半導体集積回路により構成される。ECU1内の通信装置4には、主に通常データを送信する回路が構成されており、駆動回路2内の通信装置5には、主に前記の通常データを受信する回路が構成されている。
- 【0019】
- 図2に示すバス3は、電氣的には図1に示す伝送線路6として働く。図1に示すように 50

、 E C U 1 内の通信装置 4 は、制御回路 7 と、エンファシス回路 8 と、送信アンプ 9 とを送信部 10 として備える。制御回路 7 は、例えば C P U、R O M、R A M、不揮発性メモリなどを搭載したマイクロコンピュータを主として備えるものであり、機能的にはデータ送信部 7 a とデータ受信部 7 b とを備える。データ送信部 7 a はデジタルデータを生成しエンファシス回路 8 に出力する。

【 0 0 2 0 】

エンファシス回路 8 は、通常時においてデータ送信部 7 a から送信されるデジタルデータを入力し歪み補正し、図示しない D / A 変換部を介して送信アンプ 9 に出力する機能ブロックであり、フィルタ定数保持部 8 a を備える。このフィルタ定数保持部 8 a は、デジタルフィルタの内部処理に要する定数（後述する図 7 (a) の第 2 フィードフォワードフィルタ F F 2 の係数 $h_1[0] \sim h_1[k_1]$ 、および、図 7 (b) の第 2 フィードバックフィルタ F B 2 の係数 $h_2[0] \sim h_2[k_2]$ ）を保持する記憶部であり、例えばレジスタにより構成される。

10

【 0 0 2 1 】

送信アンプ 9 は、エンファシス回路 8 の出力信号の振幅を電気信号の振幅に変換し当該信号を伝送線路 6 に出力する。送信部 10 の送信信号は伝送線路 6 を通じて通信装置 5 に伝達される。

【 0 0 2 2 】

また、 E C U 1 内の通信装置 4 は、受信アンプ 11 と、イコライザとしての D F E 回路 12 と、を受信部 13 として備える。この受信部 13 は、駆動回路 2 の通信装置 5 から送信された信号について伝送線路 6 を通じて受信する。受信アンプ 11 は、通信装置 5 から伝送線路 6 を通じて送信された信号を増幅し、 D F E 回路 12 に出力する。

20

【 0 0 2 3 】

D F E 回路 12 は、波形歪みを改善するためのイコライズ処理を行うブロックであり、フィルタ定数保持部 12 a を内蔵する。フィルタ定数保持部 12 a は、後述するデジタルフィルタの内部処理に要する定数（図 5 (a) の第 1 フィードフォワードフィルタ F F 1 の係数 $h_1[0] \sim h_1[n_1]$ 、および、図 5 (b) の第 1 フィードバックフィルタ F B 1 の係数 $h_2[0] \sim h_2[n_2]$ ）を保持する記憶部であり例えばレジスタにより構成される。

【 0 0 2 4 】

D F E 回路 12 は、イコライズ処理を行った後にその処理信号を制御回路 7 のデータ受信部 7 b に出力する。データ受信部 7 b は D F E 回路 12 からの送信信号を受信しデジタルデータとして出力する。

30

【 0 0 2 5 】

また、 E C U 1 内の通信装置 4 は転送部 14 を備える。転送部 14 は、 D F E 回路 12 のフィルタ定数保持部 12 a からエンファシス回路 8 のフィルタ定数保持部 8 a にフィルタ定数を転送するブロックである。この転送部 14 は制御回路 7 を構成するマイクロコンピュータの内部ソフトウェアにより実現されていても良いしハードウェアとして実現されていても良い。

【 0 0 2 6 】

また、通信装置 4 はクロック生成部 17 を備える。このクロック生成部 17 は、制御回路 7 から制御信号を受け付けて D F E 回路 12、エンファシス回路 8 の動作のクロック信号を生成するブロックである。クロック生成部 17 は、例えば制御回路 7 からの制御信号に応じてそのクロック信号の周波数を変更可能に構成されている。クロック生成部 17 は、これらの生成されたクロック信号を、制御回路 7、受信部 13（例えば D F E 回路 12、データ受信部 7 b）、送信部 10（例えばデータ送信部 7 a、エンファシス回路 8、D / A 変換部（図示せず））に動作クロック信号として出力する。

40

【 0 0 2 7 】

他方、駆動回路 2 内の通信装置 5 は、制御回路 20 と、受信アンプ 21 と、送信アンプ 22 とを備える。制御回路 7 は、例えば C P U、R O M、R A M、不揮発性メモリなどを

50

搭載したマイクロコンピュータを主として備えるものであり、機能的にはデータ送信部 20 a とデータ受信部 20 b とを備える。また、通信装置 5 はクロック生成部 27 を備える。このクロック生成部 27 は所定周波数のクロック信号を生成し制御回路 20 の動作用として供給する。データ送信部 20 a はデジタルデータを生成し送信アンプ 22 に出力する。送信アンプ 22 はデジタルデータ信号を増幅し伝送線路 6 に出力する。

【0028】

受信アンプ 21 は、通信装置 4 の送信部 10 の送信信号を、伝送線路 6 を通じて受信し増幅してデータ受信部 20 b に出力する。データ受信部 20 b は、受信アンプ 21 により増幅された信号を受信しデジタルデータとして出力する。

【0029】

データ送信部 20 a 及び送信アンプ 22 は、通信装置 5 の送信部 23 (第2送信部相当) を構成する。受信アンプ 21 及びデータ受信部 20 b は、通信装置 5 の受信部 24 を構成する。これにより、通信装置 4 および 5 は互いにデータを送受信できる。

【0030】

通信装置 4 内の DFE 回路 12 は、所謂 Adaptive DFE (Decision Feedback Equalizer) により構成される。図 3 に示すように、DFE 回路 12 は、A/D 変換部 15 と、この A/D 変換部 15 の変換結果を DFE 処理する DFE 処理部 16 とを備える。A/D 変換部 15 は、受信アンプ 21 により増幅された受信信号をアナログ - デジタル変換処理し、変換処理されたデジタル信号を DFE 処理部 16 に出力する。

【0031】

図 4 に示すように、DFE 処理部 16 は、A/D 変換部 15 の出力デジタル信号を歪み補償処理するものであり、例えば、第 1 フィードフォワードフィルタ FF1、加算器 A1、スライサ S1、減算器 M1、及び、第 1 フィードバックフィルタ FB1 を備えて構成される。

【0032】

この図 4 に示す例では、第 1 フィードフォワードフィルタ FF1 は、DFE 処理部 16 の入力デジタル信号をデジタルフィルタ (例えば FIR フィルタ) 処理し、このフィルタ後のデジタル信号を加算器 A1 に出力する。第 1 フィードバックフィルタ FB1 は、DFE 処理部 16 の出力デジタル信号をデジタルフィルタ (例えば FIR フィルタ) 処理し、このフィルタ後のデジタル信号を加算器 A1 に出力する。

【0033】

図 5 (a) に示すように、第 1 フィードフォワードフィルタ FF1 は、 $n+1$ 個直列接続された 1 クロック遅延器 $D1a \sim Dn+1a$ と、 $n+1$ 個の乗算器 $Mu0a \sim Mu(n+1)a$ と、加算器 Aa とを備える。

【0034】

遅延器 $D1a \sim Dn+1a$ は、それぞれ、制御回路 7 から与えられるクロック (図示せず) に応じて 1 クロック分の遅延処理を行う。また、フィルタ定数保持部 12a は係数 $h1[0] \sim h1[n+1]$ を保持しているが、乗算器 $Mu0a \sim Mu(n+1)a$ にはフィルタ定数保持部 12a から係数 $h1[0] \sim h1[n+1]$ が与えられる。

【0035】

第 1 フィードフォワードフィルタ FF1 の乗算器 $Mu0a \sim Mu(n+1)a$ は、 $n+1$ 個の遅延器 $D1a \sim Dn+1a$ を用いて遅延処理された $0 \sim n+1$ クロック遅延データにそれぞれ係数 $h1[0] \sim h1[n+1]$ を乗算する。ここで、0 クロック遅延データは入力データ IN そのものを表している。第 1 フィードフォワードフィルタ FF1 の加算器 Aa は、これらの乗算器 $Mu0a \sim Mu(n+1)a$ により乗算された個々の結果を加算して出力データ OUT とする。

【0036】

図 5 (b) に示すように、第 1 フィードバックフィルタ FB1 は、 $n+1$ 個直列接続された 1 クロック遅延器 $D1b \sim Dn+1b$ と、 $n+1$ 個の乗算器 $Mu0b \sim Mu(n+1)b$ と、加算器 Ab と、を備える。

【0037】

10

20

30

40

50

第1フィードバックフィルタFB1の乗算器 $M_{u0b} \sim M_{un2b}$ は、 $n2$ 個の遅延器 $D_{1b} \sim D_{n2b}$ を用いて遅延処理された $0 \sim n2$ クロック遅延データにそれぞれ係数 $h_{2[0]} \sim h_{2[n2]}$ を乗算する。ここで、 0 クロック遅延データは入力データINそのものを表している。第1フィードバックフィルタFB1の加算器A b は、これらの乗算器 $M_{u0b} \sim M_{un2b}$ により乗算された個々の結果を加算して出力データOUTとする。

【0038】

なお、FIRフィルタを使用した例を示したが、他種類のデジタルフィルタ（IIRフィルタ等）を用いた形態であっても良い。

参照図面を図4に戻して説明を続ける。図4に示す加算器A1は、第1フィードフォワードフィルタFF1、及び、第1フィードバックフィルタFB1の出力信号を加算し、スライサS1に出力する。スライサS1は、信号波形をデータ値として変換する回路であり、変換結果をDFE処理部16の出力とする。

10

【0039】

信号波形は伝送線路6の影響を受けて歪む。スライサS1はこの歪んだ波形に対して、最も近い信号レベルを判定する。

減算器M1は、スライサS1の入力信号と出力シンボルOUTの信号差をエラーとして算出し、この算出結果をエラーとして制御回路7に出力する。制御回路7は、このエラーを入力し、このエラーが0に収束するように、第1フィードフォワードフィルタFF1および第1フィードバックフィルタFB1に設定すべき各係数 $h_{1[0]} \sim h_{1[n1]}$ 及び $h_{2[0]} \sim h_{2[n2]}$ を収束させてフィルタ定数保持部12aに格納する。

20

【0040】

このデジタルフィルタのフィルタ定数の収束方法としては、例えばLMS（Least Mean Square）、Sign-data、Sign-error、Sign-Sign LMS、Leaky LMSなどのアルゴリズムを用いた方法があるが、収束方法はこの方法に限られるものではない。

【0041】

すなわち、制御回路7は、スライサS1の入出力が互いに同一となるように第1フィードフォワードフィルタFF1、第1フィードバックフィルタFB1に設定すべき各係数 $h_{1[0]} \sim h_{1[n1]}$ 及び $h_{2[0]} \sim h_{2[n2]}$ を収束させる。

ここで、入出力誤差（入出力電圧誤差）が所定値よりも少なくなれば収束を完了と見做す。

30

【0042】

なお、収束完了後、フィルタ定数の更新処理を停止しても良いが、例えば所定周期毎に継続しても良いし、所定周期から更新頻度を徐々に下げて更新処理を継続しても良い。また更新量を下げて更新処理を行っても良い。さらに、例えば経験的に、一定時間の収束処理後にエラーが所定値より低下することが判明しているときには、タイマーを使用して前記の一定時間の収束処理後に収束完了と見做すようにしても良い。また、エラーの収束処理に用いる「所定値」は、システムに必要とされるS/Nに応じて設計的に決定される。

【0043】

図6に示すエンファシス回路8は、第2フィードフォワードフィルタFF2と、第2フィードバックフィルタFB2と、加算器A2と、フィルタ定数保持部8aとを備える。ここで、第2フィードフォワードフィルタFF2は、例えば第1フィードフォワードフィルタFF1と同一の構造により形成され、第2フィードバックフィルタFB2は、例えば第1フィードバックフィルタFB1と同一の構造により構成される。図6に示すように、エンファシス回路8は、機能的にDFE処理部16の回路とは異なり、当該DFE処理部16からスライサS1及び減算器M1を省いた回路を用いて構成される。

40

【0044】

図7(a)及び図7(b)は、第2フィードフォワードフィルタFF2及び第2フィードバックフィルタFB2をそれぞれFIRフィルタで構成した場合の当該デジタルフィルタの構成例を概略的に示す。

【0045】

50

図7(a)に示すように、第2フィードフォワードフィルタFF2は、 k_1 個直列接続された1クロック遅延器TD1a~TDk1aと、 $k_1 + 1$ 個の乗算器TMu0a~TMuk1aとを備える。

【0046】

第2フィードフォワードフィルタFF2の遅延器TD1a~TDn1aは、制御回路7から与えられるクロックに応じて1クロック分の遅延処理を行う。また、第2フィードフォワードフィルタFF2の乗算器TMu0a~TMuk1aには、エンファシス回路8のフィルタ定数保持部8aから係数 $h_1[0] \sim h_1[k_1]$ がそれぞれ与えられる。

【0047】

前述したように、DFE処理部16は、第1フィードフォワードフィルタFF1の乗算用の係数 $h_1[0] \sim h_1[n_1]$ を算出する。この算出結果はDFE回路12内のフィルタ定数保持部12aに格納されるが、転送部14は、これらの係数 $h_1[0] \sim h_1[n_1]$ をエンファシス回路8のフィルタ定数保持部8aに転送する。

【0048】

ここで、第2フィードフォワードフィルタFF2の乗算器TMu0b~TMUk1aには、転送部14によりフィルタ定数保持部8aに転送された係数 $h_1[0] \sim h_1[n_1]$ (第1フィードフォワードフィルタFF1の乗算器Mu0a~Mun1aの係数)が与えられる。

【0049】

ここで、第2フィードフォワードフィルタFF2が $k_1 = n_1$ のデジタルフィルタを採用しているときには、第2フィードフォワードフィルタFF2の乗算器TMu0a~TMuk1aには、第1フィードフォワードフィルタFF1の乗算用の係数 $h_1[0] \sim h_1[n_1]$ がそのまま与えられる。

【0050】

第2フィードフォワードフィルタFF2の乗算器TMu0b~TMUk1aは、 $k_1 + 1$ 個の遅延器TD1a~TDn1aを用いて遅延処理された0~ k_1 クロック遅延データに、それぞれ係数 $h_1[0] \sim h_1[k_1]$ を乗算する。第2フィードフォワードフィルタFF2の加算器Aa2は、これらの乗算器TMu0a~TMuk1aにより乗算された個々の結果を加算して出力OUTとする。

【0051】

図7(b)に示すように、第2フィードバックフィルタFB2は、 k_2 個直列接続された1クロック遅延器TD1b~TDk2bと、 $k_2 + 1$ 個の乗算器TMu0b~TMuk2bと、加算器Ab2と、を備える。

【0052】

第2フィードバックフィルタFB2の遅延器TD1b~TDk2bは、制御回路7から与えられるクロックに応じてそれぞれ1クロック分だけ遅延処理する。また、第2フィードバックフィルタFB2の乗算器TMu0b~TMuk2bには、エンファシス回路8のフィルタ定数保持部8aから係数 $h_2[0] \sim h_2[k_2]$ が与えられる。

【0053】

前述したように、DFE回路12のDFE処理部16は、第1フィードバックフィルタFB1の乗算用の係数 $h_2[0] \sim h_2[n_2]$ を算出する。この算出結果はDFE回路12内のフィルタ定数保持部12aに格納される。転送部14は、これらの係数 $h_2[0] \sim h_2[n_2]$ をエンファシス回路8のフィルタ定数保持部8aに転送する。このとき、第2フィードバックフィルタFB2の乗算器TMu0b~TMuk2bには、第1フィードバックフィルタFB1の乗算器Mu0b~Mun2bの係数 $h_2[0] \sim h_2[n_2]$ がフィルタ定数保持部8aから与えられる。

【0054】

ここで、第2フィードバックフィルタFB2が、 $k_2 = n_2$ のデジタルフィルタを用いているときには、第2フィードバックフィルタFB2の乗算器TMu0b~TMUk2bには、第1フィードバックフィルタFB1の乗算用の係数 $h_2[0] \sim h_2[n_2]$ がそのま

10

20

30

40

50

ま与えられる。

【 0 0 5 5 】

第2フィードバックフィルタFB2の乗算器 $T M u 0 b \sim T M u k 2 b$ は、 $k 2 + 1$ 個の遅延器 $T D 1 b \sim T D k 2 b$ を用いて必要に応じて遅延処理された $0 \sim k 2$ クロック遅延データにそれぞれ係数 $h 2 [0] \sim h 2 [k 2]$ を乗算する。

【 0 0 5 6 】

第2フィードバックフィルタFB2の加算器 $A b 2$ は、これらの乗算器 $T M u 0 b \sim T M u k 2 b$ により乗算された個々の結果を加算して出力OUTとする。これにより、入力データINがたとえ「0」「1」の2値に相当するデジタルレベルであっても、出力データOUTは2値以外の小数レベルを持つデジタルデータとなる。

10

【 0 0 5 7 】

上記構成の通信動作について図8を参照しながら説明する。ECU1の通信装置4は、駆動回路2の通信装置5との間で伝送線路6を通じて大容量の通常データを送信処理する。しかし本実施形態では、通常データの送受信処理に先立ち、トレーニングパターンの通信処理を行う。

【 0 0 5 8 】

例えば、ECU1及び駆動回路2間におけるトレーニングパターンの通信タイミングは、例えば車両のパワーオン時（イグニッションスイッチON時：Power-on）が挙げられる。また、この他、ECU1のリセット時又は駆動回路2のリセット時（re-start）、伝送線路6の新設/追加/変更/削除など伝送経路が変更されたときのリトレーニング時（re-training）等のタイミングが挙げられる（図8のS1参照）。

20

【 0 0 5 9 】

但し、本実施形態においては、例えば大容量の通常データの伝送方向がECU1の通信装置4から駆動回路2の通信装置5であるのに対し、トレーニングパターンは駆動回路2の通信装置5からECU1の通信装置4に伝送される（図8のS2参照）。これにより大容量通信前のトレーニング処理を行う。

【 0 0 6 0 】

通信装置5には、ECU1内に構成されるエンファシス回路8に相当する歪み補償回路は設けられていない。したがって、通信装置5が、例えば疑似ランダム符号（PRBS(Pseudo Random Binary Sequence)）による2値信号のトレーニングパターンについて、伝送線路6を通じて通信装置4に送信すると、通信装置4が受信する信号波形は、伝送線路6等の影響を受けて歪む。

30

【 0 0 6 1 】

なお、トレーニングパターンは、DFE処理部16のデジタルフィルタFF1、FB1の係数 $h 1 [0] \sim h 1 [n 1]$ 及び $h 2 [0] \sim h 2 [n 2]$ が収束するように予め定められたパターンであれば、どのようなパターンを用いても良い。ただ、偏りがなく様々なパターンが一樣な確率でランダムに生成するためには、疑似ランダム符号を用いることが望ましい。この疑似ランダム符号は、一般的に例えばLFSR(Linear Feedback Shift Resister)を用いて生成される。

【 0 0 6 2 】

ECU1内の通信装置4は、このトレーニングパターンを受信する（図8のS2参照）が、通信装置4内の受信アンプ11はこの伝送線路6による歪みを含んで増幅する。DFE処理部16は信号波形の歪みを補正処理する。DFE処理部16はこの信号波形の歪みを補正処理するとき、DFE処理部16内のデジタルフィルタFF1及びFB1の係数 $h 1 [0] \sim h 1 [n 1]$ 及び $h 2 [0] \sim h 2 [n 2]$ を収束させる（図8のS3参照）。

40

【 0 0 6 3 】

この場合、DFE処理部16は、エラーが極力抑制されるように、第1フィードフォワードフィルタFF1及び第1フィードバックフィルタFB1の各係数 $h 1 [0] \sim h 1 [n 1]$ 及び $h 2 [0] \sim h 2 [n 2]$ を収束させ、フィルタ定数保持部12aに保持させ

50

る。これらのフィルタ定数が収束すると、転送部 1 4 は、フィルタ定数保持部 1 2 a に保持されたフィルタ定数をエンファシス回路 8 のフィルタ定数保持部 8 a に転送する（図 8 の S 4 参照）。

【 0 0 6 4 】

その後、通信装置 5 内のエンファシス回路 8 は、フィルタ定数保持部 8 a に保持されたフィルタ定数を用いて送信データを予め補償するように補正する（図 8 の S 5 参照）。このとき、補直後の送信データは逆にデータが歪んだ信号となる。

【 0 0 6 5 】

通信装置 4 の送信部 1 0 は、駆動回路 2 の通信装置 5 に通常データ（ノーマルパターン：normal pattern）を送信する（図 8 の S 6 参照）。すると、この送信信号は、伝送線路 6 を通過するとき歪みを生じるものの、エンファシス回路 8 が予め補償するように補正しているため、これらの影響は打ち消し合い、駆動回路 2 のデータ受信部 2 0 b は、歪みのほとんど無い信号波形を受信できる（図 8 の S 7 参照）。

【 0 0 6 6 】

< 原理説明 >

以下、この流れに応じてデータ通信したときに、なぜ歪みを補正できるのか、その原理説明を行う。伝送線路 6 は、その特性が一般に S パラメータを用いて表現できる。差動伝送線路においても 4 ポートあるが、差動信号に注目すると 2 ポートの S パラメータで近似でき、一般的には 2 行 × 2 列の S パラメータを用いて表現する。例えば内部に能動素子を含まず受動特性となる場合などの条件を満たすときには、2 行 × 2 列の S パラメータを S

1 1、S 2 1、S 1 2、S 2 2 で表すと、

$$S_{21} = S_{12} \quad \dots (1)$$

と示すことができる。デジタルフィルタ F F 1 及び F B 1 のフィルタ定数が収束した後は、量子化誤差などを無視すれば線形特性を有するとみなせる。

【 0 0 6 7 】

D F E 処理部 1 6 は、スライサ S 1 が構成されているため非線形特性となるものの、エラーが完全ゼロ又は完全に 0 ではなくても無視可能な程度に小さい値になっているときには、スライサ S 1 はその処理を施しても信号変化は生じない状態となっている。スライサ S 1 が影響を及ぼしていない状態では、D F E 処理部 1 6 は線形特性を有するとみなすことができる。

【 0 0 6 8 】

この D F E 処理部 1 6 の通過特性の周波数依存性を G_dfe とすると、駆動回路 2 の送信アンプ 2 2 から E C U 1 の受信アンプ 1 1 に至るまでの伝達特性は、 $S_{12} \times G_dfe$ となる。このときデジタルフィルタ F F 1 及び F B 1 の係数が収束すると、この値は一定（Constant）となる。

【 0 0 6 9 】

$$S_{12} \times G_dfe = \text{Constant} \quad \dots (2)$$

この値は周波数依存性を持たない。このため波形歪みが補償されることになる。一般的な伝送線路 6 及び D F E 処理部 1 6 などは周波数依存特性を備えており例えば極度に高い周波数領域まで特性が保証されるわけではない。

【 0 0 7 0 】

しかし、例えば、伝送線路 6 及び D F E 処理部 1 6 など各種回路が動作する動作周波数は伝送データによりあらかじめ定められており、この動作周波数範囲においては、これらの伝送線路 6 及び D F E 処理部 1 6 等の周波数依存性がほぼ一定であるとみなすことができる。

【 0 0 7 1 】

次に、エンファシス回路 8 の周波数特性を G_emph とすると、このエンファシス回路 8 は D F E 処理部 1 6 と同一のフィルタ定数を有し、D F E 処理部 1 6 と類似の回路構成であるため、両者の周波数特性は同じ特性となる。

【 0 0 7 2 】

10

20

30

40

50

$$G_dfe = G_emph \quad \dots (3)$$

E C U 1 の通信装置 5 の送信部 1 0 が駆動回路 2 の通信装置 5 の受信アンプ 2 1 の直前まで伝達する伝達特性は、 $G_emph \times S 2 1$ となる。そして、前述の関係式を考慮すれば、

$$\begin{aligned} G_emph \times S 2 1 &= S 2 1 \times G_emph \\ &= S 1 2 \times G_emph \\ &= S 1 2 \times G_dfe \quad \dots (4) \end{aligned}$$

と、算出できる。したがって、E C U 1 の送信部 1 0 から駆動回路 2 の受信アンプ 2 1 の直前までの伝達特性は、駆動回路 2 の送信アンプ 2 2 の直後から E C U 1 の D F E 回路 1 2 までの伝達特性と同一となる。

10

【 0 0 7 3 】

このため、E C U 1 のエンファシス回路 8 が信号波形を同一フィルタ定数でデジタルフィルタ処理すれば、たとえ伝送線路 6 において信号波形が歪んだとしても、駆動回路 2 の受信部側では信号波形の歪みが補償される。これによりエラーを極力減少させることができる。

【 0 0 7 4 】

<シミュレーション結果>

発明者は、この点についてシミュレーションを用いて検証した。例えば、通信装置 5 が「0」から「1」にステップ状の波形 W 1 を送信したときに、E C U 1 の受信部 1 3 において、図 9 に示すステップ応答波形 W 2 が得られる伝送線路 6 (ケーブル)を用いた場合

20

【 0 0 7 5 】

この場合、(1)式によれば、E C U 1 のデータ送信部 7 a が「0」「1」のステップ状の波形 W 1 を図 9 に示すように送信したとき、駆動回路 2 のデータ受信部 2 0 b ではステップ応答波形 W 2 を受信できる。

【 0 0 7 6 】

この図 9 に示す送信信号は、例えば 1 G b p s の伝送信号を用いており、1 ナノ秒ステップサイクルのシミュレーション結果を示している。したがって、1 ナノ秒ステップの間は、直線補間して得られた結果を示しており、実際の観測結果とは異なる場合がある。

【 0 0 7 7 】

通信装置 5 のデータ送信部 2 0 a が、トレーニングパターンとして疑似ランダム信号によるパターンを送信したとき、通信装置 4 は D F E 処理部 1 6 により歪み補正する。このとき、D F E 処理部 1 6 は、第 1 フィードフォワードフィルタ F F 1 及び第 1 フィードバックフィルタ F B 1 のフィルタ定数を収束させる。

30

【 0 0 7 8 】

このとき、収束後の第 1 フィードフォワードフィルタ F F 1 のフィルタ定数のシミュレーション結果の一例を図 1 0 (a) に示し、第 1 フィードバックフィルタ F B 1 のフィルタ定数のシミュレーション結果の一例を図 1 0 (b) に示す。

【 0 0 7 9 】

図 1 1 は通信装置 5 の送信波形 W 3 (白抜き四角)と通信装置 4 の D F E 処理部 1 6 の D F E 処理後の波形 W 4 (黒塗りダイヤ)とを概略的に示す。この図 1 1 の例では送信波形 W 3 と処理後波形 W 4 とはほぼ合致することがわかる。なお本来は、通信装置 4 の受信波形入力タイミングと、D F E 処理部 1 6 の波形処理後のタイミングとは、D F E 処理後のフィルタ遅延時間等の影響のため一致しないが、処理後波形 W 4 を送信波形 W 3 と比較し易いように遅延分をシフトして示している。

40

【 0 0 8 0 】

この図 1 1 の処理後波形 W 4 に示すように、通信装置 4 の D F E 処理部 1 6 が歪みを補償することから送信波形 W 3 がほぼそのまま再現されていることがわかる。

次に、転送部 1 4 が D F E 回路 1 2 のフィルタ定数保持部 1 2 a に格納されたフィルタ定数をエンファシス回路 8 のフィルタ定数保持部 8 a に転送し、エンファシス回路 8 がフ

50

フィルタ定数保持部 8 a に格納されたフィルタ定数を用いて歪み補正する。

【 0 0 8 1 】

このとき図 1 2 の信号 (波形 W 5 : 白抜き四角) を入力すると、エンファシス回路 8 が図 1 2 の信号 (波形 W 6) を生成する。通信装置 4 が、この信号について伝送線路 6 を通じて送信すると、伝送線路 6 内ではこの信号に波形歪みを生じる。

【 0 0 8 2 】

この結果、通信装置 5 は図 1 2 の信号波形 W 7 (黒塗りダイヤ) を入力する。この図 1 2 の信号波形 W 7 は、図 1 2 の信号波形 W 5 とほぼ重なっていることがわかる。これは、エンファシス回路 8 が波形歪みをあらかじめ補償しているためである。

【 0 0 8 3 】

図 1 2 に示すように、エンファシス回路 8 の出力信号波形 W 6 が 2 以上と大きくなっている時間帯がある。これは、出力信号波形 W 6 が、D F E 処理部 1 6 のデジタルフィルタ F F 1、F F 2 のフィルタ定数の大きさに依存し、当該 D F E 処理部 1 6 の内部処理に応じて決定されるためであり、本方式について使用制限されるものではない。

【 0 0 8 4 】

また、通信装置 4 は、その出力信号として波形振幅が大きすぎる場合には適宜出力電圧をスケールリングしても、通信装置 5 の入力波形が同一量だけスケールリングされるだけであり、通信装置 5 の入力波形自体は変化しない。したがって、通信装置 5 の入力信号データの入力閾値 (「 0 」 「 1 」 の判別閾値) を適切に設定することで受信性能に悪影響を及ぼさなくなる。

【 0 0 8 5 】

本実施形態によれば、通信装置 5 が伝送線路 6 を通じて通信装置 4 の受信部 1 3 にトレーニングパターンを送信し、通信装置 4 の D F E 処理部 1 6 が歪み補償を行っている。このとき、D F E 処理部 1 6 はデジタルフィルタ (第 1 フィードフォワードフィルタ F F 1、第 1 フィードバックフィルタ F B 1) の係数 $h_1[0] \sim h_1[n_1]$ 、 $h_2[0] \sim h_2[n_2]$ を収束させることで伝送線路 6 に生じる歪みを適切に補償する。すると、通信装置 4 が受信するデジタルデータ V_{out_D} を、通信装置 5 が送信したデジタルデータとほぼ同一データにできる。

【 0 0 8 6 】

そして、エンファシス回路 8 は D F E 処理部 1 6 により収束された係数 $h_1[0] \sim h_1[n_1]$ 及び $h_2[0] \sim h_2[n_2]$ の全部を第 2 フィードフォワードフィルタ F F 2、及び、第 2 フィードバックフィルタ F B 2 のフィルタ定数として用いる。

【 0 0 8 7 】

そして、通信装置 4 は歪み分を予め補正して送信する。このため、たとえ駆動回路 2 の通信装置 5 の回路サイズに制限があり、E C U 1 の通信装置 4 より回路規模を小さく作成しなくてはならない場合であっても、通信装置 4 及び 5 間で適切に歪み補償できる。

【 0 0 8 8 】

大容量データ受信側の駆動回路 2 に歪み補償用の回路を設けなくても良くなり、駆動回路 2 にはトレーニングパターンの送信回路を設けるだけで良くなる。さらに、テストパターンの受信結果を送り返すための別の通信手段を駆動回路 2 側に設けなくても良くなる。

【 0 0 8 9 】

(第 2 実施形態)

図 1 3 及び図 1 4 は第 2 実施形態を示す。前述実施形態では、D F E 処理部 1 6 とエンファシス回路 8 の第 1 及び第 2 フィードフォワードフィルタ F F 1 及び F F 2、第 1 及び第 2 フィードバックフィルタ F B 1 及び F B 2 のフィルタタップ数の関係が $n_1 = k_1$ 、 $n_2 = k_2$ の関係を満たす形態を示した。これらのタップ数の関係は互いに異なる関係であっても良いが、本実施形態では、特に $k_1 < n_1$ 、 $k_2 < n_2$ とすることが望ましいことについて説明する。

【 0 0 9 0 】

D F E 処理部 1 6 はトレーニングパターンを受信するときにフィルタ定数を決定するた

10

20

30

40

50

め、フィルタ定数の収束のため高い精度の計算を要する。したがって、比較的大きなフィルタタップ数 n_1 、 n_2 のフィルタを用いると良い。

【0091】

これに対し、エンファシス回路 8 は DFE 処理部 16 で求められたフィルタ定数を用いるだけで収束について懸念を生じることはない。このため、フィルタタップ数 k_1 、 k_2 はそれぞれ前述のフィルタタップ数 n_1 、 n_2 より小さくても良い。したがって、フィルタタップ数の関係が例えば $k_1 < n_1$ 又は $k_2 < n_2$ に定められていれば回路規模を縮小化できる。この場合、半導体集積回路内の回路面積の縮小化を図ることができる。

【0092】

$k_1 < n_1$ のとき、第 2 フィードフォワードフィルタ FF2 の乗算器 $TMu0a \sim TMuk1a$ には、第 1 フィードフォワードフィルタ FF1 の乗算用の係数 $h_1[0] \sim h_1[n_1]$ のうち同一番の係数がそのまま与えられる。

【0093】

また、 $k_2 < n_2$ のとき、第 2 フィードバックフィルタ FB2 の乗算器 $TMu0b \sim TMuk2b$ には、第 1 フィードバックフィルタ FB1 の乗算用の係数 $h_2[0] \sim h_2[n_2]$ のうち同一番の係数がそのまま与えられる。

【0094】

また、エンファシス回路 8 は、最低限の動作を維持できる程度のフィルタタップ数を設ける必要はあるものの、図 13 にタップ長調整機能を可変矢印で示すように、各第 2 フィードフォワードフィルタ FF2a 又は \wedge 及び第 2 フィードバックフィルタ FB2a の使用部分を限定し、その他部分はスキップさせるようにしても良い。

【0095】

すると、第 2 フィードフォワードフィルタ FF2a 又は \wedge 及び第 2 フィードバックフィルタ FB2a 中の一部要素の動作を停止させることができ消費電力を削減できる。このように、タップ長調整機能を持つ第 2 デジタルフィルタ FF2a 及び FB2a を設けることにより低消費電力化を図ることができる。

【0096】

また、エンファシス回路 8 は通信品質として所定の S/N をクリアしていればよいため、エンファシス回路 8 は DFE 処理部 16 におけるフィルタ定数又は計算精度に比較し、より有効ビット桁数を削減し精度を落としても良い。

【0097】

すなわち、第 2 フィードフォワードフィルタ FF2a は、その係数 $h_2[0] \sim h_2[n_2]$ のデータ桁数（例えば 2 進数の有効ビット桁数等）が第 1 フィードフォワードフィルタ FF1 の係数 $h_1[0] \sim h_1[n_1]$ のデータ桁数（例えば 2 進数の有効ビット桁数）より少なく構成されていると良い。

【0098】

フィルタ定数保持部 12a 及び 8a が、フィルタ定数を例えば 2 進デジタル値により保持するときには、第 2 フィードフォワードフィルタ FF2 の乗算器 $TMu0b \sim TMuk2b$ には、フィルタ定数保持部 12a に保持された第 1 フィードフォワードフィルタ FF1 の乗算用の係数 $h_1[0] \sim h_1[n_1]$ のうち同一番の係数の上位ビットの有効桁のみが与えられる。

【0099】

さらに前述と同様の理由から、第 2 フィードバックフィルタ FB2a は、その係数 $h_2[0] \sim h_2[k_2]$ のデータ桁数（例えば有効ビット桁数）が第 1 フィードバックフィルタ FB1 の係数 $h_2[0] \sim h_2[n_2]$ のデータ桁数（例えば有効ビット桁数）より少なく構成されていても良い。

【0100】

このようなときには、第 2 フィードバックフィルタ FB2a の乗算器 $TMu0b \sim TMuk2b$ には、第 1 フィードバックフィルタ FB1 の乗算用の係数 $h_2[0] \sim h_2[n_2]$ のうち同一番の係数の上位ビットの有効桁のみが与えられる。このような場合であっても

10

20

30

40

50

、前述実施形態と同様の作用効果が得られる。

【 0 1 0 1 】

また、伝送線路 6 は、ケーブルの伝送品質等の影響に応じて、その伝達特性が変化する。図 1 4 に伝達特性を示すように、単一パルス波形 W 1 0 の伝達特性は例えば波形 W 1 1 又は波形 W 1 2 などを一例として様々変化する。波形 W 1 2 の伝達特性の方が波形 W 1 1 より劣悪な伝達特性となり、より後方のシグナルに影響するためこの影響を極力排除するため、より大きなフィルタタップ数のデジタルフィルタ F F 2 a 及び F B 2 a を要する。

【 0 1 0 2 】

例えば、通信装置 4 が半導体集積回路 (I C 、 L S I 等) 内に構成されているときには、ケーブル交換などを考慮し伝送線路 6 の特性が変化しても同一の通信装置 4 を使用可能にすることが望ましい。このようなことを考慮すると、 D F E 処理部 1 6 は、想定可能な最悪条件の伝送線路 6 を通信可能にできるデジタルフィルタ F F 2 a 及び F B 2 a のタップ数を用意して構成すると良い。

10

【 0 1 0 3 】

この場合、各デジタルフィルタ F F 2 a 及び F B 2 a 内に用意すべきフィルタタップ数は、最悪条件下 (例えば図 1 4 における波形 W 1 2 の伝達特性を持つ伝送線路) の特性シミュレーション又は実験などにより求めることができる。すなわち不要なタップのフィルタ定数は収束して 0 となるためである。

【 0 1 0 4 】

このとき、通信装置 4 及び 5 が比較的品質の良い (例えば波形 W 1 1) 伝達特性を備える伝送線路 6 により通信することが予めわかっているときには、フィルタタップ数は、前述で求められた最悪条件のフィルタタップ数より少なくしても通信品質を維持できることになる。

20

【 0 1 0 5 】

すなわち、このような場合に備え、図 1 3 に示すようなタップ長調整機能を備えた第 2 フィードフォワードフィルタ F F 2 a 又は / 及び第 2 フィードバックフィルタ F B 2 a を用いて構成すると良い。すると、第 2 フィードフォワードフィルタ F F 2 a 又は / 及び第 2 フィードバックフィルタ F B 2 a の一部要素の動作を停止させれば消費電力を削減できる。

【 0 1 0 6 】

本実施形態によれば、通信装置 4 は D F E 処理部 1 6 により収束された係数 $h_1 [0] \sim h_1 [n_1]$ 、 $h_2 [0] \sim h_2 [n_2]$ の一部をエンファシス回路 8 のデジタルフィルタ F F 2 及び F B 2 のフィルタ定数として用いている。そして通信装置 4 は歪み分を予め補正して送信する。この場合でも、通信装置 4 及び 5 間で適切に歪み補償できる。また回路規模を削減できる。しかも、デジタルフィルタ F F 2 及び F B 2 の一部のみを使用して動作させるため消費電力を削減できる。

30

【 0 1 0 7 】

(第 3 実施形態)

図 1 5 ~ 図 1 8 は第 3 実施形態を示す。この第 3 実施形態は車載 L A N として C A N (Controller Area Network) を適用した場合のバス接続形態を示す。

40

【 0 1 0 8 】

伝送線路 6 としての C A N 6 a は車載 L A N (Local Area Network) として搭載されている。この C A N 6 a は 1 対のペア線路を用いて構成され、図 1 5 に示すように、複数の E C U 1 a ~ 1 z (例えば E C U _ A ~ E C U _ Z) が多数接続されている。複数の E C U 1 a ~ 1 z は特に車内に分散配置されているため、図 1 6 に示すように、C A N 6 a が Y 分岐路 1 0 0 を備える場合もある。図 1 5 に示す C A N 6 a 上では、信号の反射を防ぐため、図 1 7 に示すように、C A N 6 a の終端部に終端抵抗 (ターミネータ) 1 0 1 が配置されている。

【 0 1 0 9 】

このような場合、例えば、C A N 6 a に接続されたある所定の E C U 1 a (例えば E C

50

U__A)が、他のECU1b(例えばECU__B)にパルス信号を送信すると、このパルス信号はECU1bに受信されるものの、CAN6a上の他の線路上にも伝達される(矢印Y0参照)。

【0110】

CAN6aの終端には終端抵抗101が接続されているため、当該パルス信号のエネルギーは終端抵抗101で消費され、信号の反射成分は生じにくくなり(矢印Y0a参照)、CAN6a上の信号成分は歪みにくい。

【0111】

他方、図16に示すように、Y分岐路100を有するCAN6aでは、全終端に終端抵抗101を設けても良いが、図18に示すように2つの分岐路を備えているときには、一方の分岐の終端に終端抵抗101を設けるものの、他方の分岐の終端に終端抵抗101を設けないことが望ましい(符号101a参照)。

10

【0112】

これは、図18に示す分岐配線の場合、全終端に終端抵抗101を設けるよりも一部の終端に終端抵抗101を設けた方が、CAN6aの線路インピーダンスと終端抵抗101とのインピーダンスマッチングを図ることが容易であり、信号振幅を大きくし易いためである。

【0113】

図18に示すように、CAN6aがY分岐路100を備える場合、例えば、ECU1aが、他のECU1bにパルス信号を送信すると、このパルス信号は他のECU1bに受信されるものの、CAN6a上のさらに他の線路上にも伝達される(矢印Y0参照)。

20

【0114】

このとき、パルス信号はY分岐路100に進入するが、このY分岐路100ではインピーダンス不整合を生じやすく、この部分では分岐の両方向Y1、Y2に進むと同時に進入路に反射する反射波も存在する(矢印Y3参照)。

【0115】

また、CAN6aの一方の終端には終端抵抗101が接続されているため、終端抵抗101の反射成分は生じにくくなるものの、他方の終端には終端抵抗101が接続されていない。このため他方の終端に進入した信号は当該終端にて反射する(矢印Y4参照)。他のECU1bはこれらの反射信号も受信するため、他のECU1bの受信信号はECU1aの送信波形とは異なり歪んだ波形となる。

30

【0116】

この図16及び図18に示す例では、単なるY分岐の例を示したが、実際には近年の自動車制御の高度化に伴い、CAN6aは車内の至るところに張り巡らされており、CAN6aに接続されるECU1a~1zは年々増加している。このため、CAN6aが分岐や非終端の配線を備えていると、信号反射の波形乱れを大きく生じやすくなる。

【0117】

このような場合、前述実施形態で説明したDFE処理部16及びエンファシス回路8が多数の各ECU1a~1zに構成されており、全てのECU1a~1zが通信相手毎にデジタルフィルタFF2及びFB2のフィルタ定数を保持していれば歪み補償可能となる。

40

【0118】

このように構成しても良いが、実用的には回路規模サイズの制約のあるECUも存在し、当該ECUはDFE処理部16及びエンファシス回路8を内部に保持できない場合もある。

【0119】

このような場合には、CAN6aに接続されている多数のECU1a~1zのうち、少なくともある1のECU1a(例えばECU__A)が前述実施形態に示したDFE処理部16及びエンファシス回路8を備えていれば良い。このとき、特に大容量のデータを送信する通信ノードに設けることが望ましい。

【0120】

50

すると、ECU 1 aが他のECU 1 bへ通常データを送信する処理に先立ち、他のECU 1 bがECU 1 aにトレーニングパターンを送信し、1のECU 1 aがDFE処理部16のデジタルフィルタFF1及びFB1のフィルタ定数を収束させる。ECU 1 aが、この収束されたフィルタ定数をエンファシス回路8内のデジタルフィルタFF2及びFB2のフィルタ定数として用いれば良い。

【0121】

このようなときには、ECU 1 aと他のECU（例えばECU 1 b：ECU__B）との間の伝送線路6の中に、どのような信号伝達経路（例えば分岐路100などの反射部、終端抵抗101なしの終端部等）が含まれていたとしても、当該信号伝達経路に応じたフィルタ定数を求めることで、エンファシス回路8内のデジタルフィルタFF2及びFB2に適切なフィルタ定数を設定できる。

10

【0122】

ここで、「他のECU」としては、CAN6 aに接続されたあらゆるECU（前述の例では例えばECU__C～ECU__Z）に適用できる。このとき、ECU 1 aが他の様々なECU 1 b～1 zからトレーニングパターンを受信し、ECU 1 aが通信可能な他の個々のECU 1 b～1 zに応じたデジタルフィルタFF2及びFB2のフィルタ定数をそれぞれ収束して算出する。図19は、このときECU 1 aが得たフィルタ定数の一例のマトリクスを示す。

【0123】

この後、ECU 1 aは、その内蔵したエンファシス回路8にそれぞれフィルタ定数を設定し、このエンファシス回路8を用いて予め歪み補償すれば、ECU 1 aは、他のECU 1 b～1 z（例えばECU__B、ECU__C、ECU__D、…、ECU__Z）との間で通常データの通信処理を良好に行うことができる。

20

【0124】

本実施形態によれば、CAN6 aなどを用いて通信処理する場合にも、前述実施形態と同様の効果を奏する。

本実施形態によれば、3以上の複数のECU 1 a～1 zが例えばCAN6 aなどに接続されているときに、1のECU 1 a（例えばECU__A）がDFE処理部16及びエンファシス回路8を備えていれば、1のECU 1 aは他の多数のECU 1 b～1 zとの間で信号の歪み補償をしながら良好に通信できる。

30

【0125】

（第4実施形態）

図20～図23は第4実施形態を示す。この第4実施形態ではCAN-FD（Flexible Data rate）プロトコルを用いた場合の通信形態を示す。

【0126】

波形歪みは、複数のECU 1 a～1 z（複数の通信ノード）間の通信処理のデータレートが上がると更に顕著になる。現在、例えば車載装置の技術分野では、CAN6 aのデータレートを更に上げる目的でCAN-FDプロトコルの導入が検討されている。

【0127】

このCAN-FDプロトコルは、図20にそのフレームフォーマットを示すように、CAN-FD Arbitration Phase（調停フェーズ）の区間ではデータレートを従来のCANから変更していない。

40

【0128】

しかし、Data Fieldを含むCAN FD Data Phase（データフェーズ）の区間では、図21に示すように、データレートが最大4Mbpsに上げられる。このため、複数ECU間の調停性能を劣化させることなく、トータルの通信データレートを向上できる。CAN-FDのフレームヘッダは、通信対象となる受信ノード（ID）以外は、そのフレームの間受信データを無視できる仕様とされている。

【0129】

したがって、通信対象受信ノードとは異なる他の通信ノードは、CAN6 aを通じて伝

50

送される歪みの影響により波形が変化し、異常なデータが受信される状態に変化したとしても当該データを無視する。したがってCAN-FDフレームを使用すれば、誤動作を引き起こすことなく高速伝送できる。

【0130】

このCAN-FDプロトコルの使用目的の一つは、ECUに対するプログラム書込処理である。図22に示すように、プログラム書換装置102はCAN6aにプログラミングケーブル103を通じて接続可能になっており、CAN-FDフレームを使用してプログラムをプログラム書換対象ECU(例えばECU1a)に高速転送できる。

【0131】

ECUは、随時高性能化するため、当該ECUの内蔵プログラムは頻繁に更新される。プログラム更新時において、わざわざECUの交換を行うことは費用抑制等の理由からも稀である。また、更新処理が必要となることが想定される全てのECUに前述のDFE回路12(DFE処理部16)及びエンファシス回路8を予め装備させておいても良いが、この方法は実用性に劣るものとなる。

10

【0132】

そこで、本形態では、少なくともプログラム書換装置102が前述のDFE回路12及びエンファシス回路8を備えている。プログラム書換装置102は、生産時又は例えば車検などの点検時などに一時的に使用されるだけであり、最終製品である車両には搭載されない場合が多い。

【0133】

したがって、プログラム書換装置102がDFE回路12及びエンファシス回路8を搭載したとしても、各ECU1a~1zには前述したトレーニングパターンを送信する回路を設ければ良いだけで別途特殊な回路を設けなくても良い。

20

【0134】

これにより、車両本体に搭載されるECU1a~1zの部品点数の増加を抑制できる。したがって更新処理の必要なECU側にDFE回路12及びエンファシス回路8を設けることなく、CAN-FDプロトコルを使用した高速通信処理を行うことができる。

【0135】

なおプログラム書換装置102と車両用ECU(例えばECU1b)とがCAN-FDプロトコルを用いて大容量データ通信した場合、そのデータ伝送速度はCAN-FDプロトコルを用いない複数ECU間(例えばECU1b-1c間)のデータ伝送速度に比較して速くなる。

30

【0136】

この実施形態では、CAN-FDを使用した高速通信処理を一例として挙げるが、本形態の通信処理は、CAN-FDにのみ用いられるものではなく、波形歪みの影響を受けない程度の他の通信規格に基づく低速通信に応じて通信ノードのペアを決定し、その後、当該通信ノード間で高速データ伝送を行う場合にも適用できる技術である。この際、送信側では、エンファシス回路8がケーブルでの歪みを予め補償して伝送スタートすると良い。

【0137】

以下、低速通信処理時に通信ノード(通信装置)のペアを決定し、その後、ペアが決定された通信ノード間で高速データ伝送を行う場合のシーケンス処理について説明する。

40

図23に示す例は、例えば、プログラム書換装置102(通信ノードA)が通信装置4の構成を備え、他のECU1b~1z(通信ノードB、通信ノードC、...、通信ノードZ)が通信装置5の構成を備えた形態を示している。

【0138】

この図23の表記中、「NodeAのTx」は、プログラム書換装置102の通信装置4の送信部10が行う処理を示し、「NodeAのRx」は、プログラム書換装置102の通信装置4の受信部13が行う処理を示す。また、「NodeBのTx」は、ECU1b内の通信装置5の送信部23が行う処理を示し、「NodeBのRx」は、ECU1b内の通信装置5の受信部24が行う処理を示す。同様に、「NodeCのTx」は、ECU1c内の通信装置5の送信部2

50

3が行う処理を示し、「NodeCのRx」は、ECU1c内の通信装置5の受信部24が行う処理を示す。

【0139】

この図23はプログラム書換装置102が他のECU1b~1zとの間で低速通信処理時にトレーニングした後に高速データ伝送する例を示している。書換装置102による下記の処理はECU1aなど他の装置が行う形態に代えてもよい。なお、図23には「低速通信処理」を2重矩形箱内に記載し、「高速通信処理」を1重矩形箱内に記載している。

【0140】

図23に示すように、パワーオン(Power-on)、リスタート(re-start)、リトレーニング時(re-training)等において、マスタとなる書換装置102とスレーブとなるECU1b~1zとの間でトレーニング(training)を開始すると、書換装置102がECU1bを通信相手先ノードとして低速通信モードを開始しトレーニングリクエストコマンドを送信する(T1)。

10

【0141】

ECU1bはトレーニングリクエストコマンドを受付けると、ECU1bへのトレーニングリクエストであることから、ECU1bは自ノードにトレーニングリクエストが到来したことを認識する(Training Matched)。

【0142】

他のECU1cもまた、このトレーニングリクエストを受信するが、このリクエストはECU1bに対するリクエストであるため、ECU1cはこのリクエストを受信したタイミングからECU1bがトレーニングしている最中には入力データを無視するモードとなる(Training Unmatched)。

20

【0143】

ECU1bは、低速通信モードに入りトレーニングスタートの受付コマンドを送信する(T2: Training Start)。すると、書換装置102がトレーニングスタートの受付コマンドを受付ける(Receive Training Start)。ECU1bは、高速通信モードに入り、トレーニングスタートである旨をヘッダに設定し、トレーニングデータのある所定期間だけ高速送信する(Training Pattern)。

【0144】

書換装置102は、ECU1bから受信したトレーニングスタートのヘッダに基いて、トレーニングデータが何れのタイミングから送信されたか識別し、トレーニングスタートされたタイミングから所定期間トレーニングデータを受信する。

30

【0145】

書換装置102は、トレーニングデータを受信している間にトレーニング処理する。このトレーニング処理では、DFE処理部16内のスライサS1前後のデータが同一となるように第1フィードフォワードフィルタFF1及び第1フィードバックフィルタFB1に設定されるフィルタ定数を収束させる。

【0146】

このとき、書換装置102は収束されたフィルタ定数をフィルタ定数保持部12aに保持させる。これらの書換装置102、ECU1b以外のECU1c...は、通信中フレームのヘッダを確認し、トレーニング期間中であることを識別し、トレーニング期間中には入力データを無視し続ける(Ignore Term)。

40

【0147】

書換装置102は、フィルタ定数の収束処理を完了すると、ECU1b(NodeB)に対応したフィルタ定数としてフィルタ定数保持部12aに保持する。書換装置102は、ECU1bとの間でいったフィルタ定数の算出処理について、通信相手先ノードをECU1cとしてトレーニング処理を行う。すなわち、書換装置102がECU1c(NodeC)を送信対象ノードとして低速通信を開始し、トレーニングリクエストコマンドを送信する(T3)。

【0148】

50

ECU1cはトレーニングリクエストコマンドを受付けると、ECU1cへのトレーニングリクエストであることから、ECU1cは自ノードにトレーニングリクエストが到来したことを認識する(Training Match)。

【0149】

ECU1cは、低速通信モードに入りトレーニングスタートの受付コマンドを送信する(T4: Training Start)。すると書換装置102はトレーニングスタートの受付コマンドを受付ける(Receive Training Start)。ECU1cは高速通信モードに入り、トレーニングスタートである旨をヘッダに設定し、トレーニングデータのある所定期間だけ高速送信する(Training Pattern)。

【0150】

書換装置102は、ECU1cから受信したトレーニングスタートのヘッダに基づいて、トレーニングデータが何れのタイミングから送信されたか識別し、トレーニングスタートのタイミングから所定期間トレーニングデータを受信する。

【0151】

書換装置102は、トレーニングデータを受信している間、トレーニング処理する。このトレーニング処理では、DFE回路12内のスライサS1前後の信号が同一となるように第1フィードフォワードフィルタFF1及び第1フィードバックフィルタFB1の内部のフィルタ定数を収束させる。書換装置102は、この収束されたフィルタ定数をフィルタ定数保持部12aに保持させる。

【0152】

書換装置102は、以上の処理についてトレーニング処理を必要とする他の所定の通信ノード(例えばECU1d~1z)を通信相手先ノードとして繰り返す。これにより、書換装置102は、トレーニング処理を必要とする全ての通信ノードに設定すべきフィルタ定数を取得できる。

【0153】

書換装置102は、ECU1bに対し通常データの送信スタートについて低速通信のヘッダ内に設定してECU1bに通知する。その後、書換装置102は、高速通信により通常データを送信する。このとき、高速通信期間中には、書換装置102は、ECU1b(Node B)に対応したフィルタ定数をエンファシス回路8内のデジタルフィルタFF2及びFB2に与えると共に、エンファシス回路8を通じて通常データを送信する(T5: Node B Normal)。

【0154】

ECU1bは、低速通信のヘッダを参照することで自ノードへの通常データの高速送信処理であることがわかる(Receive Normal Start)。このため、ECU1bは高速通信にてデータ受信する。このとき、書換装置102の送信信号は、予めエンファシス回路8で処理されているため、CAN6aにおいて波形歪みを生じたとしても、ECU1bに到来したときには歪みが抑制された信号を受信できる。

【0155】

ECU1b以外のECU1c...は、低速通信時のヘッダから自ノードへの送信処理でないことがわかる。このため、ECU1c...は、前述の高速通信期間中にデータ通信処理を無視する(Ignore Start)。

【0156】

書換装置102は、ECU1bにとって適切なフィルタ定数を用いて通常データを高速送信することになるため、ECU1c...が仮に高速通信時に通常データを受信したときには全く適切でないデータを受信してしまうことになるが、高速通信期間中はデータ通信処理を無視するため不具合を生じることはない。

【0157】

その他、書換装置102が高速通信するときには、通信相手先ノードに合わせたフィルタ定数(Node B, Node C~Node Z対応フィルタ定数)をエンファシス回路に設定してデータを高速送信する。書換装置102は、他の複数のECU1b...1zの個々の通信ノ

10

20

30

40

50

ードに適切な歪み補償処理を行い高速データ送信する。これにより、書換装置 102 は他の ECU 1b... にデータを高速伝送できる。なお、通信プロトコルを変更することで適宜変更を加えて使用できる。

【0158】

本実施形態によれば、CAN-FD プロトコルを用いて高速通信処理する場合にも、前述実施形態と同様の効果を奏する。また、プログラム書換装置 102 が、DFE 回路 12 及びエンファシス回路 8 を備えていれば、プログラム書換対象となる ECU 1b ~ 1z に歪み補償用の回路を別途設けなくても、伝送信号を歪み補償しながら高速通信処理できる。

【0159】

また本実施形態によれば、低速通信処理時に通信処理を行うペアを決定し、その後、ペアが決定された通信ノード（書換装置 102 と ECU 1b... 1z）間において、適切なフィルタ定数が送信側のエンファシス回路 8 に設定された状態で高速データ伝送を行うので、高速データ伝送時にデータが通信相手先の ECU 1b... 1z に到来したときには、当該通信相手先の ECU 1b... 1z は歪みが抑制された信号を受信できる。

【0160】

（第 5 実施形態）

図 24 は第 6 実施形態を示す。この第 6 実施形態では、車内のネットワークがゲートウェイを介して上位ネットワークに接続される形態を示す。

【0161】

図 24 に示すように、CAN 6a には、ゲートウェイ ECU 1gw がネットワーク接続されており、このゲートウェイ ECU 1gw は上位ネットワーク N に接続されている。この上位ネットワーク N は、例えば、携帯電話通信網、中距離又は近距離無線通信網などの無線通信網、電話網などの有線通信網、有線 LAN、無線 LAN などの各種ローカルエリアネットワーク、などの車両外に少なくとも一部を備えたネットワークである場合もある。ゲートウェイ ECU 1gw は、上位ネットワーク N と CAN 6a とを接続するゲートウェイ機能を備える。

【0162】

第 4 実施形態で説明したプログラム書換装置 102 は、バス 6a に接続するポートとは異なるポートを介して上位ネットワーク N に接続されている。プログラム書換装置 102 は、上位ネットワーク N、ゲートウェイ ECU 1gw を通じて各 ECU 1a ~ 1z と通信できる。このような通信形態であっても前述同様の作用効果を奏する。

【0163】

また、何らかのデータが上位ネットワークを通じてゲートウェイ ECU 1gw を通じて高速伝送される場合、プログラミング以外の用途に用いることもできる。

本実施形態によれば、CAN 6a がゲートウェイ ECU 1gw を通じて上位ネットワーク N に接続されるときにも、前述実施形態と同様の作用効果を奏する。

【0164】

また、第 4 実施形態においては、プログラム書換処理用途に関する説明を行ったが、CAN 6a などのネットワークがこのような上位ネットワーク N に接続されるときにも、プログラム書換処理以外の他用途の高速通信処理に使用することもできる。

【0165】

（第 6 実施形態）

図 25 ~ 図 28 は第 6 実施形態を示す。第 6 実施形態は、通信装置（第 1 通信ノード相当）4 の DFE 回路 12 が、トレーニングパターンの中の各 1 ビットについて複数連続した同一データ値を有するサブビットに分割するサンプリング周波数で受信し、このサブビットのエラーを収束させて受信できるようにデジタルフィルタ FF1、FB1 のフィルタ定数を収束させるようにしていることを特徴の一つとしている。また、通信装置 4 の送信部 10 が、収束されたデジタルフィルタ FF1、FB1 のフィルタ定数をエンファシス回路 8 のデジタルフィルタ FF2、FB2 のフィルタ定数の少なくとも一部として用いサブ

10

20

30

40

50

ビット単位で歪み補償して通常データを送信することを特徴の一つとしている。

【0166】

例えば第1実施形態では、E C U 1の通信装置4がエンファシス回路8によりプリエンファシス処理を行う方法について説明した。このときE C U 1の通信装置4は、クロック生成部17による生成クロック信号に応じて動作するが、当該動作周波数に応じた各1ビット毎に定められた信号レベルを出力する。

【0167】

この場合、D F E回路12は、アイダイアグラムの一点で波形歪みを補正することになるため、この一点の歪みのみが正確に補正されることになり、アイダイアグラムのそれ以外のポイントでは実際とは異なる歪み検出値を代用することになり誤差を生じる。発明者はこの誤差量を検証した。

10

【0168】

まず、図25(a)に送信用シミュレーションデータを示す。前述実施形態に示したプリエンファシス方式を用いることなく、伝送線路6を通じて送信用シミュレーションデータを送信することを想定した場合、図25(b)に受信側のシミュレーション波形(アイダイアグラム)を示すように、データ受信側では伝送線路6の影響を受ける。このアイダイアグラムに示すように、アイが開いておらずデータ誤受信が多くなる。

【0169】

これに対し、送信側の通信装置4のエンファシス回路8が第1実施形態の方式を用い、図26(a)に示すシミュレーションデータの様にプリエンファシス処理し、この処理後の信号について前述の伝送線路6を通じて受信側の通信装置5に送信することを想定したとき、受信側の通信装置5はアイが開いた状態でデータを受信できることを確認している。

20

【0170】

図25(b)および図26(b)を比較すると、明らかにアイの改善がみられることがわかる。なお、これらの図25(b)及び図26(b)に示すシミュレーションでは、プリエンファシス波形の変化点が直線状に変化する信号波形を用いて解析しているが、これはシミュレーションに応じてプリエンファシス波形を求めているためであり、実際には滑らかに時間的に変化することに留意する。

【0171】

図26(b)に示すアイダイアグラムでは、波形歪みが補正タイミング t_1 、 t_2 において周期的に補正されているため、これらの周期的な歪み補正タイミング t_1 、 t_2 において全ての信号値(電圧値)がほぼ一致する。この場合でも十分に受信特性を良好にできるものの、隣接するビット間の遷移領域の時間幅 $A W_1$ は広くなりやすい。

30

【0172】

そこで本実施形態においては、通信装置4はその動作周波数を高くして動作することで、隣接するビット間の遷移領域の時間幅 $A W_2$ を狭くできるようにした形態を示す。

また、本実施形態では1ビットを複数個(= m 2)に分割したサブビットという概念を採用する。例えば、スレーブとなる通信装置5が、マスタとなる通信装置4にトレーニングパターンとして、図27(a)に示すように"01001"の5ビットデータ列を送信する場合について考慮する。

40

【0173】

このとき、通信装置4は、この"01001"の5ビットデータ列の各1ビットが例えば2(= m)サブビットからなっているものとして受信する。すなわち、前述実施形態におけるデータレートに対応した周波数を所定周波数 f_1 とした場合、本実施形態では、E C U 1の通信装置4の受信部13(D F E回路12及びデータ受信部7b)は、この周波数 f_1 を超える周波数 f_2 (例えば2倍(= m 倍)の周波数)をサンプリング周波数として受信する。具体的には、制御回路7がクロック生成部17に制御信号を出力し、クロック生成部17の生成クロック信号の周波数を前述実施形態に比較して f_2 / f_1 倍の周波数に制御する。すると、クロック生成部17は周波数 f_2 のクロック信号を、制御回路7

50

、受信部 13 (例えば DFE 回路 12、データ受信部 7b 等) に出力する。このとき ECU 1 の通信装置 4 の受信部 13 は周波数 f_1 を超える周波数 f_2 で動作する。これにより、受信部 13 はサンプリング周波数を周波数 f_2 としてデータを受信できる。

【0174】

以下の説明では、周波数 f_2 は周波数 f_1 の 2 倍であるものとして説明を行うが、この倍数は 2 倍に限られない。

このとき、通信装置 4 の DFE 回路 12 は、周波数 f_1 の 2 倍 (= m 倍) の周波数 f_2 で第 1 フィードフォワードフィルタ FF1 の係数 $h_1[0] \sim h_1[n_1]$ 、及び、第 1 フィードバックフィルタ FB1 のフィルタ定数 $h_2[0] \sim h_2[n_2]$ を算出する。

【0175】

すると、図 27 (b) に示すように、あたかも先頭の 1 ビット目の "0" は "00"、2 ビット目の "1" は "11"、3 ビット目の "0" は "00"、4 ビット目の "0" は "00"、5 ビット目の "1" は "11"、として 2 個 (= m 個) 重ねて受信できるように、DFE 回路 12 のデジタルフィルタ FF1、FB1 の係数 $h_1[0] \sim h_1[n_1]$ 、 $h_2[0] \sim h_2[n_2]$ を収束させることができる。すなわち、受信側の通信装置 4 は、各 1 ビットについて m 個連続した同一データ値 (data value) を有するサブビット (sub-bit) に分割してトレーニングパターンを受信できることになる。

【0176】

また、通信装置 4 の DFE 回路 12 が処理し第 1 デジタルフィルタ FF1、FB1 の係数 $h_1[0] \sim h_1[n_1]$ 、 $h_2[0] \sim h_2[n_2]$ をフィルタ定数保持部 12a に設定した後、転送部 14 が、この第 1 デジタルフィルタ FF1、FB1 の係数 $h_1[0] \sim h_1[n_1]$ 、 $h_2[0] \sim h_2[n_2]$ をフィルタ定数保持部 8a に転送する。

【0177】

送信部 10 が、このフィルタ定数保持部 8a に転送された係数 $h_1[0] \sim h_1[n_1]$ 、 $h_2[0] \sim h_2[n_2]$ の全部または少なくとも一部を、エンファシス回路 8 の第 2 デジタルフィルタ FF2、FB2 の係数 $h_1[0] \sim h_1[k_1]$ 、 $h_2[0] \sim h_2[k_2]$ として用いることで、プリエンファシス処理し歪み補償して通常データを送信できる。このとき、送信部 10 は、エンファシス回路 8 によりサブビット単位でプリエンファシス処理してデータ送信する。

【0178】

すなわち、通信装置 4 が、図 27 (a) に示す "01001" のビット列をあたかも "0011000011" のように受信した場合、送信部 10 は、このように各ビット毎に m 個連続したサブビット単位でデータをプリエンファシス処理して通常データを送信する。具体的には、クロック生成部 17 が、前述の周波数 f_2 のクロック信号を、送信部 10 (例えばデータ送信部 7a、エンファシス回路 8、図示しない D/A 変換器等) に出力する。すると、ECU 1 の通信装置 4 の送信部 10 は、受信部 13 と同一周波数 f_2 で動作する。これにより、送信部 10 は、 m 個連続したサブビット単位でデータをプリエンファシス処理して通常データを送信できる。この場合、ジッタの悪化を防ぐことができ、通信装置 5 によるデータの誤受信を極力防ぐことができる。

【0179】

発明者らがシミュレーションにより検証した結果を説明する。図 28 (a) に送信用シミュレーションデータ波形、図 28 (b) にシミュレーションデータを受信する際のアイダイアグラムを概略的に示す。これらの図 28 (a) 及び図 28 (b) に示すように、サブビットのデータを送受信するための周波数 f_2 に応じたタイミング t_{11} 、 t_{12} 、 t_{21} 、 t_{22} 毎に信号値 (電圧値) がほぼ一致するようになる。これは、信号値 (電圧値) が一致するタイミング t_{11} 、 t_{12} 、 t_{21} 、 t_{22} が歪み補正タイミングとなるためである。

【0180】

この図 28 (b) において、タイミング t_{11} と t_{12} は同一データ値 (電圧値) となるサブビットのサンプリングタイミングであり、タイミング t_{21} と t_{22} は同一データ

10

20

30

40

50

値（電圧値）となるサブビットのサンプリングタイミングを示している。

【0181】

このとき、この歪み補正タイミング t_{12} 及び t_{22} 間の時間間隔が狭くなり、あるビットに対応した歪み補正タイミング t_{12} から次のビットに対応した歪み補正タイミング t_{21} までの期間の信号変化時間を低減できる。この結果、隣接ビット間の遷移領域の時間幅 AW_2 を狭くすることができる。

【0182】

また、歪み補正タイミング t_{11} 及び t_{12} 間の時間間隔が狭くなり、あるデータ値のサブビットに対応した歪み補正タイミング t_{11} から次の同一データ値のサブビットに対応した歪み補正タイミング t_{12} までの期間の信号変化時間を低減できる。この結果、これらのサブビット間の電圧振幅を抑制できる。この結果、これらのサブビット間における電圧マージン M_2 を大きくできる。これにより、ジッタの悪化を抑制でき、通信装置 5 によるデータ誤受信を極力防ぐことができる。

【0183】

（第7実施形態）

図30～図31は第7実施形態を示す。第7実施形態は、第6実施形態において、1ビット内のサブビットへの分割数を奇数（例えば3が望ましい）としたところを特徴の一つとしている。

【0184】

スレーブ側の通信装置 5 が一般的な受信回路を用いる場合、隣接する2つの遷移領域間の中央のタイミングをデータサンプリングタイミングとすることが多い。

例えば、第6実施形態のサブビットの分割数を例えば偶数（2など）とし、隣接する2つの遷移領域間 R の中央のタイミングをデータサンプリングタイミングとした場合、図28（b）に示すように、電圧マージン M_2 の小さいタイミング t_{1a} 、 t_{2a} が、ほぼデータサンプリングタイミングとなる。

【0185】

図28（b）に示すように、これらのタイミング t_{1a} 、 t_{2a} でも電圧マージン M_2 が十分確保されているため、分割数は偶数とされていても良いが、この分割数は奇数とすることがより望ましい。分割数を奇数とする場合、マスタ側の通信装置 4 の動作周波数 f_2 は、データレートの周波数 f_1 の前述の奇数倍に設定されることになる。例えば、1ビットを3サブビットに分割する場合には、マスタ側の通信装置 4 の受信部 13 は、データレート周波数 f_1 の例えば3倍の周波数 f_2 でサンプリング処理して動作する。そして、通信装置 4 は1ビットを3サブビットとし、DFE回路 12 のフィルタ定数をサブビット単位で算出する。

【0186】

例えば、図29（a）に示すように、トレーニングパターンのデータ列を "1001" としたときには、マスタ側の通信装置 4 は、図29（b）に示すように、"111000000111" という仮想的なサブビットによるデータ列として受信し、通信装置 4 の受信部 13 はDFE回路 12 のフィルタ定数を収束させる。そして、通信装置 4 のエンファシス回路 8 は、このフィルタ定数を用いてサブビット単位でデータを送信する。

【0187】

例えば、図30（a）にサブビット分割数を3とした場合の送信用シミュレーションデータ、図30（b）にアイダイアグラムを概略的に示す。これらの図30（a）及び図30（b）に示すように、受信部 13 が本来のデータレートの周波数 f_1 の例えば3倍の周波数 f_2 で動作するときには、データレートの1倍の周波数で動作した場合の遷移領域の時間幅 AW_1 （図26（b）参照）や、データレートの2倍の周波数で動作した場合の遷移領域の時間幅 AW_2 （図28（b）参照）に比較して、データ遷移領域の時間幅 AW_3 をさらに狭くできる。

【0188】

また、受信側の通信装置（例えば5）が一般的な受信回路を用いていれば、隣接する2

10

20

30

40

50

つの遷移領域間Rのほぼ中央タイミングをデータサンプリングタイミング t_{1a} 、 t_{2a} としたとき、これらのタイミング t_{1a} 、 t_{2a} を原理的に歪み補正タイミング t_{12} 、 t_{22} に一致させることができ、電圧マージン M_3 を原理的に最大とすることができる。

【0189】

例えば、シミュレーション上では外部ノイズ等の影響が考慮されていないが、本実施形態のように分割数を奇数とすれば電圧マージン M_3 を大きくできる。このため、この外部ノイズ等の影響を受けても誤受信をさらに抑制できる。これにより受信特性をさらに良好にできる。したがって、タイミング的な観点で見ても、信号レベルの観点で見ても、分割数を奇数とすることが望ましい。前述説明では分割数を3とした例を示したが、当然5以上の奇数としても良い。分割数が5以上の奇数とされていれば、データサンプリングタイ

10

ミング間の遷移領域の時間幅もさらに小さくできる。このため、この時間領域のジッタを小さくでき、良好に受信することができる。

【0190】

図31(a)に分割数を5とした場合の送信用シミュレーションデータ波形、図31(b)にアイダイアグラムを概略的に示す。図31(b)において、タイミング $t_{12} \sim t_{15}$ 、 $t_{21} \sim t_{25}$ がそれぞれ歪み補正タイミングを示している。タイミング $t_{12} \sim t_{15}$ では同一データ値となっており、タイミング $t_{21} \sim t_{25}$ でも同一データ値となっている。

【0191】

これらの図31(a)及び図31(b)に示すように、分割数を増せば増すほど隣接する歪み補正タイミング間(例えば t_{12} 及び t_{13} 間、 t_{13} 及び t_{14} 間など)の時間間隔を狭くできる。特に、あるデータ値に対応した歪み補正タイミング t_{15} から次のデータ値に対応した歪み補正タイミング t_{21} までの期間の信号変化時間を低減できる。この結果、隣接するビット間の遷移領域の時間幅 AW_5 を短くすることができ、この時間領域のジッタを小さくでき、データ受信側では良好に受信することができる。

20

【0192】

また、図31(a)及び図31(b)に示すように、分割数を増せば増すほど歪みを抑制でき電圧振幅の抑制効果を大きくできる。なお、遷移領域間Rの中央タイミングをデータサンプリングタイミング t_{1a} 、 t_{2a} とした場合には、電圧マージン M_5 は歪み補正タイミング t_{13} 、 t_{23} の電圧マージンにほぼ一致し、原理的に最大の電圧マージン

30

を得ることができる。

【0193】

また、分割数を大きくすればするほど、サブビットに分割した同一データ間の電圧振幅を抑制できる。このため、分割数5とした場合のこの時間領域の電圧マージン M_{15} (図31(b)参照)を、分割数3とした場合のこの時間領域の電圧マージン M_{13} (図30(b)参照)に比較して大きくできる。

【0194】

なお、分割数が5以上に設定されている場合には、奇数であっても偶数であっても歪みの抑制効果をほぼ同等とすることができる。分割数が増えると通信装置4の動作周波数が大きくなるため高性能な回路が要求される。このため、伝送線路6の中の信号伝搬状態、通信装置4及び5の性能、及び、コストなどを考慮したトレードオフに応じて分割数を設定すると良い。

40

【0195】

通信装置4の動作周波数を低く保ちながら、1より大きい奇数という条件を満たすようにするとき、制御回路7は分割数が3となるように通信装置4の動作周波数を設定することが望ましい。また、伝送線路6による伝搬信号の歪みの影響が比較的小さいときには、2又は4倍以上の分割数とするような動作周波数とすることが望ましく、伝送線路6による伝搬信号の歪みの影響が比較的大きいときには、5倍以上の分割数となるように動作周波数を設定することが望ましい。

【0196】

50

(第8実施形態)

図32～図36は第8実施形態を示す。前述の第6実施形態では、分割数が例えば2に設定されているとき、電圧マージンM2がアイダイアグラムの遷移領域間Rの中央タイミングt1a、t2aで小さくなることを示した。これは、例えば2サブビットの送信波形には、本来の元データに含まれる周波数成分以外にプリエンファシス処理に応じた2倍の周波数成分で且つ元データに含まれない信号成分を含むためである。発明者は、この余分な周波数成分を除去すれば電圧マージンを向上できることを見出した。そこで、第8実施形態では、サブビット単位で歪み補償して通常データを送信するときに高周波数領域の成分を低減するフィルタ9a-1を設けた形態を示す。

【0197】

10

図32は、図1に対応して示す歪み補償システムS2の構成例である。ここで、図1におけるマスタ側の通信装置4はエンファシス回路8の出力に送信アンプ9を備えているが、本実施形態のマスタ側の通信装置104は、図32に示すように、送信アンプ9に代えてフィルタ9a-1付きの送信アンプ9aを用いている。

【0198】

送信アンプ9a内のフィルタ9a-1は、例えばアナログローパスフィルタにより構成され、送信アンプ9の前段又は後段に構成されたり、送信アンプ9が複数の増幅段を備えている場合には、これらの複数増幅段の間に構成されたりするものである。

【0199】

フィルタ9a-1の高周波数領域側のカットオフ周波数は、m個のサブビット単位で分割して動作するためのDFE回路12の動作周波数に対応したナイキスト周波数に設定すると良い。フィルタ9a-1の種類は特に限られないが、例えば3次のバターワースフィルタ(Butterworth filter)を用いると良い。

20

【0200】

ここで図32に示すようにフィルタ9a-1を使用し、分割数を2としてシミュレーションすると、図33に示すアイダイアグラムが得られる。なお、このシミュレーション結果は、送信アンプ9とフィルタ9a-1とを縦列接続し、これらの入出力インピーダンスが全て整合された仮定条件のもとで行われた結果である。この場合、データレートの2倍の周波数成分が低減されるため、遷移領域間Rの中央タイミングt1a、t2aにおける電圧マージンM2aを、図28に示す電圧マージンM2と比較して大きくできる。

30

【0201】

本実施形態によれば、データ送信側において、送信アンプ9内のフィルタ9a-1が高周波数領域の成分を低減しているため、電圧マージンM2aを大きくでき誤受信を極力抑制できる。

【0202】

また、マスタ側の通信装置104がフィルタ9a-1を備えているため、伝送線路6内を伝送する信号の不要な周波数成分を予め低減でき、信号が伝送線路6を伝搬するときに生じる不要輻射成分を低減できる。

【0203】

なお、後述の第9実施形態において、本実施形態のフィルタ9a-1に対応したフィルタ21a-1(図37参照)が受信側の通信装置5内に配置される形態を示すが、当該フィルタ21a-1が受信側に配置されていると受信側の通信装置5に別途構成スペースを設けなければならない。通信装置5が例えば車載装置である場合にはこの車載装置内の部品構成用スペースを極力小さくすることが望ましく、この点で、本実施形態の歪み補償システムS2は、後述の第9実施形態と比較して、受信側の通信装置5をシンプル化できるという効果を奏する。

40

【0204】

本実施形態では、1ビットを2つに分割したサブビットとして扱った例を示したが、3以上の複数のサブビットに分割した場合でもほぼ同様の効果が得られる。図34は3つのサブビットに分割した場合、図35は4つのサブビットに分割した場合、図36は5つの

50

サブビットに分割した場合のシミュレーション結果（アイダイアグラム）を示す。これらの図34～図36では、各遷移領域間Rの中央タイミング t_{1a} 、 t_{2a} の電圧マージン $M_{3a} \sim M_{5a}$ を示しているが、電圧マージン $M_{2a} \sim M_{5a}$ の改善効果は、3以上にビット分割した場合（ $M_{3a} \sim M_{5a}$ ）よりも2つのサブビットに分割した場合（ M_{2a} ）が一番高い。

【0205】

また、分割数を大きくすればするほど、サブビットに分割した各データ間の電圧振幅を抑制できる。このため、分割数5とした場合のこの時間領域の電圧マージン M_{15a} （図31（b）参照）を、分割数3とした場合のこの時間領域の電圧マージン M_{13a} （図30（b）参照）に比較して大きくできる。

10

【0206】

また、1ビットを m 個（複数）に分割したサブビットとして扱うことなく、データレートの周波数に対応したナイキスト周波数をカットオフ周波数としたフィルタ9a-1を設けても良い。この場合も同様に、第1～第5実施形態と同様の効果が得られると共に、伝送線路6からの不要輻射の低減効果を得ることができる。

【0207】

（第9実施形態）

図37～図41は第9実施形態を示す。第9実施形態はフィルタ21a-1を受信側に設けた形態を示す。図37は、図1のシステムSに対応して示す歪み補償システムS3の構成例である。図1に示すように、スレーブ側の通信装置5は、受信部24に受信アンプ21を備えているが、本実施形態の歪み補償システムS3の通信装置105は、この受信アンプ21に代えて、フィルタ21a-1を加えた受信アンプ21aを用いている。

20

【0208】

受信アンプ21a内のフィルタ21a-1は、第8実施形態のフィルタ9a-1と同様に、例えばアナログローパスフィルタにより構成すると良く、受信アンプ21の前段又は後段に構成されたり、又は、受信アンプ21aが複数の増幅段を備えている場合には、これらの複数増幅段の中間に構成されたりするものである。

【0209】

本実施形態でも同様に、フィルタ21a-1の高周波数領域側のカットオフ周波数は、 m 個のサブビット単位で分割して動作するためのDFE回路12の動作周波数に対応したナイキスト周波数に設定すると良い。フィルタ21a-1の種類は特に限られないが、例えば3次のバターワースフィルタ（Butterworth filter）を用いると良い。

30

【0210】

ここで、図37に示すように、フィルタ21a-1を使用し、分割数を2としてシミュレーションすると、図38に示すアイダイアグラムを得られる。この場合でも同様に、データレートの2倍の周波数成分を低減できるため、2つの遷移領域間Rの中央タイミング t_{1a} 、 t_{2a} における電圧マージン M_{2b} を大きくできる。

【0211】

なお、この図38に示すアイダイアグラムは、図33に示すアイダイアグラムとほぼ変わらない。これは、伝送線路6の伝搬特性を $G_c(f)$ とし、フィルタ9a-1、21a-1の伝搬特性を $G_{lpf}(f)$ とすれば、第8実施形態の構成（図32）を用いても第9実施形態の構成（図37）を用いても、全体の特性 $G_{total}(f)$ は、

40

$$\begin{aligned} G_{total}(f) &= G_c(f) \times G_{lpf}(f) \\ &= G_{lpf}(f) \times G_c(f) \end{aligned}$$

となり互いに变化しないためである。したがって、第8実施形態の構成でも第9実施形態の構成でも同様の効果が得られる。

【0212】

本実施形態によれば、受信側においてフィルタ21a-1が高周波数領域を低減しているため、電圧マージン M_{2b} を大きくすることができ、誤受信を極力抑制できる。

本実施形態では、1ビットを2つに分割したサブビットとして扱った例を示したが、3

50

以上の複数のサブビットに分割した場合でもほぼ同様の効果が得られる。図39は3つのサブビットに分割した場合、図40は4つのサブビットに分割した場合、図41は5つのサブビットに分割した場合のシミュレーション結果(アイダイアグラム)を示す。これらの図39~図41では、各遷移領域間Rの中央タイミング t_{1a} 、 t_{2a} の電圧マージン M_{3b} ~ M_{5b} を示しているが、電圧マージン M_{2b} ~ M_{5b} の改善効果は3以上に分割した場合(M_{3b} ~ M_{5b})よりも2つのサブビットに分割した場合(M_{2b})に一番高い。

【0213】

また、分割数を大きくすればするほど、サブビットに分割した同一データ間の電圧振幅を抑制できる。このため、分割数5とした場合のこの時間領域の電圧マージン M_{15b} (図41参照)を、分割数3とした場合のこの時間領域の電圧マージン M_{13b} (図39参照)に比較して大きくできる。

【0214】

なお、1ビットを m 個(複数)に分割したサブビットとして扱うことなく、データレート周波数に対応したナイキスト周波数をカットオフ周波数としたフィルタ21a-1を設けても良い。この場合も同様に、第1~第5実施形態と同様の効果が得られる。

【0215】

(第10実施形態：参考例)

図42~図45は第10実施形態を示す。第10実施形態は、前述実施形態のDFE回路12に替えてイコライズ回路112となる適応線形等化器を用いて構成した形態を示す。図42に示す通信装置(第1通信ノード相当)4の受信部13に替わる受信部113はイコライザとしてのイコライズ回路112を備える。イコライズ回路112は、波形歪みを改善するためのイコライズ処理を行うブロックである。図43に示すように、イコライズ回路112は、A/D変換部15と、このA/D変換部15の変換結果を適応線形等化処理するイコライズ処理部116と、を備える。図44に示すように、イコライズ処理部116は、A/D変換部15の出力デジタル信号を歪み補償処理するものであり、第1デジタルフィルタとしての第1フィードフォワードフィルタFF101、判定器S101、減算器M101、を備え、トレーニングパターン保持部117を接続して構成される。

【0216】

この図44(a)に示す例では、第1フィードフォワードフィルタFF101は、イコライズ処理部116の入力デジタル信号をデジタルフィルタ(例えばFIRフィルタ)処理し、このフィルタ後のデジタル信号を判定器S101及び減算器M101の正入力側に出力する。

【0217】

図44(b)に示すように、第1フィードフォワードフィルタFF101は、 $n+1$ 個直列接続された1クロック遅延器D1a~Dn1aと、 $n+1$ 個の乗算器Mu0a~Mun1aと、加算器Aaと、を備える。

【0218】

遅延器D1a~Dn1aは、それぞれ、制御回路7から与えられるクロック(図示せず)に応じて1クロック分の遅延処理を行う。また、フィルタ定数保持部12aは、係数 $h_1[0]$ ~ $h_1[n]$ を保持しているが、乗算器Mu0a~Mun1aにはフィルタ定数保持部12aから係数 $h_1[0]$ ~ $h_1[n]$ が与えられる。第1フィードフォワードフィルタFF101の乗算器Mu0a~Mun1aは、 n 個の遅延器D1a~Dn1aを用いて遅延処理された0~ n クロック遅延データにそれぞれ係数 $h_1[0]$ ~ $h_1[n]$ を乗算する。ここで、0クロック遅延データは入力データINそのものを表している。第1フィードフォワードフィルタFF101の加算器Aaは、これらの乗算器Mu0a~Mun1aにより乗算された個々の結果を加算して出力データOUTとする。

【0219】

図44(a)に示すように、減算器M101の負入力側には初期値としてトレーニング

10

20

30

40

50

パターン保持部 117 から初期トレーニングパターンが入力される。トレーニングパターン保持部 117 は初期トレーニングパターンとして例えば疑似ランダムパターンが記憶されている。

【0220】

判定器 S101 は、信号波形をデータ値として変換する回路であり、変換結果をイコライズ処理部 116 の出力結果とする。信号波形は伝送線路 6 の影響を受けて歪む。第 1 フィードフォワードフィルタ FF101 は、この歪んだ波形を元の信号波形に近い形の補正後波形に戻す働きをする。判定器 S101 は、この補正後波形に対して最も近い信号レベルを判定する。当初は初期トレーニングパターンとの差分がエラーとして制御回路 7 に出力される。このエラーが最小となる、つまり歪み補正される様に、制御回路 7 が第 1 フィードフォワードフィルタ FF101 のフィルタ係数 $h_1[0] \sim h_1[n_1]$ を調整する。ある程度調整ができた後、制御回路 7 がスイッチ SW を切換え、減算器 M1 が第 1 フィードフォワードフィルタ FF101 の出力と出力 OUT との差分を取得し制御回路 7 にエラーとして出力する。

10

【0221】

制御回路 7 は、伝送線路 6 の影響を受けて歪んだ歪み分の影響を補償し、エラーが 0 に収束するように、第 1 フィードフォワードフィルタ FF101 に設定すべき各係数 $h_1[0] \sim h_1[n_1]$ を収束させてフィルタ定数保持部 12a に格納する。このデジタルフィルタのフィルタ定数の収束方法としては、例えば LMS (Least Mean Square) などのアルゴリズムを用いた方法があるが、収束方法はこの方法に限られるものではない。

20

【0222】

制御回路 7 は、判定器 S101 の正負入力が互いに同一となるように第 1 フィードフォワードフィルタ FF101 に設定すべき各係数 $h_1[0] \sim h_1[n_1]$ を収束させる。ここで正負入力誤差 (電圧誤差) が所定値よりも少なくなれば収束を完了と見做す。

【0223】

また、図 45 (a) に示すエンファシス回路 108 は、第 2 フィードフォワードフィルタ FF102 と、フィルタ定数保持部 8a と、を備える。ここで、第 2 フィードフォワードフィルタ FF102 は、例えば第 1 フィードフォワードフィルタ FF101 と同一構成により構成される。図 45 (a) に示すように、エンファシス回路 108 は、機能的にイコライズ回路 112 とは異なり、当該イコライズ回路 112 から判定器 S101 及び減算器 M1、スイッチ SW を省いた回路により構成されている。

30

【0224】

図 45 (b) に示すように、第 2 フィードフォワードフィルタ FF102 は、 k_1 個直列接続された 1 クロック遅延器 TD1a ~ TDk1a と、 $k_1 + 1$ 個の乗算器 TMu0a ~ TMuk1a とを備える。

【0225】

第 2 フィードフォワードフィルタ FF102 の遅延器 TD1a ~ TDn1a は、制御回路 7 から与えられるクロックに応じて 1 クロック分の遅延処理を行う。また、第 2 フィードフォワードフィルタ FF2 の乗算器 TMu0a ~ TMuk1a には、エンファシス回路 8 のフィルタ定数保持部 8a から係数 $h_1[0] \sim h_1[k_1]$ がそれぞれ与えられる。

40

【0226】

つまり、第 1 実施形態などと比較すると、本実施形態は第 1 及び第 2 フィードバックフィルタ FB1、FB2 など省いた構成に類似の構成となっている。このような形態では、イコライズ処理部 116 が第 1 フィードフォワードフィルタ FF101 の乗算用の係数 (タップ係数: フィルタ定数相当) $h_1[0] \sim h_1[n_1]$ を算出するが、この算出結果はイコライズ処理部 116 内のフィルタ定数保持部 12a に格納される。

【0227】

そして転送部 14 は、これらの係数 $h_1[0] \sim h_1[n_1]$ をエンファシス回路 108 のフィルタ定数保持部 8a に転送する。すると、第 2 フィードフォワードフィルタ FF102 の乗算器 TMu0b ~ TMUk1a には、転送部 14 によりフィルタ定数保持部 8a に

50

転送された係数 $h_1[0] \sim h_1[n_1]$ (第1フィードフォワードフィルタ FF_1 の乗算器 $Mu0a \sim Mun1a$ の係数) が与えられる。この実施形態では、全ての係数を使用する形態を示すが、少なくとも一部の係数が使用されていれば良い。

【0228】

このような形態であっても前述実施形態と同様の効果が得られる。なお、本実施形態の手法は、伝送線路6による信号歪みの周波数依存性が大きくない場合に好適となる。また、伝送線路6の周波数依存特性が複雑でありDFE回路12を用いた場合であっても収束が困難な場合においても適用可能となる。これは、DFE回路12に比較してフィードバックフィルタ FB_1 、 FB_2 を備えていないため、構成が簡単化、安定化されるためである。

10

【0229】

(第11実施形態)

図46及び図47は第11実施形態を示す。前述した実施形態では、通信装置4及び5間で双方向通信することになるが、通信装置4及び5間で通常データを通信処理する前に通信装置5がトレーニングパターンを通信装置4に送信して伝送線路6の影響を観察することになる。

【0230】

しかしながら、温度変化、ノイズ環境、通信装置4及び5間の通信誤動作などにより再度トレーニングを行う方が良い場合もある。このような場合、図46に示すように、伝送線路6とは別にトレーニングパターン選択信号線 SS を設けると良い。

20

【0231】

通信装置4の制御回路7がトレーニング送信要求コマンドをトレーニングパターン選択信号線 SS に送信出力すると、通信装置5の制御回路20はトレーニングパターン選択信号線 SS を通じて受信する。

【0232】

このとき、通信装置4及び5間において、所定の信号レベル(例えば「H」)がトレーニングパターン送信要求レベル(コマンド)として予め規定されていれば、図47に示すように、通信装置4がこの所定の信号レベルを通信装置5に出力することでトレーニングパターンを送信要求し($U11$)、通信装置5の制御回路20がこの送信要求を受け付ければ($U12$)、制御回路20はトレーニングパターンを送信する($U13$)ことで、通信装置4をトレーニング処理に移行させることができる。

30

【0233】

また、通信装置4のDFE回路12またはイコライズ回路112がイコライズ処理を行うことでエラーが0に収束しフィルタ定数が決定するとトレーニングパターン処理終了信号を例えば所定の信号レベルとは異なる信号レベル(例えば「L」)とすることでトレーニング処理終了として送信する($U14$)。

通信装置5の制御回路20がこの送信要求を受け付ければ($U15$)、通信装置4及び5間のデータ通信処理について通常データ送受信処理に移行させることができる($U16$)。

【0234】

前述したトレーニングパターン選択信号線 SS を設けることで、通信装置4が主体となり、トレーニング処理、通常データ通信処理を切換えることができる。特に、例えば図46に示すように、通信装置4のグランド G_1 のレベルと通信装置5のグランド G_2 のレベルとが同一(例えば0)或いは異なってもその差が小さい場合には、トレーニングパターン選択信号線 SS を1本のみ設ければ良い。通信装置4及び5が集積回路により構成されているときには、1ピンのみ追加するだけでこの構成を実現できる。

40

【0235】

なお、送信要求レベルとしてデジタルレベル(例えば「H」)を用いた例を示したが、特にこれに限られるものではなく、複数ビット列(デジタルデータの所定パターン)による所定のコマンドをトレーニングパターン送信要求コマンドとして用いても良い。各通信

50

装置 205 a ... 205 n には予め個別の識別符号が割り当てられており、送信要求コマンドは、送信要求の対象となる通信ノードの識別符号（一部又は全体）を含むフォーマットにより予め定められていても良い。この場合も同様の作用効果を奏する。

【0236】

（第12実施形態）

図48～図50は第12実施形態を示す。第12実施形態は、1つのマスタとなる通信装置に複数のスレーブとなる通信装置が接続される形態を示す。このような場合、図48に示すように、マスタとなる通信装置4に替わる通信装置204（第1通信ノード相当）は、複数のスレーブとなる通信装置5に替わる通信装置205 a ... 205 n との間で伝送線路206 a ... 206 n を通じてそれぞれ接続されている。図48、図49に示すように、通信装置204は、これらの伝送線路206 a ~ 206 n に対応して受信部13及び送信部10をそれぞれ備えている。

10

【0237】

通信装置205 a は第2通信ノード、通信装置205 b ... 205 n は第3通信ノードに相当する。この場合、伝送線路206 a ... 206 n としてはデータ通信線を適用できる。これらの通信装置204と通信装置205 a ... 205 n は同一のプリント配線基板210に搭載される例に適用できる。また、通信装置204と通信装置205 a ... 205 n が、プリント配線基板210に搭載されていなくても各種通信に適用できる。

【0238】

このような接続形態において、第11実施形態に示したトレーニングパターン選択信号線SSが設けられることを考慮した場合、通信装置204と205 a ... 205 n との間にトレーニングパターン選択信号線SS a ... SS n をそれぞれ接続すると良い。

20

【0239】

このような接続形態を採用しても良いが、ある通信装置間（例えば204及び205 a 間）で通信異常を発生した場合には、他の通信装置間（例えば204及び205 b 間）でも同様の異常を内在している可能性が高い。このような場合には、通信装置204は全ての通信装置205 a ... 205 n とトレーニング処理を行うと良い。これにより、システム全体の安定性を向上できる。

【0240】

このような場合、図48に示すトレーニングパターン選択信号線SS a ... SS n を1本化（共用化）し、図49に示すようにトレーニングパターン選択信号線SS z とすると良い。例えば、図49に示すように、通信装置204の制御回路7にはトレーニングパターン選択信号線SS z が1本だけ接続されており、このトレーニングパターン選択信号線SS z が通信装置205 a ... 205 n の制御回路20にそれぞれ接続されている。本実施形態では、所定のデジタルレベル「H」によるコマンドをトレーニングパターン送信要求コマンドとして用いている。

30

【0241】

図50はトレーニングパターン送信要求時におけるタイミングチャートを概略的に示す。通信装置204の制御回路7が、トレーニングパターン送信要求コマンドを、トレーニングパターン選択信号線SS z を通じて送信すると（U21）、通信装置205 a ... 205 n の制御回路20はこの送信要求を受け（U22）、トレーニングパターンを送信する（U24）。これにより、通信装置204が伝送線路206 a の歪み補償処理を行う。通信装置204の制御回路7は、トレーニング処理を終了すると、この旨を示す終了コマンドを、トレーニングパターン選択信号線SS z を通じて送信し（U25）、通信装置205 a ... 205 n がこの終了コマンドを受け付けると（U26）、通信装置204と通信装置205 a ... 205 n は通常データ送受信処理を行うことができる。これにより、伝送線路206 a による歪みの影響を補償でき、システム全体の安定性を向上できる。

40

【0242】

また、図49の構成を適用し、通信装置204が集積回路により構成される場合には、通信装置205 a ... 205 n に対するトレーニングパターン送信要求コマンド送信用の接

50

続ピン数を1本のみ増加で対応できるようになり、ピン数の増加を極力抑制できる。

【0243】

さて、図49に示す構成では、トレーニングパターン選択信号線SSzは伝送線路206a...などに対し平面的に交差している(交差部207a、207b...参照)。この交差部207a、207bの構成をプリント配線基板210に構築するためには、プリント配線基板210を内層の存在する多層基板又は両面基板により構成すると良い。すると、電気回路に交差部207a、207bが存在したとしても、プリント配線基板210の多層基板の内層又は両面基板の両面を通じて、トレーニングパターン選択信号線SSz又は伝送線路206a...206nを構築できる。このため、トレーニングパターン選択信号線SSzと伝送線路206a...とが平面的に交差していても図49に示す構成を実現できる。

10

【0244】

プリント配線基板210は多層基板によって構成されていると、プリント配線基板210内の内層配線が複雑化する虞があるため極力避けることが望ましい場合もある。また、前記構成を、プリント配線基板210として内層の存在しない両面基板を用いて実現しようとする、本来面積の多い方が望ましい電源ノードまたはグラウンドG1、G2のノードが分断されてしまうため、この場合、伝送線路206a...206nを通じた伝送特性が劣化してしまう場合もある。

【0245】

例えば、伝送特性向上が要求されるとき、例えば通信装置205a...205nが集積回路により構成されているときには、図51に示すように、通信装置205a内の集積回路の多層配線層を用い、トレーニングパターン選択信号線SSzと伝送線路206a、206b、...との交差部211a、211b、...を構築すると良い。

20

【0246】

すると、トレーニングパターン選択信号線SSyは通信装置204と205aとの間に構成すればよくなり、他の通信装置205b...205nに直接接続しなくても良くなる。隣接する各通信装置205aと205b間、205bと205c間、...などには、図51に示すように、中継線212を構成すれば良い。これにより、プリント配線基板210の配線層の増加を極力防ぐことができる。

【0247】

トレーニングパターン送信要求コマンドは、通信装置205a、205bなどの対象相手先の識別符号を含めたとしても情報量が少ない情報であり、また、前述したように所定のデジタルレベル(例えば「H」)のみでも良い。このため、伝送速度はトレーニングパターンの授受又は通常データの授受の伝送速度などに比較すれば低速度で良いため、通信装置205a...内を通過することによる悪影響は極力抑制できるものとなる。

30

【0248】

(第13実施形態)

図52は第13実施形態を示す。第13実施形態は波形整形部を設けた形態を示す。図52に示すように、トレーニングパターン選択信号線SSyが通信装置205a...の多層配線層の内層を通過するとき信号劣化するが、この影響が無視できる程度であれば良いが、この影響が無視できない程度となる場合もある。

40

【0249】

これはトレーニングパターン選択信号線SSy及び中継線212の長さが長くなれば、その分、直列抵抗分も増えるためであり、また、ノイズ源が近付いてしまうためである。この場合、通信装置205a...の集積回路内に必要に応じてバッファ213を波形整形部として設けることで信号を波形整形し、通信装置205aが各通信装置205b...205nに伝達すると良い。これにより伝達特性劣化を極力低減できる。

【0250】

(他の実施形態)

本発明は、前記実施形態に限定されるものではなく、例えば、以下に示す変形又は拡張が可能である。

50

歪み補償システム S が車両内に構成された一例を示したが、これは車両内のみならず、車両外の他の通信形態に適用しても良い。前述実施形態では、車載 LAN の CAN 6 a による接続形態を示したが、バス接続に限らず、送受信処理を行う複数の通信装置が同一の伝送線路 6 を用いるのであれば、他の接続形態に適用しても良い。車載ネットワークは CAN 6 a に適用した形態を示したが、これらの CAN 6 a に限らず他の車載ネットワークシステムに適用できる。

【 0 2 5 1 】

他の ECU (例えば ECU__B) の回路サイズが 1 の ECU (例えば ECU__A) の回路サイズより小さく構成されている例を挙げたが、これに限定されるものではなく、1 および他の ECU の回路規模は何れが大きいものであっても良いし同等の回路規模のものにも適用できる。

10

【 0 2 5 2 】

伝送線路 6 はシングルエンド伝送で便宜上説明したが、この伝送方式に限定されるものではない。特に差動伝送線路を用いることが望ましい。

D F E 回路 1 2 が処理したフィルタ定数をフィルタ定数保持部 1 2 a に格納し、転送部 1 4 が、エンファシス回路 8 のフィルタ定数保持部 8 a に転送する形態を示したが、フィルタ定数保持部 1 2 a、8 a は例えば同一レジスタを用いて共用されていても良い。D F E 回路 1 2 のフィルタ定数は、その少なくとも一部をエンファシス回路 8 のフィルタ定数として用いていけば、全てのフィルタ定数を用いる必要はない。

【 0 2 5 3 】

20

エンファシス回路 8 の第 2 フィードフォワードフィルタ F F 2 は、そのフィルタタップ数がエンファシス回路 8 の第 2 フィードバックフィルタ F B 2 のフィルタタップ数より少なく構成されていても良い。これはエンファシス回路 8 の第 2 フィードフォワードフィルタ F F 2 のフィルタタップ数を減少させても、第 2 フィードバックフィルタ F B 2 よりも影響度が低いことが判明しているためである。

【 0 2 5 4 】

エンファシス回路 8 の第 2 フィードフォワードフィルタ F F 2 は、そのフィルタタップ数がエンファシス回路 8 の第 2 フィードバックフィルタ F B 2 のフィルタタップ数より少なく構成されていても良い。これはエンファシス回路 8 の第 2 フィードフォワードフィルタ F F 2 のフィルタタップ数を減少させても、第 2 フィードバックフィルタ F B 2 よりも影響度が低いことが判明しているためである。

30

【 0 2 5 5 】

フィルタ定数保持部 8 a、1 2 a がデジタルフィルタ F F 1、F F 2、F B 1、F B 2 の係数そのものを保持する形態を示したが、各デジタルフィルタ F F 1、F F 2、F B 1、F B 2 のパラメータの保持方法はこの方法に限られず、他のデータ形式で保持する形態であっても良い。この場合、デジタルフィルタのフィルタ定数の誤差を規定するデータ桁数を適宜調整すると良い。

【 0 2 5 6 】

前述実施形態の構成は各実施形態の構成を互いに組み合わせて適用することができる。

なお、特許請求の範囲に付した括弧付き符号は、本願添付明細書の構成要素に対応する符号を付したものであり、これは当該構成要素の一例を挙げたものである。本願に係る発明は当該特許請求の範囲の構成要素に付した符号に対応した要素に限られるわけではなく、特許請求の範囲内の用語又はその均等の範囲で様々な拡張が可能である。

40

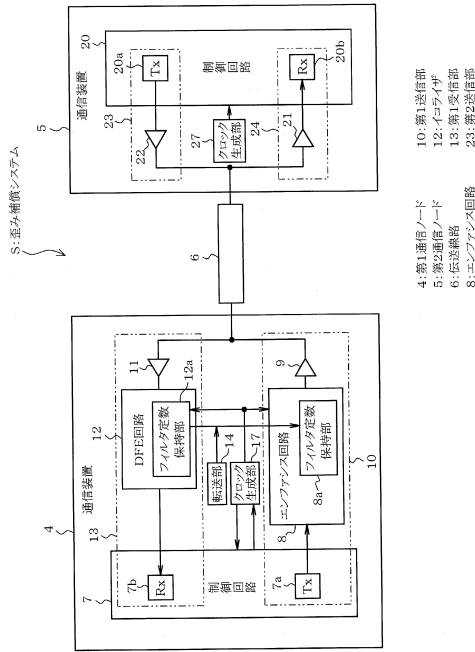
【符号の説明】

【 0 2 5 7 】

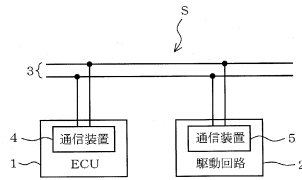
図面中、4、1 0 4、2 0 4 は通信装置 (第 1 通信ノード)、5、1 0 5、2 0 5 a は通信装置 (第 2 通信ノード)、2 0 5 b ... 2 0 5 n は通信装置 (第 3 通信ノード)、6、6 a は伝送線路 (第 1 伝送線路)、7 は制御回路 (送信要求手段)、8 はエンファシス回路、1 0 は送信部 (第 1 送信部)、1 3 は受信部 (第 1 受信部)、2 3 は送信部 (第 2 送信部)、2 0 6 a ... 2 0 6 n は伝送線路 (第 2 伝送線路)、を示す。

50

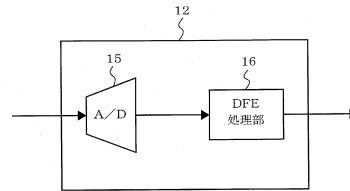
【図1】



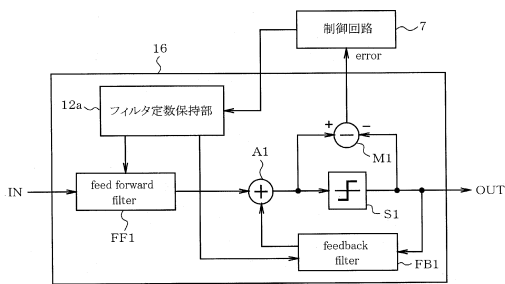
【図2】



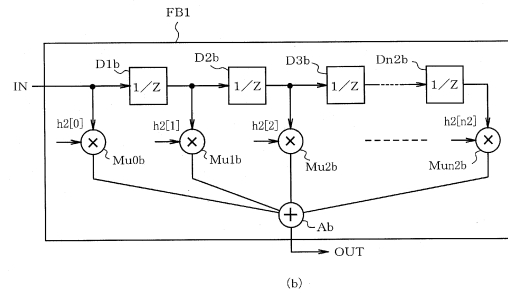
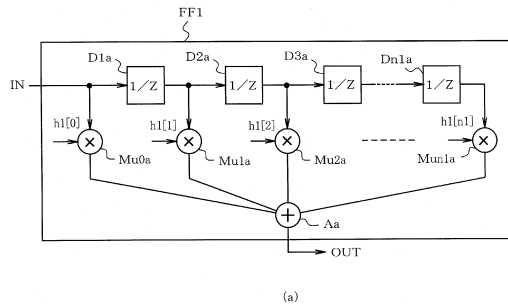
【図3】



【図4】

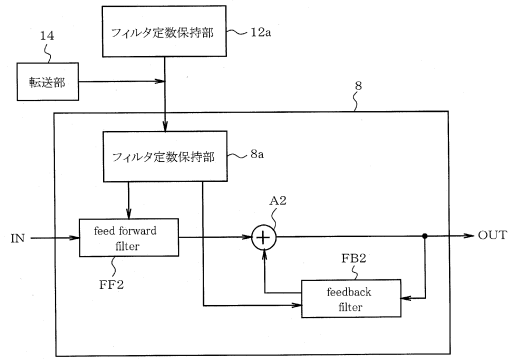


【図5】

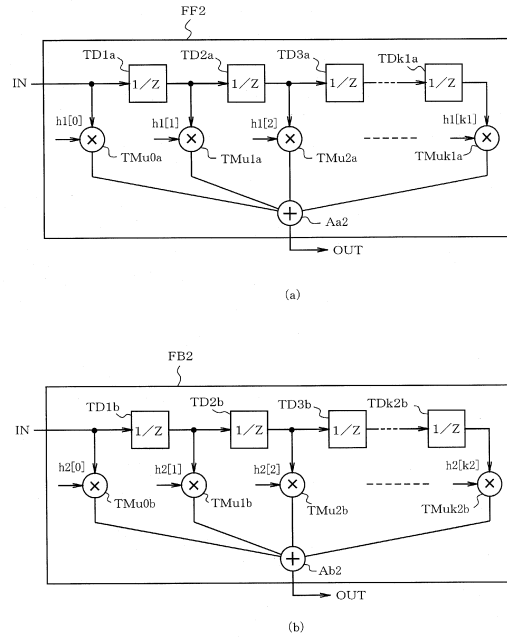


FF1, FB1: 第1デジタルフィルタ

【図6】

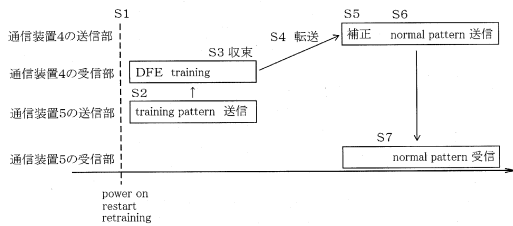


【図7】



FF2, FB2: 第2デジタルフィルタ

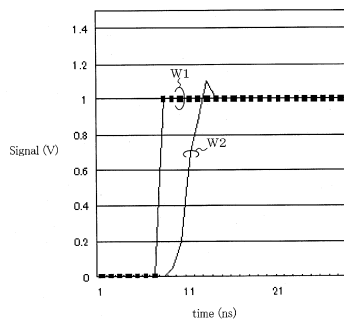
【図8】



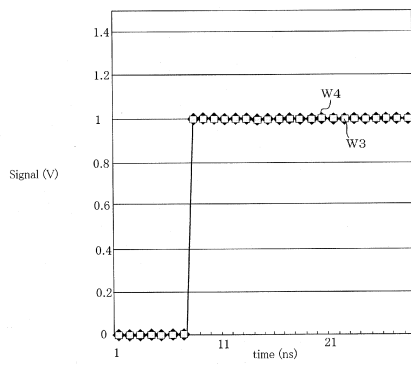
【図10】

$h1[0]$	$h1[1]$	$h1[2]$	$h1[3]$	$h1[4]$	$h1[5]$	$h1[6]$	$h1[7]$	$h1[8]$	$h1[9]$	$h1[10]$	$h1[11]$
0.005149	0.00423	-0.01967	0.005872	0.03701	-0.0402	-0.00889	0.067358	0.054648	-0.1222	-0.61491	2.295077
$h2[0]$	$h2[1]$	$h2[2]$	$h2[3]$	$h2[4]$	$h2[5]$	$h2[6]$	$h2[7]$	$h2[8]$	$h2[9]$	$h2[10]$	$h2[11]$
0	-0.34893	-0.51896	0.229592	-0.00103	9.37E-05	0.001408	-0.00152	-0.00061	0.000486	0.00023	-0.00065

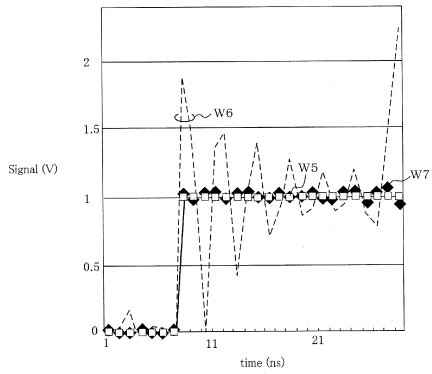
【図9】



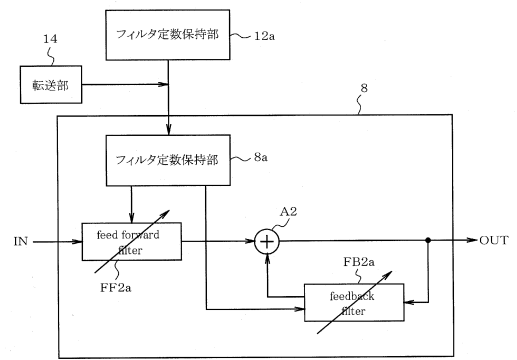
【図11】



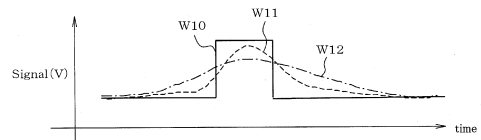
【図12】



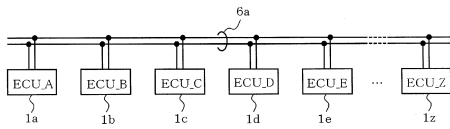
【図13】



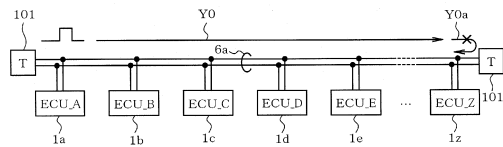
【図14】



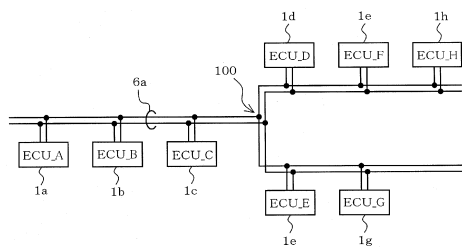
【図15】



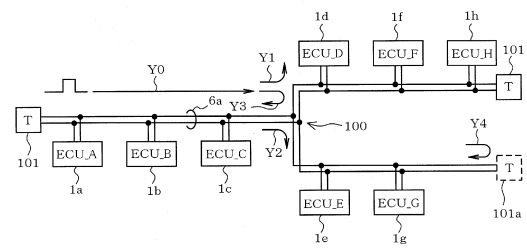
【図17】



【図16】



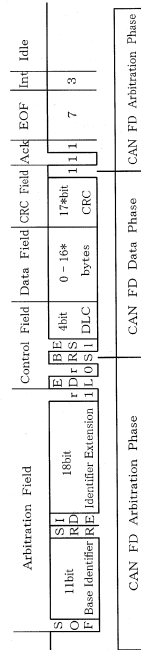
【図18】



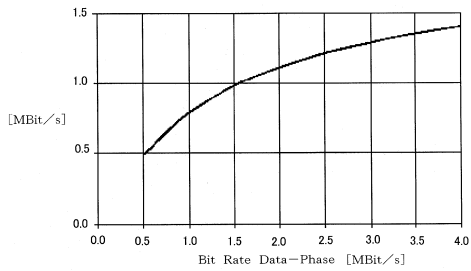
【図19】

	h1[0]	h1[1]	h1[2]	...	h2[0]	h2[1]	h2[2]	...
ECU_B対応のフィルタ定数	B10	B11	B12	...	B20	B21	B22	...
ECU_C対応のフィルタ定数	C10	C11	C12	...	C20	C21	C22	...
ECU_D対応のフィルタ定数	D10	D11	D12	...	D20	D21	D22	...
ECU_E対応のフィルタ定数	E10	E11	E12	...	E20	E21	E22	...
ECU_F対応のフィルタ定数	F10	F11	F12	...	F20	F21	F22	...
:	:	:	:	...	:	:	:	...

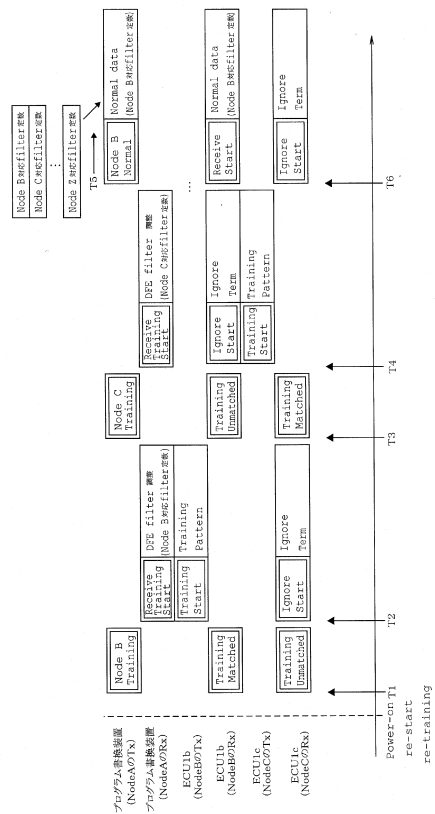
【図20】



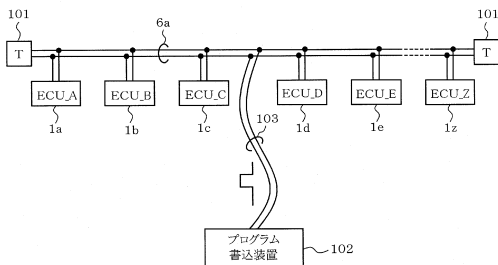
【図21】



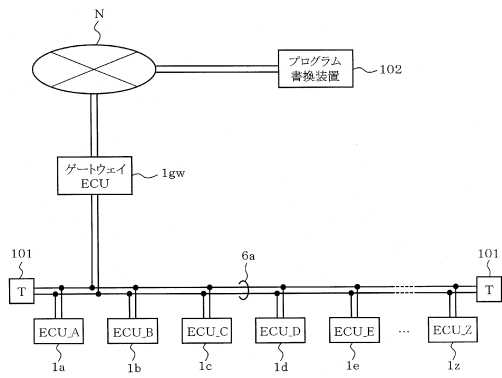
【図23】



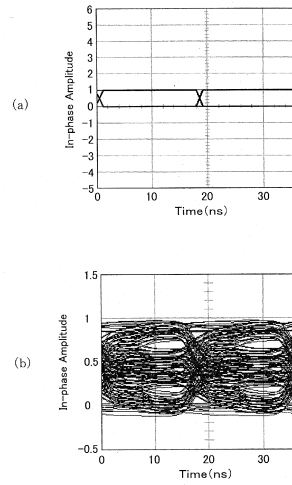
【図22】



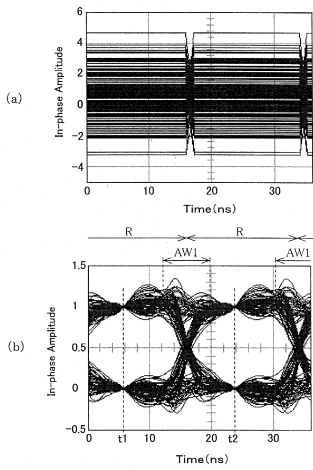
【 図 2 4 】



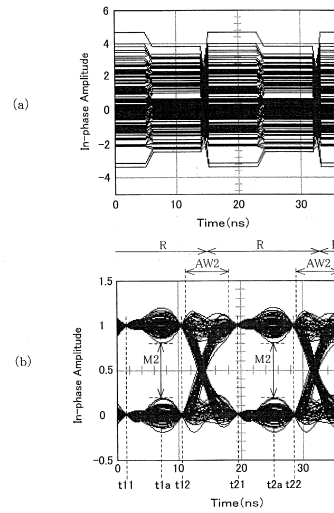
【 図 2 5 】



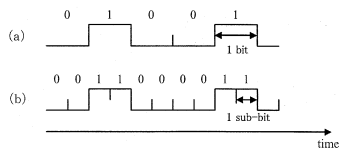
【 図 2 6 】



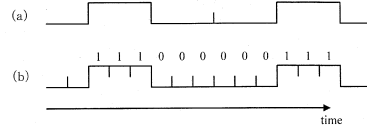
【 図 2 8 】



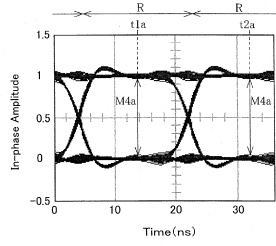
【 図 2 7 】



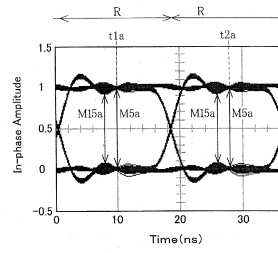
【 図 2 9 】



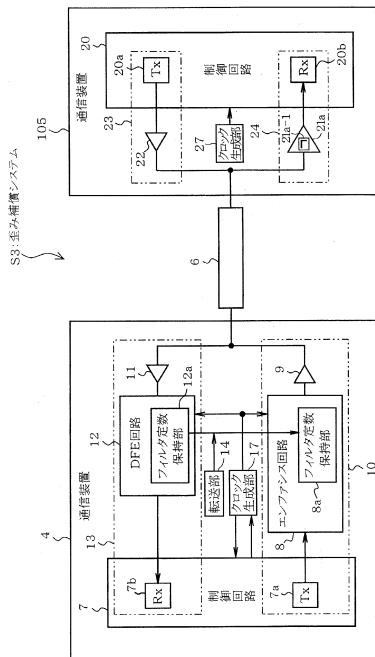
【図 35】



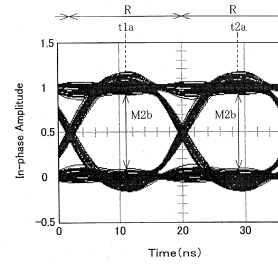
【図 36】



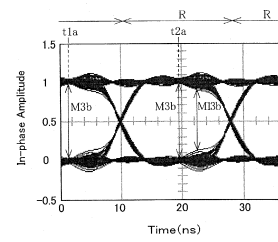
【図 37】



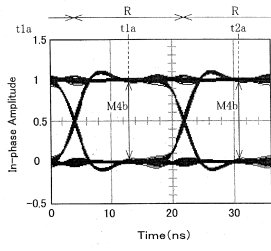
【図 38】



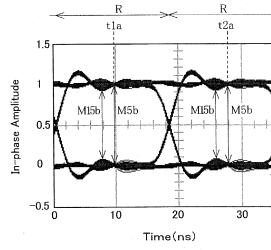
【図 39】



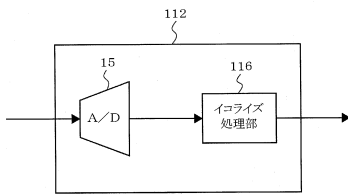
【図40】



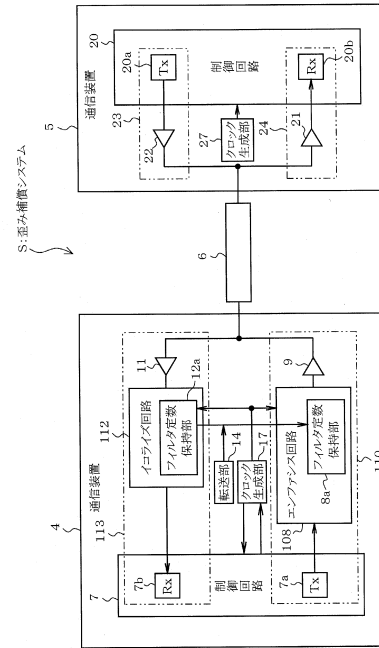
【図41】



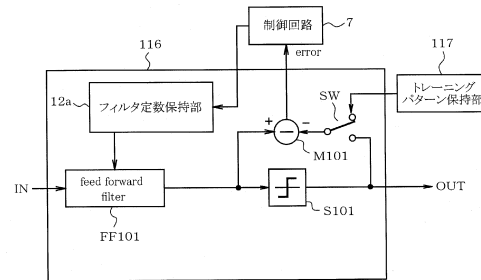
【図43】



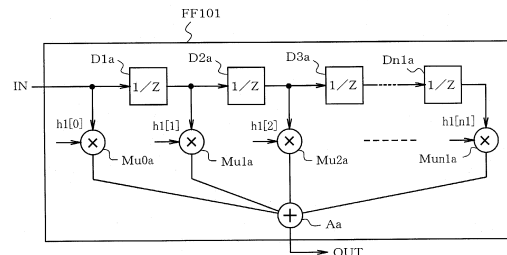
【図42】



【図44】

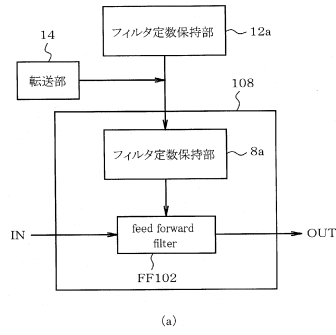


(a)

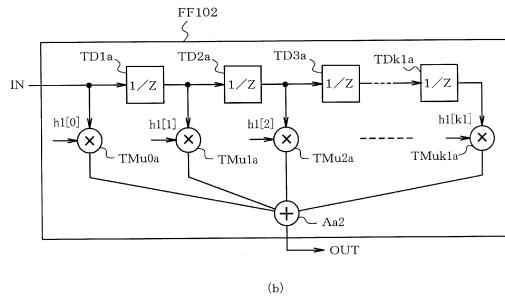
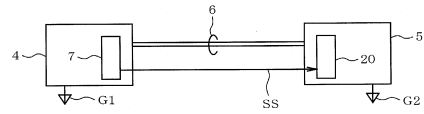


(b)

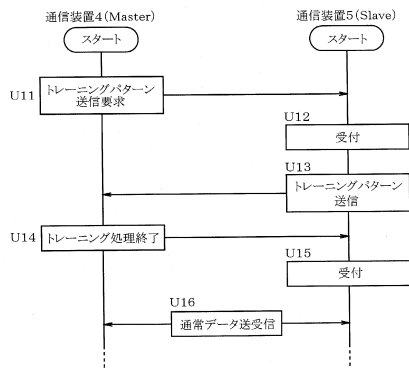
【図45】



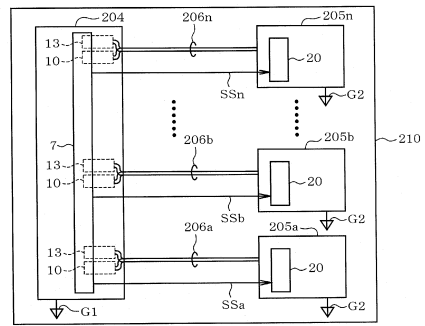
【図46】



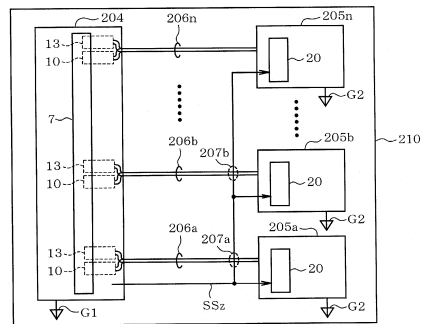
【図47】



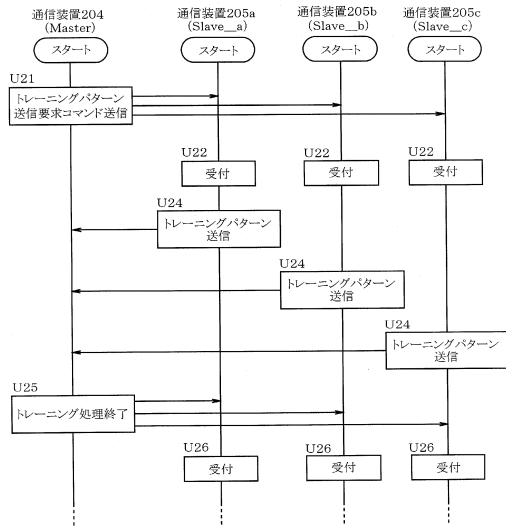
【図48】



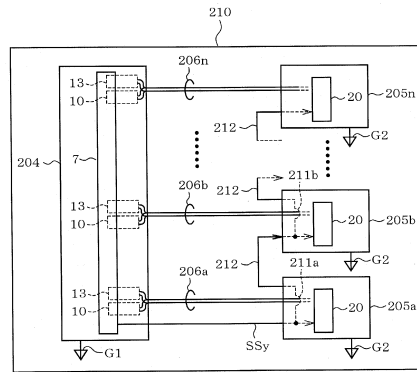
【図49】



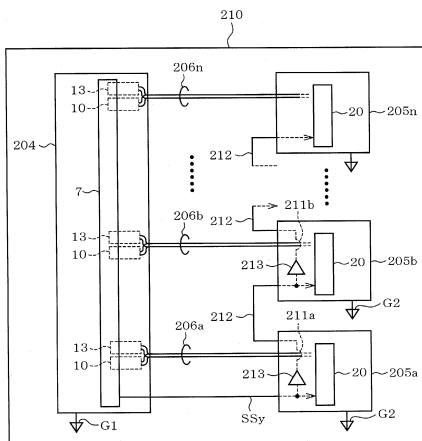
【図50】



【図51】



【図52】



フロントページの続き

(72)発明者 吉本 隆久
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 前田 典之

(56)参考文献 特開平06-165241(JP,A)
特開平06-318895(JP,A)
特開2000-040987(JP,A)
特開2000-286751(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04B 3/04
H03H 21/00
H04B 3/10
H04L 25/03