



(12)发明专利

(10)授权公告号 CN 104078439 B

(45)授权公告日 2017.04.19

(21)申请号 201310364657.1  
 (22)申请日 2013.08.20  
 (65)同一申请的已公布的文献号  
 申请公布号 CN 104078439 A  
 (43)申请公布日 2014.10.01  
 (30)优先权数据  
 061231/2013 2013.03.25 JP  
 (73)专利权人 株式会社 东芝  
 地址 日本东京都  
 (72)发明人 渡边昭吾  
 (74)专利代理机构 北京市中咨律师事务所  
 11247  
 代理人 陈海红 段承恩

(51)Int.Cl.  
 H01L 23/498(2006.01)  
 H01L 23/488(2006.01)  
 H01L 21/60(2006.01)  
 (56)对比文件  
 CN 102969264 A,2013.03.13,  
 CN 102969264 A,2013.03.13,  
 US 2009166829 A1,2009.07.02,  
 审查员 朱军

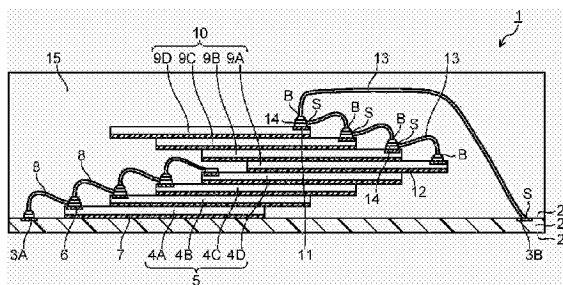
权利要求书3页 说明书8页 附图5页

(54)发明名称

半导体装置及其制造方法

(57)摘要

提供一种抑制伸出状态的半导体芯片的引线接合时的裂缝和/或破裂等发生的半导体装置。实施方式的半导体装置1包括：第1芯片群5，具备在电路基础材料2上装载的第1半导体芯片4；第2芯片群10，具备在第1芯片群5上层叠的多个第2半导体芯片9。第2半导体芯片9以使最下层的第2半导体芯片9A从第1芯片群5突出的方式以台阶状层叠。布线基板2和第2半导体芯片9由第2金属引线13电连接。第2金属引线13，对于最下层的第2半导体芯片9A的第2电极焊盘11，仅通过1次的球接来连接。



1. 一种半导体装置,其包括:

电路基础材料;

第1芯片群,具备含有第1电极焊盘的至少1个的第1半导体芯片,并装载在上述电路基础材料上;

第2芯片群,具备含有第2电极焊盘的3个以上的第2半导体芯片,上述3个以上的第2半导体芯片以使上述第2电极焊盘露出并且最下层的第2半导体芯片从上述第1芯片群突出的方式以台阶状层叠在上述第1芯片群上;

第1金属引线,电连接上述电路基础材料和上述第1半导体芯片的上述第1电极焊盘;

第2金属引线,电连接上述电路基础材料和上述第2半导体芯片的上述第2电极焊盘;

密封树脂层,将上述第1及第2芯片群与上述第1及第2金属引线一起密封;

其中,上述第2金属引线,对于上述最下层的第2半导体芯片的上述第2电极焊盘,仅通过1次的球接来连接;

上述3个以上的上述第2半导体芯片的上述第2电极焊盘,通过与下层侧的第2半导体芯片的上述第2电极焊盘球接并且与上端侧的第2半导体芯片的上述第2电极焊盘经由凸块针脚连接的上述第2金属引线按顺序电连接;

除去上述最下层的第2半导体芯片之外的第2半导体芯片的上述第2电极焊盘中的1个经由上述第2金属引线与上述电路基础材料电连接。

2. 一种半导体装置,其包括:

电路基础材料;

第1芯片群,具备含有第1电极焊盘的至少1个的第1半导体芯片,并装载在上述电路基础材料上;

第2芯片群,具备含有第2电极焊盘的3个以上的第2半导体芯片,上述3个以上的第2半导体芯片以使上述第2电极焊盘露出并且最下层的第2半导体芯片从上述第1芯片群突出的方式以台阶状层叠在上述第1芯片群上;

第1金属引线,电连接上述电路基础材料和上述第1半导体芯片的上述第1电极焊盘;

第2金属引线,电连接上述电路基础材料和上述第2半导体芯片的上述第2电极焊盘;

密封树脂层,将上述第1及第2芯片群与上述第1及第2金属引线一起密封;

其中,上述第2金属引线,对于上述最下层的第2半导体芯片的上述第2电极焊盘,仅通过1次的球接来连接,

上述3个以上的上述第2半导体芯片的上述第2电极焊盘,通过上述第2金属引线按顺序电连接;

除去上述最下层的第2半导体芯片之外的第2半导体芯片的上述第2电极焊盘中的1个经由上述第2金属引线与上述电路基础材料电连接。

3. 一种半导体装置,其包括:

电路基础材料;

第1芯片群,具备含有第1电极焊盘的至少1个的第1半导体芯片,并装载在上述电路基础材料上;

第2芯片群,具备含有第2电极焊盘的3个以上的第2半导体芯片,上述3个以上的第2半导体芯片以使上述第2电极焊盘露出并且最下层的第2半导体芯片从上述第1芯片群突出的

方式以台阶状层叠在上述第1芯片群上；

第1金属引线,电连接上述电路基础材料和上述第1半导体芯片的上述第1电极焊盘；

第2金属引线,电连接上述电路基础材料和上述第2半导体芯片的上述第2电极焊盘；

密封树脂层,将上述第1及第2芯片群与上述第1及第2金属引线一起密封；

其中,上述第2金属引线,对于上述最下层的第2半导体芯片的上述第2电极焊盘,仅通过1次的球接来连接,

上述最下层的第2半导体芯片的上述第2电极焊盘经由上述第2金属引线与上述电路基础材料电连接；

除去上述最下层的第2半导体芯片之外的第2半导体芯片的上述第2电极焊盘,通过上述第2金属引线按顺序电连接,并且上述第2电极焊盘中的1个经由上述第2金属引线与上述电路基础材料电连接。

4. 一种半导体装置的制造方法,其包括以下步骤:

准备电路基础材料；

在上述电路基础材料上装载第1芯片群,上述第1芯片群具备含有第1电极焊盘的至少1个的第1半导体芯片；

经由第1金属引线电连接上述电路基础材料和上述第1半导体芯片的上述第1电极焊盘；

将具备含有第2电极焊盘的3个以上的第2半导体芯片的第2芯片群,以使上述第2电极焊盘露出并且最下层的第2半导体芯片从上述第1芯片群突出的方式以台阶状层叠在上述第1芯片群上；

经由第2金属引线电连接上述电路基础材料和上述第2半导体芯片的上述第2电极焊盘；

形成将上述第1及第2芯片群与上述第1及第2金属引线一起密封的密封树脂层；

其中,将上述第2金属引线,对于上述最下层的第2半导体芯片的上述第2电极焊盘,仅通过1次的球接来连接,

将上述3个以上的上述第2半导体芯片的上述第2电极焊盘,通过上述第2金属引线按顺序电连接；

将除去上述最下层的第2半导体芯片之外的第2半导体芯片的上述第2电极焊盘中的1个经由上述第2金属引线与上述电路基础材料电连接。

5. 一种半导体装置的制造方法,其包括以下步骤:

准备电路基础材料；

在上述电路基础材料上装载第1芯片群,上述第1芯片群具备含有第1电极焊盘的至少1个的第1半导体芯片；

经由第1金属引线电连接上述电路基础材料和上述第1半导体芯片的上述第1电极焊盘；

将具备含有第2电极焊盘的3个以上的第2半导体芯片的第2芯片群,以使上述第2电极焊盘露出并且最下层的第2半导体芯片从上述第1芯片群突出的方式以台阶状层叠在上述第1芯片群上；

经由第2金属引线电连接上述电路基础材料和上述第2半导体芯片的上述第2电极焊

盘；

形成将上述第1及第2芯片群与上述第1及第2金属引线一起密封的密封树脂层；

其中,将上述第2金属引线,对于上述最下层的第2半导体芯片的上述第2电极焊盘,仅通过1次的球接来连接,

将上述最下层的第2半导体芯片的上述第2电极焊盘经由上述第2金属引线与上述电路基础材料电连接；

将除去上述最下层的第2半导体芯片之外的第2半导体芯片的上述第2电极焊盘,通过上述第2金属引线按顺序电连接,并且将上述第2电极焊盘中的1个经由上述第2金属引线与上述电路基础材料电连接。

## 半导体装置及其制造方法

[0001] 相关专利申请

[0002] 本申请享受以日本申请专利2013-61231号(申请日:2013年3月25日)作为基础申请的优先权。本申请通过参照这个基础申请而包含基础申请的全部内容。

### 技术领域

[0003] 本发明的实施方式涉及半导体装置及其制造方法。

### 背景技术

[0004] 为了实现半导体装置的小型化、高功能化,在1个封装内将多个半导体芯片层叠密封的层叠型的半导体装置被实用化。例如,为了在半导体存储器中谋求大容量化,在布线基板上将存储器芯片进行多阶层叠。在适用引线接合将布线基板和存储器芯片电连接の場合,适用将多个存储器芯片以台阶状层叠以露出各存储器芯片的电极焊盘的结构。并且,为了谋求半导体存储器本身的小型化,采用将多个存储器芯片以台阶状层叠的多个芯片群,例如与台阶方向成反方向,或介入间隔件等之后与台阶方向成同方向,进行层叠的结构。

[0005] 具有将多个半导体芯片群层叠的结构的半导体装置中,例如由金属引线顺序连接构成下侧的半导体芯片群的多个半导体芯片的电极焊盘间之后,通过由金属引线顺序连接最下层的半导体芯片的电极焊盘和布线基板的连接焊盘,将多个半导体芯片和布线基板电连接。上侧的半导体芯片群也同样,由金属引线按顺序连接多个半导体芯片的电极焊盘间,并且,由金属引线将最下层的半导体芯片的电极焊盘和布线基板的连接焊盘电连接。在最下层的半导体芯片的电极焊盘,在正常接合及反向接合的任一个中,均实施凸接、向凸块上的针脚连接、球接的3次接合步骤。

[0006] 在将多个半导体芯片群层叠的结构中,上侧的半导体芯片群的最下层的半导体芯片以从下侧的半导体芯片群向外侧突出的状态配置。若这样连续实施从下侧的半导体芯片群向伸出(overhang)的最下层的半导体芯片凸接、向凸块上的针脚连接、进而向针脚上的球接的3次接合步骤,不仅积蓄接合时的冲击,由于可能在接合时伸出部分弯曲,在最下层的半导体芯片容易产生裂缝和/或破裂等。由此,要求能够抑制在伸出状态的半导体芯片的引线接合时的裂缝和/或破裂等的发生的引线接合结构。

### 发明内容

[0007] 本发明打算解决的课题在于提供一种抑制伸出状态的半导体芯片的引线接合时的裂缝和/或破裂等的发生的半导体装置及其制造方法。

[0008] 实施方式的半导体装置包括:电路基础材料;第1芯片群,具备含有第1电极焊盘的至少1个的第1半导体芯片,并装载在上述电路基础材料上;第2芯片群,具备含有第2电极焊盘的多个第2半导体芯片,上述多个第2半导体芯片以使上述第2电极焊盘露出,并且最下层的第2半导体芯片从上述第1芯片群突出的方式以台阶状层叠在上述第1芯片群上;第1金属引线,电连接上述电路基础材料和上述第1半导体芯片的上述第1电极焊盘;第2金属引线,

电连接上述电路基础材料和上述第2半导体芯片的上述第2电极焊盘;密封树脂层,将上述第1及第2芯片群与上述第1及第2金属引线一起密封。上述第2金属引线,对于上述最下层的第2半导体芯片的上述第2电极焊盘,仅通过1次的球接来连接。

### 附图说明

- [0009] 图1是表示第1实施方式的半导体装置的截面图。
- [0010] 图2是表示将图1所示的半导体装置的第2芯片群的引线接合结构的一部分放大的截面图。
- [0011] 图3是表示图1所示的半导体装置的变形例的截面图。
- [0012] 图4是表示第2实施方式的半导体装置的截面图。
- [0013] 图5是表示图4所示的半导体装置的变形例的截面图。
- [0014] 图6是表示第3实施方式的半导体装置的截面图。
- [0015] 图7是表示图6所示的半导体装置的变形例的截面图。
- [0016] 图8是表示第4实施方式的半导体装置的第1例子的截面图。
- [0017] 图9是表示第4实施方式的半导体装置的第2例子的截面图。
- [0018] 1、21、31、41…半导体装置,2…布线基板,3A、3B…连接焊盘,4A、4B、4C、4D…第1半导体芯片,5…第1芯片群,6、11…电极焊盘,8…第1金属引线,9A、9B、9C、9D…第2半导体芯片,10…第2芯片群,13…第2金属引线,14…凸块。

### 具体实施方式

- [0019] 以下,关于实施方式的半导体装置及其制造方法,参照附图来说明。
- [0020] (第1实施方式)
- [0021] 图1是表示第1实施方式的半导体装置的构成的图。如图1所示的半导体装置1具备作为电路基础材料的布线基板2。对于布线基板2,例如在绝缘树脂基板和/或陶瓷基板等的表面和/或内部设置布线网(未图示),具体地可列举使用如玻璃-环氧树脂的绝缘树脂的印刷电路板。作为电路基础材料,也可以取代布线基板2,使用硅插件和/或引线框等。布线基板2具有成为外部端子的形成面的第1表面2a和成为半导体芯片的装载面的第2表面2b。尽管图1省略了图示,但是,在布线基板2的第1表面2a,形成BGA封装用的外部端子(基于焊球等的突起状端子)和/或LGA封装用的外部端子(基于金属镀金等的金属接地)。
- [0022] 在布线基板2的第2表面2b,设置成为引线接合时的接合部的连接焊盘3A、3B。连接焊盘3A、3B的至少一部分经由布线基板2的布线网(未图示),与在布线基板2第1表面2a设置的外部端子(未图示)电连接。在布线基板2的第2表面2b,装载第1半导体芯片4A、4B、4C、4D。第1半导体芯片4A~4D构成第1芯片群5。第1半导体芯片4的装载数没有特别限定,也可以是1个或2个以上的任一个。作为第1半导体芯片4A~4D,能使用例如NAND型闪存的存储器芯片,但是,不限于此。后述的第2半导体芯片9也同样。
- [0023] 第1半导体芯片4A~4D具备分别具有矩形状的共同形状并且在形成包括晶体管的电路等的元件形成面设置的第1电极焊盘6。第1电极焊盘6沿着第1半导体芯片4的1个外形边排列。多个第1半导体芯片4A~4D以使第1电极焊盘6露出的方式层叠成台阶状。即,半导体芯片4A经由粘着层7粘合在布线基板2的第1表面2a。半导体芯片4B~4D,以下层侧的半导

体芯片(4A~4C)的电极焊盘6分别露出的方式,在与焊盘排列边正交的方向偏置,在下层侧的半导体芯片(4A~4C)上按顺序粘合。

[0024] 构成第1芯片群5的第1半导体芯片4A~4D的电极焊盘6,经由第1金属引线(Au引线等)8按顺序连接。并且,在第1芯片群5的最下层的第1半导体芯片4A的电极焊盘6,经由位于其附近的连接焊盘3A和第1金属引线8电连接。即,第1半导体芯片4A~4D的电极焊盘6,由金属引线8按顺序中继接合,进而,经由布线基板2的连接焊盘3A和金属引线8电连接。

[0025] 图1表示在第1金属引线8的电极焊盘6间及电极焊盘6和连接焊盘3A的连接中适用反向接合的结构,但是不限于此。第1金属引线8也可以通过正常接合连接。所谓反向接合是与下侧配置的连接部球接,在将金属引线弯曲(LOOPING)后与上侧配置的连接部针脚连接的步骤。所谓正常接合是与上侧配置的连接部球接,在将金属引线弯曲后与下侧配置的连接部针脚连接的步骤。

[0026] 在第1芯片群5上,层叠装载多个第2半导体芯片9A、9B、9C、9D。第2半导体芯片9A~9D构成第2芯片群10。第2半导体芯片9的层叠数可以多个,但不限于该数。但是,在由于半导体芯片9的层叠数的增加而得到大容量化等的高功能化、进而得到后述的中继接合的构成的特征和/或效果等方面,优选地,半导体芯片9的层叠数为3个以上。第2半导体芯片9A~9D具备分别具有矩形状的相同形状并且在元件形成面设置的第2电极焊盘11。第2电极焊盘11沿着第2半导体芯片9的1个外形边排列。

[0027] 第2半导体芯片9A~9D以使第2电极焊盘11露出的方式层叠成台阶状。第2芯片群10的台阶方向认为是与第1芯片群5的台阶方向成反方向。第2半导体芯片9A~9D的焊盘排列边朝向与构成第1芯片群5的半导体芯片4A~4D的焊盘排列边的相反方向。即,半导体芯片9A使焊盘排列边朝向第1芯片群5的相反方向,在第1芯片群5上经由粘着层12粘合。半导体芯片9B~9D,以使下层侧的半导体芯片(9A~9C)的电极焊盘11分别露出的方式,使焊盘排列边朝向与半导体芯片9A的同方向,并且,在与焊盘排列边正交的方向偏移,在下层侧的半导体芯片(9A~9C)上按顺序粘合。

[0028] 在第1芯片群5上将多个第2半导体芯片9A~9D与台阶方向成反方向层叠的场合,以使第1芯片群5的最上层的第1半导体芯片4D的电极焊盘6露出的方式,对于第2芯片群10,将其中设置最下层的第2半导体芯片9A的电极焊盘11的焊盘排列边侧的端部配置为从第1芯片群5以房檐状向外侧突出的状态,即伸出的状态。对于电极焊盘11的形成部位从第1芯片群5,具体地其中最上层的第1半导体芯片4D伸出的第2半导体芯片9A,电极焊盘11的下侧为中空状态,在电极焊盘11引线接合时容易弯曲,因此产生裂缝和/或破裂等的可能性比其他的第2半导体芯片9B~9D高。

[0029] 在第1实施方式的半导体装置1中,为了抑制最下层的半导体芯片9A的引线接合时的裂缝和/或破裂等,对最下层的半导体芯片9A的电极焊盘11通过1次的球接来连接第2金属引线13。具体地,如图2放大引线接合结构的一部分所示,作为向最下层的半导体芯片9A的电极焊盘11进行的引线接合的前步骤,对第2层的半导体芯片9B的电极焊盘11实施凸接,在电极焊盘11上面形成凸块(由Au等的金属引线13的构成材料组成的凸块)14。接着,将金属引线13球接(B)在最下层的半导体芯片9A的电极焊盘11,将金属引线13弯曲后,对在第2层的半导体芯片9B的电极焊盘11上形成的凸块14针脚连接(S)。

[0030] 与最下层的半导体芯片9A和第2层的半导体芯片9B的连接步骤相同,在第3层的半

导体芯片9C的电极焊盘11上形成凸块14。接着,金属引线13在针脚连接(S)的第2层的半导体芯片9B的电极焊盘11上将金属引线13球接(B),将金属引线13弯曲后,在第3层的半导体芯片9C的电极焊盘11上形成的凸块14上针脚连接(S)。并且,同样,由金属引线13连接第3层的半导体芯片9C的电极焊盘11和第4层的半导体芯片9D的电极焊盘11。

[0031] 这样,通过从最下层的半导体芯片9A的电极焊盘11到最上层的半导体芯片9D的电极焊盘11按顺序实施反向接合,由金属引线13按顺序连接半导体芯片9A~9D的电极焊盘11。即,由金属引线13从最下层的半导体芯片9A的电极焊盘11到最上层的半导体芯片9D的电极焊盘11进行中继接合。在这里,所谓球接是连接在金属引线13的尖端形成的球部的步骤。所谓针脚连接是将金属引线13连接在凸块14的步骤。所谓凸接是连接在金属引线13的尖端形成的球部之后从球部切断金属引线13而形成凸块14的步骤。

[0032] 中继接合的半导体芯片9A~9D的电极焊盘11和布线基板2的连接焊盘3B的电连接,经由除去最下层的半导体芯片9A的半导体芯片9B~9D的电极焊盘11来实施。在如图1所示的半导体装置1,与布线基板2连接用的金属引线13的一端,与将来自第3层的半导体芯片9C的金属引线13针脚连接(S)的第4层的半导体芯片9D的电极焊盘11球接(B),另一端与布线基板2的连接焊盘3B针脚连接(S)。图1表示在半导体芯片9A~9D的电极焊盘11和布线基板2的连接焊盘3B的电连接中适用正常接合的状态。

[0033] 与半导体芯片9A~9D的电极焊盘11和布线基板2的连接焊盘3B的电连接不限于正常接合。如图3所示,在半导体芯片9A~9D的电极焊盘11和布线基板2的连接焊盘3B的电连接中也可适用反向接合。在如图3所示的半导体装置1,与布线基板2连接用的金属引线13的一端,与布线基板2的连接焊盘3B球接(B),另一端与在第4层的半导体芯片9D的电极焊盘11的针脚连接(S)上形成的凸块14针脚连接(S)。

[0034] 在装载第1及第2芯片群5、10的布线基板2的第2表面2b上,例如使用如环氧树脂的热硬化性树脂的密封树脂层15被模塑形成。即,构成第1芯片群5的第1半导体芯片4A~4D及构成第2芯片群10的第2半导体芯片9A~9D,由密封树脂层15与第1及第2金属引线8、13等一起一体密封。根据这些的各构成要素,构成第1实施方式的半导体装置1。

[0035] 在第1实施方式的半导体装置1,在从半导体芯片9A的电极焊盘11到半导体芯片9D的电极焊盘11的中继接合中适用反向接合,而且中继接合的半导体芯片9A~9D的电极焊盘11和布线基板2的连接焊盘3B的电连接中,使用除去最下层的半导体芯片9A的半导体芯片9B~9D的任一个的电极焊盘11,具体地最上层的半导体芯片9D的电极焊盘11。在从第1芯片群5伸出的最下层的半导体芯片9A的电极焊盘11,在中继接合时实施1次的球接。即,金属引线13与最下层的半导体芯片9A的第2电极焊盘11通过1次的球接来连接。

[0036] 通过对于伸出的最下层的半导体芯片9A的电极焊盘11的金属引线13的接合步骤(包括球接、针脚连接、和凸接的金属引线13的全部的接合步骤)作为1次进行,缓和在最下层的半导体芯片9A的接合时的冲击。并且,接合时的最下层的半导体芯片9A的弯曲的影响也变小。即,防止由于接合时半导体芯片9A反复弯曲,引起疲劳等积蓄。因此,能抑制引线接合时的最下层的半导体芯片9A的裂缝和/或破裂等的发生。换句话说,能成品率很好地制造具备台阶方向为反方向的多个芯片群5、10的半导体装置1,能够进一步提高半导体装置1的可靠性。

[0037] 另外,在引线接合时的半导体芯片9A的弯曲,在以其厚度为50 $\mu\text{m}$ 以下,进而为30 $\mu\text{m}$



左右的方式波化的场合变得显著。因此,为了抑制在伸出芯片(第2半导体芯片9A)的引线接合时的弯曲,存在仅第2芯片群10内的伸出芯片9A的厚度变厚的情况。但是,由于伸出芯片9A的厚度变厚,第2芯片群10的厚度,进而半导体装置1的厚度也变厚。这成为阻碍半导体装置1的小型化和/或薄型化的主要原因。在实施方式的半导体装置1中,在伸出的半导体芯片9A的接合时的冲击和/或弯曲被减轻,即使在半导体芯片9A的厚度与其他的半导体芯片9B~9D相等(例如30~50 $\mu\text{m}$ 左右)的场合,也能抑制半导体芯片9A的裂缝和/或破裂等。因此,可以谋求半导体装置1的进一步的小型化和薄型化。

[0038] (第2实施方式)

[0039] 其次,参照图4及图5说明第2实施方式的半导体装置21的构成。再者,对于与第1实施方式相同的部分附加相同符号,一部分省略其说明。第2实施方式的半导体装置21与第1实施方式同样,中继接合的半导体芯片9A~9D的电极焊盘11和布线基板2的连接焊盘3B的电连接,经由除去最下层的半导体芯片9A的半导体芯片9B~9D的任一个的电极焊盘11来实施。但是,第2实施方式中,与布线基板2的连接焊盘3B的电连接,使用最下层的半导体芯片9A和最上层的半导体芯片9D间的半导体芯片(9B,9C)的电极焊盘11。

[0040] 图4及图5表示将第2层的半导体芯片9B的电极焊盘11经由布线基板2的连接焊盘3B和金属引线13电连接的状态。同样,在使用第3层的半导体芯片9C的电极焊盘11的场合,仅后述的中继接合的反向接合和正常接合的切换位置变化,适用基本同样的构成,能电连接第3层的半导体芯片9C的电极焊盘11和布线基板2的连接焊盘3B。在第2实施方式的半导体装置21,布线基板2和/或第1芯片群5的构成与第1实施方式相同。

[0041] 第2实施方式的半导体装置21,与第1实施方式同样,具备以使第2电极焊盘11露出的方式,台阶状层叠的多个第2半导体芯片9A~9D的第2芯片群10。第2芯片群10的半导体芯片9A~9D的层叠结构等与第1实施方式相同,第2芯片群10的台阶方向认为与第1芯片群5的台阶方向成反方向。对于第2芯片群10的最下层的半导体芯片9A,将设置电极焊盘11的焊盘排列边侧的端部配置为从第1芯片群5以房檐状向外侧突出的状态,即伸出的状态。因此,最下层的半导体芯片9A的电极焊盘11的形成部位,从第1芯片群5(最上层的第1半导体芯片4D)伸出。

[0042] 在第2实施方式的半导体装置21中,同样,为了抑制最下层的半导体芯片9A的引线接合时的裂缝和/或破裂等,对最下层的半导体芯片9A的电极焊盘11通过1次的球接来连接第2金属引线13。即,最下层的半导体芯片9A的电极焊盘11和第2层的半导体芯片9B的电极焊盘11,通过反向接合来连接。从最上层的半导体芯片9D的电极焊盘11到第2层的半导体芯片9B的电极焊盘11,由正常接合按顺序连接。而且,将第2层的半导体芯片9B的电极焊盘11和布线基板2的连接焊盘3B电连接。

[0043] 最下层的半导体芯片9A的电极焊盘11和第2层的半导体芯片9B的电极焊盘11的反向接合,与第1实施方式同样地实施。具体地,对第2层的半导体芯片9B的电极焊盘11实施凸接,在电极焊盘11上形成凸块14。将金属引线13球接(B)在最下层的半导体芯片9A的电极焊盘11,将金属引线13弯曲后,对在第2层的半导体芯片9B的电极焊盘11上形成的凸块14针脚连接(S)。从第4层的半导体芯片9D的电极焊盘11到第2层的半导体芯片9B的电极焊盘11的正常接合如下实施。

[0044] 即,对第3层的半导体芯片9C的电极焊盘11凸接,形成凸块14。接着,将金属引线13

球接(B)在第4层的半导体芯片9B的电极焊盘11,将金属引线13弯曲后,对在第3层的半导体芯片9C的电极焊盘11上形成的凸块14针脚连接(S)。同样,由金属引线13连接第3层的半导体芯片9C的电极焊盘11和第2层的半导体芯片9B的电极焊盘11。对于第2层的半导体芯片9B的电极焊盘11的针脚连接(S),在与最下层的半导体芯片9A的电极焊盘11连接的金属引线13针脚连接(S)上实施。也可以在来自最下层的半导体芯片9A的针脚连接(S)上形成凸块之后,实施来自第3层的半导体芯片9B的针脚连接(S)。

[0045] 通过反向接合连接最下层的半导体芯片9A的电极焊盘11和第2层的半导体芯片9B的电极焊盘11之间,通过正常接合按顺序连接从第4层的半导体芯片9D的电极焊盘11到第2层的半导体芯片9B的电极焊盘11,由此,从最下层的半导体芯片9A的电极焊盘11到第4层的半导体芯片9D的电极焊盘11进行中继接合。并且,经由第2层的半导体芯片9B的电极焊盘11电连接中继接合的半导体芯片9A~9D的电极焊盘11和布线基板2的连接焊盘3B。

[0046] 在如图4所示的半导体装置21,与布线基板2连接用的金属引线13的一端,与将来自最下层的半导体芯片9A的金属引线13及来自第3层的半导体芯片9C的金属引线13针脚连接(S)的第2层的半导体芯片9B的电极焊盘11球接(B),另一端与布线基板2的连接焊盘3B针脚连接(S)。图4表示在半导体芯片9A~9D的电极焊盘11和布线基板2的连接焊盘3B的电连接适用正常接合的状态。如图5所示,在半导体芯片9A~9D的电极焊盘11和布线基板2的连接焊盘3B的电连接中也可适用反向接合。

[0047] 在装载第1及第2芯片群5、10的布线基板2的第2表面2b上,例如使用如环氧树脂的热硬化性树脂的密封树脂层15被模塑形成。即,构成第1芯片群5的第1半导体芯片4A~4D及构成第2芯片群10的第2半导体芯片9A~9D,由密封树脂层15与第1及第2金属引线8、13等一起一体密封。根据这些的各构成要素,构成第2实施方式的半导体装置21。

[0048] 在第2实施方式的半导体装置21,将从半导体芯片9A的电极焊盘11到半导体芯片9D的电极焊盘11中继接合,而且中继接合的半导体芯片9A~9D的电极焊盘11和布线基板2的连接焊盘3B的电连接中,使用除去最下层的半导体芯片9A的半导体芯片9B~9D的任一个的电极焊盘11,具体地第2层的半导体芯片9B的电极焊盘11。在从第1芯片群5伸出的最下层的半导体芯片9A的电极焊盘11,在中继接合时实施1次的球接。

[0049] 通过对于伸出的半导体芯片9A的电极焊盘11的金属引线13的接合步骤作为1次进行,缓和在最下层的半导体芯片9A的接合时的冲击,进而防止由弯曲的反复引起的疲劳的积蓄。因此,能抑制引线接合时的最下层的半导体芯片9A的裂缝和/或破裂等的发生。换句话说,能成品率很好地能制造具备台阶方向为反方向的多个芯片群5、10的半导体装置21,能够进一步提高半导体装置21的可靠性。此外,即使在最下层的半导体芯片9A的厚度与其他的半导体芯片9B~9D相等(例如30~50 $\mu\text{m}$ 左右)的场合,也能抑制半导体芯片9A的裂缝和/或破裂等。因此,可以谋求半导体装置21的进一步的小型化和薄型化。

[0050] (第3实施方式)

[0051] 其次,参照图6及图7说明第3实施方式的半导体装置31的构成。再者,对于与第1实施方式相同的部分附加相同符号,一部分省略其说明。第3实施方式的半导体装置31具有以下结构:从第2层的半导体芯片9B的电极焊盘11到第4层的半导体芯片9D的电极焊盘11进行中继接合,将最下层的半导体芯片9A的电极焊盘11和中继接合的半导体芯片9B~9D的电极焊盘11分别电连接在布线基板2的连接焊盘3B。再者,与第2实施方式同样,包含第3实施方

式的半导体装置31的布线基板2和/或第1芯片群5的构成,进而第2芯片群10的伸出结构的半导体芯片9A~9D的层叠结构等,与第1实施方式同样。

[0052] 在如图6所示的半导体装置31中,最下层的半导体芯片9A的电极焊盘11和布线基板2的连接焊盘3B,通过金属引线13的正常接合连接。即,金属引线13的一端,与最下层的半导体芯片9A的电极焊盘11球接(B),另一端与布线基板2的连接焊盘3B针脚连接(S)。另一方面,从第4层的半导体芯片9D的电极焊盘11到第2层的半导体芯片9B的电极焊盘11,通过金属引线13的正常接合进行中继接合。中继接合的正常接合,与第2实施方式同样地实施。

[0053] 中继接合的半导体芯片9B~9D的电极焊盘11和布线基板2的连接焊盘3B,经由第2层的半导体芯片9B的电极焊盘11电连接。在如图6所示的半导体装置31中,第2层的半导体芯片9B的电极焊盘11和布线基板2的连接焊盘3B,通过正常接合的金属引线13连接。即,半导体芯片9D~9B的电极焊盘11及布线基板2的连接焊盘3B,由金属引线13的正常接合按顺序连接。对布线基板2的连接焊盘3B和半导体芯片9B~9D的电极焊盘11的连接,也可以适用如图7所示的金属引线13的反向接合。在如图7所示的半导体装置31,布线基板2的连接焊盘3B及半导体芯片9B~9D的电极焊盘11,由金属引线13的反向接合按顺序连接。

[0054] 装载第1及第2芯片群5、10的布线基板2的第2表面2b上,例如使用如环氧树脂的热硬化性树脂的密封树脂层15被模塑形成。即,构成第1芯片群5的第1半导体芯片4A~4D及构成第2芯片群10的第2半导体芯片9A~9D,由密封树脂层15与第1及第2金属引线8、13等一起一体密封。根据这些的各构成要素,构成第3实施方式的半导体装置31。

[0055] 在第3实施方式的半导体装置31,通过金属引线13的正常接合连接最下层的半导体芯片9A的电极焊盘11和布线基板2的连接焊盘3B,而且将中继接合的半导体芯片9B~9D的电极焊盘11和布线基板2的连接焊盘3B,分别经由金属引线13与最下层的半导体芯片9A连接。对第2芯片群10的伸出的最下层的半导体芯片9A的电极焊盘11,在与布线基板2的连接焊盘3B的引线接合时实施1次的球接。

[0056] 通过对于伸出的半导体芯片9A的电极焊盘11的金属引线13的接合步骤作为1次进行,缓和在最下层的半导体芯片9A的接合时的冲击,进而防止由弯曲的反复引起的疲劳的积蓄。因此,能抑制最下层的半导体芯片9A的裂缝和/或破裂等的发生。换句话说,能成品率很好地能制造具备台阶方向为反方向的多个芯片群5、10的半导体装置31,能进一步提高半导体装置31的可靠性。此外,即使在半导体芯片9A的厚度与其他的半导体芯片9B~9D相等(例如30~50 $\mu\text{m}$ 左右),也能抑制半导体芯片9A的裂缝和/或破裂等。因此,可以谋求半导体装置31的进一步的小型化和薄型化。

[0057] (第4实施方式)

[0058] 其次,参照图8及图9说明第4实施方式的半导体装置41的构成。再者,对于与第1实施方式相同的部分附加相同符号,一部分省略其说明。第1至第3实施方式中,说明了第2芯片群10的台阶方向与第1芯片群5的台阶方向反向的结构,但是,第2芯片群10的最下层的半导体芯片9A从第1芯片群5伸出的结构不限于此。第4实施方式的半导体装置41具备在第1芯片群5上经由间隔件层42(42A,42B)使第2芯片群10层叠的结构。

[0059] 如图8所示的半导体装置41具备可以引入与第1半导体芯片4A~4D的电极焊盘11(特别是最上层的半导体芯片4D的电极焊盘11)连接的金属引线8的绝缘树脂层42A,作为间隔件层42。绝缘树脂层42A,除了作为间隔件层的功能之外,还兼备作为第2芯片群10的最下

层的半导体芯片9A的粘着层起作用。间隔件层42,取代如图8所示的绝缘树脂层42A,也可以是如图9所示的一般的芯片间隔件42B。第4实施方式的半导体装置41,根据经由间隔件层42(42A,42B),使第1芯片群5和第2芯片群10的台阶方向成为相同。

[0060] 在上述的芯片群5、10的层叠结构中,同样,第2芯片群10的最下层的半导体芯片9A配置为设置电极焊盘11的焊盘排列边侧的端部从第1芯片群5向外侧伸出的状态。即使第1至第3实施方式中详述的结构,即对伸出的半导体芯片9A的电极焊盘11实施1次的球接的接合结构,经由间隔件层42层叠第1芯片群5和第2芯片群10的场合,也可有效地适用。因此,能得到与第1至第3实施方式相同的效果。再者,图8及图9表示作为第2芯片群10的接合结构与第1实施方式相同的结构,但是,当然,也可以是第2及第3实施方式的接合结构。

[0061] 再者,虽然说明本发明的几个实施例,但是这些实施例只是作为例示,而不是限定发明的范围。这些实施例可以各种各样的形态实施,在不脱离发明的要旨的范围,可进行各种省略、置换、变更。这些实施例及其变形也是发明的范围、要旨所包含的,同时也是权利要求的范围所述的发明及其均等的范围所包含的。

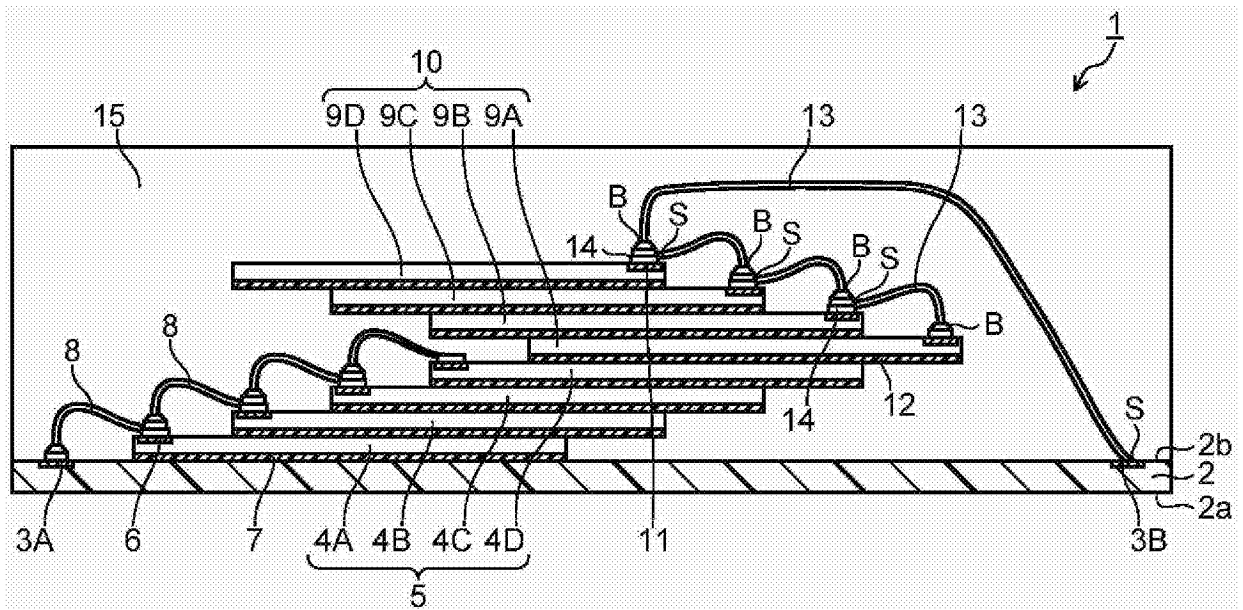


图1

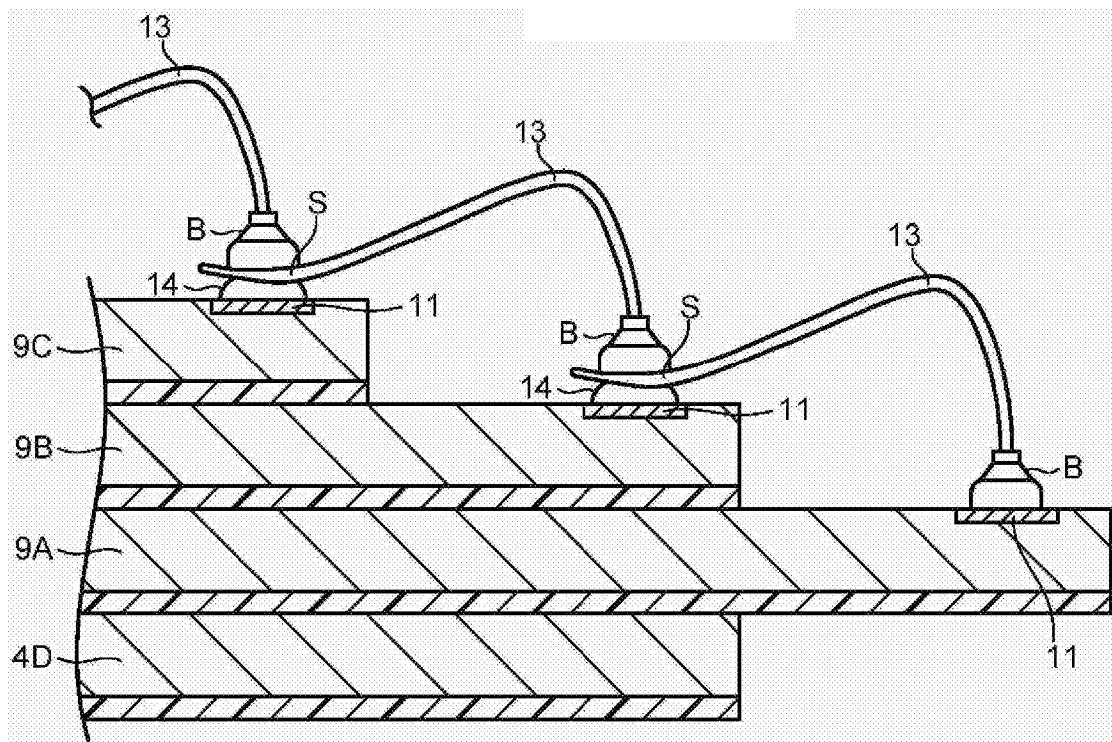


图2

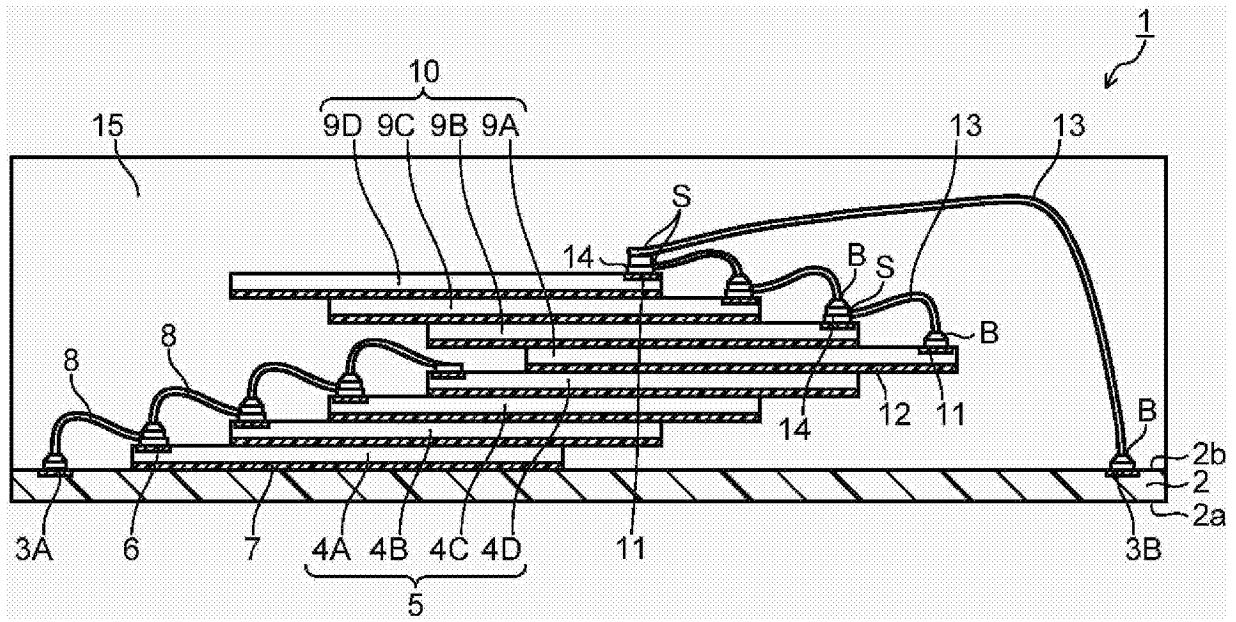


图3

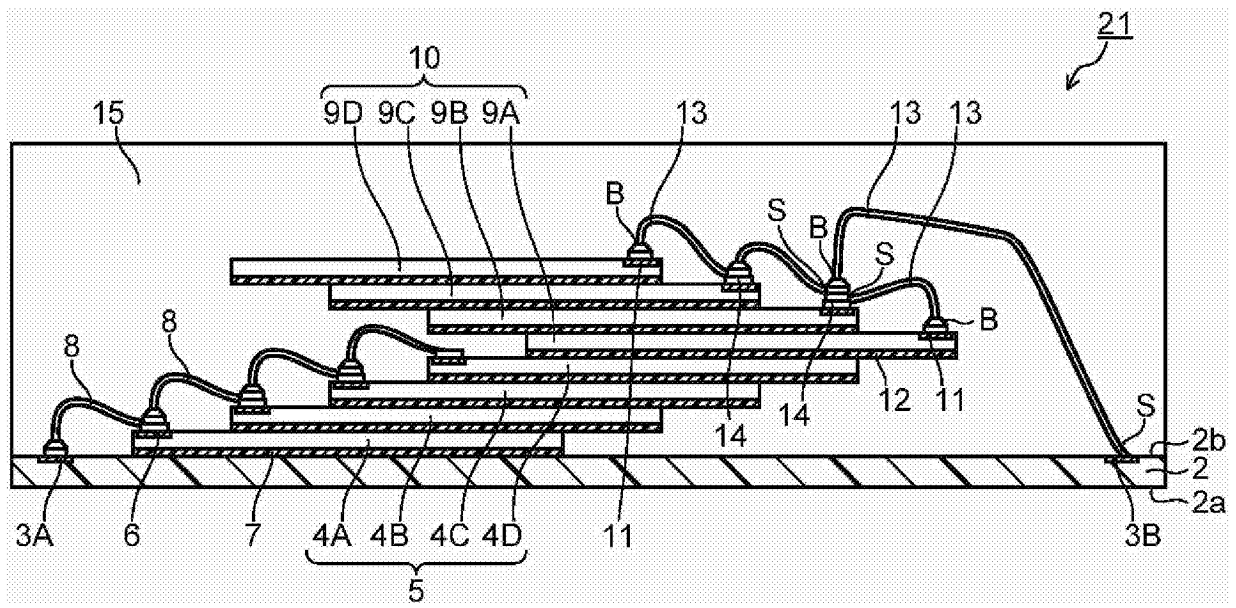


图4

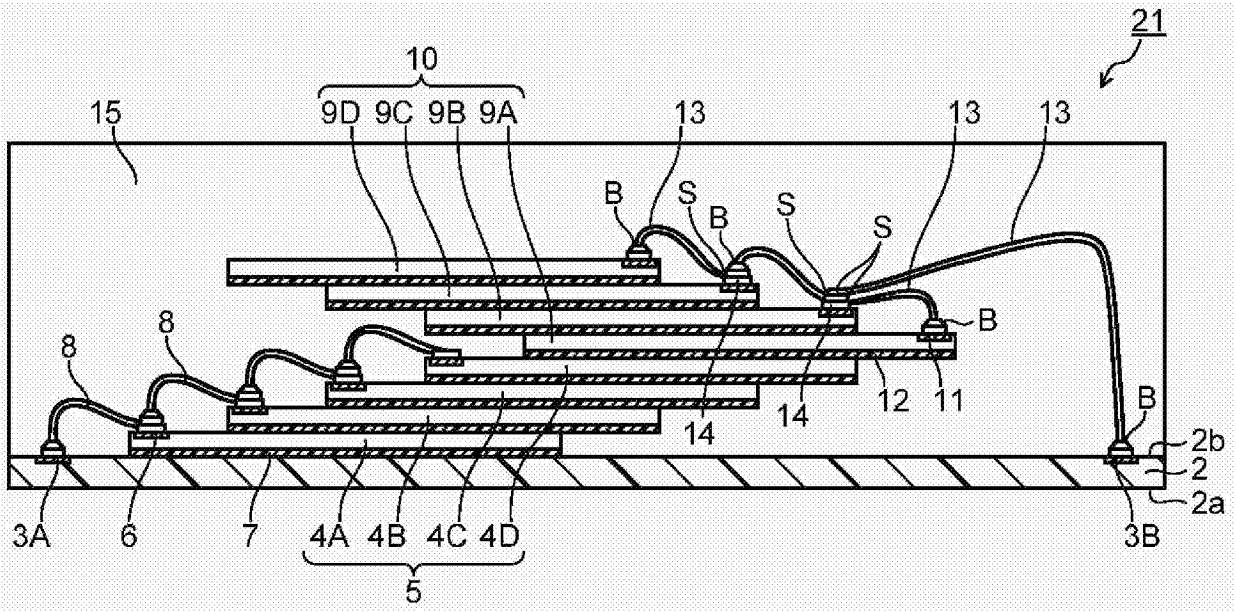


图5

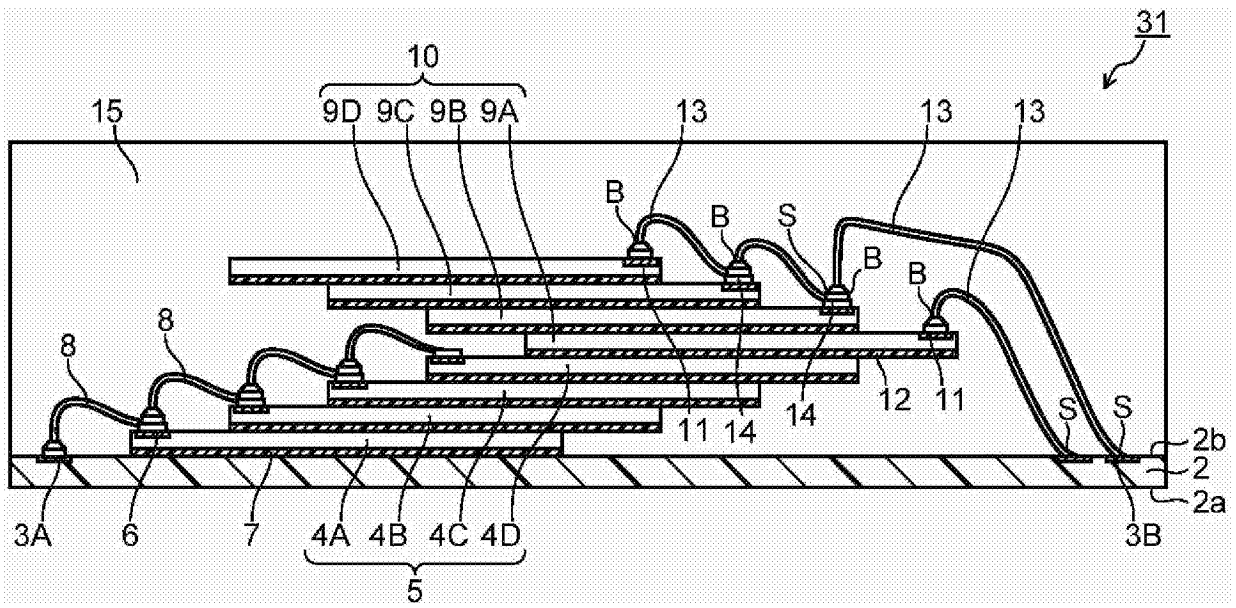


图6

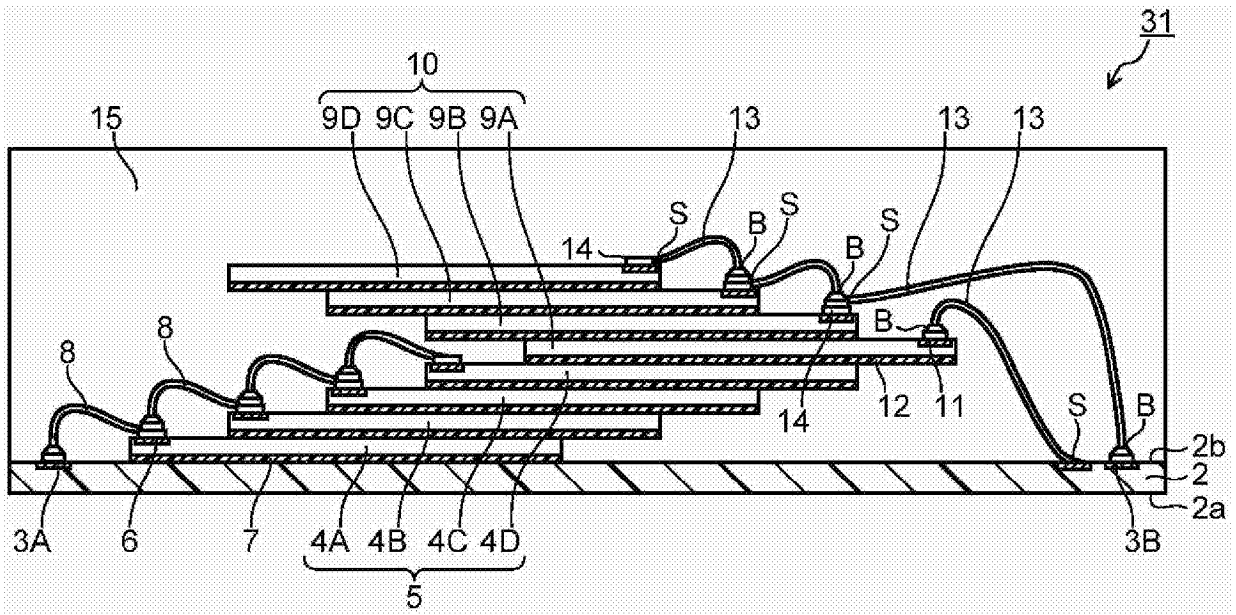


图7

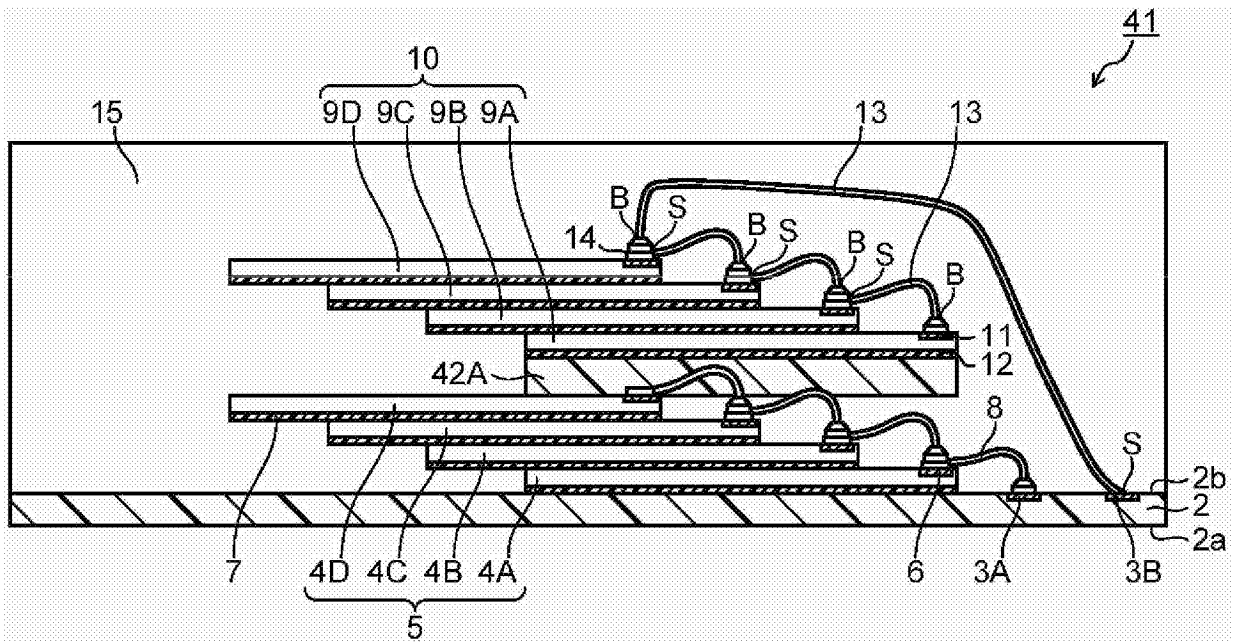


图8



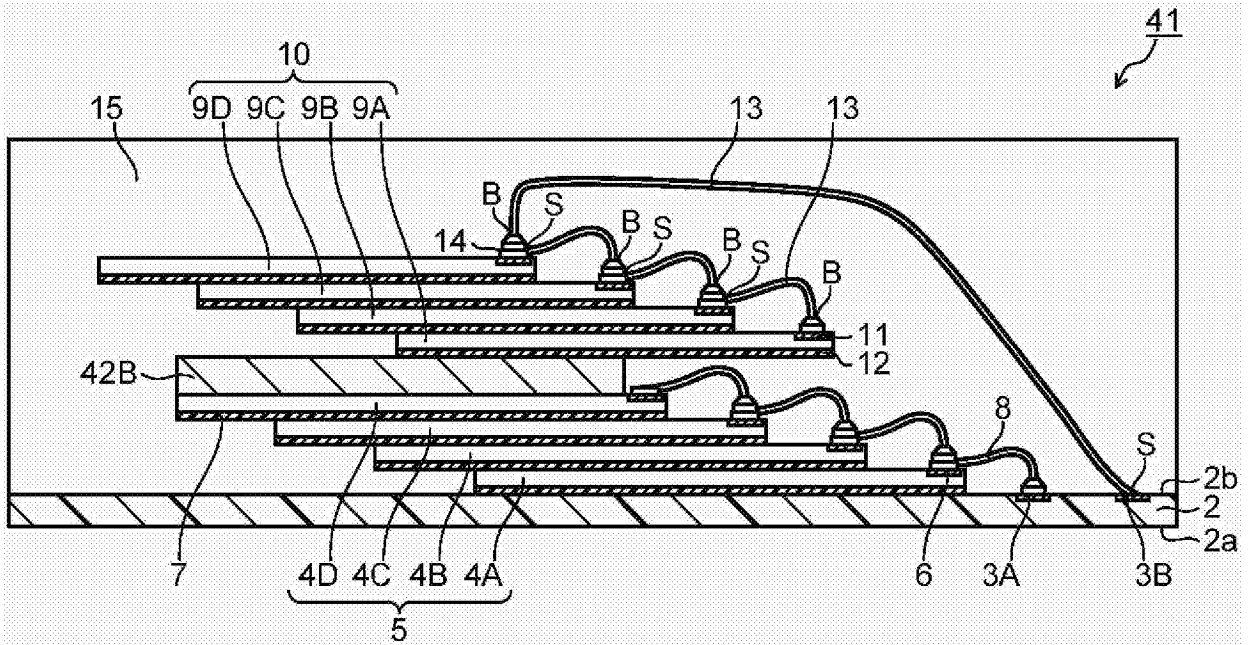


图9