

(19)



SUOMI - FINLAND

(FI)

PATENTTI- JA REKISTERIHALLITUS

PATENT- OCH REGISTERSTYRELSEN

FINNISH PATENT AND REGISTRATION OFFICE

(10) **FI 934481 A7**

(12) **JULKISEKSI TULLUT PATENTTIHAKEMUS
PATENTANSÖKAN SOM BLIVIT OFFENTLIG
PATENT APPLICATION MADE AVAILABLE TO THE
PUBLIC**

(21) Patentihakemus - Patentansökan - Patent application **934481**

(51) Kansainvälinen patenttiluokitus - Internationell patentklassifikation -
International patent classification
H03F 3/50

(22) Tekemispäivä - Ingivningsdag - Filing date **11.04.1992**

(23) Saapumispäivä - Ankomstdag - Reception date **11.10.1993**

(41) Tullut julkiseksi - Blivit offentlig - Available to the public **11.10.1993**

(43) Julkaisupäivä - Publiceringsdag - Publication date **13.06.2019**

(86) Kansainvälinen hakemus - **11.04.1992 PCT/EP1992/000824**
Internationell ansökan - International
application

(32) (33) (31) Etuoikeus - Prioritet - Priority

12.04.1991 DE 4111999

(71) Hakija - Sökande - Applicant

1 • TELEFUNKEN Fernseh und Rundfunk GmbH, Göttinger Chaussee 76, 3000 Hannover 91, SAKSA, (DE)

(72) Keksijä - Uppfinnare - Inventor

1 • Köllner, Hartmut, BRD, SAKSA, (DE)

(74) Asiamies - Ombud - Agent

Berggren Oy Ab, Antinkatu 3 C, 00100 Helsinki

(54) Keksinnön nimitys - Uppfinningens benämning - Title of the invention

Muunninkyt Kentäpiiri

Omvandlarkrets

Muunninkytkentäpiiri - Omvandlarkrets

5

Keksinnön kohteena on muunninkytkentäpiiri, johon kuuluu ensimmäinen transistori, jonka kantajohtimeen on syötettävissä tulospignaali, toinen, ensimmäistä transistoria täydentävä transistori, jonka kanta on liitetty ensimmäisen transistorin emitteriin ja jonka emitteri on liitetty ensimmäisen vastuksen kautta lähtöpinteeseen ja virransyöttöpiiriin, joka varmistaa jokseenkin tasaisen virran emitterin ja kollektorin väliselle osuudelle.

15

Tällainen muunninpiiri tunnetaan patentista DE 30 35 471 C2. Sen kuviossa 3 esitetty piiri koostuu kahdesta kaskadimuotoon yhteen kytketystä emitteriseuraimesta. Käytetyn kaksinapaisen transistorin positiivisesta lämpötilakertoimesta johtuen lepovirta on vakautettava täydentävien vaiheiden aikana ensimmäisellä, virtavastakytkennän muodostavalla vastuksella. Tästä seuraa vastakytkentävastuksessa lähtövirrasta riippuva jännitteen aleneminen, mikä johtaa jänniteheilahdusten pienenemiseen, koska ohjausjännitteen heilahdus on suurempi kuin lähtöjännitteen heilahdus. Täten tämän rakenteen emitteriseuraimella ei ole ihanteellisen impedanssimuuntimen vaadittuja ominaisuuksia, nimittäin erittäin vähäistä lähtövastusta, joka lähestyy nollaa. Tunnetussa piiritekniikassa rajoitetun matalan lähtövastuksen haitta korvataan usein voimakkaalla vastakytkennällä kaikkien askelten (jännite- ja virranvahvistinaskelten) läpi.

Virran vastakytkentävastuksen negatiivista vaikutusta pyritään lisäksi vähentämään siinä itsessään, esim. ohittamalla vastus diodilla, virrankuormituksen kevennyskytkimillä tai kvadisilytkennällä. Kaikissa näissä kytkennöissä tarvitaan kuitenkin säännöllisesti kalliita lepovirtavakautuksia, valikoituja transistoreita ja (kvadikytkennän tapauksessa)

vaativaksi mitoitettavaa kytkentämallia. Diodivälitys vaikuttaa vasta 0,6 V jännitteestä alkaen, lepovirran tulee olla alle 0,6 V, jotta lepovirran säätö ei ole vapaasti välittävissä. Täydentävässä vahvistimessa esiintyy A- tai AB-käytössä vastaanottovääristymiä. Virrankuormituksen alentamispiireillä päästään ainoastaan suurin kustannuksin lähelle nollan lähtövastusta.

Kertaalleen mainitulla kytkentämallilla on se etu, että toisiinsa nähden vastakkaiset emitteriseuraimet, joiden läpi virtaa jokseenkin samanlainen virta, saavat aikaan kompensoinnin transistorien epälineaarisiin ominaiskäyriin. Tunnettua kytkentämallia käytetään säännöllisesti vääristymiä aiheuttamattomia vahvistimia varten, mutta sitä ei kuitenkaan voi kehittää ihannetta lähestyväksi impedanssinmuuntimeksi.

Keksinnön tehtävän perustana on saada aikaan sellainen edellä mainitun kaltainen muunninpiiri, että lähtövastus on saatavissa käytännöllisesti katsoen nollaan ja ohjausominaiskäyrien vääristymät ovat täysin kompensoitavissa.

Keksinnön mukaan tämä tehtävä ratkaistaan edellä mainitun kaltaisessa muunninpiirissä ensimmäisen transistorin emitteriin liitetyllä toisella vastuksella, jonka läpi virtaa ensimmäisen transistorin kollektorista emitteriin tuleva virta ja joka on liitetty ensimmäisen transistorin emitterin kautta toisen transistorin kantaan.

Liittämällä keksinnön mukainen vastus ensimmäisen transistorin emitterin ja toisen transistorin kannan väliseen yhteyteen siten, että ensimmäisen transistorin emitteri-kollektorivirta virtaa toisen vastuksen läpi, automaattinen virtahäviön kompensointi toimii virran vastakytkentävastuksena toimivan ensimmäisen vastuksen kautta, jossa toisen transistorin kannan jännite kompensoituu tarkasti ensimmäisen vastuksen kautta tulevalla jännitehäviöllä, jos kummatkin vastukset ovat yhtä suuria. Mitoittamalla toinen vastus

sopivasti suhteessa ensimmäiseen vastukseen voidaan kuitenkin myös säätää muuntimeen haluttuja positiivisia tai negatiivisia lähtövastuksia. Itsestään selvää on tietysti, että negatiivisen lähtövastuksen ollessa kysymyksessä on myös
 5 ryhdyttävä muihin turvatoimiin.

Kompensointia rajoitetaan tulo- ja lähtövastuksen erilaisella napaisuudella ja siihen liittyvillä erilaisilla toimintapisteillä, virran ollessa sama.

10

Jotta tulo- ja lähtötransistorin välille voitaisiin, virran ollessa sama, luoda täydellinen ominaiskäyräsymmetria, kumpaankin liitetään kulloinkin täydentävä, diodiksi kytketty transistori sarjaan, toimimaan kompensoiovastuksena. Molemmat ominaiskäyrät (transistori ja diodi) tuottavat yhteen
 15 liitettynä uuden, molemmilta puoliltaan samanlaisen ohjausominaiskäyrän, joka on täysin kompensoitavissa.

Virransyöttöpiirissä on mielellään sellaisenaan tunnettu
 20 virranheijastin ja kaksi kannastaan toisiinsa liitettyä transistoria.

Erityisen edullinen keksinnön mukaisen piirin toteutusmuoto on tehtävissä siten, että virranheijastimen kummassakin
 25 transistorissa on erilainen napaisuus siten, että niissä on sama napaisuus kuin niille kohdistetussa ensimmäisessä tai toisessa transistorissa, joiden läpi virtaa sama virta. Tässä tapauksessa on nimittäin mahdollista tehdä molemmat, kulloinkin saman virran läpäisemät transistorit identtiseksi
 30 kaksoistransistoreiksi yhteisellä alustalla, millä varmistetaan molempien transistorien samat ominaisuudet ja samat ominaiskäyrät.

Tällöin saattaa olla tarkoituksenmukaista, jos ensimmäinen
 35 transistori, yhdessä toisen vastuksen ja siihen kuuluvan virranheijastimen transistorin kanssa, muodostaa kokoonpanon, jossa on kaksi samanapaista transistoria ja yksi niiden väliin kytketty vastus, joka on toteutettu vastakkaisena

toiseen transistoriin, yhdessä väliin kytketyn vastuksen ja siihen kuuluvan virranheijastimen transistorin kanssa. Tällä tavalla keksinnön mukaisen piirirakenteen voi muodostaa kahden kaksoistransistorin avulla.

5

Keksinnön mukaisen muunninpiirin voi tehdä täydentävänä muunninpiirinä, jolloin rakenneosat kaksinkertaistuvat peilikuvin ja vastakkaisina. Tässä toteutusmuodossa neljä kokonpanorakennelmaa voi muodostaa toistensa perään kytketty-
 10 jä siltahaaroja. Täydellinen symmetria täysin samanlaisella rakenteella kussakin siltahaarassa on saavutettavissa siten, että jokaiseen siltahaaraan kytketään aina vastus, jonka arvo vastaa ensimmäistä vastusta. Siltakytkentäpiiriin integroituna on silloin myös vastakytkentävastuksena toimiva
 15 ensimmäinen vastus.

Muuntimen toimintapiste on valittavissa esijännitelähteellä, joka on liitetty toisen transistorin kantaan. Muunninpiirin täydentävän rakenteen ollessa kysymyksessä, esijännitelähde
 20 on järjestetty kahden toisiinsa nähden vastakkaisen transistorin kantojen väliin.

Esijännitelähde voi kuitenkin olla myös lineaarisen vastuksen muotoinen tai jännitteestä riippuvan vastuksen muotoinen
 25 piirin lepovirtaa rajoittavassa sivupolussa. Tässä tapauksessa lepovirtaa voi säätää virtalähteillä, jotka sijaitsevat vielä toisessa piirin sivupolussa.

Keksinnön mukainen piiri sallii sisäisen, vapaasti valittavan lepovirran säädön, ilman että se häiritsisi piirin symmetriaa.
 30

Keksinnön mukainen piiritekniikka sallii toteuttaa yleisiä rakenneosia, joilla on ihanteelliset ominaisuudet. Varsinkin
 35 sellaiset ihanteelliset transistorirakenteet ovat toteutettavissa, joiden yhteydessä pystysuoralla symmetrialla on ratkaiseva merkitys ensimmäisellä ja toisella transistorilla tehdyissä virtahaaroissa.

Seuraavassa keksintöä selitetään toteutusesimerkkeinä yksityiskohtaisesti ja viitaten piirrosten kuvauksiin. Niissä:

kuvio 1 esittää täydentävää impedanssimuunninpiiriä;

5

kuvio 2A on kaaviomainen esitys impedanssimuunninpiirin rakenneperiaatteesta, virranheijastin tehtynä kahdesta samanlaisesta transistorista (vaakasuora symmetria);

10 kuvio 2B on muunnos, jossa on lisäksi vaakasuoran symmetriarakenteen mukaan tehtyjä täydentäviä transistoridiodeja;

kuvio 3 on kaavioiden 2A ja B mukaisen piirin muunnos, jossa on virransyöttöpiirissä pystysuoran symmetriarakenteen mukaan tehtyjä täydentäviä transistoreita;

15

kuvio 4 on kaaviomainen kuvion 3 mukaisen piirin kuvaus, jossa on yhteiselle alustalle pareittain rakennettuja transistoreita;

20

kuvio 5A esittää kuvioiden 3 ja 4 mukaan rakennettua täydentävää impedanssimuunninta, johon kuuluu virrankuormituksen kevennin ja piirin sisäinen lepovirtasivupolku;

25 kuvio 5B esittää kuvioiden 3 ja 4 mukaan rakennettua täydentävää impedanssimuunninta, jossa on kaksoissymmetrinen lepovirran syöttö;

30 kuvio 5C esittää kuvioiden 3 ja 4 mukaan rakennettua täydentävää impedanssimuunninta, jossa on samanlaiset, mutta epälineaariset vastukset ja aktiivinen transistorin esijännitelähde virtaa rajoittavassa sivupolussa;

35 kuvio 5D esittää kuvioiden 3 ja 4 mukaan rakennettua täydentävää impedanssimuunninta, jossa on aktiivinen esijännitelähde;

kuvio 6 esittää kuvioiden 3 ja 4 piiritekniikkaan rakennettua yleistä transistorirakenneosaa;

5 kuvio 7A esittää rakenneosaa, jossa on sivusuuntainen pnp-transistori;

kuvio 7B esittää rakenneosaa, jossa on Darlington-lähtöpiiri;

10 kuvio 7C esittää kuvion 6 mukaista rakenneosaa hybriditekniikalla;

kuvio 7D esittää kuvion 6 mukaista rakenneosaa MOSFET-tekniikalla ilman lähtöpiirin lisävastuksia;

15

kuvio 8A esittää integroitua Darlington-tehotransistoria;

kuvio 8B esittää ohjausaskelen ja virrankuormituksen keventimen erillisrakennetta;

20

kuvio 8C esittää kompensoitua lähdeseurainta;

kuvio 8D esittää virrankuormituksesta kevennettyä lähdeseurainta;

25

kuvio 9 esittää pnp-transistorirakenneosaa;

kuvio 10 esittää npn-transistorirakenneosaa;

30 kuvio 11 esittää yleistä asennettavaa integroitua kytkentäpiiriä;

kuvio 12 esittää kaksoiskytkentäpiiriä täydentävällä tekniikalla;

35

kuvio 13 esittää transistorirakenneosaa, jossa on virrankuormituksen kevennysvirtapiiri;

kuvio 14 esittää kuvion 13 mukaisesta muunnettua virtapiiriä, jolla on sama vaikutus.

Kuviossa 1 esitetyssä toteutusmuotoesimerkissä tulosignaali-
 5 pinne A on liitetty tulosignaalia kuljettavan potentiometrin P väliottoon. Ensimmäisen kaksinapaisen transistorin T1, joka on tehty npn-transistoriksi, kanta ja vastakkaisen (pnp) transistorin T1 kanta on liitetty tulosignaali-
 10 pintaan A. Transistorin T1 emitteri on liitetty toisen transistorin T2 kantaan, joka on kytketty (myös) emitteriseuraimeksi ja jonka emitteri on liitetty ensimmäisen vastuksen R1 kautta lähtöpinteeseen B. Ensimmäisen transistorin T1 emitterin ja toisen transistorin T2 kannan väliseen liitokseen on kytketty toinen vastus.

15 Virransyöttö molempiin transistoreihin T1 ja T2 tapahtuu virranheijastimen kautta, joka koostuu kahdesta transistorista T3 ja T4, joiden kannat on liitetty toisiinsa. Niiden emitterit on liitetty kukin emitterivastuksen R3 tai R4
 20 kautta negatiiviseen syöttöjännitteeseen D-. Virranheijastimen toiselle transistorille T2 osoitettu transistori T4 on kytketty diodiksi, sillä on siis suora yhteys kollektorinsa ja kantansa välillä. Tämä sellaisenaan tunnettu virranheijastin vaikuttaa siten, että kummankin transistorin T1 ja T2
 25 kautta virtaa samanlainen virta. Ensimmäisen transistorin T1 kollektori on tällöin liitetty positiiviseen syöttöjännitteeseen D+. Ensimmäisessä vastuksessa R1 heikkenevä, välitettävän signaalin mukaan vaihteleva jännite lisätään tarkalleen samansuuruuisena lähtösignaaliin, jos toinen vastus
 30 R2 on valittu yhtä suureksi kuin ensimmäinen vastus R1. Koska kummankin vastuksen R1, R2 kautta kulkee samanlainen virta, jännite heikkenee niissä samalla tavalla. Tulosignaali-jännite, joka on transistorin T1 emitterissä, alenisi ilman toista vastusta R2 saman verran kuin ensimmäisessä vastuksessa R1 aleneva jännite alenee. Kun vastuksen R2 jännite
 35 nousee, signaalijännite nousee vastuksessa R1 laskevan jännitteen verran siten, että jännite E- toisen transistorin T2 kannassa vastaa negatiivista signaalijännitettä, kohotettuna

- vastuksen R2 (tai R1) jännitehäviöllä. Keksinnön mukaisella kytkentäpiirijärjestelyllä eivät kompensoidu pelkästään kummankin transistorin T1, T2 epälineaariset dioditiet, vaan myös jännitehäviöt vastuksissa R1, R2, jos nämä on valittu yhtä suuriksi. Täten voi toteuttaa impedanssimuuntimen, jonka lähtövastus on nolla. Jos vastus valitaan siten, että $R2 > R1$, jäljelle jää positiivinen lähtövastus, kun taas lähtövastus muuttuu negatiiviseksi, jos valitaan $R2 < R1$.
- 10 Kuviossa 1 esitetty piirijärjestely on täydentävä järjestely. Positiivista signaalijännitettä varten tarkoitettu piirin puolikas vastaa kuvattua negatiivista signaalijännitettä varten olevaa piirin puolikasta ja se on merkitty vastaavilla viitenumeroilla, täydennettynä merkillä "'".
- 15 Syöttöjännitteiden D+ tai D- ja näihin kuuluvien transistorien T3, T4 kantojen välillä virranheijastimet on osoitettu kukin kymmendiodeille ZD1, ZD1', jotka rajoittavat transistorien T1, T2 tai transistorien T3, T4 läpi kulkevaa maksimivirtaa, siinä tapauksessa, että esimerkiksi lähtöpinteesseen syntyisi oikosulku.
- Molempien transistorien T2 ja T2' kantojen väliin kytketty kymmendiode ZD2 löi lukkoon toimintapisteen kummankin transistorin T2, T2' ominaiskäyrällä. Kummankin transistorin T4, T4' kollektoreihin liitetty vastus R5 muodostaa lepovirtasivupolun ja mahdollistaa lepovirran virtapiiriä toimintaan kytkettäessä.
- 25 Kuvio 2A havainnollistaa sen periaatevirtapiirin, joka on toteutettu kuviossa 1. Molemmat mahdollisimman samanlaiset transistorit T3, T4 muodostavat virtaheijastimen ja huolehtivat yhtä suuren virran syötöstä transistorien T1, T2 läpi, jotka on tehty toisiaan täydentäviksi.
- 35 Jotta virtapiirin jokaisessa toimintapisteessä päästäisiin toivottuun tulokseen, ei riitä, että ainoastaan transistorien T3, T4 ominaiskäyrät ovat samanlaiset, vaan mahdollisesti

myös täydentävien transistorien T1, T2 ominaiskäyrien tulisi olla samanlaiset. Virtapiiri perustuu siis vaakasuoraan symmetriaan transistoriparien T3, T4 ja T1, T2 välillä. Tämän symmentriaehdon ylläpitäminen täydentävien transistorien T1, T2 kohdalla on vain lähes mahdollinen.

Kuvio 2B esittää miten tulo- ja lähtötransistoria täydentämässä on täydentävä dioditransistori (T5, T6). Kun kaksi erilaista diodiväliä on kytketty peräkkäin, saadaan tulokseksi, transistorin ja dioditransistorin vaakasuoran symmetrian vallitessa, kummallakin puolella samanlainen ohjausominaiskäyrä. Virtapiiri on tehty vaakasuorasymmetriseksi ja sillä saavutetaan, transistorien riittävän tarkalla valmistuksella, täydellinen ohjausominaiskäyrän vääristymien kompensointi.

Kuviossa 3 on esitetty kuvion 2 mukaisen piirin muunnos, joka perustuu toiselle toimintaperiaatteelle. Transistorit T11 ja T12 on kytketty samalla tavalla toisiinsa kuin kuvion 2 mukaisen virtapiirin transistorit T1 ja T2. Samalla tavalla kuin kuvion 2 transistori T3, myös transistori T13 on asennettu sarjaan transistorin T11 kollektori-emitteri-välille. Transistori T14 on sitä vastoin tehty toisnapaiseksi transistoriin T13 verrattuna ja sen emitteri on liitetty vastuksen R4 kautta transistorin T12 kollektoriin. Tällä piirin rakenteella saadaan aikaan pystysuora symmetria, koska transistorit T11 ja T13 on tehty samanapaisiksi, nimittäin pnp-transistoreiksi ja transistorit T12 ja T14 taas npn-transistoreiksi. Kuvioista 4 käy ilmi, että pnp-transistorit T11, T13 on rakennettu tarkoituksenmukaisesti yhteiselle sirulle siten, että niillä on keskenään täysin sama ominaiskäyräkäytös. Samalla tavalla npn-transistorit T12, T14 on myös rakennettu samalle sirulle. Vastukset R1, R2, R3, R4 voi samoin rakentaa pareittain siten, että tulokseksi saadaan täydellinen pystysuora symmetria. Tämä piirin toimintaperiaate ei perustu nyt enää siihen, että kummankin transistorin T1, T2 sisällä virtaa virtaheijastimen kautta täysin sama virta läpi, vaan siihen, että pystysuoran sym-

metrian vuoksi kytkentä tapahtuu siltamaisesti, jolloin syntyy osavälijännitteitä siten, että transistorin T11 kannassa vertailupotentiaalia vastassa oleva tulojännite on sama kuin kuormitusvastusta L vastassa oleva lähtöjännite. Tällöin

5 kumpaakin virtahaaraa T11, T13 tai T12, T14 pitkin voi virrata täysin erilaisia virtoja, ilman että se häiritsisi transistorien T11-T14 epälineaaristen ominaiskäyrien kompensointia. Tällöin vastukset R1-R4 tulee mitoittaa erilaisia virtoja vastaaviksi. Kuvioiden 3 ja 4 mukaiset piirit käyttävät siten täydentävästi rakennettuja "virtaheijastimia" ja

10 perustuvat pystysuoraan symmetriarakenteeseen, jonka yhteydessä samanlaiset virheitä sisältävät npn-transistorit kompensoidaan tarkalleen toisella puolella kahdella (yleensä muulla tavalla) virhekuormitetulla, mutta samanlaisella

15 npn-transistorilla toisella puolella.

Kuvio 5A esittää virtapiiriä, jonka piirirakenne vastaa olennaisilta osiltaan kuvion 1 esittämää, mutta jossa on kuitenkin toteutettu kuvioden 3 ja 4 mukainen piiriperiaate. Kunkin kymmendiodin ZD1, ZD1' läpi rinnan kytketyllä

20 kondensaattorilla C1, C1' saadaan aikaan taajuudesta riippuva yhteenkytkentäkompensoatio. Kahden transistorin T15, T16 tai T15', T16' muodostaman tehovirtaheijastimen kautta täydentävä impedanssimuunnin on vapautettavissa tehovirran

25 kuormituksesta ja se palvelee siten ohjausvirtapiirinä. Virtapiirin sivuvirtapolussa oleva virtalähde 11 pitää huolen siitä, että vasta sen jälkeen kun syöttöjännite (U_b) on kytketty toimintaan, virtapiirissä syntyy lepovirta. Toimintaan kytketyssä tilassa virtalähteen 11 virta virtaa täydentävän

30 virtaheijastimen (T13, T14; T13', T14') kautta esijännitelähteeseen ZD2.

Kuvio 5b esittää, miten täydentävän virtaheijastimen lisääntyvä lepovirtakuormitus, joka häiritsee pystysuoraa symmetriaa, on vältettävissä. Molemmat samanlaisiksi painotetut

35 virtalähteet (12, 12') syöttävät virtaa suoraan esijännitelähteeseen ZD2.

Esijännitelähdettä ZD2 varten on käytettävissä myös vähemmän
 pieni-impedanssinen rakenneosa, kuten esimerkiksi yksinker-
 tainen vastus, koska tässä syntyy rajoittava lepovirran vas-
 takytkentäpiiri. Vastus pystyy ottamaan vastaan vain niin
 5 paljon virtaa kuin virtalähteiden (I2 tai I1) kautta voi
 syöttää. Kaikki muu jännitteen nousu vastuksen kautta liitt-
 tyy virran poistumiseen piiristä, mikä ilmenee koko piirin
 mukaankytketymistehokkuuden vähenemisenä. Tämä tapahtuma
 vakauttaa lepovirran.

10

Virtalähteiden kautta myös offset-trimmaus on mahdollinen.

Kuvio 5C esittää virtapiiriä, joka on toteutettu kuvion 2B
 mukaisesti. Lineaariset vastukset on korvattu kenttävaiku-
 15 tustransistoridiodeilla, jotka ovat jännitevirtakäyttäyty-
 misessään epälineaarisia. Tällä tavalla päästään jännittees-
 tä riippuviin vastuksiin, jotka ovat ominaiskäyriltään ja
 niihin liittyviltä sisäisiltä vastuksiltaan keskenään saman-
 laisia. Symmetria säilyy.

20

Perusteet epälineaaristen vastusten käytölle ovat epäsymmet-
 risessä jännite- ja virtajakautumassa täydentävän piirin
 ylemmän ja alemman osan välillä. Signaalin moduloinnin yh-
 teydessä samanlaisten piirin sisäisten jänniteheilahdusten
 25 yhteydessä tapahtuu ylemmässä ja alemmassa piirin osassa
 joitakin suuruusluokkia suurempi virran lisäys (esim.) ylem-
 mässä piirin osassa, samalla kun tämä vaikuttaa alemman osan
 virran pienentämiseen. Piiri toimii dynaamisesti laajennetun
 luokan A alueella ja vaatii siten määrättyä lähtötehoa var-
 30 ten vähäisemmän lepovirran.

Esijännitelähde ZD2 on johdettu diodivälinä lepovirtaa ra-
 joittavalle piirin sivupolulle.

35 Kuvio 5D esittää aktiivista tekemisestä kytkettyä transisto-
 riesijännitelähdettä (T7, T8) kuvion 5B mukaisessa virtapii-
 rissä. Esijännityslähteissä on erittäin jyrkkä jänniteohjat-
 tu vastus, jota ohjataan täydentävien transistorien kantojen

liitosten kautta kulkevalla jännitteellä. Ylimitoitettu le-
povirran- tai virrannousu johdetaan myös vastaavasti ylimi-
toitettuna kollektorijohtojen kautta, jopa esijännitelähteen
sivupolulle.

5

Keksinnön mukaiseen virtapiirijärjestelyyn tiukan pystysuo-
ran symmetrian merkeissä kuuluu yleisiä käyttömahdollisuuksia.
Kuviossa 6 on esitetty johdottamaton rakenneosaa, jonka
piiritekniikka vastaa kuvion 3 rakennetta. Ensimmäisen tran-
sistorin (T11, T14) syöttöjänniteliitännän liitos Ub toisen
10 transistorin (T12, T13) emitterin kanssa säästää rakenneosan
ulkoisen liitännän.

Transistorin T14 kantaliitääntä Bp voi tällöin kytkeä kuten
15 npn-transistorirakenteen kantaa. Kollektorin Cn ja transis-
torin T11 (Cn) kannan kytkeminen transistorin T12 emitteri-
liitääntään vastuksen R1 (Ep) vapaaseen päähän ja transisto-
rin T14 (Cp) kollektorin kytkeminen transistorin T13 emit-
teriliitääntään vastuksen R3 (En) toiselle puolelle tekee
20 näistä kahdesta yhteenliittymästä npn-transistorin emitterin
ja kollektorin.

Kuvion 6 mukaista rakenneosaa voi käyttää samalla tavalla
pnp-transistorina, jota varten transistorin T11 (bn) kantaa
25 käytetään kantasisääntulona.

Kuvion 6 mukaisten muita yleisen rakenteen liitääntöjä voi
käyttää kompensatio- ja trimmaustarkoituksiin.

30 Kuviot 7A-7D esittävät erilaisia sekoitetusti yhteen asen-
nettuja rakenneosia, pystysuoran symmetrian säilyttäen.

Kuvio 7D esittää vastaavaa MOSFET-tekniikan mukaista raken-
neosaa, jossa on vastaavat kenttävaikutustransistorit FT11-
35 FT14 ja lisävastukseton lähtöpiiri. Tämä on mahdollista
transistorilähteen riittävän korkean sisäisen vastuksen ja
kummankin transistorin (FT11, FT13) riittävän samanlaisen
ominaiskäyrän yhteydessä.

Koska pystysuoran symmetrian edellytysten joukossa on kysymys ainoastaan keskenään sarjaan kytkettyjen vahvistusrakennosien identiteetistä, kuvion 6 mukainen yleinen rakenneos

5 on ongelmitta sovellettavissa myös hybriditekniikkaan, jolloin esimerkiksi kaksi kenttävaikutustranistoria FT11 ja FT13 yhdistetään kahteen kaksinapaiseen transistoriin T12 ja T14 yhdeksi rakenneosaksi.

10 Kuviot 8A-8D esittävät erilaisia tehotransistorikäytäntöjä, joissa yleinen kytkentäpiiri toimii sekä ohjausvaiheena siten, että epälineaarisesti toimivalle tehovirtalähteelle että myös ohjausjännitteen esivääristymäkorjaimena tehoemitteri- tai lähdeuraimelle.

15 Kuvioissa 9 ja 10 on esitetty kaksi erikoista pnp- ja npn-tekniikan mukaista transistorikytkentäpiiriä. Kumpikin kytkentäpiiri eroaa tosin toisistaan transistorien T1-T14 täydentävän kokoonpanon osalta. Ne muodostavat synteettisesti lineaarisia transistorikorvausrakenteita.

20 Kuvio 11 esittää kuviossa 6 kuvatun yleisen rakenteen integroidun kytkentäpiirin muodossa, jossa on symmetrisesti järjestetyt kymmendiodit ZD1 ja ZD3 suojadiodeina.

25 Kuvion 11 mukainen täydentävästi kaksinkertaistettu kytkentäpiirin rakenne johtaa kuvion 12 esittämään kytkentäpiiriin, joka ei ole esijohdotettu ja jossa on siten käytettävissä kaksikymmentä liitäntää. Sisäisellä esijohdotuksella liitäntöjen lukumäärää voi luonnollisesti vähentää ilman
30 vaikeuksia.

On selvää, että kuvioissa 6-12 esitetyt rakenteet ovat yleisesti käyttökelpoisia ja, ulkoisista kytkennöistä riippuen, ne käsittävät monipuolisia käyttömahdollisuuksia. Niiden
35 avulla saadaan aikaan varsinkin ihanteellisia, siis lähtöjännitehäviöstä vapaita transistoreita, joiden ominaiskäyrä ja lämpötila on täysin kompensoitu kuvioiden 3 ja 4 mukaisen pystysuoran symmetrian säilyttämisen avulla. Tällaisten ra-

kenneosien käyttömahdollisuudet ja niiden edut käyvät selviksi ilman lisäselityksiä.

On ilman muuta mahdollista tehdä kuvioden 9 ja 10 mukaisista transistoreista tehotransistoreita, joissa transistorit T13 ja T14 on tehty Darlington-kytkentäpiireiksi ja sopivat siten tehotarkoituksiin. Tällöin on tietysti mahdollista tehdä myös transistorit T11 ja T12 Darlington-kytkentäpiireiksi, jotta saataisiin tuotetuksi täydellinen Darlington-rakenne, joka johtaa sisäiseen kannan virran alenemiseen.

Kuvio 13 esittää synteettistä transistorin korvausrakennetta, joka on rakennettu käyttäen muunninpiiriä sellaisena kuin se on esitetty periaatteena kuviossa 3. Tämä muodostaa transistorin T11 kannassa kantaliitännän B ja sen kollektorissa emitteriliitännän E. Kollektoriliitäntä C on kytketty lisävirtaheijastimen T15, T16 kautta irti muunninpiiristä. Virtaheijastimeen johdetaan syöttöjännite UB erillisen liittymän kautta, mikä sallii tästä syntyvässä transistorirakenteessa liitäntöineen B, E ja C saman lepojännitepotentiaalin säätämisen kaikkiin kolmeen liitäntään B, E ja C.

Kuvio 14 esittää myös transistorin korvausrakennetta liitäntöineen B, E ja C, jolloin virtakuormituksen keventäminen tapahtuu transistorilla T16', joka muodostaa yhdessä transistorin T14 kanssa virtaheijastimen. Transistoria T14 käytetään siis kaksinkertaisesti hyödyksi kahta virtaheijastinta T13, T14 ja T14, T16' varten. Transistorin T16' kollektorin-kannan-kondensaattorin kautta tapahtuu kapasitiivinen kollektorin paluuvaikutus muunninpiiriin.

Kuvioissa 13 ja 14 esitetyt rakenneosat mahdollistavat jännitteen vahvistamisen, jonka yhteydessä vahvistettu jännite on otettavissa samalla potentiaalilla kuin tulopotentiaali siten, että useita askelia voi ilman muuta kytkeä toistensa perään.

Patenttivaatimukset

- 5 1. Muunninkytkentäpiiri, johon kuuluu ensimmäinen transistori (T1, T1'; T11, T11'; FT11), jonka kantaan voi syöttää tulosignaalin, toinen, ensimmäiseen transistoriin (T1, T1'; T11, T11'; FT11) nähden täydentävä transistori (T2, T2'; T12, T12'; FT12), jonka kanta on liitetty ensimmäisen transistorin (T1, T1'; T11, T11'; FT11) emitteriin ja jonka emitteri on liitetty ensimmäisen vastuksen (R1) kautta lähtöpintteeseen (B), ja virranpaluuohjauskytkinpiirillä (T3, T4, T3'; T4'; T13, T14; T13', T14'; FT13, FT14) lähdestä, joka ohjaa virran kulkua kummankin transistorin (T1, T1'; T11, T11'; FT11; T2, T2'; T12, T12'; FT12) emitteri-kollektori-välin toisistaan riippumatta, t u n n e t t u siitä, että siinä on ensimmäisen transistorin (T1, T1'; T11, T11'; FT11) emitteriin liitetty toinen vastus (R2, R2'), jonka läpi virtaa ensimmäisen transistorin (T1, T1'; T11, T11'; FT11) kollektori-emitteri-virta ja jonka kautta ensimmäisen transistorin (T1, T1'; T11, T11'; FT11) emitteri on yhteydessä toisen transistorin (T2, T2'; T12, T12'; FT12) kannan kanssa.
- 25 2. Patenttivaatimuksen 1 mukainen muunninkytkentäpiiri, t u n n e t t u siitä, että toista vastusta (R2, R2') ja ensimmäistä vastusta (R1, R1') kumpaakin täydentää täydentävä, diodiksi sarjaan kytketty transistori (T5, T6; T5', T6').
- 30 3. Patenttivaatimuksen 1 ja 2 mukainen muunninkytkentäpiiri, t u n n e t t u siitä, että virransyöttöpiiri pitää yllä virtaheijastinta kahdella kannoistaan toisiinsa liitettyllä transistorilla (T3, T4; T3', T4'; T13, T14; T13', T14; FT13, FT14).
- 35 4. Patenttivaatimuksen 1-3 mukainen muunninkytkentäpiiri, t u n n e t t u siitä, että virtaheijastimen transistoreis-

sa on sama napaisuus kuin niille kulloinkin osoitetulla ensimmäisellä tai toisella transistorilla (T_1, T_1' ; T_{11}, T_{11}' ; FT_{11} ; T_2, T_2' ; T_{12}, T_{12}' ; FT_{12}), jonka läpi virtaa samanlainen virta.

5

5. Patenttivaatimuksen 1-4 mukainen muunninkytkentäpiiri, tunnettu siitä, että molemmat transistorit, joiden läpi virtaa sama virta, on tehty samanlaisiksi kaksoistransistoreiksi yhteiselle alustalle.

10

6. Patenttivaatimuksen 5 mukainen muunninkytkentäpiiri, tunnettu siitä, että kaikki, toisiinsa nähden symmetrisesti pystytetyt transistorit ja niiden vastukset on tehty yhteiselle alustalle.

15

7. Yhden patenttivaatimuksista 1-6 mukainen muunninkytkentäpiiri, tunnettu siitä, että toinen vastus (R_2, R_2') on mitoitettu suhteessa ensimmäiseen vastukseen (R_1, R_1') ja kun $R_1 > R_2$, syntyy positiivinen lähtövastus, kun $R_1 > R_2$, syntyy negatiivinen lähtövastus ja kun $R_1 = R_2$, syntyy lähtövastus nolla.

20

8. Yhden patenttivaatimuksista 1-7 mukainen muunninkytkentäpiiri, tunnettu siitä, että virtaheijastimen vastukset (R_3, R_4 ; R_3', R_4') on mitoitettu suhteessa toisiinsa ja määräävät lähtövastuksen.

25

9. Yhden patenttivaatimuksista 1-8 mukainen muunninkytkentäpiiri, tunnettu siitä, että pystysuorassa suunnassa saman virran läpäisemät vastukset (R_1, R_4 ; R_2, R_3) on mitoitettu suhteessa toisiinsa ja määräävät lähtövastuksen.

30

10. Yhden patenttivaatimuksista 1-9 mukainen muunninkytkentäpiiri, tunnettu siitä, että akselinsuuntaisesti symmetriset vastukset ovat epälineaarisia, jännitteestä riippuvaisia vastuksia, joilla on sama ominaiskäyrä.

35

11. Yhden patenttivaatimuksista 1-10 mukainen muunninkytkentäpiiri, t u n n e t t u siitä, että symmetria-akselin vastukset on ohitettu.
- 5 12. Yhden patenttivaatimuksista 1 tai 4-11 mukainen muunninkytkentäpiiri, t u n n e t t u siitä, että ensimmäinen transistori muodostaa yhdessä toisen vastuksen ja siihen kuuluvan virtaheijastimen transistorin kanssa kokoonpanon, jossa on kaksi samanapaista transistoria ja yksi niiden vä-
- 10 liin kytketty vastus, joka on toteutettu vastakkaisena toisessa transistorissa, yhdessä väliin kytketyn vastuksen ja siihen liittyvän virtaheijastimen transistorin kanssa.
13. Patenttivaatimuksen 12 mukainen muunninkytkentäpiiri, t u n n e t t u siitä, että jokaisessa siltahaarassa on siihen kytkettynä vastus, jonka arvo vastaa ensimmäisen vastuksen (R_1 , R_1') arvoa.
- 15 14. Yhden patenttivaatimuksista 1-13 mukainen muunninkytkentäpiiri, t u n n e t t u siitä, että se on tehty täydentäväksi muunninkytkentäpiiriksi.
- 20 15. Patenttivaatimusten 5-14 mukainen muunninkytkentäpiiri, t u n n e t t u siitä, että neljä samanlaista kokoonpanoa on kytketty yhteen sillaksi, jolloin aina kaksi keskenään vastakkaista kokoonpanoa muodostaa toistensa perään kytkettyjä siltahaaroja.
- 25 16. Yhden patenttivaatimuksista 1-15 mukainen muunninkytkentäpiiri, t u n n e t t u siitä, että siinä on esijännitelähde häviötehon rajoittamiseksi (ZD_1 , ZD_1'), joka on kytketty transistorien (T_2 , T_2' ; T_{12} , T_{12}' ; FT_{12}) kannan ja emitterivastuksen väliin.
- 30 17. Patenttivaatimuksen 14 mukainen muunninkytkentäpiiri, t u n n e t t u siitä, että esijännitelähde lepovirran säätämistä (ZD_2) varten on järjestetty toisiinsa nähden vastakkaisten toisten transistorien (T_2 , T_2' ; T_{12} , T_{12}' ; FT_{12})
- 35

kantojen väliin.

18. Patenttivaatimuksen 14 ja 17 mukainen muunninkytkentä-
piiri, t u n n e t t u siitä, että esijännitelähde lepo-
5 virran säätöä varten on lineaarinen vastus rajoitetulla le-
povirtapolulla.

19. Patenttivaatimuksen 14 ja 17 mukainen muunninkytkentä-
piiri, t u n n e t t u siitä, että esijännitelähde lepo-
10 virran säätöä varten on jännitteestä riippuva vastus rajoit-
tavalla lepovirran sivupolulla.

20. Patenttivaatimuksen 14 ja 17 mukainen muunninkytkentäpii-
ri, t u n n e t t u siitä, että aktiivinen esijännitelähde
15 muodostaa lepovirran vastakytkentäpolun.

21. Patenttivaatimusten 14 ja 17 ja 19-20 mukainen muunnin-
kytkentäpiiri, t u n n e t t u siitä, että esijännitelähde
on kytketty termisesti välittömästi kytkentäpiiriin.

22. Patenttivaatimusten 14 ja 17-21 mukainen muunninkytken-
täpiiri, t u n n e t t u siitä, että lepovirta käynniste-
tään virtalähyteellä, joka on kytkentäpiirin virtasivupolul-
la.

23. Patenttivaatimusten 14 ja 17-21 mukainen muunninkytken-
täpiiri, t u n n e t t u siitä, että lepovirta käynniste-
tään kahden, samanmittaisen virtalähteen kautta molemmilta
syöttöjännitepuolilta tulevalla lisäsyötöllä.

24. Patenttivaatimusten 14 ja 17-23 mukainen muunninkytken-
täpiiri, t u n n e t t u siitä, että lepovirta määrite-
tään muutettavien virtalähteiden kautta.

25. Yhden patenttivaatimuksista 1-24 mukainen muunninkytken-
täpiiri, t u n n e t t u siitä, että syöttöjännite (UB) on
johdettavissa virran kuormituksen kevennyskytkentäpiirin
(T15, T16; T13, T16') kautta.

26. Patenttivaatimuksen 25 mukainen muunninkytkentäpiiri, t u n n e t t u siitä, että virran kuormituksen keventämiskytkentäpiiri on tehty virtaheijastimen avulla.

5 27. Yhden patenttivaatimuksista 1-26 mukainen muunninkytkentäpiiri, t u n n e t t u siitä, että se muodostaa synteettis-lineaarisen transistorin korvausrakenteen transistoriliitäntöineen (B, E, C, Ub).

10 28. Patenttivaatimuksen 27 mukainen muunninkytkentäpiiri, t u n n e t t u siitä, että transistoriliitännät Ub ja E on liitetty toisiinsa.

15 29. Patenttivaatimuksen 25 tai 26 ja 27 mukainen muunninkytkentäpiiri, t u n n e t t u siitä, että siinä transistorin korvausrakenteen kollektoriliitäntä (C) on kytketty jännitteen kannalta irti virran kuormituksen kevennyspiirin (T15, T16; T13, T16') kautta.

FIG.1

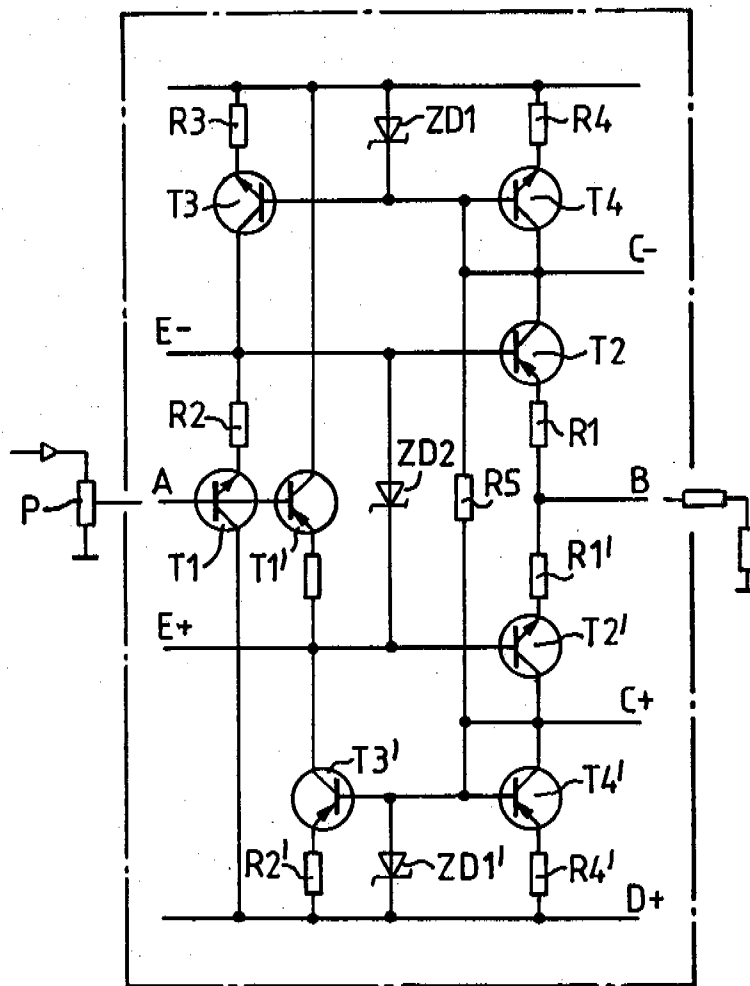


FIG. 2 A

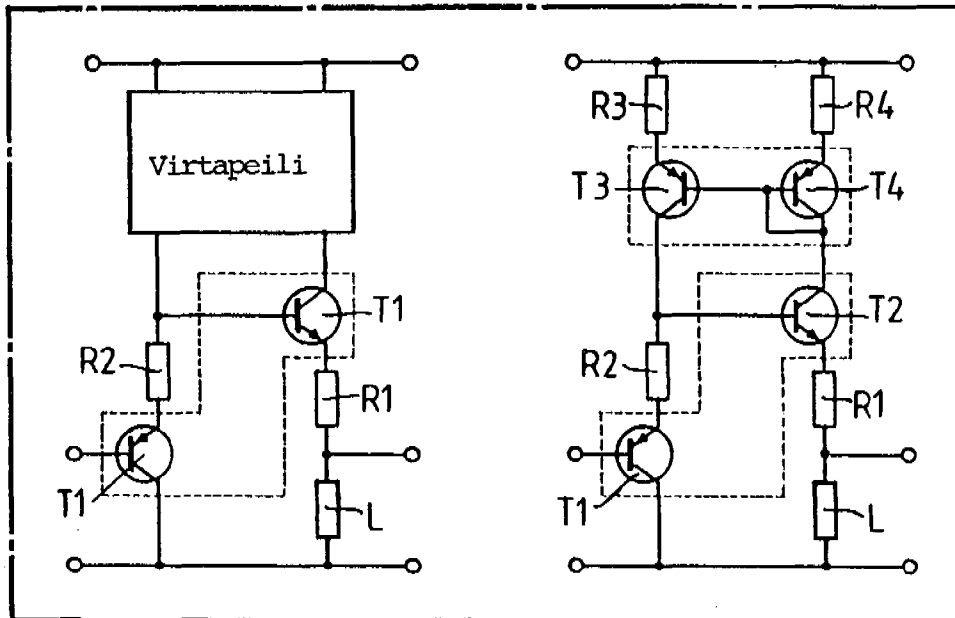


FIG. 2B

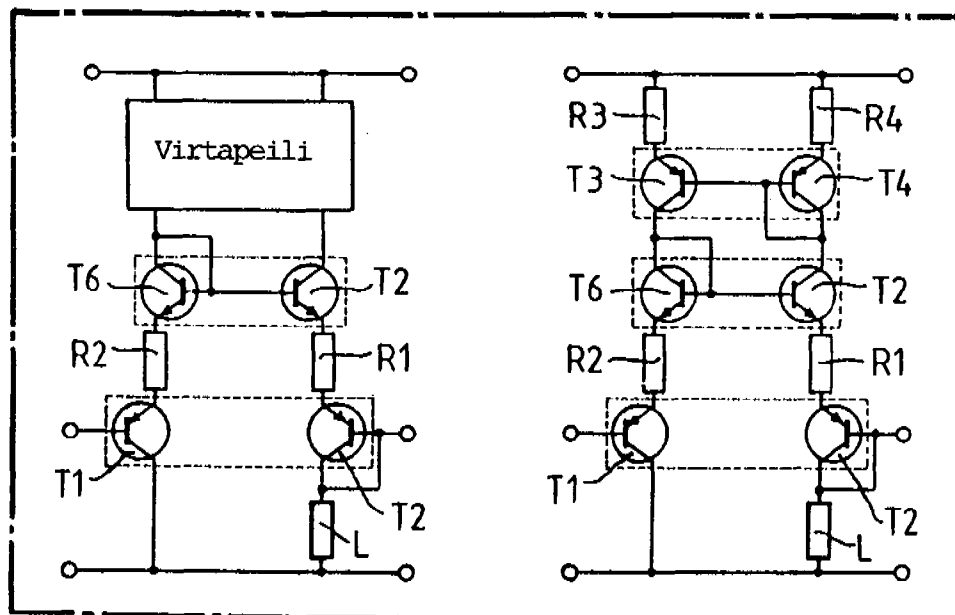


FIG.3

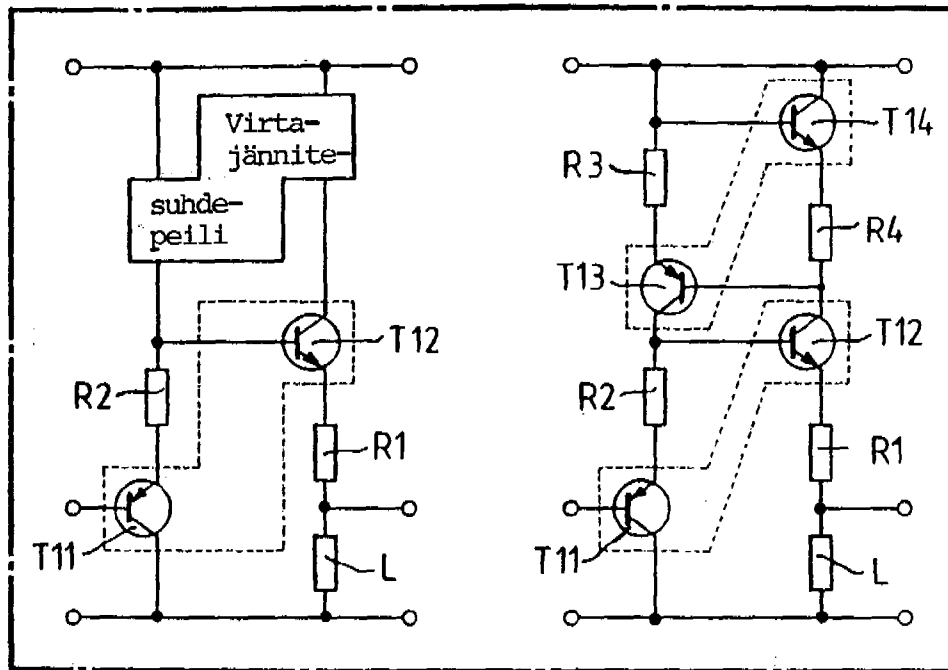


FIG.4

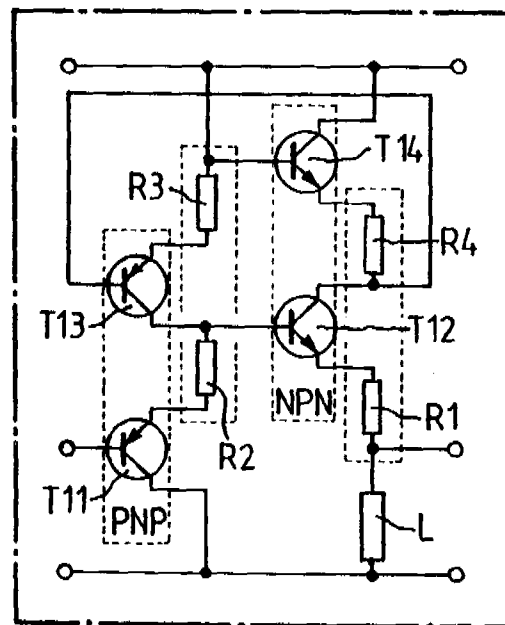


FIG. 5B

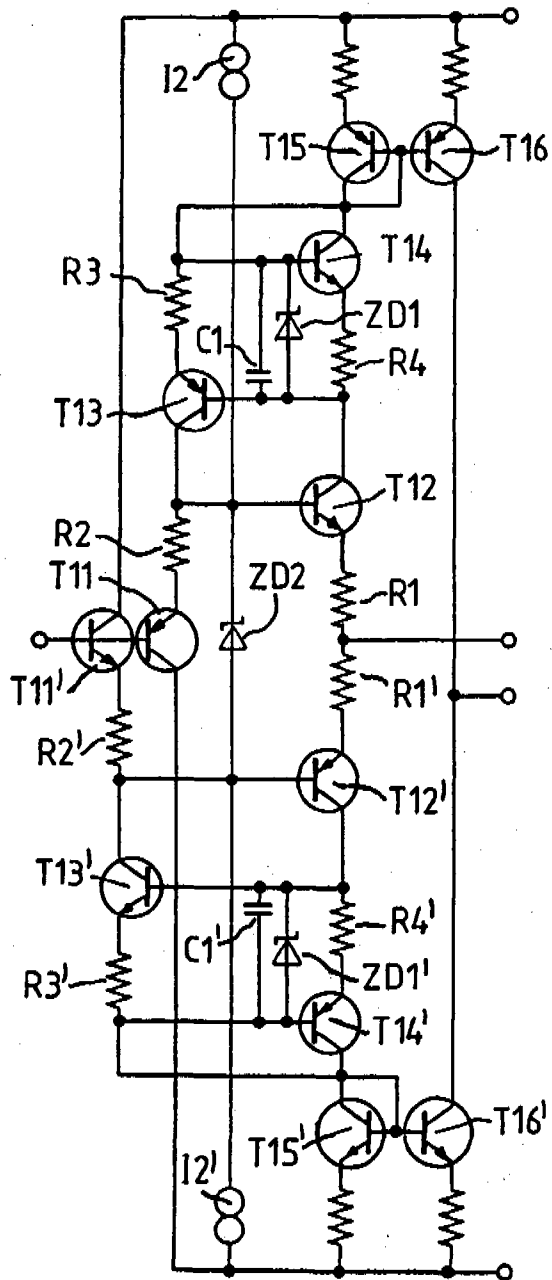


FIG. 5A

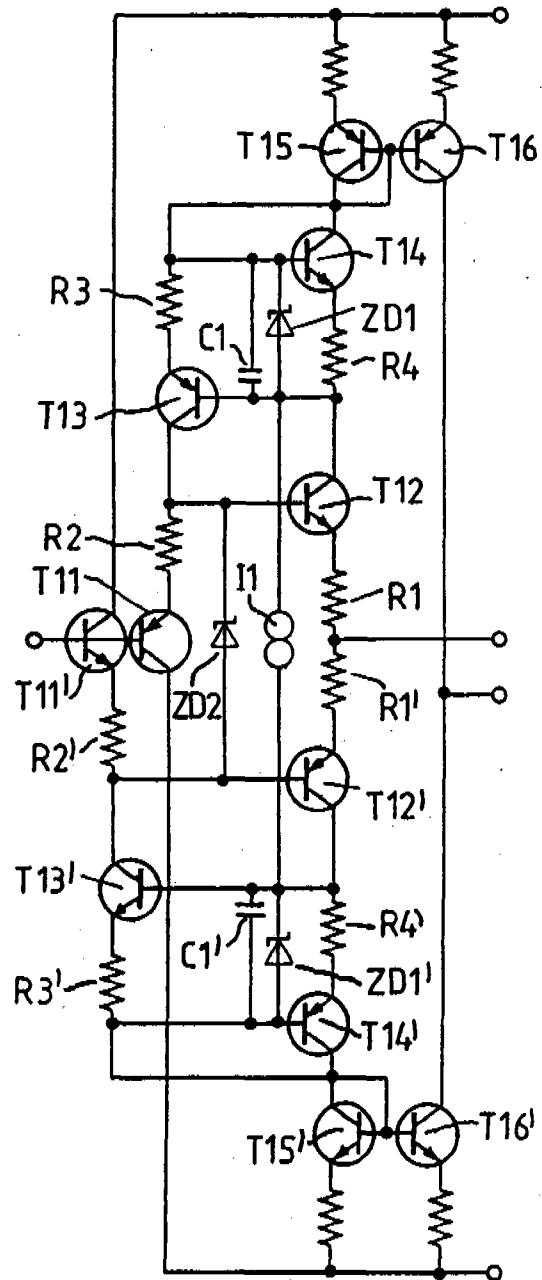


FIG. 5C

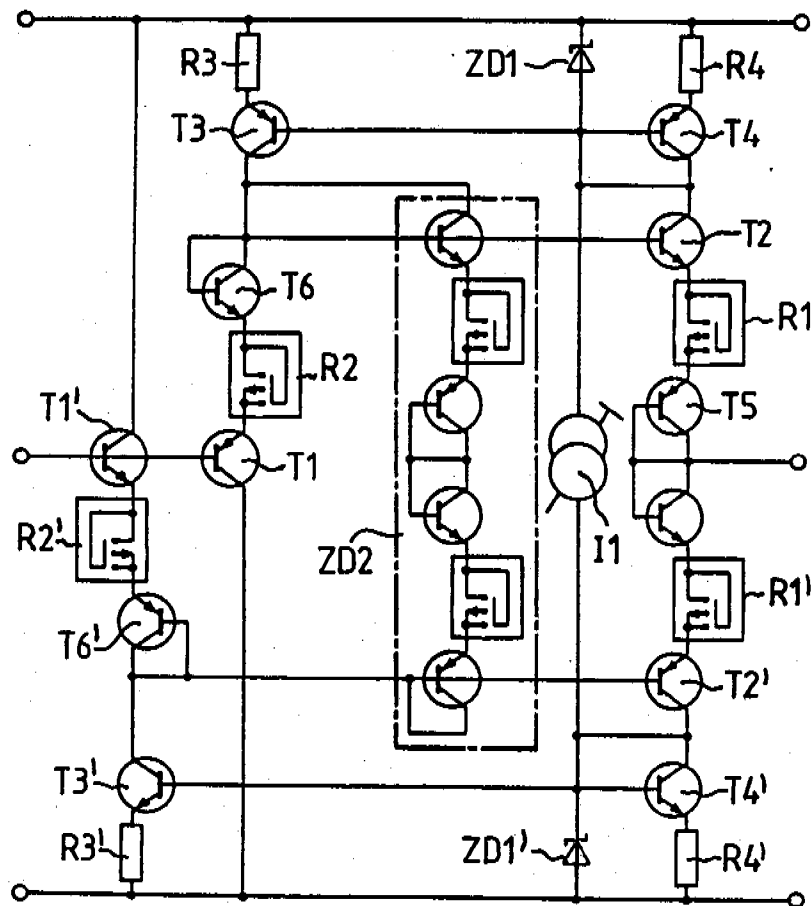


FIG. 5D

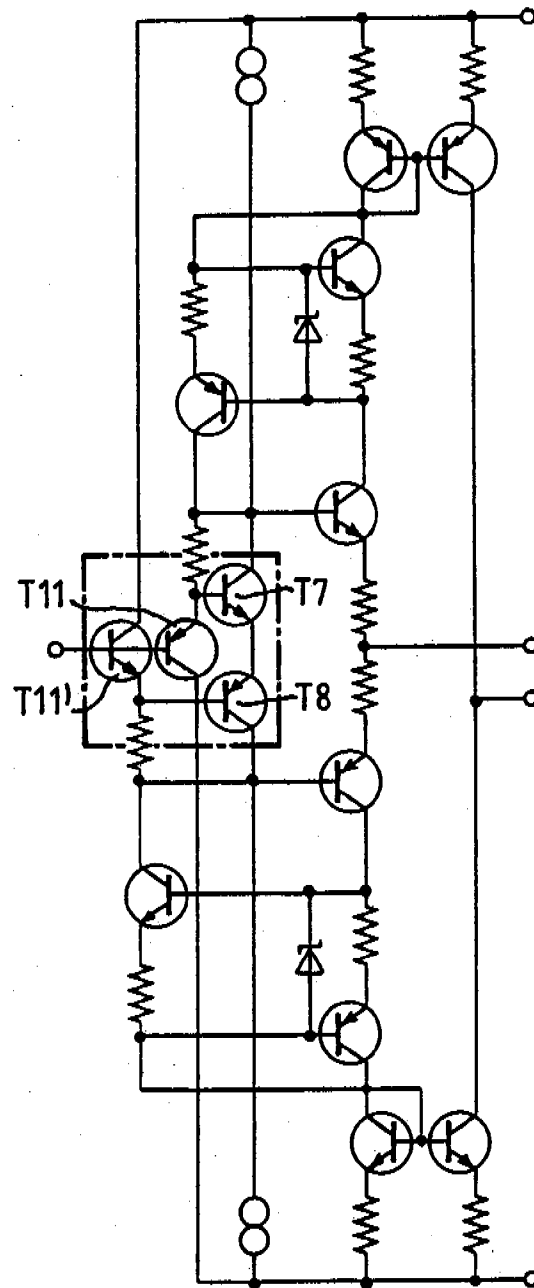


FIG. 6

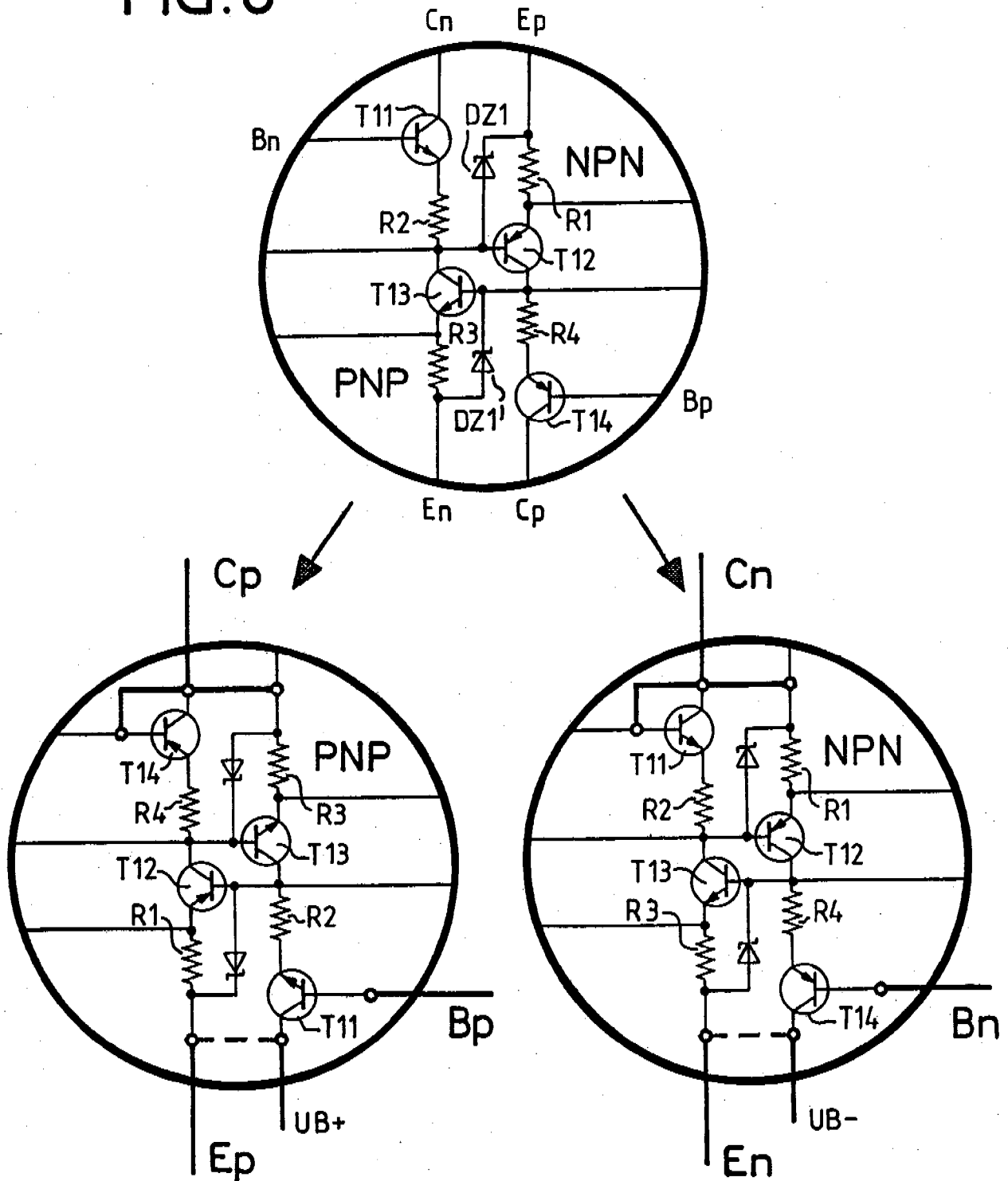


FIG.7A

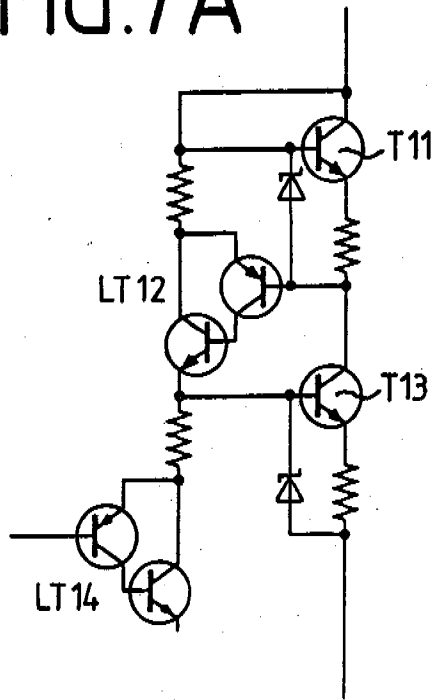


FIG.7B

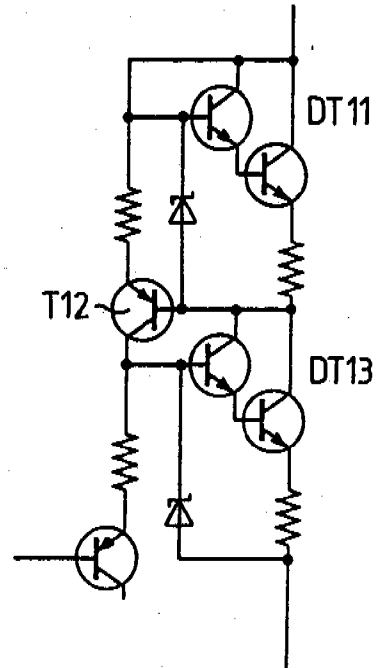


FIG.7C

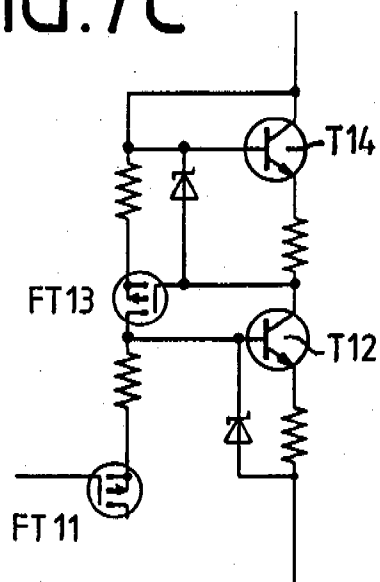


FIG.7D

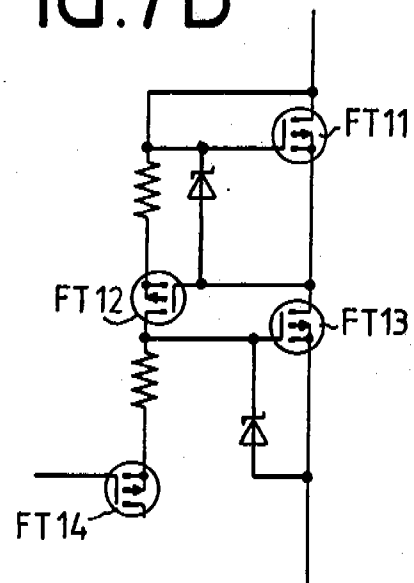


FIG. 8A

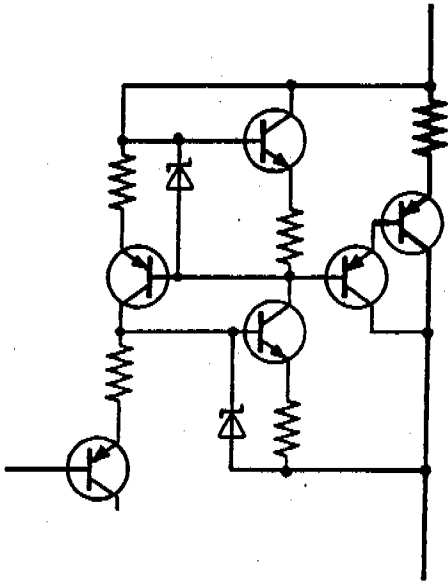


FIG. 8B

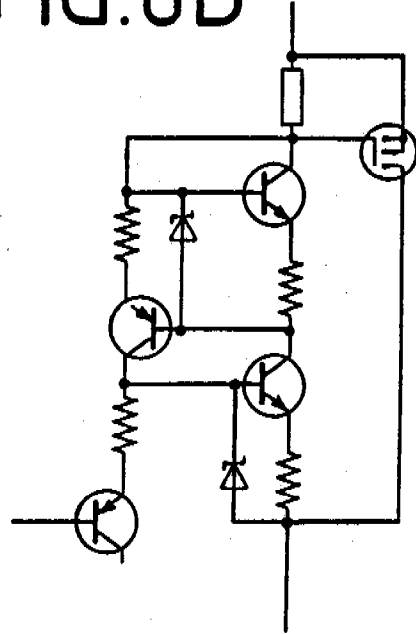


FIG. 8C

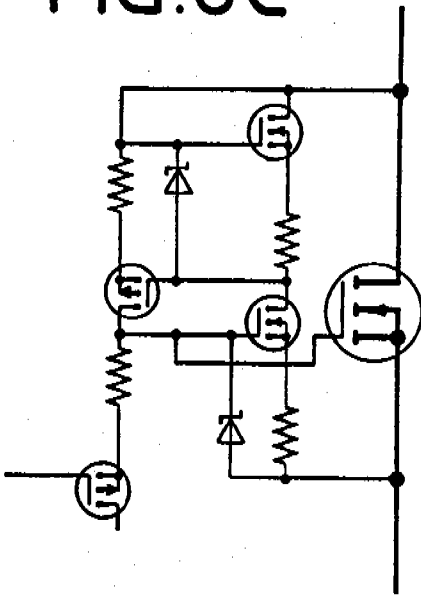


FIG. 8D

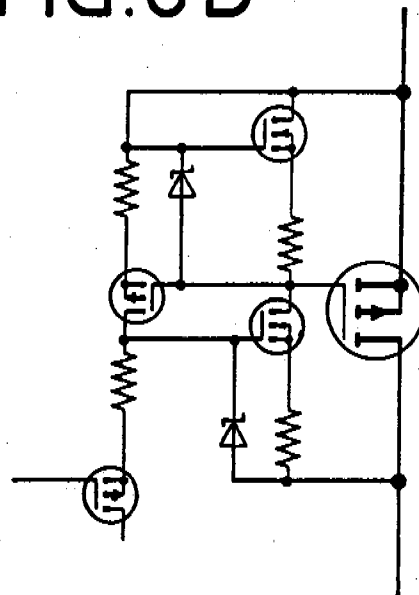


FIG.9

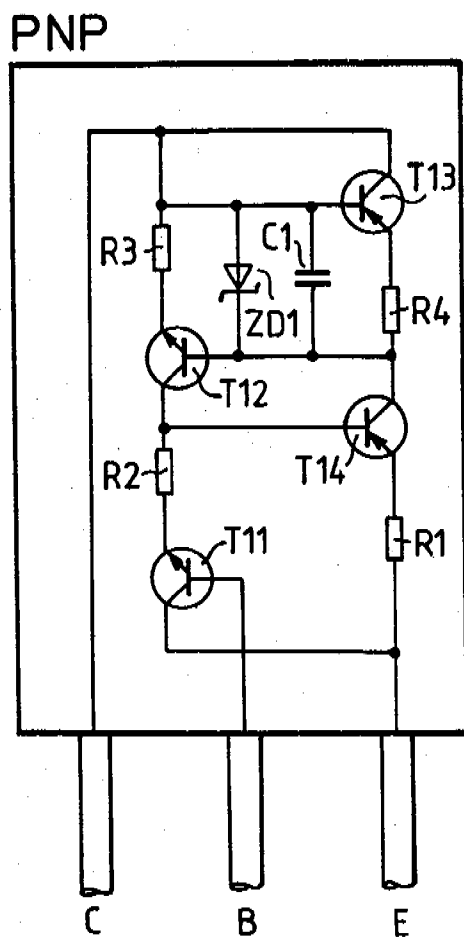


FIG.10

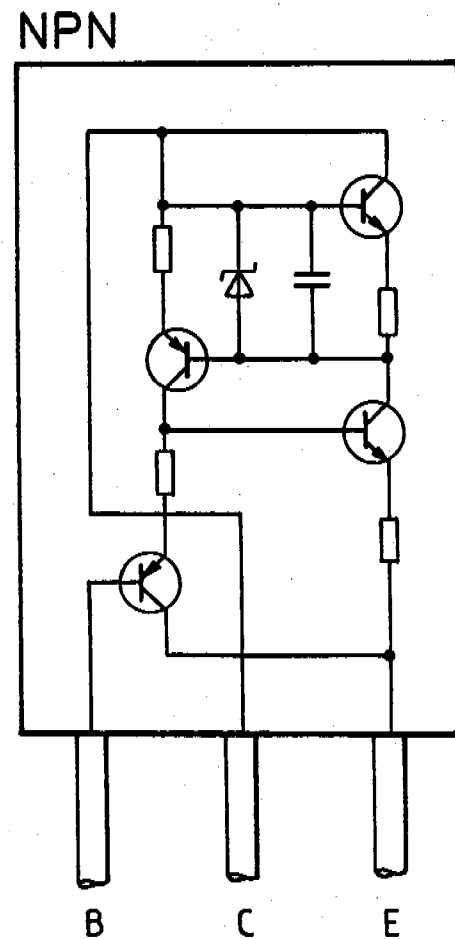


FIG.11

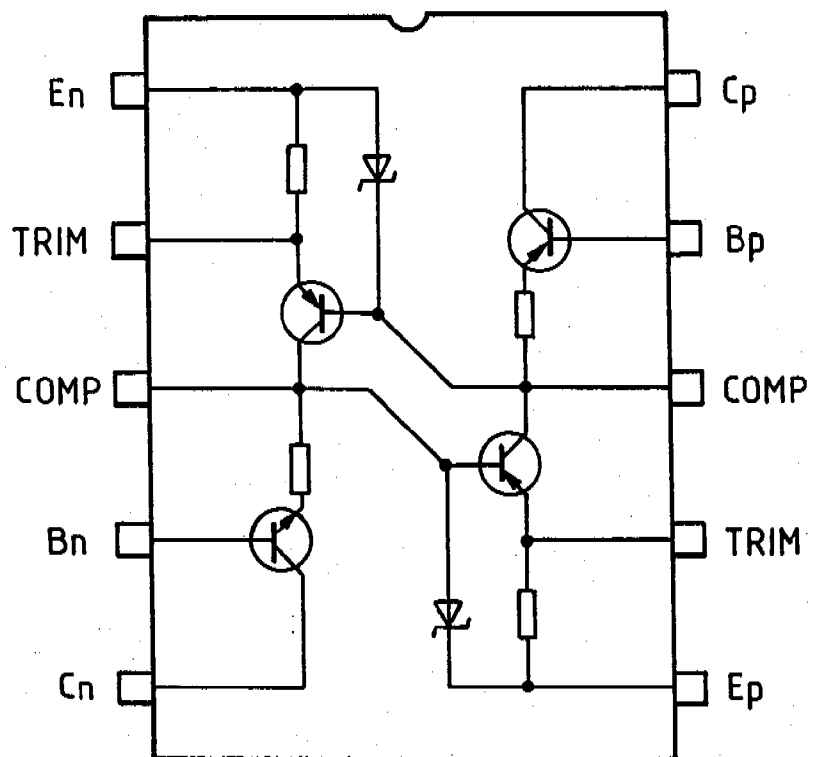


FIG.12

