

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成20年12月11日(2008.12.11)

【公開番号】特開2006-166430(P2006-166430A)

【公開日】平成18年6月22日(2006.6.22)

【年通号数】公開・登録公報2006-024

【出願番号】特願2005-336979(P2005-336979)

【国際特許分類】

H 03K 19/173 (2006.01)

【F I】

H 03K 19/173 101

【手続補正書】

【提出日】平成20年10月24日(2008.10.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

不揮発性メモリ・ブロックと、

前記不揮発性メモリ・ブロック内に記憶された構成データによって構成されるプログラム可能ロジックの第1のブロックと、

イン・システム構成インターフェースと、

前記イン・システム構成インターフェースを通して第2のプログラム可能ロジック・ブロックにロードされる外部構成データにより構成されるプログラム可能ロジックの第2のブロックと、

から構成され、前記第1のブロックは前記第2のブロック構成において補助動作可能であることを特徴とする集積回路。

【請求項2】

前記プログラム可能ロジックの第2のブロックは、前記プログラム可能ロジックの第1のブロックを通して構成データを転送することによってプログラムされることを特徴とする請求項1に記載の集積回路。

【請求項3】

第1のパワー・オン・リセット回路と、

前記第1のパワー・オン・リセット回路、前記不揮発性メモリ・ブロック、および前記プログラム可能ロジックの第1のブロックに接続されたパワー・オン・リセット構成ブロックと、

をさらに備え、電源電圧が所定の値に達したことを前記第1のパワー・オン・リセット回路が示したときに、前記パワー・オン・リセット構成ブロックは構成データを前記不揮発性メモリ・ブロックから前記プログラム可能ロジックの第1のブロックに転送することを特徴とする請求項1に記載の集積回路。

【請求項4】

前記パワー・オン・リセット構成ブロックに接続された第2のパワー・オン・リセット回路をさらに備え、

電源電圧が所定の値に達したことを前記第2のパワー・オン・リセット回路が示したときに、前記パワー・オン・リセット構成ブロックは構成データを外部メモリから前記プログラム可能ロジックの第2のブロックに転送することを特徴とする請求項3に記載の集積

回路。

【請求項 5】

前記第1又は第2のパワー・オン・リセット回路と集積回路の同じ部分に存在する新たなパワー・オン・リセット回路をさらに有することを特徴とする請求項4に記載の集積回路。

【請求項 6】

第1のI/Oブロックと、

前記第1のI/Oブロックに接続された第1の入力端子、前記プログラム可能ロジックの第1のブロックに接続された第2の入力端子、イン・システム構成インターフェースに接続された出力端子、および前記プログラム可能ロジックの第1のブロックに接続された選択入力を有する第1のマルチプレクサと、

をさらに有することを特徴とする請求項1に記載の集積回路。

【請求項 7】

第2のI/Oブロックと、

前記第2のI/Oブロック及び前記不揮発性メモリ・ブロックに接続されたJTAGインターフェースとをさらに備えることを特徴とする請求項6に記載の集積回路。

【請求項 8】

第3のI/Oブロックと、

前記第3のI/Oブロック、前記プログラム可能ロジックの第1のブロック、および前記プログラム可能ロジックの第2のブロックに接続された第2のマルチプレクサと、をさらに有することを特徴とする請求項7に記載の集積回路。

【請求項 9】

前記プログラム可能ロジックの第2のブロックに接続された第4のI/Oブロックをさらに備えることを特徴とする請求項8に記載の集積回路。

【請求項 10】

前記プログラム可能ロジックの第1のブロックと前記プログラム可能ロジックの第2のブロックは共にSRAMプログラム可能ロジック・セルのブロックを収納することを特徴とする請求項1に記載の集積回路。

【請求項 11】

前記プログラム可能ロジックの第1のブロックは部分的にプログラム可能なハード・インテレクチュアル・プロパティ・ブロックを収納し、前記プログラム可能ロジックの第2のブロックはSRAMプログラム可能ロジック・セルのブロックを収納することを特徴とする請求項1に記載の集積回路。

【請求項 12】

前記第1のプログラム可能ロジック・ブロックのための暗号化アルゴリズムは前記不揮発性メモリ・ブロックに記憶されていることを特徴とする請求項1に記載の集積回路。

【請求項 13】

ブート・パターンは前記不揮発性メモリ・ブロックの第1の部分に記憶され、ユーザー・データは前記不揮発性メモリ・ブロックの第2の部分に記憶されていることを特徴とする請求項1に記載の集積回路。

【請求項 14】

集積回路(I/C)を製造するための方法であって、前記方法は、

前記I/C上に不揮発性のメモリ・ブロックを設けるステップと、

前記不揮発性のメモリ・ブロックに記憶された構成データによって構成されるように設計されたプログラム可能ロジックの第1のブロックを前記I/C上に設けるステップと、

イン・システム構成インターフェースを前記I/C上に設けるステップと、

前記イン・システム構成インターフェースを通して前記第2のプログラム可能ロジック・ブロックにロードされた構成データによって構成されるように設計されたプログラム可能ロジックの第2のブロックを前記I/C上に設けるステップと、

から構成されることを特徴とする方法。

【請求項 15】

第1のパワー・オン・リセット回路を前記IC上に設けるステップと、

前記第1のパワー・オン・リセット回路は、電源電圧が所定の値に達したことを示したときに構成データを前記不揮発性メモリ・ブロックから前記プログラム可能ロジックの第1のブロックに転送するように設計されたパワー・オン・リセット構成ブロックを前記IC上に設けるステップと、

をさらに有することを特徴とする請求項14に記載の方法。

【請求項 16】

第2のパワー・オン・リセット回路を前記IC上に設けるステップであって、前記パワー・オン・リセット構成ブロックは、前記第2のパワー・オン・リセット回路が、電源電圧が所定の値に達したことを示したときに、構成データを外部メモリから前記プログラム可能ロジックの第2のブロックに転送するように設計されているステップをさらに備えることを特徴とする請求項15に記載の方法。

【請求項 17】

プログラム可能ロジックの前記第1のブロックとプログラム可能ロジックの前記第2のブロックは共にSRAMプログラム可能ロジック・セルのブロックを収納することを特徴とする請求項14に記載の方法。

【請求項 18】

前記プログラム可能ロジックの第1のブロックは、部分的にプログラム可能なハード・インテレクチュアル・プロパティ・ブロックを、前記プログラム可能ロジックの第2のブロックはSRAMプログラム可能ロジック・セルのブロックを収納することを特徴とする請求項14に記載の方法。

【請求項 19】

前記不揮発性メモリ・ブロックの第1の部分にポート・パターンを記憶するステップをさらに備え、前記不揮発性メモリ・ブロックの第2の部分はユーザー・データを記憶するために利用可能であることを特徴とする請求項14に記載の方法。

【請求項 20】

前記不揮発性メモリ・ブロックに暗号化アルゴリズムを記憶するステップをさらに備え、前記暗号化アルゴリズムは前記外部構成データを暗号化するために使用されることを特徴とする請求項14に記載の方法。

【請求項 21】

イン・システム構成インターフェースと、

前記イン・システム構成インターフェースを通して集積回路にロードされる外部構成データにより第1のプログラム可能ロジック回路を構成するための手段と、

不揮発性記憶ブロックと、

前記不揮発性記憶ブロックに記憶されている内部構成データにより第2のプログラム可能ロジック回路を構成するための手段と、

から構成され、前記第1のブロックは前記第2のブロック構成において補助動作可能であることを特徴とする集積回路。

【請求項 22】

前記第1のプログラム可能ロジック回路を構成するための前記手段および前記第2のプログラム可能ロジック回路を構成するための前記手段は、共にSRAMセルを備えることを特徴とする請求項21による集積回路。

【請求項 23】

前記第1のプログラム可能ロジック回路を構成するための前記手段はSRAMセルを備え、前記第2のプログラム可能ロジック回路を構成するための前記手段は部分的にプログラム可能なハード・インテレクチュアル・プロパティ・ブロックとレジスタ・セットを備えることを特徴とする請求項21に記載の集積回路。

【請求項 24】

前記不揮発性記憶ブロックは、ポート・データを記憶するための第1の部分とユーザー

・データを記憶するための第2の部分を有することを特徴とする請求項21に記載の集積回路。

【請求項25】

前記不揮発性記憶ブロックは、前記外部構成データを暗号化するための暗号化アルゴリズムを記憶することを特徴とする請求項21に記載の集積回路。

【請求項26】

プログラム可能ロジックのブロックと、
プログラム可能レジスタ・セットや特定用途向け集積回路を含む部分的にプログラム可能なハード・インテレクチュアル・プロパティ・ブロック(HIP)と、
から構成され、前記プログラム可能レジスタ・セットは前記特定用途向け集積回路のサブセットの機能を制御するように構成されており、前記部分的にプログラム可能なHIPブロックのロジック回路は、前記集積回路の電源投入時にC R A Mからの構成データを前記プログラム可能レジスタ・セットにロードすることを特徴とする集積回路。

【請求項27】

前記部分的にプログラム可能なHIPブロック内のロジック回路は、ユーザー・モード構成コントローラから構成インターフェースを通してデータを前記プログラム可能レジスタ・セットにロードすることを特徴とする請求項26に記載の集積回路。