

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-3878

(P2010-3878A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.
H01L 21/60 (2006.01)F1
H01L 21/60 311Qテーマコード (参考)
5F044

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2008-161409 (P2008-161409)
(22) 出願日 平成20年6月20日 (2008.6.20)(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(74) 代理人 100105337
弁理士 眞鍋 潔
(74) 代理人 100072833
弁理士 柏谷 昭司
(74) 代理人 100075890
弁理士 渡邊 弘一
(74) 代理人 100110238
弁理士 伊藤 壽郎
(72) 発明者 酒井 泰治
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 回路基板及びその製造方法

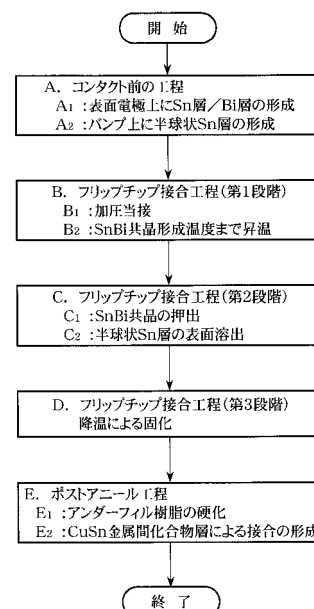
(57) 【要約】

【課題】 回路基板及びその製造方法に関し、接合界面におけるBi濃度を低減して接合信頼性を高める。

【解決手段】 電極を表面に備えた配線基板と、前記電極に対向するバンプを表面に備えた電子部品とを有し、前記電極と前記バンプとの間の領域に形成されたSn及びBiを含む接合層における第1の領域のBi含有率を、前記接合層における第2の領域のBi含有率よりも低くする。

【選択図】 図1

本発明の実施の形態のフローチャート



【特許請求の範囲】

【請求項 1】

電極を表面に備えた配線基板と、

前記電極に対向する bumps を表面に備えた電子部品とを有し、

前記電極と前記 bumps との間の領域に Sn 及び Bi を含む接合層が形成され、前記接合層における第 1 の領域の Bi 含有率が、前記接合層における第 2 の領域の Bi 含有率よりも低い回路基板。

【請求項 2】

前記第 1 の領域は、前記 bumps と前記電極によって挟まれた領域である請求項 1 記載の回路基板。

10

【請求項 3】

前記電極及び前記 bumps は、前記 Sn の融点よりも高い融点を有する金属である請求項 1 または 2 に記載の回路基板。

【請求項 4】

配線基板の表面に設けた電極上に Sn を含む第 1 の層と Bi を含む第 2 の層を形成する工程と、

電子部品の表面に設けた前記電極に対向する bumps 上に Sn 含有金属層を形成する工程と、

前記 bumps を加熱する工程と、

20

前記加熱の後に或いは前記加熱しながら、前記 bumps を前記電極に押し付けて、前記電極と前記 bumps を接合する工程とを有する回路基板の製造方法。

【請求項 5】

前記 Sn 含有金属層の形状が半球状である請求項 4 記載の回路基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は回路基板及びその製造方法に関するものであり、例えば、半導体装置等の電子部品を Sn と Bi を主要成分とする鉛フリーハンダを用いて実装回路基板等へ実装する際における接合強度を向上するための構成に関するものである。

30

【背景技術】

【0002】

近年、携帯電話、デジカメなどの電子機器における高速処理化の要求が高まっている。このような要請に応えるため、半導体集積回路装置として、寄生容量を低減させ高速伝送を可能にするために層間絶縁膜として Low-k（低誘電率）材を用いた Low-k デバイスが用いられる。この Low-k 材は機械的に脆弱なため、低温で接続して熱歪みによる接続ストレスを低減させることが求められている。

【0003】

一方、小型・高密度化の要求も高く、このため半導体集積回路装置と回路基板との接続において接続端子の微細ピッチ化が要求される。現在、微細接続には金ワイヤ電極、金または銅メッキ電極を用いた固相接続が用いられているが 220℃ 以上の高い接合温度と高い接合荷重が必要である。

40

【0004】

このような中で、Sn と Bi の共晶反応を利用して低温・低荷重で接続させる方法が提案されている（例えば、特許文献 1 参照）。この場合、回路基板に設けた Cu 等の表面金属層上に、表面金属層と液相拡散する Sn 等の第一の接合用金属層と、液相拡散温度を下げる Bi 等の第二の接合用金属とを形成し、Sn と Bi の共晶反応を利用して 139℃ の低温で溶融し、半導体集積回路装置と回路基板とを低温・低荷重で接合する。

【0005】

50

ここで、図 7 及び図 8 を参照して従来の半導体集積回路装置の実装工程を説明する。

まず、図 7 (a) に示すように、回路基板 40 の表面に設けた Cu 表面電極 41 の表面に Cu と液相拡散する Sn 層 42 と、液相拡散温度を下げる Bi 層 43 を順次堆積する。一方、Cu パンプ 54 を設けた半導体集積回路装置 50 を、ボンディングツールを例えば、150℃に加熱した状態で Cu パンプ 54 と Cu 表面電極 41 とが当接するように押圧する。なお、図における符号 51, 52 は電極層であり、53 はパッシベーション膜である。

【0006】

この時、図 7 (b) に示すように、Bi 層 43 と Sn 層 42 は、150℃に加熱された Cu パンプ 54 と当接することによって溶融して Sn Bi 共晶 44 を形成し、室温まで降温することによって接合が形成される。

10

【0007】

次いで、図 8 (c) に示すように、接合形成後に、リフローやアンダーフィル硬化のためのアニール等で 150℃を超える、例えば、180℃程度の熱が加わると、Cu パンプ 54 或いは Cu 表面電極 41 と Sn Bi 共晶 44 中の Sn が反応して Cu Sn 金属間化合物 45 を形成する。これは、Bi は Sn と比較して Cu との反応性が低いため、Sn が Cu 中に液相拡散していくためである。

【0008】

ついで、図 8 (d) に示すように、室温まで降温して固化させると、接合界面においては、Cu Sn 金属間化合物 45 の間に Bi 単体 46 が残存した状態となる。

20

【特許文献 1】特開 2001-274201 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

上述のように、Sn と Bi の共晶反応を利用した接合方法においては、溶融接合後にリフローやアニールなどで熱が加わると接合界面に Bi 単体を取り残される。この Bi 単体は非常に脆いため、この Bi 単体を起点にクラックが生じやすくなり接合信頼性を大幅に低下させるという問題があった。

【0010】

したがって、本発明は、接合界面における Bi 濃度を低減して接合信頼性を高めることを目的とする。

30

【課題を解決するための手段】

【0011】

本発明の一観点からは、電極を表面に備えた配線基板と、前記電極に対向するパンプを表面に備えた電子部品とを有し、前記電極と前記パンプとの間の領域に Sn 及び Bi を含む接合層が形成され、前記接合層における第 1 の領域の Bi 含有率が、前記接合層における第 2 の領域の Bi 含有率よりも低い回路基板が提供される。

【0012】

また、本発明の別の観点からは、配線基板の表面に設けた電極上に Sn を含む第 1 の層と Bi を含む第 2 の層を形成する工程と、電子部品の表面に設けた前記電極に対向するパンプ上に Sn 含有金属層を形成する工程と、前記パンプを加熱する工程と、前記加熱の後に或いは前記加熱しながら、前記パンプを前記電極に押し付けて、前記電極と前記パンプを接合する工程とを有する回路基板の製造方法が提供される。

40

【発明の効果】

【0013】

開示の回路基板によれば、Sn Bi 共晶における Bi を周辺部に押し出して、接合界面における Bi 濃度を低減しているので、Bi の欠点である脆性による影響を排除した確実な電氣的接点を形成することができる。

【発明を実施するための最良の形態】

【0014】

50

ここで、図1を参照して、本発明の実施の形態を説明する。図1は、本発明の実施の形態のフローチャートであり、まず、

A. コンタクト前の工程として、回路基板の表面に設けたCuまたはAg、或いは、これらを主成分とする合金からなる表面電極の上に、CuやAgに対して液相拡散しやすいSn層及び液相温度を下げるためのBi層を電解めっき法或いは無電解めっき法によって順次堆積させる。この時、Sn層及びBi層は重量比で1:1になるように膜厚を制御する。なお、Sn層とBi層の積層順序は反対でも良く、或いは、SnとBiとの重量比が1:1のSnBi合金ペーストを印刷法によって形成しても良い。

【0015】

一方、半導体集積回路装置に設けたCu、Au等からなるバンプの表面にSn層を電解めっき法、無電解めっき法、或いは、マスキスパッタ法等により形成する。なお、電解めっき法でSn層を形成する場合には、メッキシード層とレジストフレームを用いて電解めっきを行い、Sn層を形成したのち、メッキシード層とレジストフレームを除去する。

【0016】

次いで、蟻酸雰囲気中で加熱してリフローを行うことによって、Sn層を溶融して半球状Sn層に成形する。この場合、蟻酸は還元性が強いので、熱処理によりSnが酸化されることはない。なお、このようなリフロー工程は、フラックスを用いてN₂雰囲気下で行っても良いし、或いは、真空中でリフローしても良い。

【0017】

次いで、

B. フリップチップ接合の第1段階として、回路基板を搭載するステージの温度をSnとBiとの共晶形成温度より低い温度まで昇温した状態で、ボンディングツールに保持した半導体集積回路装置を、パッドと表面電極が当接するように押圧した状態で、ボンディングツールをSnとBiとの共晶形成温度より高温に昇温する。なお、半球状Sn層のSnの酸化膜除去のためにフラックスを予め塗布しておくか、またはフラックス機能を有するアンダーフィルと同時に接合する。或いは、接合前にArプラズマ、水素プラズマによって酸化膜を除去しておくことも可能である。

【0018】

この時、Bi層とSn層は、当接した半球状Sn層がSnとBiとの共晶形成温度より高温に昇温することにより溶融してSnBi共晶を形成する。この溶融したSnBi共晶は、固相(Snの融点: 232℃)のままである半球状Sn層が押し付けられることによって、周囲に押し出される。

【0019】

次いで、

C. フリップチップ接合の第2段階として、半球状Sn層の最表層は溶融したSnBi共晶へ溶け出すため、この部分で金属接合が生じ、半導体集積回路装置と回路基板の電極同士が電氣的に接続されることになる。

【0020】

次いで、

D. フリップチップ接合の第3段階として、加圧した状態でボンディングツールをSnとBiとの共晶形成温度より低い温度まで降温して溶融したSnBi共晶を固化して固相SnBi共晶とする。この時、接合界面にBi単体が一部取り残されるが、従来に比べて非常に低濃度になる。

【0021】

次いで、

E. ポストアニール工程として、例えば、アンダーフィル樹脂を硬化するため熱処理を行う。この時の熱処理温度は、接合工程における温度より高温であるので、固相SnBi共晶が再び溶融し、SnがCuへ液相拡散して高融点金属のCuSn金属間化合物層を形成する。

【0022】

また、溶融した Sn Bi 共晶中の Sn が拡散して Cu と反応することにより、溶融した Sn Bi 共晶中の Bi 濃度が高まり、最後には、Bi 比率の非常に高い Bi 層が Cu Sn 金属間化合物層の表面を覆うことになる。

【0023】

なお、工程 E のポストアニール工程において、Cu Sn 金属間化合物層を形成するアニール工程を兼ねて行っているが、ポストアニール工程の前に、上記の工程 C のフリップチップ接合の第 2 段階の直後に行うようにしても良い。

【0024】

このように、本発明の実施の形態においては、Sn Bi 共晶を利用して接合する際に、半導体集積回路装置側のパンプの表面に半球状 Sn 層を設けているので、接合界面近傍の Bi 濃度が低減し、さらに、ポストアニールで高融点金属の Cu Sn 金属間化合物層を形成しているので、熱的に安定な接合を形成することができる。

【実施例 1】

【0025】

以上を前提として、次に、図 2 乃至図 6 を参照して、本発明の実施例 1 のフリップチップ接合工程を説明する。まず、図 2 (a) に示すように、回路基板 (図示は省略) の表面に設けた例えば、Cu からなる表面電極 12 の上に、Sn 層 13 及び Bi 層 14 を電解めっき法によって順次堆積させる。この時、Sn 層 13 及び Bi 層 14 は重量比で 1 : 1 になるように膜厚を各 1 μ m にする。

【0026】

一方、図 2 (b) に示すように、半導体集積回路装置 (図示は省略) に電解めっき法を用いて、厚さが、例えば、12 μ m の Cu からなるパンプ 24 及び厚さが、例えば、3 μ m の Sn 層 25 を順次形成する。この場合、メッキシード層とレジストフレーム (いずれも図示を省略) を用いて電解めっきを行い、パンプ 24 及び Sn 層 25 を形成したのち、メッキシード層とレジストフレームを除去する。

【0027】

次いで、図 2 (c) に示すように、ウェハ用フラックスレスリフロー装置 (アユミ工業社製) を用いて、蟻酸雰囲気中で、例えば、245 $^{\circ}$ C に加熱してリフローを行うことによって、Sn 層 25 を溶融して半球状 Sn 層 26 に成形する。

【0028】

次いで、これらの半導体集積回路装置と回路基板とをフリップチップボンダーによって位置合わせし、フリップチップ接合を行う。まず、図 2 (d) に示すように、回路基板を搭載するステージの温度を Sn と Bi との共晶形成温度より低い 135 $^{\circ}$ C まで昇温した状態で、パッド 24 と表面電極 12 が当接するように押圧しながら、半導体集積回路装置を吸着したボンディングツールの温度を 50 $^{\circ}$ C から Sn と Bi との共晶形成温度より高い 150 $^{\circ}$ C まで、例えば、1 秒で昇温する。この時の押圧力は、100 ~ 200 Pa であり、1 パンプ当たりになると、例えば、5 gf の力を加える。

【0029】

次いで、図 2 (e) に示すように、Bi 層 13 と Sn 層 14 は、Sn と Bi との共晶形成温度より高い 150 $^{\circ}$ C に加熱された半球状 Sn 26 が当接することにより溶融して Sn Bi 共晶 15 を形成する。この溶融した Sn Bi 共晶 15 は、固相 (Sn の融点: 232 $^{\circ}$ C) のままである半球状 Sn 層 26 が押し付けられることによって、徐々に周囲に押し出される。

【0030】

この時、図 3 (f) に示すように、半球状 Sn 層 26 の最表層は溶融した Sn Bi 共晶 15 へ溶け出すため、この部分で金属接合が生じ、半導体集積回路装置と回路基板の電極同士が電氣的に接続されることになる。表面の溶出により半球状半田 26 は Sn 層 27 となる。

【0031】

次いで、例えば、150 $^{\circ}$ C に昇温してから 9 秒経過したのち、図 3 (g) に示すように

10

20

30

40

50

、加圧した状態でボンディングツールをSnとBiとの共晶形成温度より低い温度まで降温して溶融したSnBi共晶15を固化して固相SnBi共晶16とする。この時、接合界面にBi単体17が一部取り残されるが、従来に比べて非常に低濃度になる。次いで、ボンディングツールの温度が例えば、5秒間で100℃まで降温した時に、押圧を解除して、以降は室温まで自然冷却する。

【0032】

次いで、図3(h)に示すように、ポストアニール工程として、例えば、アンダーフィル樹脂を硬化するため熱処理を行う。この時の熱処理温度は、接合工程における温度より高温、例えば、165℃で1.5時間の熱処理工程であるので、固相SnBi共晶16が再び溶融するとともに、Sn層27からSnがCuへ液相拡散して高融点金属のCuSn金属間化合物層18を形成する。また、溶融したSnBi共晶中のSnが拡散してCuと反応することにより、溶融したSnBi共晶中のBi濃度が高まり、最後には、Bi比率の非常に高いBi層19がCu₆Sn₅からなるCuSn金属間化合物層18の表面を覆うことになる。

【0033】

図4は、本発明の実施例1の半導体実装装置の概念的構成図であり、上述の方法で形成された接合部を有するとともに、半導体集積回路装置20と回路基板10との間にアンダーフィル樹脂28が充填されるとともに、エポキシ樹脂29でモールドされた半導体実装装置が得られる。なお、図における符号21, 22, 23, 11, 30, 31は、それぞれ半導体基体、電極、パッシベーション膜、ベース層、ソルダーレジスト及び半田ボールを表す。

【0034】

図5は、上記の本発明の実施例1のフリップチップ接合工程における各条件を纏めた図であり、また、図6は、本発明の実施例1のフリップチップ接合工程における各条件をグラフ化したプロファイルである。

【0035】

以上、本発明の実施の形態及び実施例を説明してきたが、上記の実施の形態及び実施例に示した構成は一例であり、各種の変更が可能である。例えば、上記の実施例1においては、実装する側を回路基板としているが、回路基板に限られるものではなく、所定の配線を形成したパッケージ基板でも良い。

【0036】

また、上記の実施例1においては、実装される部品を半導体集積回路装置としているが、半導体集積回路装置に限られるものではなく、例えば、強誘電体を用いた光偏向装置等の光デバイスの実装にも用いられるものである。

【0037】

ここで、実施例1を含む本発明の実施の形態に関して、以下の付記を開示する。

(付記1) 電極を表面に備えた配線基板と、

前記電極に対向する bumps を表面に備えた電子部品とを有し、

前記電極と前記 bumps との間の領域にSn及びBiを含む接合層が形成され、前記接合層における第1の領域のBi含有率が、前記接合層における第2の領域のBi含有率よりも低い回路基板。

(付記2) 前記第1の領域は、前記 bumps と前記電極によって挟まれた領域である付記1記載の回路基板。

(付記3) 前記電極及び前記 bumps は、前記Snの融点よりも高い融点を有する金属である付記1または2に記載の回路基板。

(付記4) 配線基板の表面に設けた電極上にSnを含む第1の層とBiを含む第2の層を形成する工程と、電子部品の表面に設けた前記電極に対向する bumps 上にSn含有金属層を形成する工程と、

、

10

20

30

40

50

前記バンプを加熱する工程と、
前記加熱の後に或いは前記加熱しながら、前記バンプを前記電極に押し付けて、前記電極と前記バンプを接合する工程と
を有する回路基板の製造方法。

（付記５） 前記Ｓｎを含む第１の層と前記Ｂｉを含む第２の層の重量比が１：１である付記４記載の回路基板の製造方法。

（付記６） 前記加熱する温度は、ＳｎとＢｉの共晶温度以上且つ前記Ｓｎ含有金属層の融点未満の温度である付記４または５に記載の回路基板の製造方法。

（付記７） 前記Ｓｎ含有金属層の形状が半球状である付記４乃至６のいずれか１に記載の記載の回路基板の製造方法。

（付記８） 前記加熱の前に、前記第１の層及び前記第２の層を前記Ｓｎと前記Ｂｉの共晶温度より低い温度で予備加熱する工程をさらに有する付記４乃至７のいずれか１に記載の回路基板の製造方法。

【図面の簡単な説明】

【００３８】

【図１】本発明の実施の形態のフローチャートである。

【図２】本発明の実施例１のフリップチップ接合工程の途中までの説明図である。

【図３】本発明の実施例１のフリップチップ接合工程の図２以降の説明図である。

【図４】本発明の実施例１の半導体実装装置の概念的構成図である。

【図５】本発明の実施例１のフリップチップ接合工程における各条件を纏めた図である。

【図６】本発明の実施例１のフリップチップ接合工程における各条件のプロファイルである。

【図７】従来の半導体集積回路装置の実装工程の途中までの説明図である。

【図８】従来の半導体集積回路装置の実装工程の図７以降の説明図である。

【符号の説明】

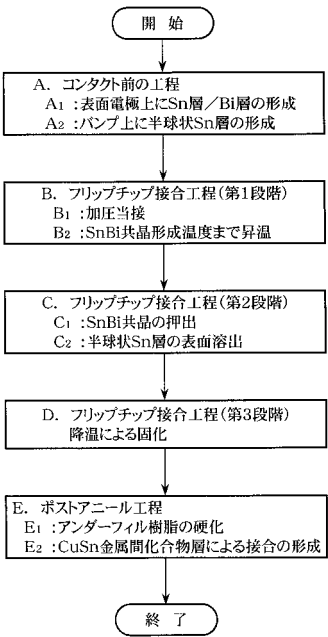
【００３９】

１０	回路基板	
１１	ベース層	
１２	表面電極	
１３	Ｓｎ層	30
１４	Ｂｉ層	
１５	ＳｎＢｉ共晶	
１６	固相ＳｎＢｉ共晶	
１７	Ｂｉ単体	
１８	ＣｕＳｎ金属間化合物層	
１９	Ｂｉ層	
２０	半導体集積回路装置	
２１	半導体基体	
２２	電極	
２３	パッシベーション膜	40
２４	バンプ	
２５	Ｓｎ層	
２６	半球状Ｓｎ層	
２７	Ｓｎ層	
２８	アンダーフィル樹脂	
２９	エポキシ樹脂	
３０	ソルダーレジスト	
３１	半田ボール	
４０	回路基板	
４１	Ｃｕ表面電極	50

- 4 2 S n 層
- 4 3 B i 層
- 4 4 S n B i 共晶
- 4 5 C u S n 金属間化合物
- 4 6 B i 単体
- 5 0 半 導 体 集 積 回 路 装 置
- 5 1 , 5 2 電 極 層
- 5 3 パ ッ シ ベ ー シ ョ ン 膜
- 5 4 C u バ ン プ

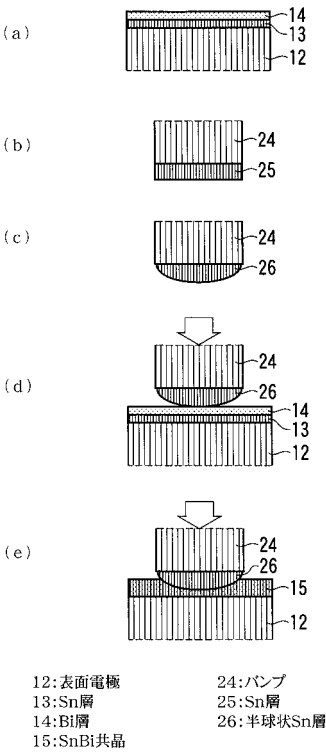
【 図 1 】

本発明の実施の形態のフローチャート



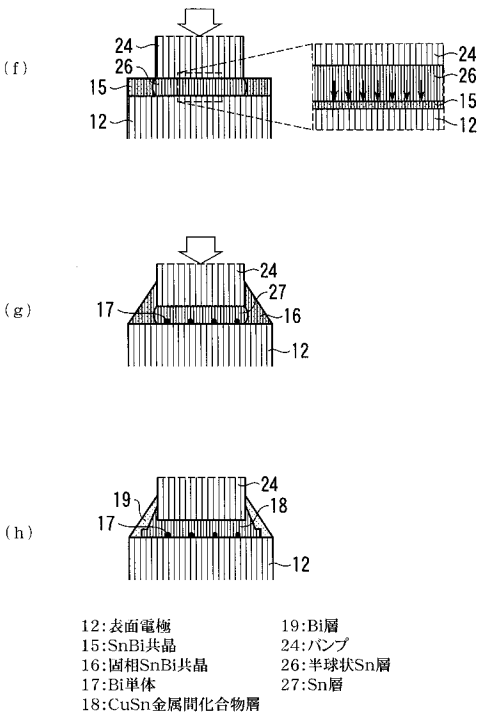
【 図 2 】

本発明の実施例1のフリップチップ接合工程の途中までの説明図



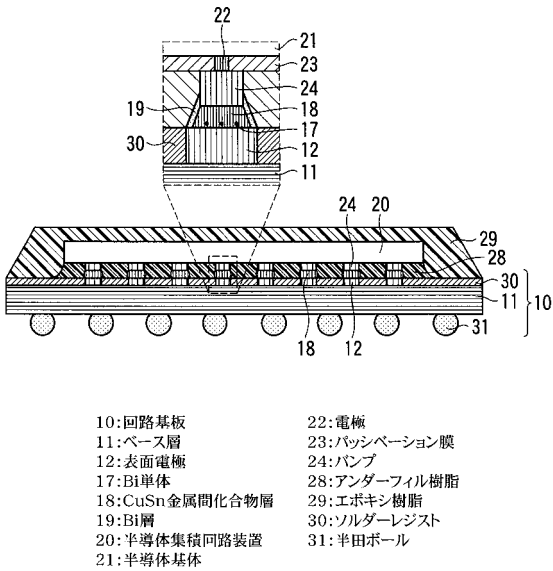
【図 3】

本発明の実施例1のフリップチップ接合工程の図2以降の説明図



【図 4】

本発明の実施例1の半導体実装装置の概念的構成図



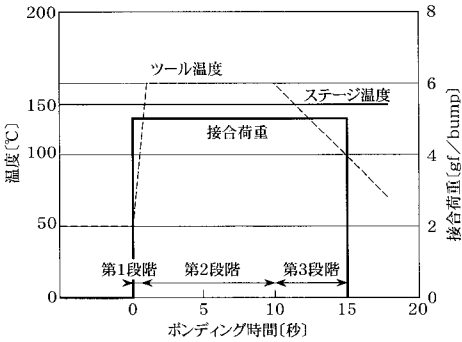
【図 5】

本発明の実施例1のフリップチップ接合工程における各条件を纏めた図

パラメータ	単位	工程			
		ボンディング前	第1段階 0～1秒	第2段階 1～10秒	第3段階 10～15秒
ステージ温度	℃	135	135	135	135
ツール温度	℃	50	150	150	100
接合荷重	gf/bump	0	5	5	5

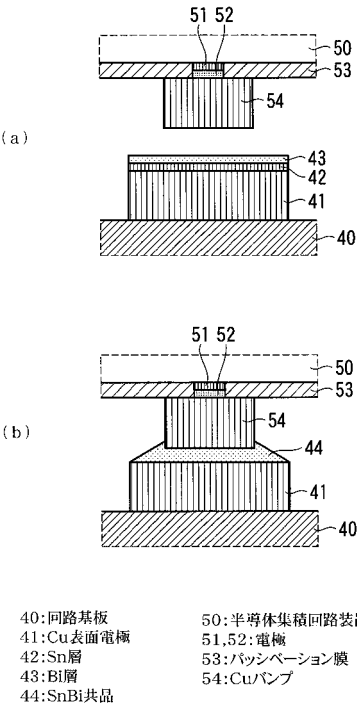
【図 6】

本発明の実施例1のフリップチップ接合工程における各条件のプロファイル



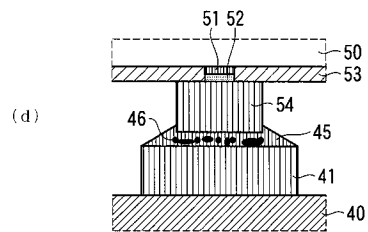
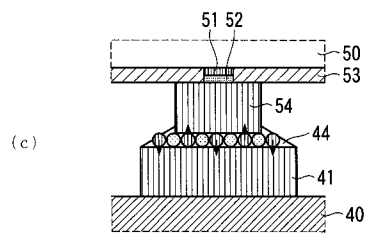
【図 7】

従来の半導体集積回路装置の実装工程の途中までの説明図



【図 8】

従来の半導体集積回路装置の実装工程の図7以降の説明図



- | | |
|--------------|--------------|
| 40:回路基板 | 50:半導体集積回路装置 |
| 41:Cu表面電極 | 51,52:電極 |
| 44:SnBi共晶 | 53:パッシベーション膜 |
| 45:CuSn金属化合物 | 54:Cuポンプ |
| 46:Bi単体 | |

フロントページの続き

(72)発明者 作山 誠樹

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 5F044 KK01 KK13 LL00 QQ03