

(19) 日本国特許庁(JP)

(12) 特許公報(B1)

(11) 特許番号

特許第6234645号
(P6234645)

(45) 発行日 平成29年11月22日 (2017.11.22)

(24) 登録日 平成29年11月2日 (2017.11.2)

(51) Int. Cl.		F I			
HO 1 P	1/26	(2006.01)	HO 1 P	1/26	
HO 1 P	3/08	(2006.01)	HO 1 P	3/08	1 0 0
			HO 1 P	3/08	3 0 0
			HO 1 P	3/08	2 0 0

請求項の数 10 (全 21 頁)

(21) 出願番号	特願2017-531642 (P2017-531642)	(73) 特許権者	000006013
(86) (22) 出願日	平成28年12月26日 (2016.12.26)		三菱電機株式会社
(86) 国際出願番号	PCT/JP2016/088705		東京都千代田区丸の内二丁目7番3号
審査請求日	平成29年6月12日 (2017.6.12)	(74) 代理人	100123434
早期審査対象出願			弁理士 田澤 英昭
		(74) 代理人	100101133
			弁理士 濱田 初音
		(74) 代理人	100199749
			弁理士 中島 成
		(74) 代理人	100188880
			弁理士 坂元 辰哉
		(74) 代理人	100197767
			弁理士 辻岡 将昭
		(74) 代理人	100201743
			弁理士 井上 和真

最終頁に続く

(54) 【発明の名称】 終端器

(57) 【特許請求の範囲】

【請求項1】

誘電体で形成されている誘電体基板と、
 前記誘電体基板の第1の層に配置され、入力端から出力端に至る途中で2分岐されている箇所を少なくとも1つ以上有している信号導体と、
前記誘電体基板の第1の層と対向する、前記誘電体基板の第2の層に配置されている地導体と、
前記信号導体の分岐箇所から第1の出力端に至る第1の分岐導体の一部、及び前記信号導体の分岐箇所から第2の出力端に至る第2の分岐導体の一部と上下方向にそれぞれ重なるように配置され、前記第1の分岐導体及び前記第2の分岐導体を流れる信号の電力を損失させる損失性部材と、
前記第1の出力端及び第2の出力端のそれぞれと前記地導体との間を、前記誘電体基板における第1の層と第2の層との間を貫通する穴を介して電氣的に接続する接続部材とを備え、
 前記第1の分岐導体は、前記第2の分岐導体に対して90度の電気長を有する遅延回路を含んでおり、
 前記地導体は、前記誘電体基板の第2の層の全面に亘って配置されていることを特徴とする終端器。

10

【請求項2】

前記誘電体基板の第1の層が前記誘電体基板の表面であり、前記誘電体基板の第2の層

20

が前記誘電体基板の裏面であることを特徴とする請求項 1 記載の終端器。

【請求項 3】

前記第 1 の分岐導体が 2 分岐されて、前記第 1 の分岐導体における前記第 1 の出力端が 2 つ設けられ、

前記第 1 の分岐導体の分岐箇所から一方の前記第 1 の出力端に至る第 1 の方向と、前記第 1 の分岐導体の分岐箇所から他方の前記第 1 の出力端に至る第 2 の方向とが、当該分岐箇所の入力側から当該分岐箇所に至る方向と直交しており、かつ、前記第 1 の方向と前記第 2 の方向が反対方向であり、

前記第 2 の分岐導体が 2 分岐されて、前記第 2 の分岐導体における前記第 2 の出力端が 2 つ設けられ、

前記第 2 の分岐導体の分岐箇所から一方の前記第 2 の出力端に至る第 3 の方向と、前記第 2 の分岐導体の分岐箇所から他方の前記第 2 の出力端に至る第 4 の方向とが、当該分岐箇所の入力側から当該分岐箇所に至る方向と直交しており、かつ、前記第 3 の方向と前記第 4 の方向が反対方向であることを特徴とする請求項 1 記載の終端器。

【請求項 4】

前記損失性部材が重ねられている部分の前記第 1 の分岐導体及び前記第 2 の分岐導体とそれぞれ接続されている共振器を備えたことを特徴とする請求項 1 記載の終端器。

【請求項 5】

前記共振器は、前記第 1 の分岐導体及び前記第 2 の分岐導体のそれぞれから分岐されているスタブであることを特徴とする請求項 4 記載の終端器。

【請求項 6】

前記スタブの先端部分は、前記スタブの線路幅よりも広く、かつ、角がない曲線の形状をなしていることを特徴とする請求項 5 記載の終端器。

【請求項 7】

前記信号導体は、入力側のインピーダンスと出力側のインピーダンスとを整合する整合回路を含んでいることを特徴とする請求項 1 記載の終端器。

【請求項 8】

前記整合回路がインピーダンス変成器又はスタブであることを特徴とする請求項 7 記載の終端器。

【請求項 9】

前記誘電体基板の前記第 1 の層が前記誘電体基板の内層であり、前記誘電体基板の前記第 2 の層が前記誘電体基板の表面及び裏面であることを特徴とする請求項 1 記載の終端器。

【請求項 10】

前記誘電体基板の前記第 1 の層及び前記第 2 の層がそれぞれ多層化されており、前記損失性部材が重ねられている部分の前記信号導体と、前記損失性部材が重ねられていない部分の前記信号導体とが前記第 1 の層における異なる層に配置され、

前記地導体が前記第 2 の層における複数の層に配置されていることを特徴とする請求項 1 記載の終端器。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、信号の不要反射を抑制する終端器に関するものである。

【背景技術】

【0002】

終端器は、例えば、通信機器などの高周波回路の入出力端子に取り付けられる電子機器である。

終端器は、高周波回路から出力された信号が内部の信号導体に入力されると、損失性部材によって、信号導体を流れる信号の電力を損失させることで、高周波回路への不要な信号の反射を抑制する。

10

20

30

40

50

【 0 0 0 3 】

以下の特許文献 1 には、損失性部材として電力無反射器が分配器に複数個接続されている先端開放型の終端器が開示されている。

この終端器は、損失性部材のサイズを大きくすることなく、耐電力性を高める目的で、分配器によって信号を分配してから、複数の電力無反射器によって信号の電力を損失させている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開平 2 - 1 9 3 4 0 1 号公報

10

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

従来の終端器は以上のように構成されているので、複数の損失性部材である電力無反射器によって信号の電力を損失させることができる。しかし、先端開放型の終端器では、損失性部材で発生した熱を逃がすことが困難であり、熱がこもってしまうという課題があった。

また、耐電力性を高めるために、分配器の分配数を増やすと、回路のサイズが大きくなる。分配器の分配数を増やすことなく、耐電力性を高めるために、損失性部材のサイズを大きくすると、損失性部材が有する周波数特性の影響が大きくなるため、使用可能な周波数帯域を広げることが困難であるという課題があった。

20

【 0 0 0 6 】

この発明は上記のような課題を解決するためになされたもので、熱のこもりを抑えることができるとともに、耐電力性を高め、かつ、使用可能な周波数帯域を広げることができる終端器を得ることを目的とする。

【 課題を解決するための手段 】

【 0 0 0 7 】

この発明に係る終端器は、誘電体で形成されている誘電体基板と、誘電体基板の第 1 の層に配置され、入力端から出力端に至る途中で 2 分岐されている箇所を少なくとも 1 つ以上有している信号導体と、誘電体基板の第 1 の層と対向する、誘電体基板の第 2 の層に配置されている地導体と、信号導体の分岐箇所から第 1 の出力端に至る第 1 の分岐導体の一部、及び信号導体の分岐箇所から第 2 の出力端に至る第 2 の分岐導体の一部と上下方向にそれぞれ重なるように配置され、第 1 の分岐導体及び第 2 の分岐導体を流れる信号の電力を損失させる損失性部材と、第 1 の出力端及び第 2 の出力端のそれぞれと地導体との間を、誘電体基板における第 1 の層と第 2 の層との間を貫通する穴を介して電氣的に接続する接続部材とを備え、第 1 の分岐導体は、第 2 の分岐導体に対して 90 度の電気長を有する遅延回路を含んでおり、地導体は、誘電体基板の第 2 の層の全面に亘って配置されているようにしたものである。

30

【 発明の効果 】

【 0 0 0 8 】

この発明によれば、誘電体基板の第 1 の層に配置され、入力端から出力端に至る途中で 2 分岐されている箇所を少なくとも 1 つ以上有している信号導体と、誘電体基板の第 1 の層と対向する、誘電体基板の第 2 の層に配置されている地導体と、信号導体の分岐箇所から第 1 の出力端に至る第 1 の分岐導体の一部、及び信号導体の分岐箇所から第 2 の出力端に至る第 2 の分岐導体の一部と上下方向にそれぞれ重なるように配置され、第 1 の分岐導体及び第 2 の分岐導体を流れる信号の電力を損失させる損失性部材と、第 1 の出力端及び第 2 の出力端のそれぞれと地導体との間を、誘電体基板における第 1 の層と第 2 の層との間を貫通する穴を介して電氣的に接続する接続部材とを備え、第 1 の分岐導体は、第 2 の分岐導体に対して 90 度の電気長を有する遅延回路を含んでおり、地導体は、誘電体基板の第 2 の層の全面に亘って配置されているように構成したので、信号導体の入力端に入力

40

50

された信号の電力の一部は、信号導体（第1の分岐導体及び第2の分岐導体）の一部と上下方向に重なるように配置された損失性部材によって損失され、入力端に入力された信号は出力端まで損失が少ない信号導体を伝搬し、第2の層の全面に亘って配置された面積の広い地導体に直接伝播されるため放熱性が優れ、しかも、損失性部材から発生された熱も、熱伝導性が高い信号導体（第1の分岐導体及び第2の分岐導体）を通じて地導体に到達し、放熱されるという効果を合わせ持ち、熱のこもりを抑えることができるとともに、耐電力性を高め、かつ、使用可能な周波数帯域を広げることができる効果がある。

【図面の簡単な説明】

【0009】

【図1】この発明の実施の形態1による終端器を示す上面図である。

10

【図2】この発明の実施の形態1による終端器を示す断面図である。

【図3】従来の終端器を示す上面図である。

【図4】この発明の実施の形態1による他の終端器を示す断面図である。

【図5】この発明の実施の形態1による他の終端器を示す上面図である。

【図6】この発明の実施の形態2による終端器を示す上面図である。

【図7】この発明の実施の形態3による終端器を示す上面図である。

【図8】この発明の実施の形態4による終端器を示す上面図である。

【図9】この発明の実施の形態5による終端器を示す上面図である。

【図10】この発明の実施の形態5による他の終端器を示す上面図である。

【図11】この発明の実施の形態6による終端器を示す断面図である。

20

【図12】この発明の実施の形態7による終端器を示す断面図である。

【図13】この発明の実施の形態7による終端器における表面1aの上面図である。

【図14】この発明の実施の形態7による終端器における内層1c-1の上面図である。

【図15】この発明の実施の形態7による終端器における内層1c-2の上面図である。

【図16】この発明の実施の形態7による終端器における内層1c-3の上面図である。

【図17】この発明の実施の形態7による終端器における裏面1bの上面図である。

【図18】この発明の実施の形態7による他の終端器を示す断面図である。

【図19】この発明の実施の形態8による終端器における表面1aの上面図である。

【図20】この発明の実施の形態8による終端器における内層1c-1の上面図である。

【図21】この発明の実施の形態8による終端器における内層1c-2の上面図である。

30

【図22】この発明の実施の形態8による終端器における内層1c-3の上面図である。

【図23】この発明の実施の形態8による終端器における裏面1bの上面図である。

【図24】この発明の実施の形態9による終端器を示す断面図である。

【図25】この発明の実施の形態9による他の終端器を示す断面図である。

【図26】この発明の実施の形態9による他の終端器を示す断面図である。

【図27】ビアホールにおけるy方向の位置ずれを示す説明図である。

【発明を実施するための形態】

【0010】

以下、この発明をより詳細に説明するために、この発明を実施するための形態について、添付の図面にしたがって説明する。

40

【0011】

実施の形態1

図1はこの発明の実施の形態1による終端器を示す上面図であり、図2はこの発明の実施の形態1による終端器を示す断面図である。

図1及び図2において、誘電体基板1は誘電体で形成されている基板である。

信号導体2は誘電体基板1の表面1a（第1の層）に配置されており、入力端2aから出力端2b-1、2b-2、2b-3、2b-4に至る途中で2分岐されている箇所を有している。

なお、出力端2b-1、2b-4は第1の出力端であり、出力端2b-2、2b-3は第2の出力端である。

50

【 0 0 1 2 】

信号導体 2 は、少なくとも 2 分岐されていればよいが、図 1 では、信号導体 2 が 4 分岐されている例を示している。このため、図 1 の例では、信号導体 2 は、3 つの分岐箇所として、分岐部 3 a , 3 b , 3 c を有している。

【 0 0 1 3 】

分岐導体 4 - 1 は信号導体 2 の分岐部 3 b から出力端 2 b - 1 に至る信号導体 2 における第 1 の分岐導体である。

分岐導体 4 - 2 は信号導体 2 の分岐部 3 b から出力端 2 b - 2 に至る信号導体 2 における第 2 の分岐導体である。

分岐導体 4 - 3 は信号導体 2 の分岐部 3 c から出力端 2 b - 3 に至る信号導体 2 における第 2 の分岐導体である。

分岐導体 4 - 4 は信号導体 2 の分岐部 3 c から出力端 2 b - 4 に至る信号導体 2 における第 1 の分岐導体である。

【 0 0 1 4 】

地導体 5 は誘電体基板 1 の裏面 1 b (第 2 の層) の全面に亘って配置されている導体である。

損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 は例えば抵抗などを含んでいる部材である。

損失性部材 6 - 1 は分岐導体 4 - 1 の一部と重なるように配置され、分岐導体 4 - 1 を流れる信号の電力を損失させる部材である。

損失性部材 6 - 2 は分岐導体 4 - 2 の一部と重なるように配置され、分岐導体 4 - 2 を流れる信号の電力を損失させる部材である。

損失性部材 6 - 3 は分岐導体 4 - 3 の一部と重なるように配置され、分岐導体 4 - 3 を流れる信号の電力を損失させる部材である。

損失性部材 6 - 4 は分岐導体 4 - 4 の一部と重なるように配置され、分岐導体 4 - 4 を流れる信号の電力を損失させる部材である。

【 0 0 1 5 】

ピアホール 7 - 1 は信号導体 2 の出力端 2 b - 1 と地導体 5 との間を接続する接続部材である。

ピアホール 7 - 2 は信号導体 2 の出力端 2 b - 2 と地導体 5 との間を接続する接続部材である。

ピアホール 7 - 3 は信号導体 2 の出力端 2 b - 3 と地導体 5 との間を接続する接続部材である。

ピアホール 7 - 4 は信号導体 2 の出力端 2 b - 4 と地導体 5 との間を接続する接続部材である。

【 0 0 1 6 】

遅延回路 8 - 1 は 90 度の電気長を有する遅延回路であり、遅延回路 8 - 1 は分岐導体 4 - 1 に含まれている回路である。

遅延回路 8 - 2 は 90 度の電気長を有する遅延回路であり、遅延回路 8 - 2 は分岐導体 4 - 4 に含まれている回路である。

遅延回路 8 - 1 , 8 - 2 が有する 90 度の電気長は、信号導体 2 の入力端 2 a から入力される信号の波長の 4 分の 1 の長さである。

【 0 0 1 7 】

次に動作について説明する。

信号導体 2 の入力端 2 a から入力された信号は、信号導体 2 を伝搬する。

信号導体 2 を伝搬する信号の電力は、分岐部 3 a で 2 分配される。

また、分岐部 3 a で 2 分配された一方の信号の電力は、分岐部 3 b で 2 分配され、分岐部 3 a で 2 分配された他方の信号の電力は、分岐部 3 c で 2 分配される。

これにより、信号導体 2 の入力端 2 a から入力された信号の電力は 4 分配され、電力が 4 分配された信号は、分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 をそれぞれ伝搬する。

【 0 0 1 8 】

分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 を伝搬された信号は、信号導体 2 の出力端 2 b - 1 , 2 b - 2 , 2 b - 3 , 2 b - 4 に到達するが、分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 を伝搬された信号の電力の一部は、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 によって損失される。

即ち、分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 を伝搬された信号の電力は、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 に印加され、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 に印加された信号の電力は、主に熱に変換されて損失される。

【 0 0 1 9 】

このとき、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 から発生された熱は、分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4、出力端 2 b - 1 , 2 b - 2 , 2 b - 3 , 2 b - 4 及びビアホール 7 - 1 , 7 - 2 , 7 - 3 , 7 - 4 を通じて地導体 5 に到達する。

地導体 5 は、誘電体基板 1 の裏面 1 b の全面に亘って配置されているため、大きな面積を有している。また、地導体 5 は、熱伝導性が高い導体である。このため、地導体 5 は、放熱性が高い部材である。

したがって、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 から発生された熱は、地導体 5 から効率よく放出される。

【 0 0 2 0 】

この実施の形態 1 の終端器は、信号導体 2 の出力端 2 b - 1 , 2 b - 2 , 2 b - 3 , 2 b - 4 が、ビアホール 7 - 1 , 7 - 2 , 7 - 3 , 7 - 4 を介して、地導体 5 と接続されていることを特徴の 1 つとしているので、地導体 5 から効率よく熱を放出することができる。

このような特徴を有していない終端器（以下、従来の終端器と称する）は、図 3 に示すような構成となる。

図 3 は従来の終端器を示す上面図である。図 3 において、図 1 と同一符号は同一または相当部分を示している。

【 0 0 2 1 】

従来の終端器は、図 3 に示すように、信号導体 2 の分岐導体 4 - 5 , 4 - 6 に損失性部材 6 - 5 , 6 - 6 が接続されている。

また、損失性部材 6 - 5 , 6 - 6 には、低インピーダンスとなるように、分岐導体 4 - 5 , 4 - 6 よりも線路幅が広い分岐導体 4 - 7 , 4 - 8 が接続されている。

終端器が図 3 のように構成されている場合、損失性部材 6 - 5 , 6 - 6 の入力部分に熱が集中する。

【 0 0 2 2 】

図 3 の終端器では、誘電体基板 1 と信号導体 2 が、損失性部材 6 - 5 , 6 - 6 の入力部分から発生した熱の放熱経路となるが、誘電体基板 1 は、この実施の形態 1 の終端器における地導体 5 と比べて熱伝導性が低いため、地導体 5 と比べて放熱性が低い。

また、信号導体 2 は、熱伝導性が高い導体であるが、地導体 5 と比べて面積が狭いため、地導体 5 と比べて放熱性が低い。

このため、従来の終端器は、この実施の形態 1 の終端器と比べて、損失性部材 6 - 5 , 6 - 6 の入力部分から発生した熱を逃がすことが難しく、熱がこもってしまうことがある。

【 0 0 2 3 】

損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 によって、信号の電力の全てが熱に変換されず、一部の信号の電力が熱に変換されないことがある。

損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 によって電力が熱に変換されていない信号は、分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 からビアホール 7 - 1 , 7 - 2 , 7 - 3 , 7 - 4 を通じて地導体 5 に到達する。

地導体 5 に到達した信号は、地導体 5 に反射する。

地導体 5 に反射された信号は、ビアホール 7 - 1 , 7 - 2 , 7 - 3 , 7 - 4 を通じて分

10

20

30

40

50

岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 に到達し、分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 を伝搬する。

【 0 0 2 4 】

ここで、分岐導体 4 - 1 は、90度の電気長を有する遅延回路 8 - 1 を含んでいる。

このため、信号導体 2 の分岐部 3 b から分岐導体 4 - 1 を通って出力端 2 b - 1 に至る信号は、分岐導体 4 - 1 に含まれている遅延回路 8 - 1 によって位相が90度遅れる。

また、地導体 5 から反射することで、出力端 2 b - 1 から分岐導体 4 - 1 を通って分岐部 3 b に至る信号は、分岐導体 4 - 1 に含まれている遅延回路 8 - 1 によって位相が90度遅れる。

【 0 0 2 5 】

これにより、地導体 5 から反射することで、出力端 2 b - 1 から分岐導体 4 - 1 を通って分岐部 3 b に到達した反射信号の位相は、出力端 2 b - 2 から分岐導体 4 - 2 を通って分岐部 3 b に到達した反射信号の位相と比べて180度遅れている。

即ち、分岐導体 4 - 1 を通過して分岐部 3 b に到達した反射信号と、分岐導体 4 - 2 を通過して分岐部 3 b に到達した反射信号とは逆相になる。

このため、分岐導体 4 - 1 を通過して分岐部 3 b に到達した反射信号と、分岐導体 4 - 2 を通過して分岐部 3 b に到達した反射信号とは、逆相で合成されるため、互いに打ち消し合うようになる。したがって、これらの反射信号は、信号導体 2 の分岐部 3 a にはほとんど到達しなくなり、反射信号の増加に伴う反射特性の劣化が抑えられる。これにより、耐電力性を高めるために、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 のサイズを大きくしても、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 が有する周波数特性の影響が小さくなるため、使用可能な周波数帯域を広げることができる。

【 0 0 2 6 】

また、分岐導体 4 - 4 は、90度の電気長を有する遅延回路 8 - 2 を含んでいる。

このため、信号導体 2 の分岐部 3 c から分岐導体 4 - 4 を通って出力端 2 b - 4 に至る信号は、分岐導体 4 - 4 に含まれている遅延回路 8 - 2 によって位相が90度遅れる。

また、地導体 5 から反射することで、出力端 2 b - 4 から分岐導体 4 - 4 を通って分岐部 3 c に至る信号は、分岐導体 4 - 4 に含まれている遅延回路 8 - 2 によって位相が90度遅れる。

【 0 0 2 7 】

これにより、地導体 5 から反射することで、出力端 2 b - 4 から分岐導体 4 - 4 を通って分岐部 3 c に到達した反射信号の位相は、出力端 2 b - 3 から分岐導体 4 - 3 を通って分岐部 3 c に到達した反射信号の位相と比べて180度遅れている。

即ち、分岐導体 4 - 4 を通過して分岐部 3 c に到達した反射信号と、分岐導体 4 - 3 を通過して分岐部 3 c に到達した反射信号とは逆相になる。

このため、分岐導体 4 - 4 を通過して分岐部 3 c に到達した反射信号と、分岐導体 4 - 3 を通過して分岐部 3 c に到達した反射信号とは、逆相で合成されるため、互いに打ち消し合うようになる。したがって、これらの反射信号は、信号導体 2 の分岐部 3 a にはほとんど到達しなくなり、反射信号の増加に伴う反射特性の劣化が抑えられるため、使用可能な周波数帯域を広げることができる。

【 0 0 2 8 】

以上で明らかのように、この実施の形態 1 によれば、信号導体 2 における分岐導体 4 - 1 , 4 - 2 の一部とそれぞれ重なるように配置され、分岐導体 4 - 1 , 4 - 2 を流れる信号の電力を損失させる損失性部材 6 - 1 , 6 - 2 と、信号導体 2 の出力端 2 b - 1 , 2 b - 2 のそれぞれと地導体 5 との間を接続するピアホール 7 - 1 , 7 - 2 とを備え、分岐導体 4 - 1 が90度の電気長を有する遅延回路 8 - 1 を含んでいるように構成したので、熱のこもりを抑えることができるとともに、耐電力性を高め、かつ、使用可能な周波数帯域を広げることができる効果を奏する。

また、この実施の形態 1 によれば、信号導体 2 における分岐導体 4 - 3 , 4 - 4 の一部とそれぞれ重なるように配置され、分岐導体 4 - 3 , 4 - 4 を流れる信号の電力を損失さ

10

20

30

40

50

せる損失性部材 6 - 3 , 6 - 4 と、信号導体 2 の出力端 2 b - 3 , 2 b - 4 のそれぞれと地導体 5 との間を接続するピアホール 7 - 3 , 7 - 4 とを備え、分岐導体 4 - 4 が 90 度の電気長を有する遅延回路 8 - 2 を含んでいるように構成したので、熱のこもりを抑えることができるとともに、耐電力性を高め、かつ、使用可能な周波数帯域を広げることができる効果を奏する。

【 0 0 2 9 】

この実施の形態 1 では、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 が分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 の一部を覆うように、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 を配置している例を示しているが、これに限るものではない。

図 4 はこの発明の実施の形態 1 による他の終端器を示す断面図である。

図 4 の例では、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 が誘電体基板 1 の表面 1 a の上に形成されてから、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 の上に分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 が配置されている。

【 0 0 3 0 】

この実施の形態 1 では、信号導体 2 が 4 分岐されている例を示しているが、信号導体 2 は、少なくとも 2 分岐されていればよい。

例えば、信号導体 2 が 2 分岐されている導体であれば、信号導体 2 は、1 つの分岐部 3 a を有していればよい。この場合、信号導体 2 の分岐導体は、分岐導体 4 - 1 , 4 - 2 の 2 つとなり、信号導体 2 の出力端は、出力端 2 b - 1 , 2 b - 2 の 2 つとなる。

【 0 0 3 1 】

この実施の形態 1 では、分岐導体 4 - 1 , 4 - 4 が 90 度の電気長を有する遅延回路 8 - 1 , 8 - 2 を含んでいる例を示しているが、図 5 に示すように、さらに、分岐部 3 a と分岐部 3 c の間の信号導体 2 が、90 度の電気長を有する遅延回路 8 - 3 を含んでいるようにしてもよい。

図 5 はこの発明の実施の形態 1 による他の終端器を示す上面図である。

これにより、分岐部 3 b , 3 c において、反射信号が完全に打ち消されずに、反射信号が分岐部 3 a に到達する場合でも、遅延回路 8 - 3 によって、分岐部 3 b から分岐部 3 a に到達した反射信号と、分岐部 3 c から分岐部 3 a に到達した反射信号とが逆相で合成される。

このため、分岐部 3 b から分岐部 3 a に到達した反射信号と、分岐部 3 c から分岐部 3 a に到達した反射信号とは、互いに打ち消し合うようになり、これらの反射信号が入力端 2 a にほとんど出力されなくなる。したがって、さらに、反射信号の増加に伴う反射特性の劣化が抑えられるため、使用可能な周波数帯域を広げることができる。

【 0 0 3 2 】

実施の形態 2 .

上記実施の形態 1 では、信号導体 2 の出力端 2 b - 1 , 2 b - 2 , 2 b - 3 , 2 b - 4 が、ピアホール 7 - 1 , 7 - 2 , 7 - 3 , 7 - 4 と接続されている例を示している。

この実施の形態 2 では、分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 が T 字状に 2 分岐されて、各々の分岐先である 2 つの出力端 2 b がピアホール 7 とそれぞれ接続されるようにしてもよい。

【 0 0 3 3 】

図 6 はこの発明の実施の形態 2 による終端器を示す上面図である。図 6 において、図 1 と同一符号は同一または相当部分を示すので説明を省略する。

第 1 の分岐導体である分岐導体 4 - 1 は T 字状に 2 分岐されており、一方の分岐先である出力端 2 b - 1 a はピアホール 7 - 1 a と接続され、他方の分岐先である出力端 2 b - 1 b はピアホール 7 - 1 b と接続されている。

なお、分岐導体 4 - 1 の分岐箇所から出力端 2 b - 1 a に至る第 1 の方向 (- x 方向) と、分岐導体 4 - 1 の分岐箇所から出力端 2 b - 1 b に至る第 2 の方向 (+ x 方向) とが、分岐導体 4 - 1 の分岐箇所の入力側から当該分岐箇所に至る方向 (+ y 方向) と直交しており、かつ、第 1 の方向と第 2 の方向が反対方向である。

10

20

30

40

50

【 0 0 3 4 】

第2の分岐導体である分岐導体4 - 2はT字状に2分岐されており、一方の分岐先である出力端2 b - 2 aはビアホール7 - 2 aと接続され、他方の分岐先である出力端2 b - 2 bはビアホール7 - 2 bと接続されている。

なお、分岐導体4 - 2の分岐箇所から出力端2 b - 2 aに至る第3の方向(- x方向)と、分岐導体4 - 2の分岐箇所から出力端2 b - 2 bに至る第4の方向(+ x方向)とが、分岐導体4 - 2の分岐箇所の入力側から当該分岐箇所に至る方向(+ y方向)と直交しており、かつ、第3の方向と第4の方向が反対方向である。

【 0 0 3 5 】

第2の分岐導体である分岐導体4 - 3はT字状に2分岐されており、一方の分岐先である出力端2 b - 3 aはビアホール7 - 3 aと接続され、他方の分岐先である出力端2 b - 3 bはビアホール7 - 3 bと接続されている。

なお、分岐導体4 - 3の分岐箇所から出力端2 b - 3 aに至る第3の方向(- x方向)と、分岐導体4 - 3の分岐箇所から出力端2 b - 3 bに至る第4の方向(+ x方向)とが、分岐導体4 - 3の分岐箇所の入力側から当該分岐箇所に至る方向(+ y方向)と直交しており、かつ、第3の方向と第4の方向が反対方向である。

【 0 0 3 6 】

第1の分岐導体である分岐導体4 - 4はT字状に2分岐されており、一方の分岐先である出力端2 b - 4 aはビアホール7 - 4 aと接続され、他方の分岐先である出力端2 b - 4 bはビアホール7 - 4 bと接続されている。

なお、分岐導体4 - 4の分岐箇所から出力端2 b - 4 aに至る第1の方向(- x方向)と、分岐導体4 - 4の分岐箇所から出力端2 b - 4 bに至る第2の方向(+ x方向)とが、分岐導体4 - 4の分岐箇所の入力側から当該分岐箇所に至る方向(+ y方向)と直交しており、かつ、第1の方向と第2の方向が反対方向である。

【 0 0 3 7 】

次に動作について説明する。

ここでは、説明の便宜上、損失性部材6 - 1, 6 - 2, 6 - 3, 6 - 4のサイズが同じで、損失性部材6 - 1, 6 - 2, 6 - 3, 6 - 4におけるy方向の位置が同じであるとするとする。

この場合、上記実施の形態1では、ビアホール7 - 1, 7 - 2, 7 - 3, 7 - 4におけるy方向の位置にばらつきが生じていれば、損失性部材6 - 1, 6 - 2, 6 - 3, 6 - 4の出力側から地導体5までの距離にばらつきが生じる。

損失性部材6 - 1, 6 - 2, 6 - 3, 6 - 4の出力側から地導体5までの距離にばらつきが生じると、分岐導体4 - 1, 4 - 4が遅延回路8 - 1, 8 - 2を含んでいたとしても、分岐部3 b, 3 cにおいて、2つの反射信号の位相が完全な逆相にならなくなる。したがって、2つの反射信号を打ち消すことができなくなり、反射特性が劣化する。

【 0 0 3 8 】

この実施の形態2においても、ビアホール7 - 1 a, 7 - 1 bにおけるy方向の位置と、ビアホール7 - 2 a, 7 - 2 bにおけるy方向の位置とにばらつきが生じている場合、損失性部材6 - 1の出力側から地導体5までの距離と、損失性部材6 - 2の出力側から地導体5までの距離とにばらつきが生じる。

また、ビアホール7 - 3 a, 7 - 3 bにおけるy方向の位置と、ビアホール7 - 4 a, 7 - 4 bにおけるy方向の位置とにばらつきが生じている場合、損失性部材6 - 3の出力側から地導体5までの距離と、損失性部材6 - 4の出力側から地導体5までの距離とにばらつきが生じる。

【 0 0 3 9 】

しかし、この実施の形態2では、第1の分岐導体である分岐導体4 - 1(または4 - 4)は、T字状に2分岐されて、一方の分岐先である出力端2 b - 1 a(または2 b - 4 a)が-x方向に伸びて、他方の分岐先である出力端2 b - 1 b(または2 b - 4 b)が+x方向に伸びている。

10

20

30

40

50

また、第2の分岐導体である分岐導体4-2(または4-3)は、T字状に2分岐されて、一方の分岐先である出力端2b-2a(または2b-3a)が-x方向に伸びて、他方の分岐先である出力端2b-2b(または2b-3b)が+x方向に伸びている。

このため、ビアホール7-1a, 7-1b(または7-4a, 7-4b)におけるy方向の位置と、ビアホール7-2a, 7-2b(または7-3a, 7-3b)におけるy方向の位置とにばらつきが生じている場合でも、そのばらつきの影響が減少される。

【0040】

具体的には、以下の通りである。

ここでは、分岐導体4-1と分岐導体4-2に着目して説明するが、分岐導体4-3と分岐導体4-4についても同様である。

図27はビアホールにおけるy方向の位置ずれを示す説明図である。

図27において、y1は図1のビアホール7-1におけるy方向の位置及び図6のビアホール7-1a, 7-1bにおけるy方向の位置、y2は図1のビアホール7-2におけるy方向の位置及び図6のビアホール7-2a, 7-2bにおけるy方向の位置であり、 $y_1 < y_2$ である。

Aは図6の分岐導体4-1, 4-2の2分岐されている位置を示している。

図中、2つの○は該当の2つ辺の長さが同じであることを示し、2つの○は該当の2つ辺の長さが同じであることを示している。

【0041】

図1の終端器では、ビアホール7-1におけるy方向の位置がy1、ビアホール7-2におけるy方向の位置がy2であれば、図27に示すように、損失性部材6-1の出力側から地導体5までの距離と、損失性部材6-2の出力側から地導体5までの距離との差分が $a = |y_2 - y_1|$ となる。

図6の終端器では、ビアホール7-1a, 7-1bにおけるy方向の位置がy1、ビアホール7-2a, 7-2bにおけるy方向の位置がy2であれば、図27に示すように、損失性部材6-1の出力側からビアホール7-1a, 7-1bを経由して地導体5に至るまでの距離と、損失性部材6-2の出力側からビアホール7-2a, 7-2bを経由して地導体5に至るまでの距離との差分がbとなる。

【0042】

図27から明らかのように、上記実施の形態1の場合の差分aよりも、この実施の形態2の場合の差分bの方が小さくなり、ビアホールにおけるy方向の位置ずれの影響が小さくなっている。

よって、ビアホール7-1a, 7-1b(または7-4a, 7-4b)におけるy方向の位置と、ビアホール7-2a, 7-2b(または7-3a, 7-3b)におけるy方向の位置とにばらつきが生じている場合でも、そのばらつきの影響が減少されるため、上記実施の形態1よりも、反射特性の劣化を抑えることができる。

【0043】

実施の形態3

上記実施の形態1, 2では、損失性部材6-1, 6-2, 6-3, 6-4が分岐導体4-1, 4-2, 4-3, 4-4の一部を覆うように、損失性部材6-1, 6-2, 6-3, 6-4を配置している例を示している。

この実施の形態3では、損失性部材6-1, 6-2, 6-3, 6-4によって覆われている部分の分岐導体4-1, 4-2, 4-3, 4-4に対して共振器がそれぞれ接続されている例を説明する。

【0044】

図7はこの発明の実施の形態3による終端器を示す上面図である。図7において、図6と同一符号は同一または相当部分を示すので説明を省略する。

スタブ9-1は損失性部材6-1によって覆われている部分の分岐導体4-1から分岐されており、分岐導体4-1を伝搬された信号と共振する共振器である。

スタブ9-2は損失性部材6-2によって覆われている部分の分岐導体4-2から分岐

10

20

30

40

50

されており、分岐導体 4 - 2 を伝搬された信号と共振する共振器である。

スタブ 9 - 3 は損失性部材 6 - 3 によって覆われている部分の分岐導体 4 - 3 から分岐されており、分岐導体 4 - 3 を伝搬された信号と共振する共振器である。

スタブ 9 - 4 は損失性部材 6 - 4 によって覆われている部分の分岐導体 4 - 4 から分岐されており、分岐導体 4 - 4 を伝搬された信号と共振する共振器である。

【 0 0 4 5 】

図 7 は、スタブ 9 - 1 , 9 - 2 , 9 - 3 , 9 - 4 が図 6 の終端器に適用される例を示しているが、スタブ 9 - 1 , 9 - 2 , 9 - 3 , 9 - 4 は図 1 又は図 5 の終端器に適用されるものであってもよい。

【 0 0 4 6 】

次に動作について説明する。

この実施の形態 3 でも、上記実施の形態 1 , 2 と同様に、分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 を伝搬された信号の電力が、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 によって熱に変換されて損失される。

この実施の形態 3 では、スタブ 9 - 1 , 9 - 2 , 9 - 3 , 9 - 4 が分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 を伝搬された信号と共振するため、スタブ 9 - 1 , 9 - 2 , 9 - 3 , 9 - 4 においても、熱を放出する箇所が発生する。

このため、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 のみが配置されている場合よりも、分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 を伝搬された信号の電力の損失量を増やすことができる。したがって、上記実施の形態 1 , 2 よりも、地導体 5 からの反射信号を減らすことができる。

なお、スタブ 9 - 1 , 9 - 2 , 9 - 3 , 9 - 4 は、線路の長さを調整することで、入力端 2 a からの入力信号と、地導体 5 からの反射信号との整合を図る整合回路として動作させることも可能である。

【 0 0 4 7 】

以上で明らかのように、この実施の形態 3 によれば、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 によって覆われている部分の分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 に対して共振器がそれぞれ接続されているように構成したので、上記実施の形態 1 , 2 よりも更に、反射信号の増加に伴う反射特性の劣化を抑えることができる。よって、上記実施の形態 1 , 2 よりも更に、使用可能な周波数帯域を広げることができる。

【 0 0 4 8 】

実施の形態 4 .

上記実施の形態 3 では、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 によって覆われている部分の分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 に対してスタブ 9 - 1 , 9 - 2 , 9 - 3 , 9 - 4 が接続されている例を示している。

この実施の形態 4 では、スタブ 9 - 1 , 9 - 2 , 9 - 3 , 9 - 4 の先端部分に円盤状の導体 9 a が接続されている例を説明する。

【 0 0 4 9 】

図 8 はこの発明の実施の形態 4 による終端器を示す上面図である。図 8 において、図 7 と同一符号は同一または相当部分を示すので説明を省略する。

スタブ 9 - 1 , 9 - 2 , 9 - 3 , 9 - 4 の先端部分には、円盤状の導体 9 a が接続されており、円盤状の導体 9 a は、スタブ 9 - 1 , 9 - 2 , 9 - 3 , 9 - 4 の線路幅よりも広く、かつ、角がない曲線の形状をなしている。

【 0 0 5 0 】

上記実施の形態 3 では、スタブ 9 - 1 , 9 - 2 , 9 - 3 , 9 - 4 が直線状の導体であり、スタブ 9 - 1 , 9 - 2 , 9 - 3 , 9 - 4 の形状が四角形になっている。このため、スタブ 9 - 1 , 9 - 2 , 9 - 3 , 9 - 4 の角の部分に熱が集中する。

この実施の形態 4 では、スタブ 9 - 1 , 9 - 2 , 9 - 3 , 9 - 4 の先端部分に円盤状の導体 9 a が接続されているため、スタブ 9 - 1 , 9 - 2 , 9 - 3 , 9 - 4 には角の部分がない。これにより、熱が集中する箇所がなくなって分散されるため、上記実施

10

20

30

40

50

の形態 3 よりも、耐電力性を高めることができる。

【 0 0 5 1 】

実施の形態 5 .

この実施の形態 5 では、信号導体 2 が入力側のインピーダンスと出力側のインピーダンスとを整合する整合回路 1 0 , 1 1 - 1 , 1 1 - 2 を含んでいる終端器について説明する。

【 0 0 5 2 】

図 9 はこの発明の実施の形態 5 による終端器を示す上面図である。図 9 において、図 8 と同一符号は同一または相当部分を示すので説明を省略する。

整合回路 1 0 は信号導体 2 の入力端 2 a におけるインピーダンスと分岐部 3 a におけるインピーダンスとを整合する回路である。整合回路 1 0 は信号を伝搬する導体であるが、導体幅が信号導体 2 の導体幅よりも広がっているため、インピーダンス変成器として動作する。

【 0 0 5 3 】

整合回路 1 1 - 1 は一端が分岐部 3 a と接続され、他端が分岐部 3 b と接続されており、分岐部 3 a におけるインピーダンスと分岐部 3 b におけるインピーダンスとを整合する回路である。

整合回路 1 1 - 2 は一端が分岐部 3 a と接続され、他端が分岐部 3 c と接続されており、分岐部 3 a におけるインピーダンスと分岐部 3 c におけるインピーダンスとを整合する回路である。

整合回路 1 1 - 1 , 1 1 - 2 は信号を伝搬する導体であるが、導体幅が信号導体 2 の導体幅よりも広がっているため、インピーダンス変成器として動作する。

【 0 0 5 4 】

図 9 は、整合回路 1 0 , 1 1 - 1 , 1 1 - 2 が図 8 の終端器に適用される例を示しているが、整合回路 1 0 , 1 1 - 1 , 1 1 - 2 は図 1、図 5 ~ 7 の終端器に適用されるものであってもよい。

【 0 0 5 5 】

上記実施の形態 1 ~ 4 のように、信号導体 2 が整合回路 1 0 , 1 1 - 1 , 1 1 - 2 を含んでいない場合、分岐部 3 a , 3 b , 3 c において、インピーダンスの不整合が発生して、反射特性が劣化する可能性がある。

この実施の形態 5 では、整合回路 1 0 が、信号導体 2 の入力端 2 a におけるインピーダンスと分岐部 3 a におけるインピーダンスとを整合する。

また、整合回路 1 1 - 1 が、分岐部 3 a におけるインピーダンスと分岐部 3 b におけるインピーダンスとを整合し、整合回路 1 1 - 2 が、分岐部 3 a におけるインピーダンスと分岐部 3 c におけるインピーダンスとを整合する。

これにより、分岐部 3 a , 3 b , 3 c におけるインピーダンスの不整合の発生を抑えることができるため、上記実施の形態 1 ~ 4 よりも、さらに、使用可能な周波数帯域を広げることができる。

【 0 0 5 6 】

この実施の形態 5 では、整合回路 1 0 , 1 1 - 1 , 1 1 - 2 がインピーダンス変成器である例を示しているが、これに限るものではなく、例えば、図 1 0 に示すように、整合回路 1 0 , 1 1 - 1 , 1 1 - 2 がスタブ 1 0 a , 1 1 - 1 a , 1 1 - 2 a であってもよい。

また、整合回路 1 0 , 1 1 - 1 , 1 1 - 2 であるインピーダンス変成器が、さらにスタブ 1 0 a , 1 1 - 1 a , 1 1 - 2 a を含むものであってもよい。

図 1 0 はこの発明の実施の形態 5 による他の終端器を示す上面図である。

図 1 0 は、スタブ 1 0 a , 1 1 - 1 a , 1 1 - 2 a が図 1 の終端器に適用される例を示しているが、スタブ 1 0 a , 1 1 - 1 a , 1 1 - 2 a は図 5 ~ 8 の終端器に適用されるものであってもよい。

【 0 0 5 7 】

実施の形態 6 .

上記実施の形態 1 ~ 5 では、誘電体基板 1 の第 1 の層が誘電体基板 1 の表面 1 a であり、誘電体基板 1 の第 2 の層が誘電体基板 1 の裏面 1 b である例を示している。

この実施の形態 6 では、誘電体基板 1 の第 1 の層が誘電体基板 1 の内層 1 c であり、誘電体基板 1 の第 2 の層が誘電体基板 1 の表面 1 a 及び裏面 1 b である例を説明する。

【 0 0 5 8 】

図 1 1 はこの発明の実施の形態 6 による終端器を示す断面図である。図 1 1 において、図 2 と同一符号は同一または相当部分を示している。

信号導体 2 は上記実施の形態 1 における信号導体 2 に相当する信号導体である。ただし、この実施の形態 6 の信号導体 2 は、上記実施の形態 1 における信号導体 2 と異なり、誘電体基板 1 の内層 1 c に配置されている。

10

損失性部材 6 は上記実施の形態 1 における損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 に相当する損失性部材である。ただし、この実施の形態 6 の損失性部材 6 は上記実施の形態 1 における損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 と異なり、誘電体基板 1 の内層 1 c に配置されている。

【 0 0 5 9 】

地導体 5 a は誘電体基板 1 の表面 1 a の全面に亘って配置されている導体である。

地導体 5 b は上記実施の形態 1 における地導体 5 に相当し、誘電体基板 1 の裏面 1 b の全面に亘って配置されている。

【 0 0 6 0 】

ビアホール 7 a は上記実施の形態 1 におけるビアホール 7 - 1 , 7 - 2 , 7 - 3 , 7 - 4 に相当するビアホールである。ただし、ビアホール 7 a は上記実施の形態 1 におけるビアホール 7 - 1 , 7 - 2 , 7 - 3 , 7 - 4 と異なり、誘電体基板 1 の内層 1 c に配置されている信号導体 2 の出力端 2 b - 1 , 2 b - 2 , 2 b - 3 , 2 b - 4 と地導体 5 a との間を接続している。

20

ビアホール 7 b は上記実施の形態 1 におけるビアホール 7 - 1 , 7 - 2 , 7 - 3 , 7 - 4 に相当するビアホールである。ただし、ビアホール 7 b は上記実施の形態 1 におけるビアホール 7 - 1 , 7 - 2 , 7 - 3 , 7 - 4 と異なり、誘電体基板 1 の内層 1 c に配置されている信号導体 2 の出力端 2 b - 1 , 2 b - 2 , 2 b - 3 , 2 b - 4 と地導体 5 b との間を接続している。

【 0 0 6 1 】

30

この実施の形態 6 における終端器の動作は、上記実施の形態 1 ~ 5 と同様である。

この実施の形態 6 では、地導体 5 b が誘電体基板 1 の裏面 1 b に配置されるだけでなく、地導体 5 a が誘電体基板 1 の表面 1 a に配置されている。また、ビアホール 7 a が、誘電体基板 1 の表面 1 a に配置されている地導体 5 a と接続され、ビアホール 7 b が、誘電体基板 1 の裏面 1 b に配置されている地導体 5 b と接続されている。

このため、地導体 5 a と地導体 5 b を合わせた面積が、上記実施の形態 1 ~ 5 における地導体 5 の面積の 2 倍になり、放熱効果が増大する。

また、終端器の製造時のミスによって、ビアホール 7 a 又はビアホール 7 b の一方が欠損しても、大きな特性の変化を招くことなく、動作することが可能になる。

【 0 0 6 2 】

40

例えば、誘電体基板 1 の表面 1 a に配置されている地導体 5 a と接続されるビアホール 7 a が欠損する場合を想定する。

この実施の形態 6 では、このような欠損が発生しても、誘電体基板 1 の裏面 1 b に配置されている地導体 5 b と接続されるビアホール 7 b によって、信号導体 2 の出力端 2 b - 1 , 2 b - 2 , 2 b - 3 , 2 b - 4 は、地導体 5 b と電氣的に接続される。

このため、誘電体基板 1 の表面 1 a に配置されている地導体 5 a と接続されるビアホール 7 a が欠損していない場合とほぼ同様の特性が得られる。

【 0 0 6 3 】

実施の形態 7 .

上記実施の形態 1 ~ 5 では、誘電体基板 1 の第 1 の層が誘電体基板 1 の表面 1 a であり

50

、誘電体基板 1 の第 2 の層が誘電体基板 1 の裏面 1 b である例を示している。

この実施の形態 6 では、誘電体基板 1 の第 1 及び第 2 の層がそれぞれ多層化されている例を説明する。

【 0 0 6 4 】

図 1 2 はこの発明の実施の形態 7 による終端器を示す断面図である。図 1 2 において、図 2 及び図 1 1 と同一符号は同一または相当部分を示している。

図 1 2 が示す終端器の断面図は、図 1 の終端器における回路が適用される場合の断面図を示しているが、図 5 ~ 9 の終端器における回路が適用されるものであってもよい。

誘電体基板 1 の表面 1 a は、誘電体基板 1 の第 2 の層である。

誘電体基板 1 の裏面 1 b は、誘電体基板 1 の第 2 の層である。

誘電体基板 1 の内層 1 c - 1 は、誘電体基板 1 の第 1 の層である。

誘電体基板 1 の内層 1 c - 2 は、誘電体基板 1 の第 2 の層である。

誘電体基板 1 の内層 1 c - 3 は、誘電体基板 1 の第 1 の層である。

【 0 0 6 5 】

地導体 5 c は誘電体基板 1 の内層 1 c - 2 の全面に亘って配置されている導体である。

入出力端子 2 1 は誘電体基板 1 の裏面 1 b に配置されている端子である。

分配回路 2 2 は誘電体基板 1 の内層 1 c - 1 に配置されている回路であり、上記実施の形態 1 における信号導体 2 のうち、入力端 2 a から損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 の入力側までの信号導体 2 を含んでいる。

終端回路 2 3 は誘電体基板 1 の内層 1 c - 3 に配置されている回路であり、上記実施の形態 1 における信号導体 2 のうち、損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 の入力側から出力端 2 b - 1 , 2 b - 2 , 2 b - 3 , 2 b - 4 までの信号導体 2 を含んでいる。

【 0 0 6 6 】

ビアホール 2 4 は誘電体基板 1 の裏面 1 b と内層 1 c - 1 との間の接続導体であり、入出力端子 2 1 と分配回路 2 2 における信号導体 2 の入力端 2 a との間を接続している。

ビアホール 2 5 は誘電体基板 1 の内層 1 c - 1 と内層 1 c - 3 との間の接続導体であり、分配回路 2 2 における分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 と、終端回路 2 3 における損失性部材 6 - 1 , 6 - 2 , 6 - 3 , 6 - 4 の入力側とを接続している。

【 0 0 6 7 】

ビアホール 2 6 は誘電体基板 1 の内層 1 c - 3 と内層 1 c - 2 との間の接続導体であり、終端回路 2 3 における分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 の出力端 2 b - 1 , 2 b - 2 , 2 b - 3 , 2 b - 4 と地導体 5 c との間を接続している。

ビアホール 2 7 は誘電体基板 1 の内層 1 c - 3 と裏面 1 b との間の接続導体であり、終端回路 2 3 における分岐導体 4 - 1 , 4 - 2 , 4 - 3 , 4 - 4 の出力端 2 b - 1 , 2 b - 2 , 2 b - 3 , 2 b - 4 と地導体 5 b との間を接続している。

ビアホール 2 8 は誘電体基板 1 の表面 1 a と内層 1 c - 2 と裏面 1 b との間の接続導体であり、地導体 5 a と地導体 5 b と地導体 5 c との間を接続している。

【 0 0 6 8 】

図 1 3 はこの発明の実施の形態 7 による終端器における表面 1 a の上面図である。

図 1 4 はこの発明の実施の形態 7 による終端器における内層 1 c - 1 の上面図である。図 1 4 において、5 d は地導体である。

図 1 5 はこの発明の実施の形態 7 による終端器における内層 1 c - 2 の上面図である。

図 1 6 はこの発明の実施の形態 7 による終端器における内層 1 c - 3 の上面図である。

図 1 7 はこの発明の実施の形態 7 による終端器における裏面 1 b の上面図である。

【 0 0 6 9 】

この実施の形態 7 における終端器の動作は、上記実施の形態 1 ~ 5 と同様である。

誘電体基板 1 の表面 1 a には、図 1 3 に示すように、全面に亘って地導体 5 a が配置されており、複数のビアホール 2 8 が地導体 5 a の外周を囲んでいる。

複数のビアホール 2 8 の間隔が使用周波数のカットオフ周波数以下となる間隔で、複数のビアホール 2 8 が配置されることで、終端器の回路からの電磁波の漏洩を防ぐことがで

10

20

30

40

50

きる。

【0070】

この実施の形態7では、終端器の小型化を図るために基板を多層化している。

終端器を多層化するため、分配回路22が配置されている誘電体基板1の内層1c-1と別の層である図16に示す内層1c-3に、終端回路23が配置されている。

図16の例では、終端回路23における分岐導体4-1, 4-2, 4-3, 4-4の出力端2b-1, 2b-2, 2b-3, 2b-4と接続されているビアホール26, 27は、基板中央付近に配置されている。また、入出力端子21と接続されているビアホール24は、基板中央に配置されている。

【0071】

この実施の形態7では、終端器の基板が多層化されている例を示しているが、図18に示すように、はんだボール30を配置することで、例えば、地導体5e, 5f, 5gやIC(Integrated Circuit)チップなどが実装されている層を有する基板の表面上に、当該終端器を実装することも可能となる。

また、この実施の形態7では、信号導体2の-z方向側に地導体5eを配置することで、終端器内の信号導体2が地導体5a, 5eによって囲まれているため、終端器内の信号導体2は、電磁界シールドされている。

【0072】

実施の形態8

上記実施の形態7では、図1の終端器の基板が多層化されている例を示しているが、この実施の形態8では、整合回路10, 11-1, 11-2を備えている図9の終端器の基板が多層化されている例を説明する。

【0073】

この実施の形態8における終端器の断面図は、上記実施の形態7における図12の終端器の断面図と同じである。

図19はこの発明の実施の形態8による終端器における表面1aの上面図である。

図20はこの発明の実施の形態8による終端器における内層1c-1の上面図である。図20において、11-3は整合回路である。図20では、整合回路11-3が、導体幅が信号導体2の導体幅よりも広がっているインピーダンス変成器を図示しているが、整合回路11-3がスタブであってもよい。

図21はこの発明の実施の形態8による終端器における内層1c-2の上面図である。

図22はこの発明の実施の形態8による終端器における内層1c-3の上面図である。図22において、損失性部材6-5は円環状の損失性部材であり、損失性部材6-1, 6-2, 6-3, 6-4が一体化されたものである。

図23はこの発明の実施の形態8による終端器における裏面1bの上面図である。

【0074】

この実施の形態8における終端器の動作は、上記実施の形態5と同様である。

このため、この実施の形態8では、上記実施の形態5と同様の効果が得られる。

また、この実施の形態8では、終端器が整合回路10, 11-1, 11-2, 11-3を備える場合であっても、上記実施の形態7と同様に、基板が多層化されているため、終端器の小型化を図ることができる。

【0075】

実施の形態9

上記実施の形態7, 8では、分配回路22が誘電体基板1の内層1c-1に配置され、終端回路23が誘電体基板1の内層1c-3に配置されている例を示している。

この実施の形態9では、分配回路22と終端回路23の配置を上下逆転し、分配回路22が誘電体基板1の内層1c-3に配置され、終端回路23が誘電体基板1の内層1c-1に配置されているようにしてもよい。

【0076】

図24はこの発明の実施の形態9による終端器を示す断面図である。

10

20

30

40

50

この実施の形態 9 における終端器の動作は、上記実施の形態 7, 8 と同様である。

このため、この実施の形態 9 では、上記実施の形態 7, 8 と同様の効果が得られる。

この実施の形態 9 においても、図 25 に示すように、誘電体基板 1 の裏面 1 b にはんだボール 30 を配置することで、例えば、地導体 5 e, 5 f, 5 g や IC チップなどが実装されている層を有する基板の表面上に、当該終端器を実装することも可能となる。

図 25 はこの発明の実施の形態 9 による他の終端器を示す断面図である。

【0077】

また、この実施の形態 9 では、図 26 に示すように、誘電体基板 1 の表面 1 a に放熱フィン 31 を取り付けるとしてもよい。

図 26 はこの発明の実施の形態 9 による他の終端器を示す断面図である。

誘電体基板 1 の表面 1 a に放熱フィン 31 を取り付けるとして、誘電体基板 1 の表面 1 a からの放熱を実現することができる。

【0078】

なお、本願発明はその発明の範囲内において、各実施の形態の自由な組み合わせ、あるいは各実施の形態の任意の構成要素の変形、もしくは各実施の形態において任意の構成要素の省略が可能である。

【産業上の利用可能性】

【0079】

この発明は、信号の不要反射を抑制する終端器に適している。

【符号の説明】

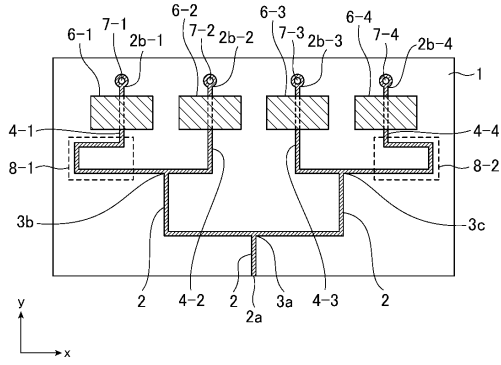
【0080】

1 誘電体基板、1 a, 1 c 誘電体基板 1 の表面 (第 1 の層、第 2 の層)、1 b 誘電体基板 1 の裏面 (第 2 の層)、1 c - 1 誘電体基板 1 の内層 (第 1 の層)、1 c - 2 誘電体基板 1 の内層 (第 2 の層)、1 c - 3 誘電体基板 1 の内層 (第 1 の層)、2 信号導体、2 a 入力端、2 b - 1, 2 b - 1 a, 2 b - 1 b, 2 b - 4, 2 b - 4 a, 2 b - 4 b 出力端 (第 1 の出力端)、2 b - 2, 2 b - 2 a, 2 b - 2 b, 2 b - 3, 2 b - 3 a, 2 b - 3 b 出力端 (第 2 の出力端)、3 a, 3 b, 3 c 分岐部 (分岐箇所)、4 - 1, 4 - 4 分岐導体 (第 1 の分岐導体)、4 - 2, 4 - 3 分岐導体 (第 2 の分岐導体)、4 - 5, 4 - 6, 4 - 7, 4 - 8 分岐導体、5, 5 a, 5 b, 5 c, 5 d, 5 e, 5 f, 5 g 地導体、6, 6 - 1, 6 - 2, 6 - 3, 6 - 4, 6 - 5, 6 - 6 損失性部材、7 - 1, 7 - 1 a, 7 - 1 b, 7 - 2, 7 - 2 a, 7 - 2 b, 7 - 3, 7 - 3 a, 7 - 3 b, 7 - 4, 7 - 4 a, 7 - 4 b, 7 a, 7 b ピアホール (接続部材)、8 - 1, 8 - 2, 8 - 3 遅延回路、9 - 1, 9 - 2, 9 - 3, 9 - 4 スタブ (共振器)、9 a 円盤状の導体、10, 11 - 1, 11 - 2 整合回路、10 a, 11 - 1 a, 11 - 2 a スタブ、21 入出力端子、22 分配回路、23 終端回路、24, 25, 26, 27, 28 ピアホール、30 はんだボール、31 放熱フィン。

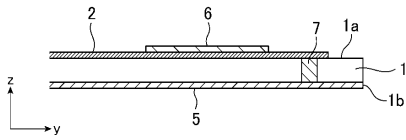
【要約】

信号導体 (2) における分岐導体 (4 - 1), (4 - 2) の一部とそれぞれ重なるように配置され、分岐導体 (4 - 1), (4 - 2) を流れる信号の電力を損失させる損失性部材 (6 - 1), (6 - 2) と、信号導体 (2) の出力端 (2 b - 1), (2 b - 2) のそれぞれと地導体 (5) との間を接続するピアホール (7 - 1), (7 - 2) とを備え、分岐導体 (4 - 1) が 90 度の電気長を有する遅延回路 (8 - 1) を含んでいるように構成する。

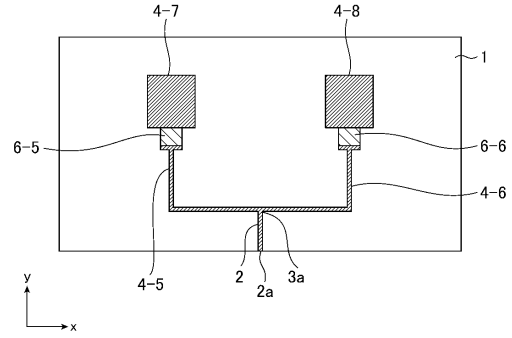
【図1】



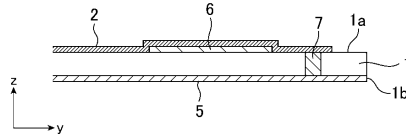
【図2】



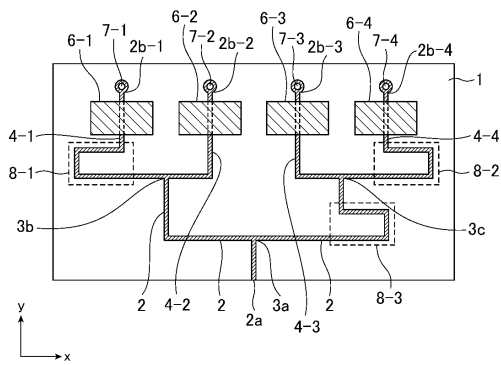
【図3】



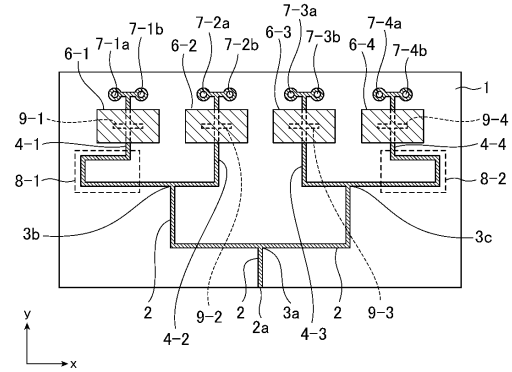
【図4】



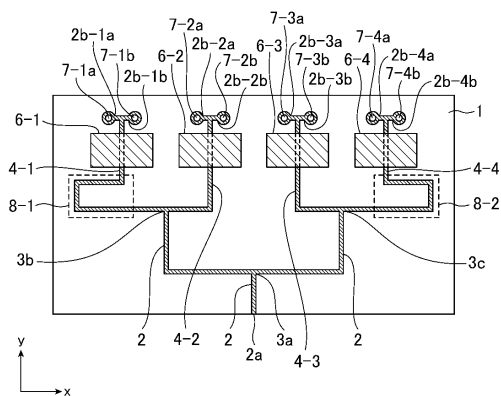
【図5】



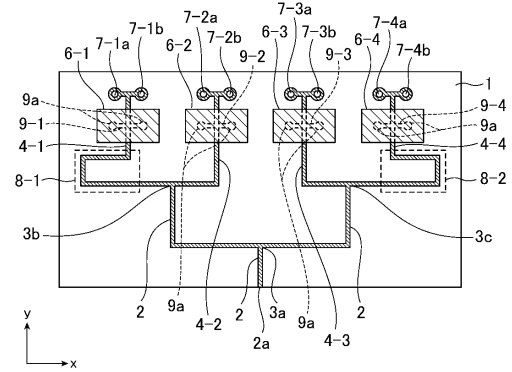
【図7】



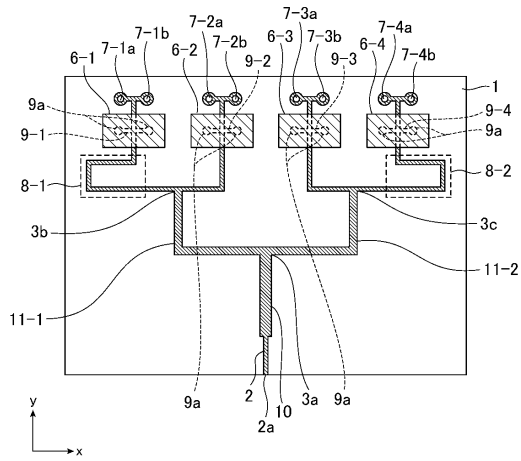
【図6】



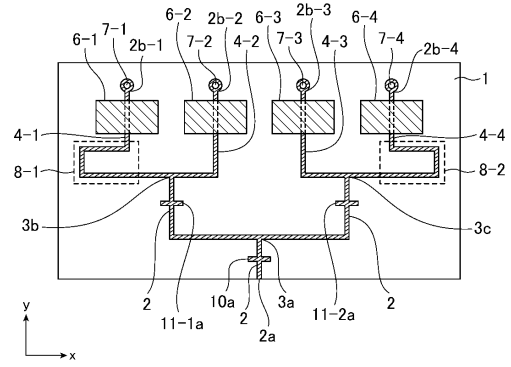
【図8】



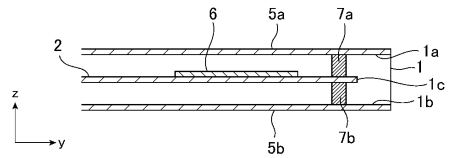
【図 9】



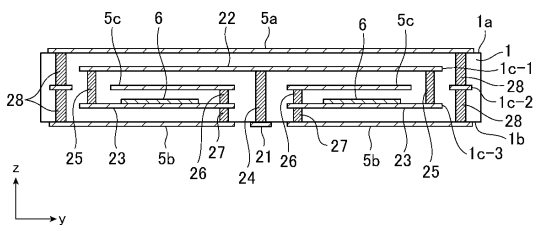
【図 10】



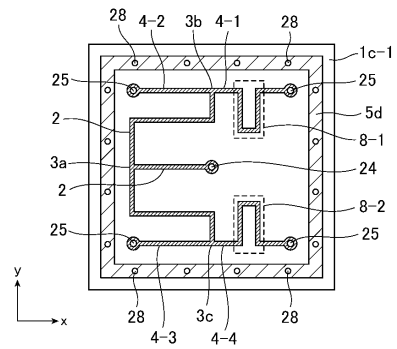
【図 11】



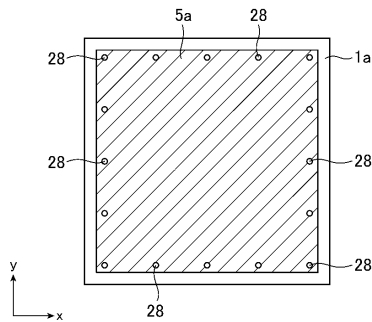
【図 12】



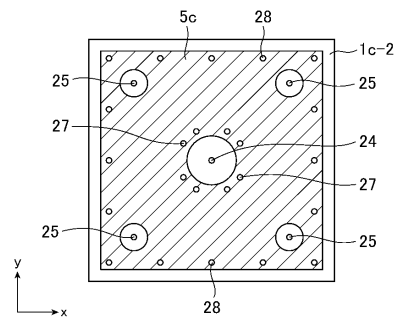
【図 14】



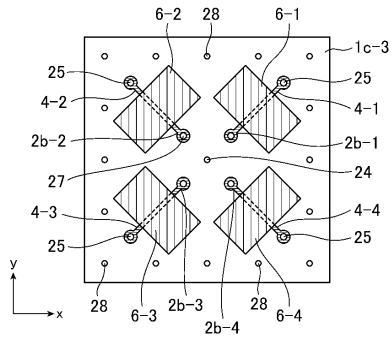
【図 13】



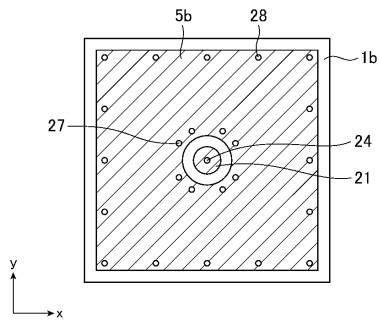
【図 15】



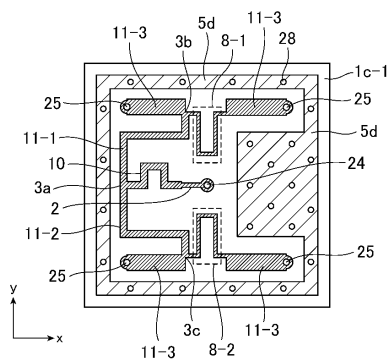
【図16】



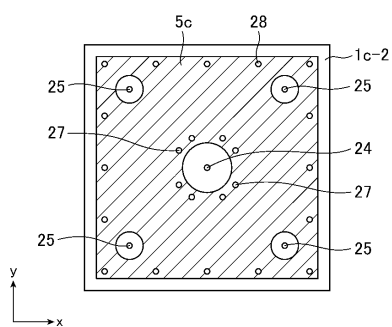
【図17】



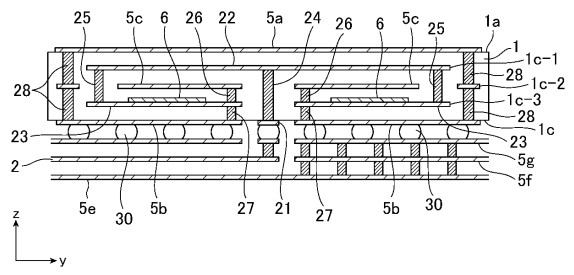
【図20】



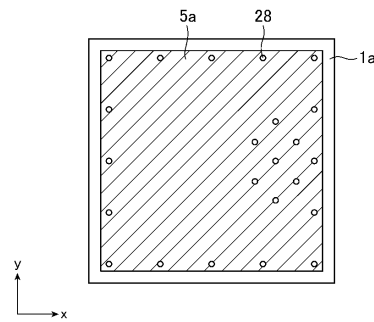
【図21】



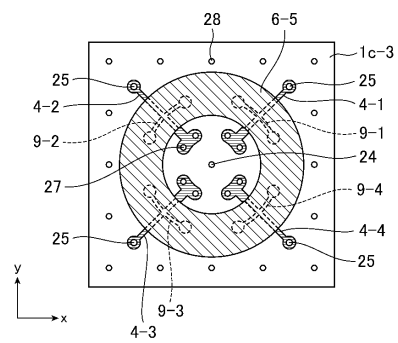
【図18】



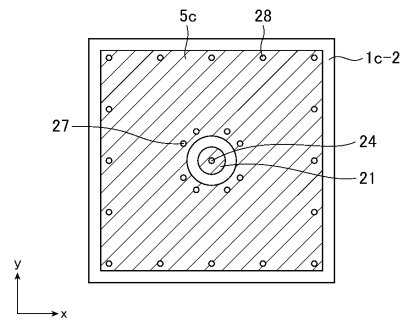
【図19】



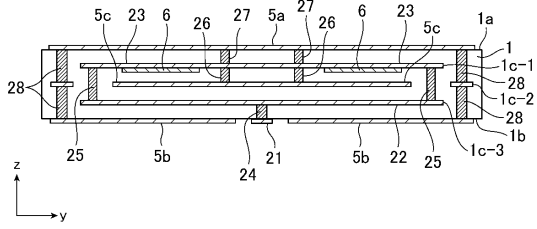
【図22】



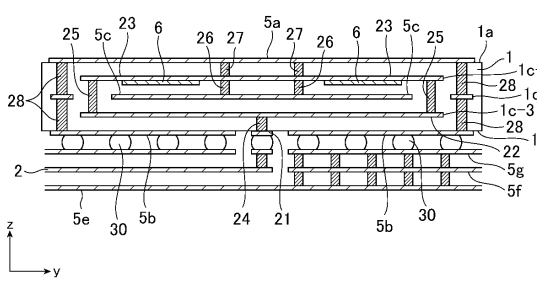
【図23】



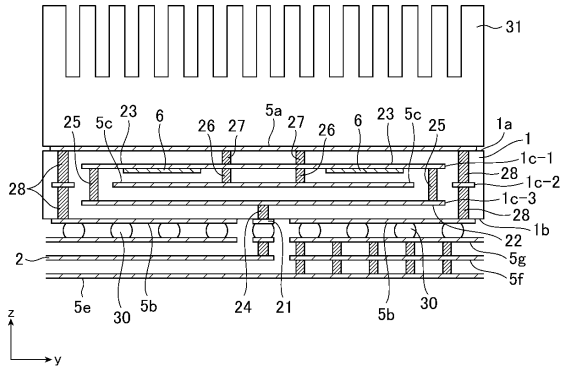
【図 24】



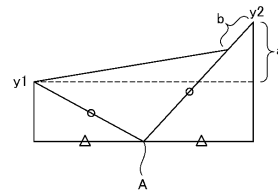
【図 25】



【図 26】



【図 27】



フロントページの続き

- (72)発明者 石橋 秀則
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 垂井 幸宣
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 小野寺 祐子
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 青山 裕之
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 米田 尚史
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 佐藤 当秀

- (56)参考文献 特開平06-318804(JP,A)
実開昭54-083835(JP,U)
欧州特許出願公開第00040567(EP,A1)
米国特許第04647877(US,A)
特開平06-152206(JP,A)
特開2003-101309(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01P 1/22
H01P 1/24
H01P 3/08