

## (12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2015年12月3日(03.12.2015)

WIPO | PCT

(10) 国際公開番号

WO 2015/182295 A1

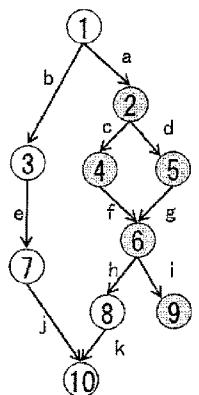
- (51) 国際特許分類:  
*G06F 9/48* (2006.01)      *B60R 16/02* (2006.01)
- (21) 国際出願番号: PCT/JP2015/062169
- (22) 国際出願日: 2015年4月22日(22.04.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2014-108387 2014年5月26日(26.05.2014) JP
- (71) 出願人: 日立オートモティブシステムズ株式会社 (HITACHI AUTOMOTIVE SYSTEMS, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場2520番地 Ibaraki (JP).
- (72) 発明者: 福田 賀(FUKUDA Takeshi); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 成沢 文雄(NARISAWA Fumio); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 蟻名 朋仁(EBINA Tomohito); 〒3128503 茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP). 小松 弘明
- (74) 代理人: 井上 学, 外(INOUE Manabu et al.); 〒1008220 東京都千代田区丸の内一丁目6番1号 株式会社日立製作所内 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), インドネシア (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: VEHICLE CONTROL APPARATUS

(54) 発明の名称: 車両制御装置

図7



ID	前タスク制御周期(ms)	後タスク制御周期(ms)	通信コスト(μs)	重み	重み付き通信コスト
a	10	5	10	7	70
b	10	10	15	1	15
...					
h	5	10	30	3	90
i	5	5	10	10	100
j	10	10	25	1	25

AA Pre-task control cycle (ms)

BB Post-task control cycle (ms)

CC Communication cost (μs)

DD Weight

EE Weighted communication cost

(57) Abstract: Provided is a vehicle control apparatus with which it is possible to allocate programs to multiple cores so as to satisfy a deadline even when software programs having two or more control cycles are intermixed. The vehicle control apparatus pertaining to the present invention allocates tasks to processor cores in consideration of the execution order of the tasks, the execution cycles of the tasks, and the cost of communication between the processor cores.

(57) 要約: 2つ以上の制御周期を持つソフトウェアが混在している場合においても、デッドラインを満たすようプログラムをマルチコアへと割り当てることができる車両制御装置を提供する。本発明に係る車両制御装置は、タスクの実行順序、タスクの実行周期、およびプロセッサコア間の通信コストを考慮して、各タスクをプロセッサコアへ割り当てる。



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:  
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, — 國際調查報告（條約第 21 条(3)）  
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,  
GW, KM, ML, MR, NE, SN, TD, TG).

## 明 細 書

### 発明の名称：車両制御装置

#### 技術分野

[0001] 本発明は、車両制御装置に関するものである。

#### 背景技術

[0002] 自動車、エレベータ、建設機械などの技術分野においては、組込ソフトウェアによって制御対象を制御する、組込制御装置が用いられている。組込ソフトウェアは、従来の機械的機構や電気回路による制御方式に比べて、柔軟かつ高度な制御が実現できることが利点として挙げられる。

[0003] このような組込制御装置、例えば車両制御装置は、近年急速に高性能化が進み、これにともなってCPU (Central Processing Unit) の演算量の増加が問題となっている。これを解決するため、CPUコアの数を増やすマルチコア化またはマルチCPU化を図ることにより、単位時間あたりの演算量を向上させる取り組みが進んでいる。

[0004] しかしながら、シングルコアプロセッサを前提として開発された既存のソフトウェアをマルチコアプロセッサ上で効率良く実行するには多くの課題がある。特に、プログラムの実行順序制約が厳しい車両制御ソフトウェアを並列化して複数のコアへ割り当てる、タスク割当手法を確立することが大きな課題である。

[0005] 下記特許文献1は、シングルコアプロセッサ用に開発された既存の車両制御ソフトウェアを複数のコアに効率的に割り当てる技術について記載している。同文献においては、ソフトウェアの依存関係と進度状況に基づきタスクを処理待ちのコアに割り当てるにより、既存プログラムの実行順序を担保することを図っている。

[0006] 下記特許文献2は、必要なCPU利用率の大きいタスクが生じた際もそのタスクが実行できる可能性を確保して従来よりもリアルタイム性を向上させる技術について記載している。同文献においては、タスクに課せられた時間

制約とリアルタイムタスクの必要計算量からタスクが時間制約を満たすために必要なC P U利用率を計算し、算出されたC P U利用率が最大となるようタスクを割り当てる。

## 先行技術文献

### 特許文献

[0007] 特許文献1：特開2012－108576号公報

特許文献2：特開2010－277171号公報

### 発明の概要

### 発明が解決しようとする課題

[0008] 上記特許文献1記載の技術は、複数の制御周期を持つソフトウェアの取り扱いに関して配慮していない。例えば車両制御ソフトウェアの場合、1つのシステムを制御するソフトウェア中に複数の制御周期を持つプログラムが混在する（すなわち、互いに異なる実行周期で実行される複数のプログラムが存在する）場合が多い。特許文献1記載の技術は制御周期による違いについて考慮していないため、本来優先すべき制御周期が短いソフトウェアの実行が遅延してしまい、デッドラインをオーバーする可能性がある。

[0009] 上記特許文献2記載の技術は、プログラムの依存関係を考慮していない。例えば車両制御ソフトウェアの場合、センサ値情報の取得からアクチュエータ制御値の算出に到るまでのプログラム実行順序制約を厳密に満たすことが求められるなど、プログラム間の依存関係を考慮してタスクを割り当てる必要がある。特許文献2記載の技術は、実行順序制約のないタスクを前提としているため、車両制御ソフトウェアのように実行順序制約を持つソフトウェアを正しくマルチコアへ割り当てるることはできない。

[0010] 本発明は、上記のような課題に鑑みてなされたものであり、2つ以上の制御周期を持つソフトウェアが混在している場合においても、デッドラインを満たすようプログラムをマルチコアへと割り当てることができる車両制御装置を提供することを目的とする。

## 課題を解決するための手段

[0011] 本発明に係る車両制御装置は、タスクの実行順序、タスクの実行周期、およびプロセッサコア間の通信コストを考慮して、各タスクをプロセッサコアへ割り当てる。

## 発明の効果

[0012] 本発明に係る車両制御装置によれば、複数の制御周期が混在し、タスク間の依存関係が存在する制御ソフトウェアを用いる場合であっても、各タスクのデッドラインを満たしつつプロセッサコアへタスクを割り当てることができる。

## 図面の簡単な説明

[0013] [図1]既存のシングルコア用の車両制御ソフトウェアをプロセッサコアへ割り当てた結果を模式的に説明する図である。

[図2]本発明に係る車両制御装置1のシステム構成図である。

[図3]タスク割当部105の詳細構成を示す図である。

[図4]実行制御パラメータ101の具体例を示す図である。

[図5]重み付け部1051の処理を説明するフローチャートである。

[図6]重み付け部1051が通信コストに対して付与する重みの例を示す図である。

[図7]重み付き通信コスト1052の例を示す図である。

[図8]タスク割り付け部1053の処理を説明するフローチャートである。

[図9]タスク割り付け部1053によるタスク割当結果を示す模式図である。

[図10]実行ログ201の例を示す図である。

[図11]車両制御装置1の変形例を示すシステム構成図である。

## 発明を実施するための形態

[0014] <マルチコアにおけるタスク割当>

以下では本発明の理解を容易にするため、まずマルチコアプロセッサにおいて各プロセッサコアへタスクを割り当てる際の課題について説明し、その

後に本発明の実施形態について説明する。

[0015] 図1は、既存のシングルコア用の車両制御ソフトウェアをプロセッサコアへ割り当てた結果を模式的に説明する図である。図1における円内の数字1～10は、ひとかたまりのプログラム単位であるタスクを示している。円間の矢印はタスク間の依存関係を示している。依存関係とは、タスクの実行順序またはデータ受け渡しに関する依存関係のことである。矢印の方向はプログラムの実行順序制約と等しい。例えばタスク2はタスク1が終了した後でないと実行できない。図1において、タスクの割当先として2つのコアAとコアBがあるものとする。

[0016] 図1(a)は、タスクの実行周期が1つのみである場合におけるタスク割当結果を示している。プログラムはタスク間の依存関係に基づき、矢印で示された依存関係を逆転しないよう各コアに割り当てられる。図1(a)右側のプログラム実行時のタイムチャートが示すように、ソフトウェアは2つのコアによって並列に実行され、シングルコア利用時よりも少ない時間で全体の処理が完了していることがわかる。

[0017] 図1(b)は、複数の制御周期が混在している場合におけるタスク割当結果を示している。車両制御ソフトウェアにおいては、互いに異なる制御周期で実行されるタスクが混在している場合が多いので、図1(b)は車両制御ソフトウェアの実情をより反映したものであるといえる。図1(b)において、タスク1、3、7、8、10の制御周期は10msであり、タスク2、4、5、6、9の制御周期は5msである。図1(b)右側のプログラム実行時のタイムチャートが示すように、複数の制御周期が混在している場合において従来技術を用いてタスクを割り当てるとき、本来優先的に処理されるべき制御周期の短いタスクの処理が遅延し、デッドラインオーバーを引き起こす可能性がある。図1(b)においては、タスク9がデッドラインをオーバーしている。

[0018] <本発明の実施形態>

図2は、本発明に係る車両制御装置1のシステム構成図である。車両制御

装置1は、複数のプロセッサコア（ここでは102～104）を有するプロセッサ、タスク割当部105を備える。タスク割当部105は、実行制御パラメータ101を取得してこれに基づきタスクを各プロセッサコアへ割り当てる。プロセッサはタスク割当結果を記述した実行ログ201を記憶装置2に書き込む。

- [0019] 実行制御パラメータ101は、車両を制御するために必要なハードウェアおよびソフトウェアに関する情報を記述している。より詳細には、マルチコア構成、バス配線、センサ値、制御ソフトウェア（タスク）の制御周期パラメータ1011、優先順位、デッドライン、タスクの実行順序パラメータ1012、コア間の通信コストパラメータ1013、などを記述している。
- [0020] 制御周期パラメータ1011は、プロセッサが実行するプログラム（タスク）の制御周期を記述している。実行順序パラメータ1012は、プロセッサが実行するプログラムの実行順序を記述している。ここでいう実行順序とは、図1で説明したようなタスク間の依存関係を含む。通信コストパラメータ1013は、前タスクと後タスクをそれぞれ異なるプロセッサコアによって実行するためプロセッサコア間でデータ通信する必要が生じたと仮定した場合、そのために要する時間を記述している。
- [0021] 実行ログ201は、コア102～104による演算結果の一部または全てを記述するログであり、制御周期ログ202、実行順序ログ203、通信コストログ204を含む。制御周期ログ202、実行順序ログ203、通信コストログ204は、それぞれ制御周期パラメータ1011、実行順序パラメータ1012、通信コストパラメータ1013に対応し、各プロセッサコアが実際にタスクを実行した際の制御周期、実行順序、通信コストに関するログを記述している。
- [0022] 図3は、タスク割当部105の詳細構成を示す図である。タスク割当部105は、重み付け部1051、重み付き通信コスト1052、タスク割り付け部1053を有する。タスク割当部105は、実行制御パラメータ101を入力として取得する。重み付け部1051は、実行制御パラメータ101

の記述にしたがってコア間の通信コストに重み付けして重み付き通信コスト 1052を作成する。タスク割り付け部 1053は、重み付き通信コスト情報 1052にしたがって各コアにタスクを割り付ける。重み付けの具体例については後述する。

[0023] 図4は、実行制御パラメータ 101の具体例を示す図である。車両制御装置1が実行するソフトウェアはタスク1～10を有する。制御周期パラメータ 1011は各タスクの制御周期を記述しており、図4に示すように5msと10msの制御周期が混在している。実行順序パラメータ 1012は各タスクの実行順序を記述している。例えばタスク2と3はタスク1が処理完了するまで実行開始できない。通信コストパラメータ 1013はコア間のデータ通信にかかる時間を記述している。例えばタスク1とタスク2を異なるコアへ割り当てた場合、タスク1と2の間でデータ共有するためには、依存関係aの通信コストである $10\mu s$ が通信コストとして必要になる。通信コストは異なるコア間でのみ必要となるため、例えばタスク1と2を同じコアへ割り当てた場合の通信コストは0である。

[0024] 図5は、重み付け部 1051の処理を説明するフローチャートである。以下図5の各ステップについて説明する。

[0025] (図5：ステップ S10511～S10512)

重み付け部 1051は、実行制御パラメータ 101を取得すると本フローチャートを開始する(S10511)。重み付け部 1051は、これから重み付けするタスク間の依存

関係(実行制御パラメータ 101)を取得する(S10512)。

[0026] (図5：ステップ S10513～S10514)

重み付け部 1051は、ステップ S10512で取得した依存関係の前タスクと後タスクそれぞれの制御周期に基づき、通信コストに対する重みを決定する(S10513)。重み付けの考え方については後述する。重み付け部 1051は、ステップ S10512で取得した依存関係に対してステップ S10513で決定した重みを用いて通信コストに重み付けし、重み付き通

信コスト 1052 を算出する。

[0027] (図 5 : ステップ S10515)

重み付け部 1051 は、実行制御パラメータ 101 が記述しているタスク間のすべての依存関係について重み付けを完了したか否かを確認する。完了していない場合はステップ S10512 に戻って同様の処理を繰り返す。完了している場合は本フローチャートを終了する。

[0028] 図 6 は、重み付け部 1051 が通信コストに対して付与する重みの例を示す図である。タスク割り付け部 1053 は後述するように、重み付き通信コストが高いタスクを優先してプロセッサコアに対して割り当てる。そこで重み付け部 1051 は、早く完了すべきタスク、すなわち制御周期の短いタスクに対してより高い重みを付与する。

[0029] 図 6 に示す例においては、依存関係の後タスクの制御周期が短い（すなわち 5 ms 周期）場合は、制御周期が長い（すなわち 10 ms 周期）場合よりも重みを大きくしている。これにより、短周期タスクが優先的にプロセッサコアに対して割り当てられることになる。さらに、依存関係の前タスクの制御周期が短い場合は、長い場合よりも重みを大きくしている。これにより、複数の短周期タスクがまとまって割り当てられやすくなるので、デッドラインをより確実に準拠することができる。

[0030] 図 7 は、重み付き通信コスト 1052 の例を示す図である。タスク間の依存関係 h と i に着目すると、重み付け前の通信コストは h が 30、i が 10 であるため、依存関係 h の方が値が大きい。しかしながら、重み付け部 1051 によって算出された重み付き通信コスト 1052 を見ると、依存関係 h が 90、依存関係 i が 100 であり、依存関係 i の方が値が大きい。これは重み付けを行った結果、タスク 6 終了後に実行するタスクの候補として、依存関係 h (タスク 8) よりも依存関係 i (タスク 9) の方が優先度が高いと評価されたことを示している。したがってタスク割り付け部 1053 は、タスク 6 の後にタスク 8 よりもタスク 9 を優先してプロセッサコアへ割り当てる。

[0031] 図8は、タスク割り付け部1053の処理を説明するフローチャートである。以下図8の各ステップについて説明する。

[0032] (図8：ステップS10531～S10532)

タスク割り付け部1053は、重み付け部1051が重み付き通信コスト1052を算出し終えると、本フローチャートを開始する(S10531)。タスク割り付け部1053は、割り当て可能な全てのタスクをリストアップする(S10532)。割り当て可能なタスクとは、実行順序パラメータ1012が記述しているタスク間の依存関係にしたがって、次にプロセッサコアへ割り当てることができるタスクである。

[0033] (図8：ステップS10533)

タスク割り付け部1053は、割り当て可能な全てのタスクのなかで最も重み付き通信コストが高いタスクをプロセッサコアに割り当てる。割り当て可能なタスクのなかで通信コストが0であるものと0ではないものが混在する場合、これらタスクは異なるプロセッサコアへ割り当てる事になる。通信コストが0であるタスクは1つ前のタスクと同じプロセッサコアに割り当て、通信コストが0ではないタスクは1つ前のタスクとは異なるプロセッサコアに割り当てるからである。この場合は、通信コストが0ではないタスクのなかで最も重み付き通信コストが高いものを優先して割り当てるとともに、通信コストが0であるタスクはこれと並行して別のプロセッサコアへ割り当てればよい。通信コストが0であるタスクが複数存在する場合は、そのなかで重みが最も大きいタスクを優先して割り当てればよい。

[0034] (図8：ステップS10534)

タスク割り付け部1053は、割り当て可能な全てのタスクをプロセッサコアに割り当てるか否かを確認する。未割当タスクが残っている場合はステップS10532に戻って同様の処理を繰り返す。全て割り当てる場合は本フローチャートを終了する。

[0035] (図8：ステップS10531～S10534：補足)

タスク割り付け部1053は、本フローチャートが説明するタスク割り付

けを、例えば車両制御装置1が起動してからプロセッサがタスク実行を開始するまでの間においてのみ実施してもよいし、プロセッサがタスク実行を開始した後の適当なタイミング（例えばプロセッサ負荷が比較的低いとき）で実行制御パラメータ101を取得してタスクを再割り当てしてもよいし、これらを併用してもよい。

[0036] 図9は、タスク割り付け部1053によるタスク割当結果を示す模式図である。図7で説明したように、タスク6の後に割り当て可能であるタスク8と9を比較すると、タスク9のほうが重み付き通信コストが高いので、タスク9を優先的にプロセッサコアへ割り当てる。タスク6が完了する時点においてはコアBがタスク7を実行しているので、タスク9は空いているコアAに割り当てることになる。その結果、制御周期が5msである全てのタスクはデッドライン以内に完了することができる。

[0037] 図10は、実行ログ201の例を示す図である。実行ログ201は、車両制御装置1の稼働中において、各プロセッサコアが実行したタスクとその実行時刻を記録したログである。実行ログ201内の各ログは、必ずしも個別のデータとして記録する必要はなく、記述の便宜などに鑑みて適当なフォーマットで記録することができる。実行ログ201により、車両制御装置1が実行したプログラムの実行タイミング、実行順序、通信時間を把握することができる。例えばエラーが発生したときのプログラムの挙動解析やデバッグ作業において実行ログ201を利用することができる。通信コストログ204は、実際の通信コストを記述してもよいし、重み付き通信コストを記述してもよいし、これらを併記してもよい。

[0038] 車両制御装置1のプロセッサは、特定のタイミング（例えばエラーが発生した時刻）から所定時間前の記録を保存したい場合、記憶装置2の特定記憶領域に対して実行ログ201を繰り返し記録する。すなわち、当該記憶領域の空き容量がなくなると、当該記憶領域の古いログから順番に新しいログによって上書きする。あるいは、特定のタイミングから一定時間後の記録を保存したい場合、記憶装置2の特定記憶領域に対して実行ログ201を記録し

、当該記憶領域の空き容量上限に達した時点でログ出力を停止する。記憶装置2の空き容量が十分にある場合は、上記のような手法を用いず単純に全ての実行ログ201を記録してもよい。

[0039] 図11は、車両制御装置1の変形例を示すシステム構成図である。車両制御装置1は必ずしも実行制御パラメータ101を内部に保持しておく必要はなく、外部から取得することもできる。同様に記憶装置2も、車両制御装置1の内部に備えることもできるし、外部記憶装置として構成することもできる。実行制御パラメータ101は、データファイル形式でもよいし、適当な電気信号によって実行制御パラメータ101を記述してもよい。

[0040] <本発明のまとめ>

以上のように、本発明に係る車両制御装置1は、制御周期パラメータ1011と実行順序パラメータ1012の記述にしたがって、タスク間の依存関係と各タスクの実行周期に関する制約を満たしつつ、各タスクをプロセッサコアへ割り当てる。これにより、実行順序制約やデッドライン制約が存在する車両制御ソフトウェアにおいても、これら制約を満たしつつタスクを効率的に実行することができる。

[0041] また本発明に係る車両制御装置1は、タスク間の依存関係における後タスクが短周期タスクである場合はこれを優先的にプロセッサコアへ割り当てる。これにより、制御周期が短いタスクをより確実にデッドラインまでに完了させることができる。

[0042] 本発明は上記した実施形態に限定されるものではなく、様々な変形例が含まれる。上記実施形態は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。例えば上記実施形態においては車両制御装置の構成例を説明したが、本発明に係る手法は、その他の家庭用機器、産業用機器、医療機器などを電子制御する組込システムにおいても用いることができる。

[0043] 上記実施形態においては、制御周期として5msと10msの2つを例示したが、この数値は例示であり本発明をこれに限定するものではない。また

3種類以上の制御周期が混在している場合においても本発明を用いることができる。例えば図6においては、制御周期が2種類であることを前提として前後タスクの組み合わせを示したが、3種類以上の制御周期がある場合はその各組み合わせについて同様に重みを定めることもできる。この場合は前タスクと後タスクいずれについても、制御周期が短いタスクほど重みが大きくなるようにすればよい。

[0044] 上記実施形態においては、制御周期パラメータ1011が指定する制御周期を満たすことを前提としたが、優先度が低いタスクのなかには、ある程度の回数は制御周期を満たさなくとも動作上支障がないものもある。このようなタスクを制御周期のみに基づき割り当てるのは必ずしも望ましくない。そこで制御周期パラメータ1011と併せて各タスクの優先度を記述しておき、タスク割当部105は、優先度が低いタスクほど制御周期を満たさなくても許容される（エラーとみなさない）回数が多くなるようにしてもよい。

[0045] 上記各構成、機能、処理部、処理手段等は、それらの一部を、例えば集積回路で設計する等によりハードウェアで実現してもよい。また、上記の各構成、機能等は、プロセッサがそれぞれの機能を実現するプログラムを解釈し、実行することによりソフトウェアで実現してもよい。各機能を実現するプログラム、テーブル、ファイル等の情報は、メモリ、ハードディスク、SSD (S o l i d S t a t e D r i v e) 等の記録装置、I Cカード、SDカード、DVD等の記録媒体に格納することができる。

## 符号の説明

[0046] 1：車両制御装置、101：実行制御パラメータ、1011：制御周期パラメータ、1012：実行順序パラメータ、1013：通信コストパラメータ、102～104：プロセッサコア、105：タスク割当部、1051：重み付け部、1052：重み付き通信コスト、1053：タスク割り付け部、2：記憶装置、201：実行ログ、202：制御周期ログ、202：実行順序ログ、203：通信コストログ。

## 請求の範囲

- [請求項1] 車両の動作を制御するタスクを実行するプロセッサコアを複数有するプロセッサ、  
各前記プロセッサコアに対して前記タスクを割り当てるタスク割当部、  
を備え、  
前記タスク割当部は、前記タスクの実行順序を記述した実行順序パラメータ、前記タスクの実行周期を記述した実行周期パラメータ、および2つの前記プロセッサコア間でデータ通信するために要する通信コストを記述した通信コストパラメータを取得し、前記実行順序パラメータ、前記実行周期パラメータ、および前記通信コストパラメータの記述にしたがって前記タスクを各前記プロセッサコアに割り当て、  
前記プロセッサは、各前記プロセッサコアが前記タスクを実行した順序を記述した実行順序ログ、各前記プロセッサコアが前記タスクを実行した周期を記述した実行周期ログ、および2つの前記プロセッサコア間でデータ通信するために要した通信コストを記述した通信コストログを出力する  
ことを特徴とする車両制御装置。
- [請求項2] 前記タスク割当部は、前記実行順序パラメータにしたがって前記プロセッサコアに対して割り当てることができる前記タスクの候補である割当候補が複数存在する場合、前記割当候補のなかで前記実行周期が短いものほど優先して割り当てる  
ことを特徴とする請求項1記載の車両制御装置。
- [請求項3] 前記タスク割当部は、前記割当候補が複数存在し、かつ各前記割当候補についての前記通信コストがいずれも0ではない場合は、前記割当候補のなかで前記実行周期が短いものほど前記通信コストを大きく加重し、加重した後の前記通信コストが大きい前記割当候補ほど優先して前記プロセッサコアに対して割り当てる

ことを特徴とする請求項2記載の車両制御装置。

[請求項4] 前記タスク割当部は、前記割当候補の1つ前に実行する前記タスクの実行周期が短い前記割当候補ほど優先して前記プロセッサコアに対して割り当てる

ことを特徴とする請求項3記載の車両制御装置。

[請求項5] 前記タスク割当部は、前記通信コストが0である前記割当候補と前記通信コストが0ではない前記割当候補をそれぞれ異なる前記プロセッサコアに並列的に割り当てる

ことを特徴とする請求項3記載の車両制御装置。

[請求項6] 前記実行周期パラメータは、前記タスクが完了済でなければならぬ時刻として許容される最も遅い時刻を特定するデッドラインを記述しており、

前記タスク割当部は、各前記タスクが遅くとも前記デッドラインによって特定される時刻までに完了するように、前記割り当てを実施する

ことを特徴とする請求項1記載の車両制御装置。

[請求項7] 前記実行周期パラメータは、各前記タスクの優先度を記述した優先度パラメータを記述しており、

前記タスク割当部は、前記優先度が低い前記タスクほど、前記実行周期以内に完了しなくともエラーとみなさない回数が多くなるよう、前記割り当てを実施する

ことを特徴とする請求項1記載の車両制御装置。

[請求項8] 前記タスク割当部は、前記車両制御装置が起動してから前記プロセッサが前記タスクの実行を開始するまでの間において、前記割り当てを実施する

ことを特徴とする請求項1記載の車両制御装置。

[請求項9] 前記タスク割当部は、前記車両制御装置が起動してから前記プロセッサが前記タスクの実行を開始した後、改めて前記実行順序パラメー

タ、前記実行周期パラメータ、および前記通信コストパラメータを取得して前記割り当てを再実施する

ことを特徴とする請求項8記載の車両制御装置。

[請求項10]

前記プロセッサは、前記実行順序ログ、前記実行周期ログ、および前記通信コストログを、記憶装置上の所定記憶領域に格納し、前記所定記憶領域の空きがなくなると古いログから順に新しいログによって上書きする

ことを特徴とする請求項1記載の車両制御装置。

[請求項11]

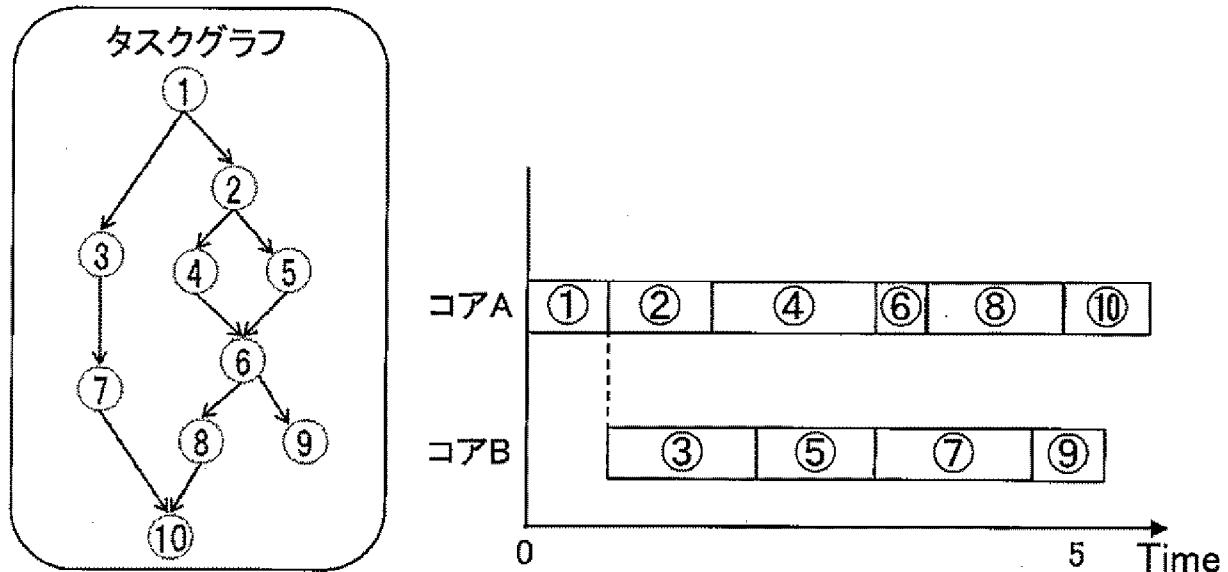
前記プロセッサは、前記実行順序ログ、前記実行周期ログ、および前記通信コストログを、記憶装置上の所定記憶領域に格納し、前記所定記憶領域の空きがなくなるとログの出力を停止する

ことを特徴とする請求項1記載の車両制御装置。

[図1]

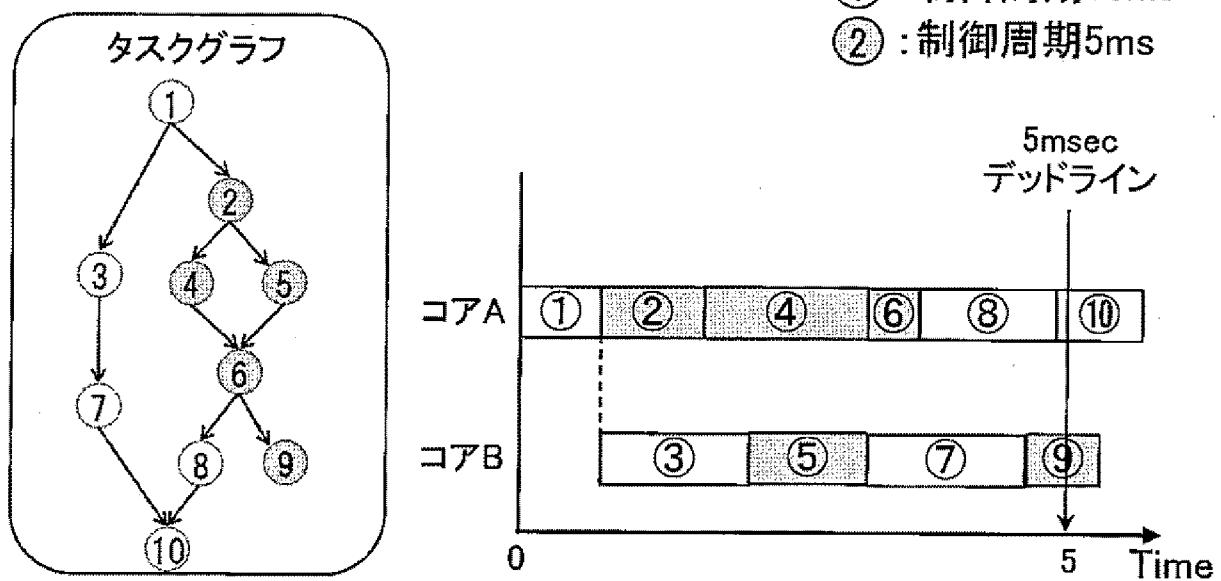
図1

(a) 制御周期が1つのみである場合



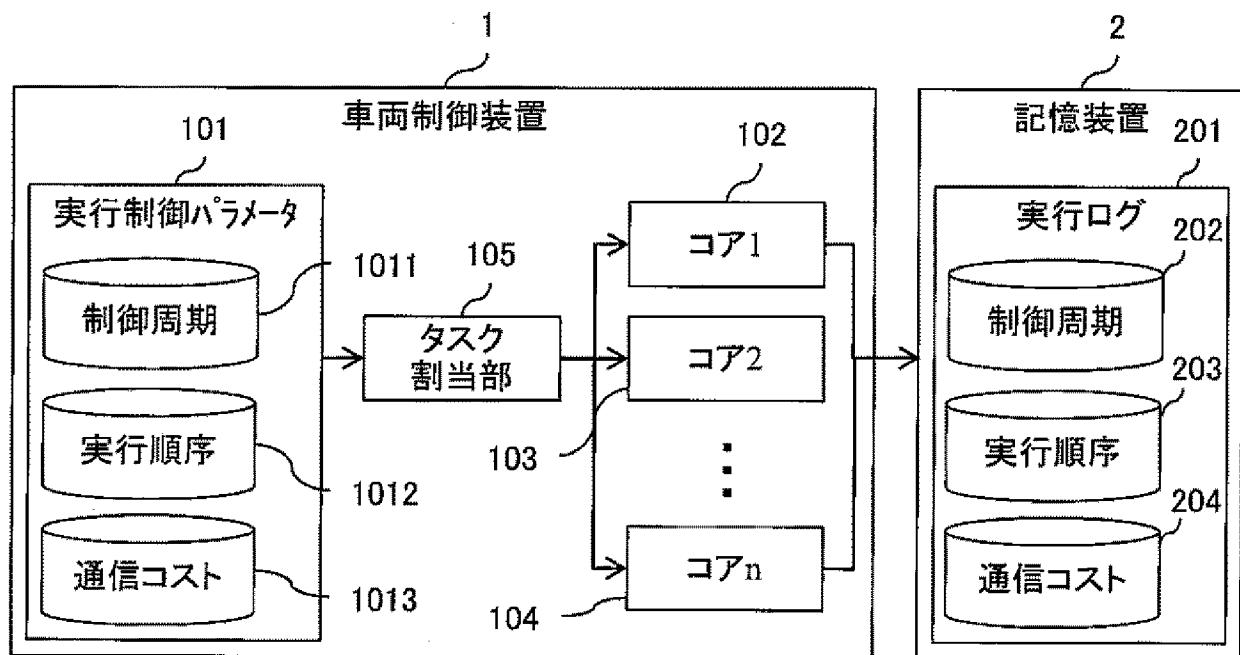
(b) 複数の制御周期が混ざっている場合

- ① : 制御周期 10ms
- ② : 制御周期 5ms



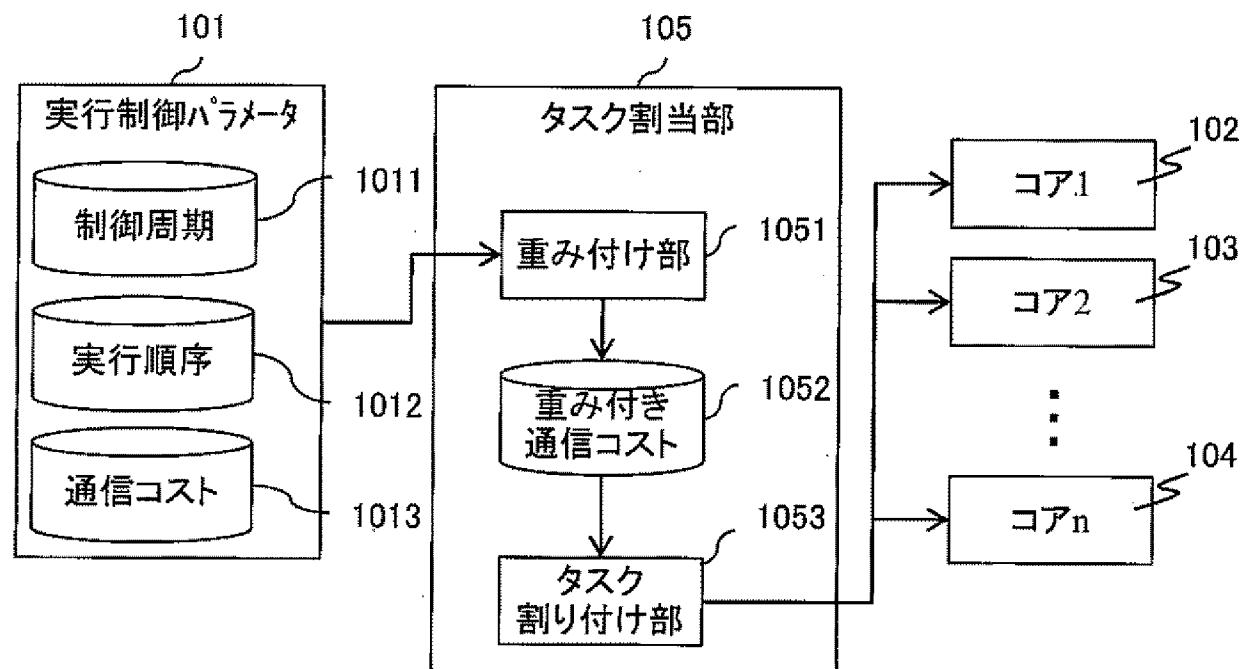
[図2]

図2



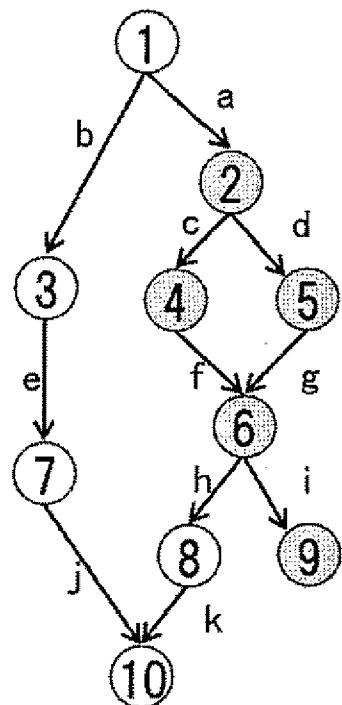
[図3]

図3



[図4]

図4

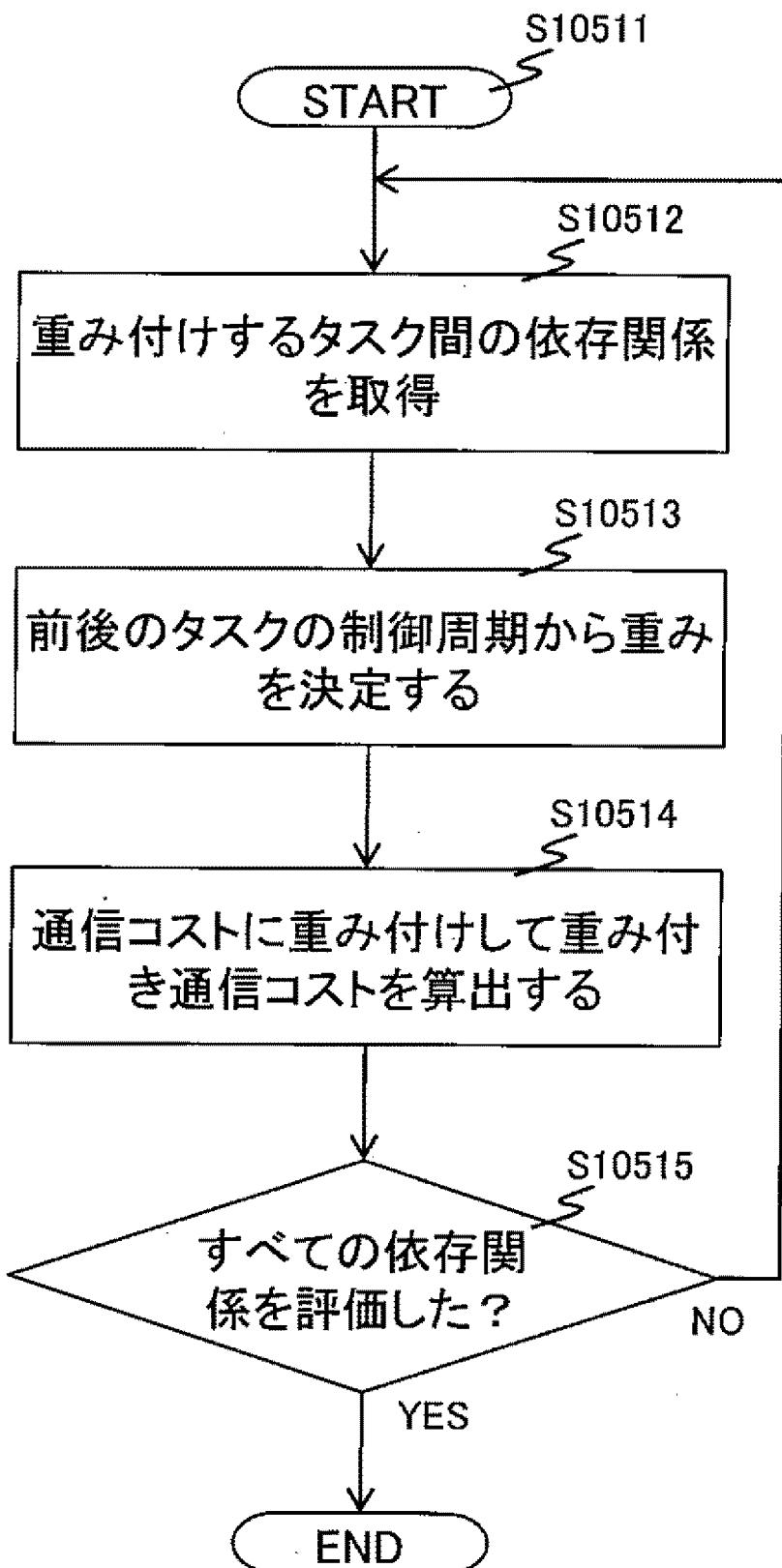


タスク	制御周期(ms)	実行順序
1	10	-
2	5	1
3	10	1
4	5	2
5	5	2
6	5	4,5
7	10	3
8	10	6
9	5	6
10	10	7,8

依存関係	通信コスト(μs)
a	10
b	15
...	
h	30
i	10
j	25
k	5

[図5]

図5



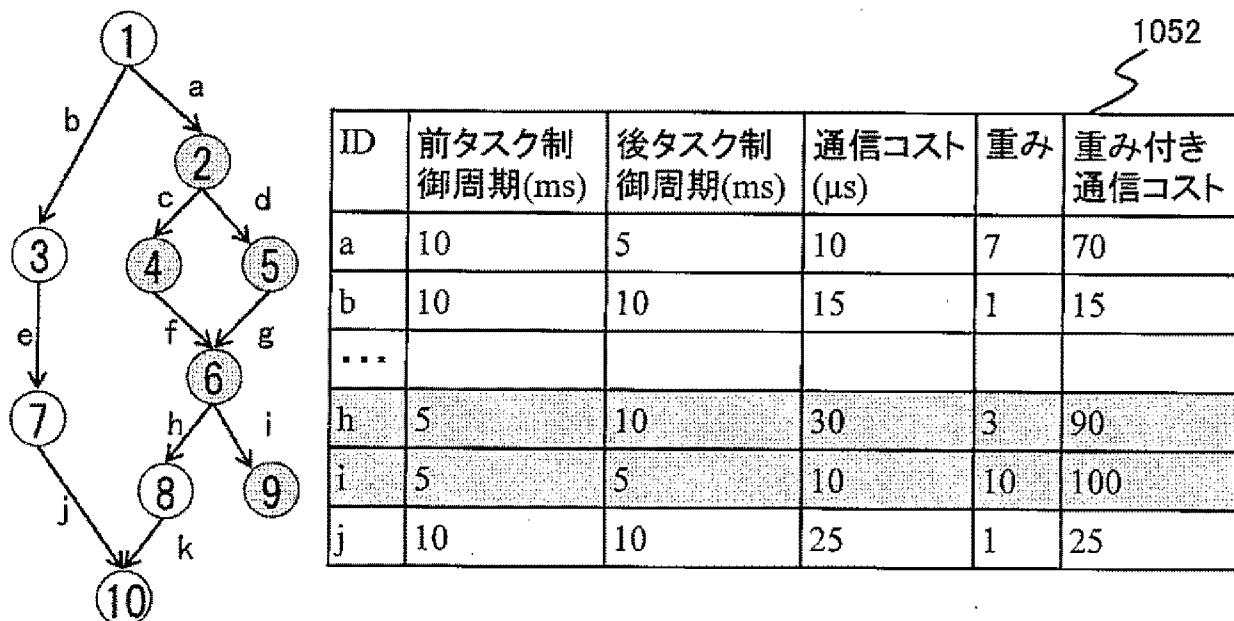
[図6]

図6

後タスクの制御周期	前タスクの制御周期	重み
長い場合	長い場合	1
	短い場合	3
短い場合	長い場合	7
	短い場合	10

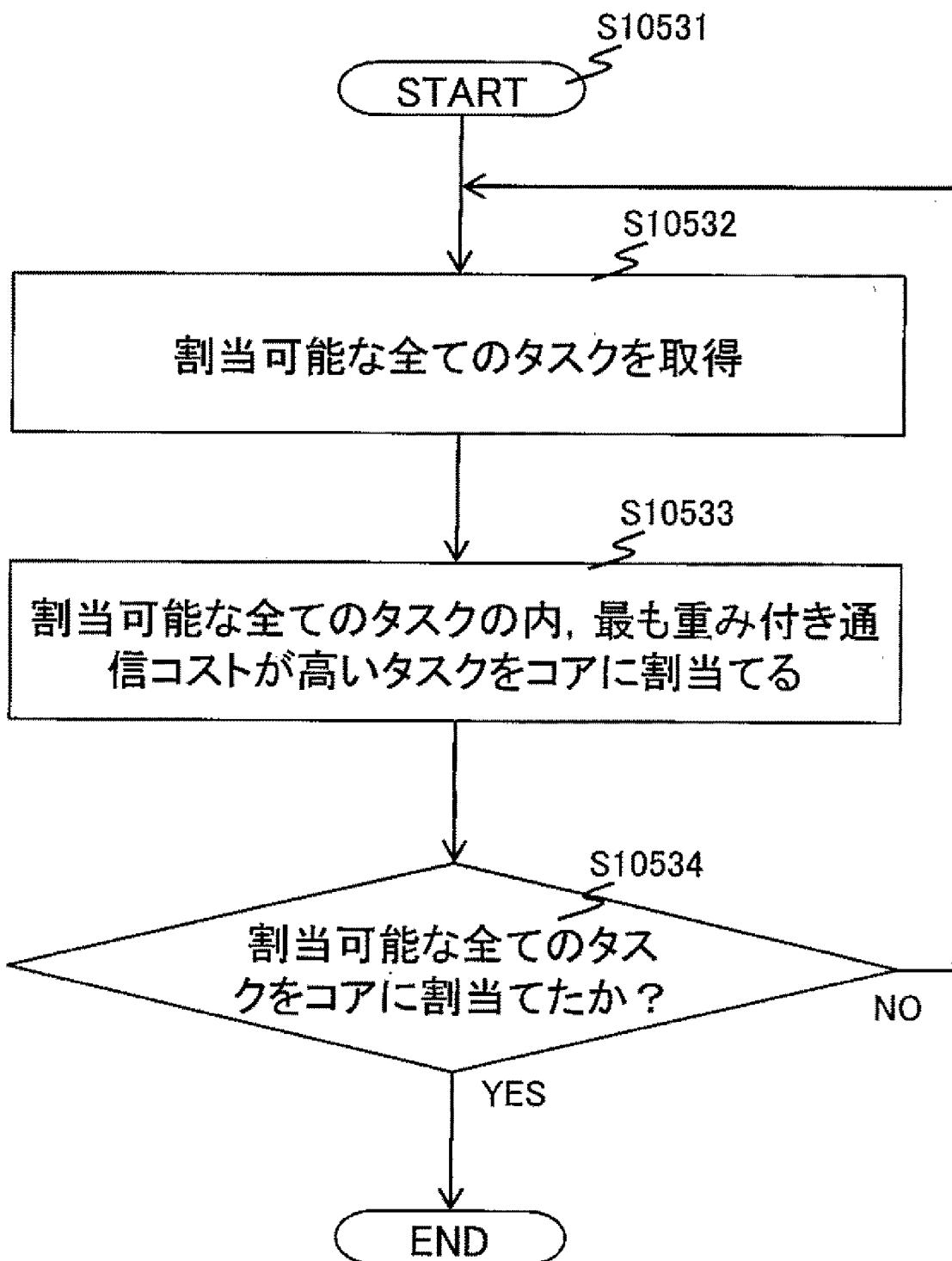
[図7]

図7



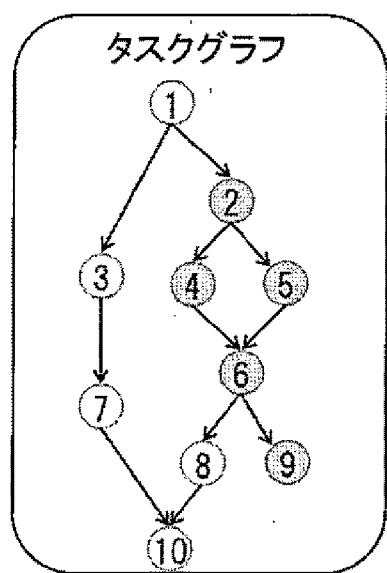
[図8]

図8

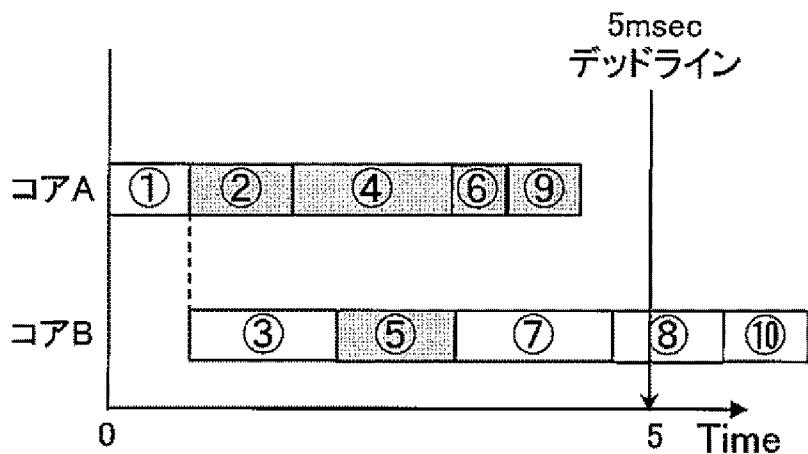


[図9]

図9



- ① : 制御周期10ms
- ② : 制御周期5ms



[図10]

図10

実行ログ

201

	0μs	1200μs	1200μs	1215μs	...
コアA	タスク1 開始	タスク1 終了	タスク2 開始	タスク2 実行中	...
コアB			通信コスト	タスク3 開始	...

203

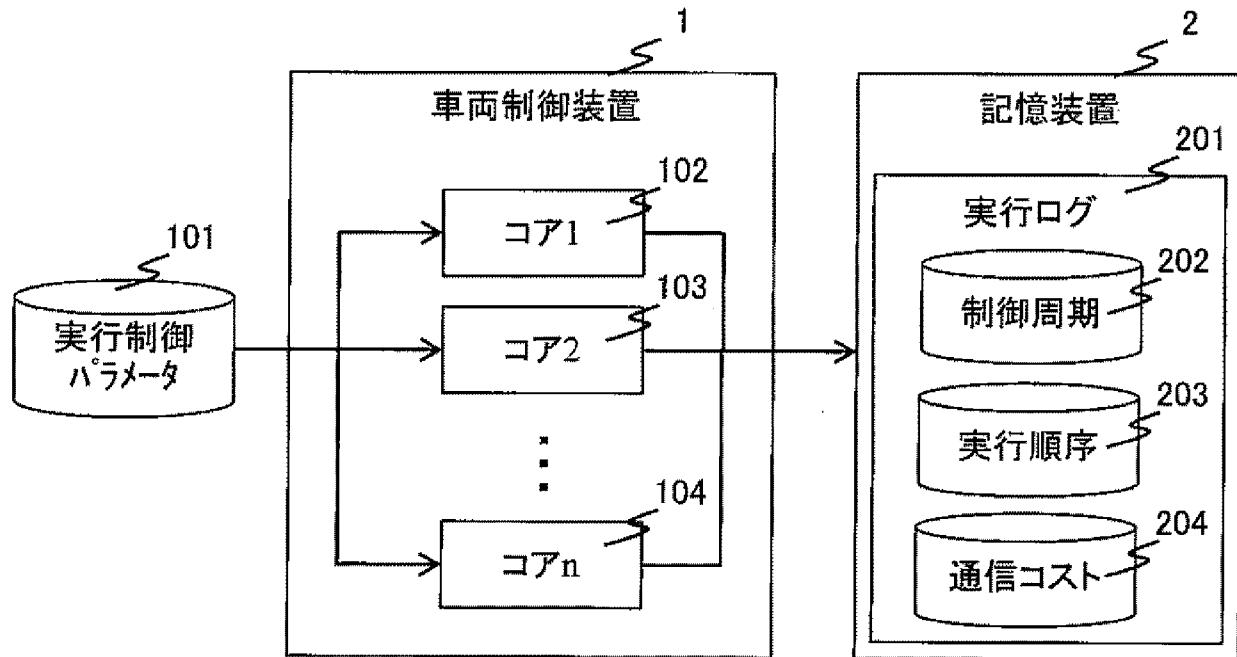
204

202

タスク	制御周期(ms)
1	10
2	5
3	10
4	5
5	5
6	5
7	10
8	10
9	5
10	10

[図11]

図11



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/062169

**A. CLASSIFICATION OF SUBJECT MATTER**  
*G06F9/48(2006.01)i, B60R16/02(2006.01)i*

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
*G06F9/48, B60R16/02*

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922–1996 Jitsuyo Shinan Toroku Koho 1996–2015  
 Kokai Jitsuyo Shinan Koho 1971–2015 Toroku Jitsuyo Shinan Koho 1994–2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-181852 A (Commissariat à l'Energie Atomique et aux Energies Alternatives), 20 September 2012 (20.09.2012), paragraphs [0001] to [0002], [0008], [0016] to [0020]; fig. 1, 2 & US 2008/0263555 A1 & WO 2006/021713 A1 & FR 2873830 A1 & CN 1993677 A	1-2, 6-11 3-5
Y A	JP 11-242614 A (Mitsubishi Electric Corp.), 07 September 1999 (07.09.1999), paragraphs [0083] to [0090], [0102] to [0103] (Family: none)	1-2, 6-11 3-5

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
 21 July 2015 (21.07.15)

Date of mailing of the international search report  
 04 August 2015 (04.08.15)

Name and mailing address of the ISA/  
 Japan Patent Office  
 3-4-3, Kasumigaseki, Chiyoda-ku,  
 Tokyo 100-8915, Japan

Authorized officer  
 Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2015/062169

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 60-11946 A (Hitachi, Ltd.), 22 January 1985 (22.01.1985), page 2, upper right column, line 9 to lower left column, line 5 (Family: none)	1-2, 6-11 3-5
Y A	JP 11-203165 A (Hitachi, Ltd.), 30 July 1999 (30.07.1999), paragraph [0012] (Family: none)	1-2, 6-11 3-5
Y A	JP 2011-198346 A (Denso Corp.), 06 October 2011 (06.10.2011), paragraphs [0083], [0089], [0127] & US 2011/0113431 A1 & DE 102010043569 A1	2, 6 3-5
Y A	JP 2011-100338 A (Hitachi Automotive Systems, Ltd.), 19 May 2011 (19.05.2011), paragraph [0043] & US 2012/0216208 A1 & WO 2011/055581 A1 & EP 2498185 A1	7 3-5
Y A	JP 2014-52827 A (Toshiba Corp.), 20 March 2014 (20.03.2014), paragraph [0016] (Family: none)	10 3-5
Y A	JP 2011-13793 A (Mitsubishi Electric Corp.), 20 January 2011 (20.01.2011), paragraph [0071] (Family: none)	11 3-5
A	US 6289488 B1 (LUCENT TECHNOLOGIES INC.), 11 September 2001 (11.09.2001), entire text; all drawings & US 6110220 A & US 6112023 A & US 6117180 A & US 6178542 B1 & US 6230303 B1	3-5

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl. G06F9/48(2006.01)i, B60R16/02(2006.01)i

## B. 調査を行った分野

## 調査を行った最小限資料(国際特許分類(IPC))

Int.Cl. G06F9/48, B60R16/02

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2015年
日本国実用新案登録公報	1996-2015年
日本国登録実用新案公報	1994-2015年

## 国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2012-181852 A (コニッサリア ア レネルジー アトミーク エ オ ゼ ネルジ ザルタナティヴ) 2012.09.20, 段落【0001】-【0002】,【0008】,【0016】-【0020】, 図1, 図2 & US 2008/0263555 A1 & WO 2006/021713 A1 & FR 2873830 A1 & CN 1993677 A	1-2, 6-11 3-5
Y A	JP 11-242614 A (三菱電機株式会社) 1999.09.07, 段落【0083】-【0090】,【0102】-【0103】(ファミリーなし)	1-2, 6-11 3-5

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願目前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日  21.07.2015	国際調査報告の発送日  04.08.2015
国際調査機関の名称及びあて先  日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員)  井上 宏一 電話番号 03-3581-1101 内線 3544 5B 4177

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 60-11946 A (株式会社日立製作所) 1985.01.22, 第2頁右上欄第9行ー左下欄第5行 (ファミリーなし)	1-2, 6-11 3-5
Y A	JP 11-203165 A (株式会社日立製作所) 1999.07.30, 段落【0012】 (ファミリーなし)	1-2, 6-11 3-5
Y A	JP 2011-198346 A (株式会社デンソー) 2011.10.06, 段落【0083】,【0089】,【0127】 & US 2011/0113431 A1 & DE 102010043569 A1	2, 6 3-5
Y A	JP 2011-100338 A (日立オートモティブシステムズ株式会社) 2011.05.19, 段落【0043】 & US 2012/0216208 A1 & WO 2011/055581 A1 & EP 2498185 A1	7 3-5
Y A	JP 2014-52827 A (株式会社東芝) 2014.03.20, 段落【0016】 (ファミリーなし)	10 3-5
Y A	JP 2011-13793 A (三菱電機株式会社) 2011.01.20, 段落【0071】 (ファミリーなし)	11 3-5
A	US 6289488 B1 (LUCENT TECHNOLOGIES INC.) 2001.09.11, 全文, 全図 & US 6110220 A & US 6112023 A & US 6117180 A & US 6178542 B1 & US 6230303 B1	3-5