

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 25/03

(11) 공개번호 특1996-0043151
(43) 공개일자 1996년 12월 23일

(21) 출원번호	특1996-0018643
(22) 출원일자	1996년 05월 30일
(30) 우선권주장	454,049 1995년 05월 30일 미국(US)
(71) 출원인	에이 티 앤드 티 코퍼레이션 리차드 제이. 보토스
(72) 발명자	미합중국, 뉴욕 10013-2412, 뉴욕, 애비뉴 오브 디 아메리카즈 32 타데우스 존 가바라
(74) 대리인	미합중국, 뉴저지 07974, 유레이 힐, 버링톤 로드 62 이병호, 최달용

심사청구 : 없음

(54) AC 결합 회로를 가지는 반도체 디바이스

요약

반도체 디바이스의 접합 패드는 신호의 바람직하지 않은 성분을 제거하기 위한 임피던스 수단의 일부로서 이용될 수 있다. 반도체 디바이스는 또한, 상기 임피던스 수단이 결합되는 반도체 기판을 가지며, 이 반도체 기판은 다수의 반도체 요소를 갖는다. 한 실시예에서, 상기 임피던스 수단은 캐패시터이며, 상기 접합 패드는 이 캐패시터의 제1전도 플레이트로서 제공된다. 상기 바람직하지 않은 신호 성분은 신호의 직류 성분이다. 상기 반도체 디바이스는 큰 별개의 임피던스 수단(즉 별개의 캐패시터)을 이용하지 않고 여타 반도체 장치와 통신을 원활하게 한다.

대표도

도2

명세서

[발명의 명칭]

AC결합 회로를 가지는 반도체 디바이스.

[도면의 간단한 설명]

제2도는 본 발명에 따라 이루어진 IC의 범용 성분을 도시한다, 제3도는 본 발명에 따라 이루어진 집적 회로 칩의 제1예시적인 실시예의 부분 단면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

(a) 다수의 반도체 요소를 가지는 반도체 기판; 및 (b) 상기 반도체 기판에 결합되어, 접합 패드를 구비하며, 바람직하지 않은 신호 성분을 감소시키는 임피던스 수단을 구비하는 것을 특징으로 하는 반도체 디바이스.

청구항 2

제1항에 있어서, 상기 임피던스 수단은 캐패시터와 상기 캐패시터의 제1전도 플레이트로서 제공되는 상기 접합 패드를 구비하는 것을 특징으로 하는 반도체 디바이스.

청구항 3

제2항에 있어서, 상기 바람직하지 않은 신호 성분인 상기 신호의 직류 성분인 것을 특징으로 하는 반도체 디바이스.

청구항 4

(a) (1) 다수의 반도체 요소를 가지는 반도체 기판; 및 (2) 상기 반도체 기판에 결합되어, 접합 패드를 구비하며, 바람직하지 않은 신호 성분을 감소시키는 임피던스 수단을 구비하는 반도체 디바이스; 및 (b) 상기 반도체 디바이스와 통신하기 위하여 상기 접합 패드와 결합된 통신 포트를 구비하는, 상기 반도체

디바이스를 패키징하기 위한하우징 수단을 구비하는 것을 특징으로 하는 집적 회로.

청구항 5

제4항에 있어서, 상기 임피던스 수단은 캐패시터와 상기 캐패시터의 제1전도 플레이트로서 제공되는 상기 접합 패드를 구비하는 것을 특징으로 하는 집적 회로.

청구항 6

제5항에 있어서, 상기 바람직하지 않은 신호 성분은 상기 신호의 직류 성분인 것을 특징으로 하는 직접 회로.

청구항 7

(a) 다수의 반도체 요소를 가지는 반도체 기판; (b) 상기 반도체 기판에 결합된 캐패시터를 구비하는 반도체 디바이스로서, 상기 캐패시터는 (1) 상기 다수의 반도체 요소에서 한 요소와 저항성을 가지고 결합된 제1전도 플레이트; (2) 적어도 상기 제1전도 플레이트의 한부분 상에 배치된 용량성 부분을 구비하는 유전층; 및 (3) 제2전도 플레이트로 제공되는 접합 패드로서, 적어도 상기 접합 패드의 한 부분은 상기 유전층의 상기 용량성 부분상에 배치되는 접합 패드를 구비하는 것을 특징으로 하는 반도체 디바이스.

청구항 8

제7항에 있어서, 상기 제1전도 기판은 단락 회로로서, 상기 요소와 저항성을 가지고 결합하는 것을 특징으로 하는 반도체 디바이스.

청구항 9

(a) 다수의 반도체 요소를 가지는 반도체 기판; (b) 상기 반도체 기판에 결합된 캐패시터를 구비하는 반도체 디바이스로서, 상기 캐패시터는 (1) 접합 패드 지역과 용량성 지역을 구비한 제1전도 플레이트; (2) 제1부분과 제 2부분을 구비하는 유전층으로서, 상기 제1부분은 적어도 상기 용량성 지역의 한 부분 상에 배치되며, 상기 제2부분은 적어도 상기 접합 패드 지역의 한 부분상에 배치되는 유전층; (3) 상기 제1전도 플레이트에 저항성을 가지고 결합되는 결합 패드로서, 적어도 상기 결합 패드의 한 부분은 적어도 상기 제2부분의 한 부분상에 배치되는 접합 패드; 및 (4) 상기 다수의 반도체 요소의 한 요소에 저항성을 가지고 결합된 제2전도 플레이트로서, 적어도 상기 제2전도 플레이트의 한 부분은 적어도 상기 제1부분의 한 부분상에 배치되는 제2전도 플레이트를 구비하는 것을 특징으로 하는 반도체 디바이스.

청구항 10

제9항에 있어서, 상기 제1전도 플레이트는 단락 회로로서 상기 접합 패드에 저항성을 가지고 결합되며, 상기 제2전도 플레이트는 단락 회로로서 상기 요소와 저항성을 가지고 결합되는 것을 특징으로 하는 반도체 디바이스.

청구항 11

(a) 다수의 반도체 요소를 가지는 반도체 기판을 구비하며 상기 반도체 기판에 결합된 캐패시터; 및 (b) 상기 반도체 디바이스와 통신하기 위한 상기 접합 패드에 결합된 통신 포트를 구비하는 상기 반도체 디바이스를 패키징하기 위한하우징 수단을 구비하는 직접 회로로서, 상기 캐패시터는 (1) 상기 다수의 반도체 요소에서 한 요소에 저항성을 가지고 결합된 제1전도 플레이트; (2) 적어도 상기 제1전도 플레이트의 한 부분상에 배치된 용량성 부분을 구비하는 유전층; 및 (3) 제2전도 플레이트로서 제공되는 접합 패드로서, 적어도 상기 접합 패드의 한 부분은 상기 유전층의 상기 용량성 부분상에 배치되는 접합 패드를 구비하는 것을 특징으로 하는 집적 회로.

청구항 12

제11항에 있어서, 보유한 상기 수단들은 플라스틱 패키지를 구비하는 것을 특징으로 하는 집적 회로.

청구항 13

제11항에 있어서, 상기 전도 플레이트는 단락 회로로서 상기 요소와 저항성을 가지고 결합되는 것을 특징으로 하는 집적 회로.

청구항 14

(a) 다수의 반도체 요소를 가지는 반도체 기판을 구비하며 상기 반도체 기판에 결합된 캐패시터; 및 (b) 상기 반도체 디바이스와 통신하기 위한 상기 접합 패드에 결합된 통신 포트를 구비하는 상기 반도체 디바이스를 패키징하기 위한하우징 수단을 구비하는 집적 회로로서, 상기 캐패시터는 (1) 접합 패드 지역과 용량성 지역을 구비하는 제1전도 플레이트; (2) 제1부분과 제2부분을 구비하는 유전층으로서, 상기 제1부분은 적어도 상기 용량성 지역의 한 부분상에 배치되며, 상기 제2부분은 적어도 상기 접합 패드 지역의 한 부분상에 배치되는 유전층; (3) 상기 제1전도 플레이트에 저항성을 가지고 결합되는 결합 패드로서, 적어도 상기 결합 패드의 한 부분은 적어도 상기 제2부분의 한 부분상에 배치되는 접합 패드; 및 (4) 상기 다수의 반도체 요소의 한 요소에 저항성을 가지고 결합된 제2전도 플레이트로서, 적어도 상기 제2전도 플레이트의 한 부분은 적어도 상기 제1부분의 한 부분상에 배치되는 제2전도 플레이트를 구비하는 것을 특징으로 하는 집적 회로.

청구항 15

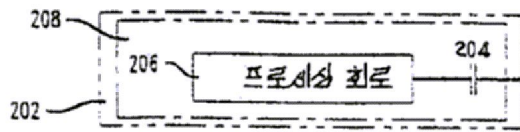
제14항에 있어서, 상기 제1전도 플레이트는 단락 회로로서 상기 접합 패드에 저항성을 가지고 결합되며,

상기 제2전도 플레이트는 단락 회로로서 상기 요소와 저항성을 가지고 결합되는 것을 특징으로 하는 집적 회로.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2



도면3

