



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

221360
(11) (B1)

(51) Int. Cl.³
H 03 K 4/00

(22) Přihlášeno 26 11 81
(21) (PV 8734-81)

(40) Zveřejněno 15 09 82

(45) Vydáno 15 02 86

(75)
Autor vynálezu FRIBERT MIROSLAV ing., PARDUBICE

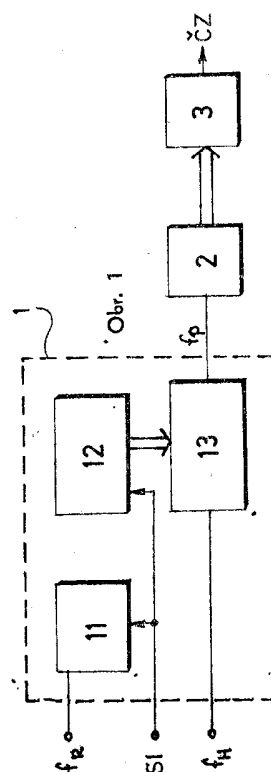
(54) Zapojení programovatelného generátoru nelineární časové základny

1

Zapojení programovatelného generátoru nelineární časové základny spadá do oboru impulsové techniky a řeší problém číslicového generování nelineární časové základny. Podstata vynálezu spočívá v aproximaci požadovaného průběhu časové základny lineárními úseky. Programovatelný dělič kmitočtu dává v časovém intervalu mezi dvěma synchronizačními impulsy po skocích proměnný kmitočet, který se přivádí na vstup binárního čítače digitálně analogového převodníku. Při změně výstupního kmitočtu z děliče kmitočtu se mění strmost výstupního signálu převodníku, čímž se dosáhne potřebné nelinearity.

Řešení lze využít ve všech případech, kdy dochází ke generování nelineární časové základny s vyššími nároky na přesnost požadovaného průběhu, především v indikátorech přistávacích radiolokátorů.

2



Vynález se týká zapojení programovatelného generátoru nelineární časové základny, určeného zejména pro indikátory přistávacích radiolokátorů.

Je známo, že pro indikátory přistávacích radiolokátorů se používá analogových generátorů nelineární časové základny. Princip analogového generování spočívá v nabíjení, nebo vybíjení kondenzátoru přes lineární nebo nelineární odpor, čímž vznikají exponenciální, nebo lineární průběhy. Nelineární odpor je obvykle realizován aktivním prvkem, nejčastěji operačním zesilovačem. Sčítáním exponenciálního a lineárního průběhu lze získat průběh, který přibližně aproximuje průběh obvykle požadovaný pro časovou základnu indikátoru přistávacího radiolokátoru.

Nedostatkem uvedeného řešení je skutečnost, že dosud používaná zapojení analogových generátorů nelineární časové základny mají z hlediska použití v moderních indikátorech přistávacích radiolokátorů některé závažné nevýhody, jako například, že při použití analogového zapojení pro generování časové základny nelze prakticky realizovat složitější průběh časové základny se zřetelem na možné další požadavky uživatelů přistávacích radiolokátorů, týkající se nelinearity časové základny. Průběh časové základny nelze generovat s dostatečnou přesností vzhledem k jejímu požadovanému průběhu. Mimo to je při použití systému radiolokátor — počítač, obtížné zadávání parametrů časové základny do systému, čímž je ztíženo zpracování radiolokační informace pomocí počítače.

Výše uvedené nedostatky odstraňuje podle tohoto vynálezu zapojení programovatelného generátoru nelineární časové základny. Podstata vynálezu spočívá v tom, že programovatelný generátor proměnného kmitočtu sestává z nejméně dvou propojených čtyřbitových čítačů řídicího čítače, na jehož vstup je připojen výstup zdroje řídicího kmitočtu a na nulovací vstupy výstup zdroje synchronizačních impulsů. Sběrníkový výstup řídicího čítače je připojen na adresové vstupy paměti ROM. Tato paměť sestává z paměti bodů zlomu, připojená výstupem ke vstupu obvodu logiky vyhodnocování a k čítači paměti ROM, na jehož nulovací vstup je připojen zdroj synchronizačních impulsů. Sběrníkový výstup čítače paměti ROM je připojen na adresovací vstupy paměti frekvencí, jejíž sběrníkový výstup je připojen na datové vstupy nejméně dvou propojených čtyřbitových čítačů programovatelného děliče kmitočtu. Sběrníkové výstupy programovatelného děliče kmitočtu jsou připojeny na vstup obvodu logiky vyhodnocování, jehož výstup je připojen k nastavovacím vstupům dvou propojených čtyřbitových čítačů a na první vstup obvodu logiky „vpřed — zpět“ binárního čítače. Na druhý vstup obvodu logiky „vpřed — zpět“ je připojen znaménkový vodič výstup-

ní sběrnice z paměti frekvencí, přičemž výstupy logiky „vpřed — zpět“ jsou připojeny na vstup jednoho z nejméně tří vzájemně propojených čtyřbitových čítačů digitálně analogového převodníku. Sběrníkové výstupy těchto čítačů jsou připojeny na vstupy digitálně analogového převodníku, opatřeného výstupem časové základny.

Výhody zapojení programovatelného generátoru nelineární časové základny podle vynálezu spočívají v možnosti generovat i tvarově složité průběhy, jakož i v možnosti volby požadované přesnosti aproximace požadovaného průběhu časové základny. Kromě toho existuje i možnost provádění změny průběhu časové základny pouhou změnou údajů v pevné paměti bez jakékoliv změny v zapojení obvodu.

Zapojení programovatelného generátoru nelineární časové základny podle vynálezu bude následovně blíže popsáno v příkladovém provedení s pomocí vyobrazení, kde obr. 1 znázorňuje rámcové blokové schéma zapojení programovatelného generátoru nelineární časové základny podle vynálezu, obr. 2 rozvinuté blokové schéma zapojení podle obr. 1, ilustrujícího podstatu vynálezu a obr. 3 znázorňuje příkladové provedení zapojení podle obr. 2.

Podle obr. 1, znázorňujícího rámcové blokové schéma zapojení programovatelného generátoru nelineární časové základny, je výstup zdroje řídicího kmitočtu f_R připojen na řídicí čítač 11, který řídí činnost paměti 12 ROM. K této paměti 12 ROM je kromě vstupů řídicího čítače 11 připojen výstup zdroje SI synchronizačních impulsů. Výstupy paměti 12 ROM jsou připojeny na datové vstupy programovatelného děliče 13 kmitočtu, na který je také připojen výstup zdroje f_H hodinových impulsů. Výstup f_p programovatelného děliče 13 kmitočtu je připojen na vstup binárního čítače 2 převodníku. Výstupy binárního čítače 2 převodníku jsou připojeny na vstupy digitálně analogového převodníku 3, jehož výstupem je nelineární časová základna ČZ.

Podle obr. 2 znázorňujícího rozšířené zapojení podle obr. 1, v němž je obsažena podstata vynálezu, je základním obvodem generátoru nelineární časové základny generátor 1 proměnného kmitočtu složený ze dvou propojených čtyřbitových čítačů 11a, 11b, z paměti 12a bodů zlomu, čítače 12b paměti frekvencí, paměti 12c frekvencí, dvou čtyřbitových čítačů 13a, 13b a logiky vyhodnocování 13d. Výstup zdroje f_R řídicího kmitočtu je připojen na vstup dvou propojených čtyřbitových čítačů, a to na první čtyřbitový čítač 11a a na druhý čtyřbitový čítač 11b, jejichž výstupy jsou připojeny na adresovací vstupy paměti 12a bodů zlomu za účelem adresování této paměti. Výstup paměti 12a bodů zlomu je připojen na vstup obvodu 13d logiky vyhodnocování a na vstup čítače 12b paměti ROM. Výstupy

čítače **12b** jsou připojeny na adresovací vstupy paměti **12c** frekvencí za účelem adresování této paměti. Na nulovací vstupy řídicího čítače **11** a čítače **12b** paměti **12** ROM je připojen výstup zdroje **SI** synchronizačních impulsů, aby při přivedení synchronizačních impulsů byly čítače **11**, **12b** nulovány. Výstupy paměti **12c** frekvencí jsou připojeny na datové vstupy programovatelného děliče **13** kmitočtu sestávajícího z prvního čtyřbitového čítače **13a** a druhého čtyřbitového čítače **13b**. Na hodinový vstup obou zmíněných, propojených čtyřbitových čítačů **13a**, **13b** je připojen výstup zdroje f_H hodinových impulsů. Výstupy obou zmíněných čtyřbitových čítačů **13a**, **13b** jsou připojeny na vstup obvodu **13d** logiky vyhodnocování, zajišťující ve funkci na výstupu proměnný kmitočet f_p . Výstup proměnného kmitočtu f_p je dále připojen k nastavovacím vstupům **L** obou zmíněných, vzájemně propojených čtyřbitových čítačů **13a**, **13b** za účelem jejich nastavení do počátečního stavu, a kromě toho na vstupy obvodu **21** logiky „vpřed — zpět“. Na druhý vstup obvodu **21** logiky „vpřed — zpět“ je připojen ze sběrnice výstupu paměti **12c** frekvencí znaménkový vodič pro ovládání počítání vpřed nebo zpět binárního čítače **2** převodníku, složeného ze tří čtyřbitových čítačů, a to z prvního čtyřbitového čítače **22**, druhého čtyřbitového čítače **23** a třetího čtyřbitového čítače **24**, jejichž sběrnice výstupy jsou připojeny na sběrnice vstup digitálně analogového převodníku **3**, jehož analogovým výstupem je nelineární časová základna.

Na obr. 3 je znázorněno příkladové provedení programovatelného generátoru nelineární časové základny podle obr. 2. Výstup zdroje f_R řídicího kmitočtu je připojen na vstup řídicího čítače **11**, který sestává ze tří čtyřbitových čítačů, a to z prvního čtyřbitového čítače **11a**, druhého čtyřbitového čítače **11b** a třetího čtyřbitového čítače **11c**. Sběrnice výstupy tří zmíněných čtyřbitových čítačů **11a**, **11b**, **11c** jsou připojeny na vstup paměti **12a** bodů zlomu, kterou při funkci adresují. Výstup paměti **12a** bodů zlomu je připojen na vstup **CU** pro počítání vpřed čítače **12b** paměti ROM, jehož sběrnice výstupy jsou připojeny na vstup paměti frekvencí **12c** za účelem adresování této paměti. Sběrnice výstupy paměti **12c** frekvencí jsou připojeny na datové vstupy programovatelného děliče **13** kmitočtu, sestávajícího z prvního čtyřbitového čítače **13a**, druhého čtyřbitového čítače **13b** a třetího čtyřbitového čítače **13c**, jejichž sběrnice výstupy jsou připojeny na vstup obvodu **13d** logiky vyhodnocování, na jehož výstupu vzniká při funkci proměnný kmitočet f_p . Výstup obvodu **13d** logiky vyhodnocení je přes obvod **21** logiky „vpřed — zpět“ připojen na vstupy **CU**, **CD** binárního čítače **2** převodníku, složeného ze tří navzájem propojených čtyřbitových čítačů, a to prvního čtyřbitového čítače **22**, druhé-

ho čtyřbitového čítače **23** a třetího čtyřbitového čítače **24**, současně je připojen na nastavovací vstupy **L** uvedených tří čtyřbitových čítačů, to je vstup prvního čtyřbitového čítače **13a** děliče kmitočtu **13**, na vstup druhého čtyřbitového čítače **13b**, a na vstup třetího čtyřbitového čítače **13c**, za účelem jejich nastavení do počátečního stavu. Na druhý vstup obvodu **21** logiky „vpřed — zpět“ je připojen znaménkový vodič sběrnice výstupu paměti **12c** frekvencí. Na nulovací vstupy **R** čtyřbitových čítačů **11a**, **11b**, **11c** řídicího čítače **11** je připojen vstup zdroje **SI** synchronizačních impulsů. Na nulovací vstupy **R** čtyřbitových čítačů **22**, **23**, **24** binárního čítače **2** převodníku je připojen nulovací vodič sběrnice výstupu paměti **12c** frekvencí za účelem nulování těchto čítačů na počátku časové základny **CZ**. Sběrnice výstupy prvního čtyřbitového čítače **22**, druhého čtyřbitového čítače **23** a třetího čtyřbitového čítače **24** binárního čítače **2** převodníku jsou připojeny na sběrnice vstup digitálně analogového převodníku **3**, kde se číslicové vstupy převádějí na analogový výstup časové základny **CZ**.

Základní funkce generátoru nelineární časové základny je založena na aproximaci požadovaného průběhu časové základny lineárními úseky, což umožňuje generovat i tvarově složité průběhy. Při výpočtu průběhu časové základny je možné zadat požadovanou přesnost aproximace, a tím je dán počet a rozložení lineárních úseků v časovém intervalu daném opakovací frekvencí synchronizačních impulsů. Základním obvodem generátoru nelineární časové základny je generátor **1** proměnného kmitočtu, tvořený obvody řídicího čítače **11**, paměti **12** ROM a programovatelným děličem **13** kmitočtu. Princip funkce spočívá v tom, že programovatelný dělič **13** kmitočtu dává v časovém intervalu mezi dvěma synchronizačními impulsy **SI** na vstup binárního čítače **2** převodníku po skocích proměnný kmitočet f_p . Při změně kmitočtu f_p se změní strmost výstupního signálu digitálně analogového převodníku **3**, čímž se dosáhne potřebné nelinearity. V době celého intervalu mezi dvěma synchronizačními impulsy **SI** je na výstupu generátoru **1** proměnného kmitočtu posloupnost kmitočtů daná požadovaným průběhem časové základny **CZ**. Řídicí čítač **11**, tvořený prvním čtyřbitovým čítačem **11a**, druhým čtyřbitovým čítačem **11b** a třetím čtyřbitovým čítačem **11c** adresuje paměť **12a** bodů zlomu časové základny. Po každém bodu zlomu je třeba, aby se na výstupu programovatelného děliče **13** kmitočtu změnil kmitočet. Toho se dosahuje pomocí paměti **12b** ROM a paměti **12c** frekvencí. V paměti **12c** frekvencí jsou naprogramována data, která se přivádějí na vstup programovatelného děliče **13** kmitočtu v okamžicích zlomu a na hodnoty těchto dat

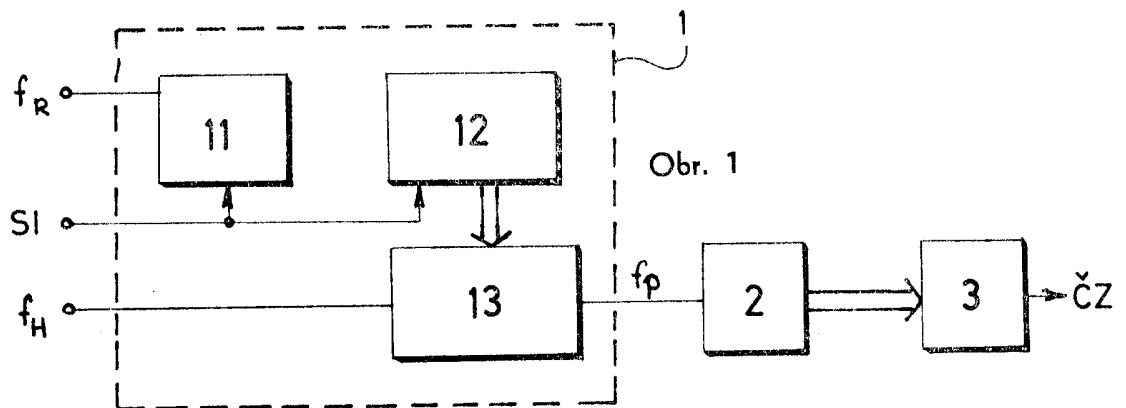
se tento dělič nastaví. Při změně požadavku na průběh časové základny se do paměti **12b** ROM a **12c** frekvencí naprogramují jiné údaje, přičemž se zapojení obvodu nemění. Programovatelný dělič **13** kmitočtu počítá zpět kmitočty f_H a v okamžiku nulového stavu tento stav vyhodnotí pomocí obvodu **13d** logiky vyhodnocování. Výstup f_p obvodu **13d** logiky vyhodnocování je přiveden do prvního čítače **13a** programovatelného děliče **13** kmitočtu, druhého čítače **13b**, a třetího čítače **13c**, které se tímto způsobem opět nastaví do stavu daného vstupními daty z paměti **12c** frekvencí. Tato činnost se opakuje tak dlouho, dokud se z paměti **12c** frekvencí nenastaví zmíněné číta-

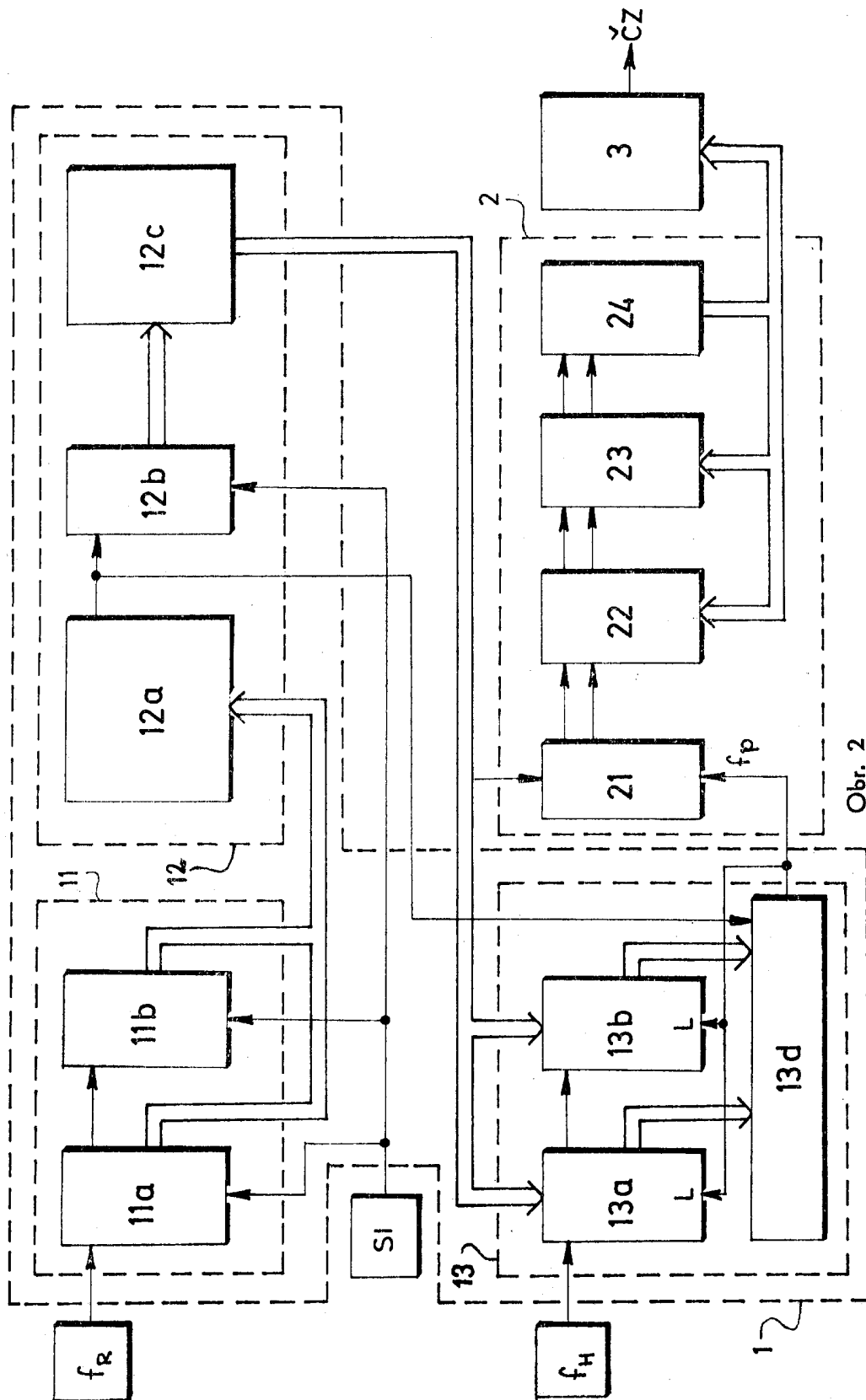
če **13a**, **13b**, **13c** programovatelného děliče **13** kmitočtu do jiného počátečního stavu, kterému odpovídá jiný výstupní kmitočty. Vstup f_p obvodu **13d** logiky vyhodnocování je dále přes obvod logiky **21** „vpřed — zpět“ přiveden na vstup binárního čítače **2** převodníku, sestávajícího z prvního čtyřbitového čítače **22**, druhého čtyřbitového čítače **23** a třetího čtyřbitového čítače **24**. Obvod **21** logiky „vpřed — zpět“ řídí směr počítání zmíněných tří čtyřbitových čítačů **22**, **23**, **24**. Výstupy binárního čítače **2** převodníku jsou přivedeny na vstupy digitálně analogového převodníku **3**, kde se číslicové vstupy převádějí na analogový výstup časové základny **ČZ**.

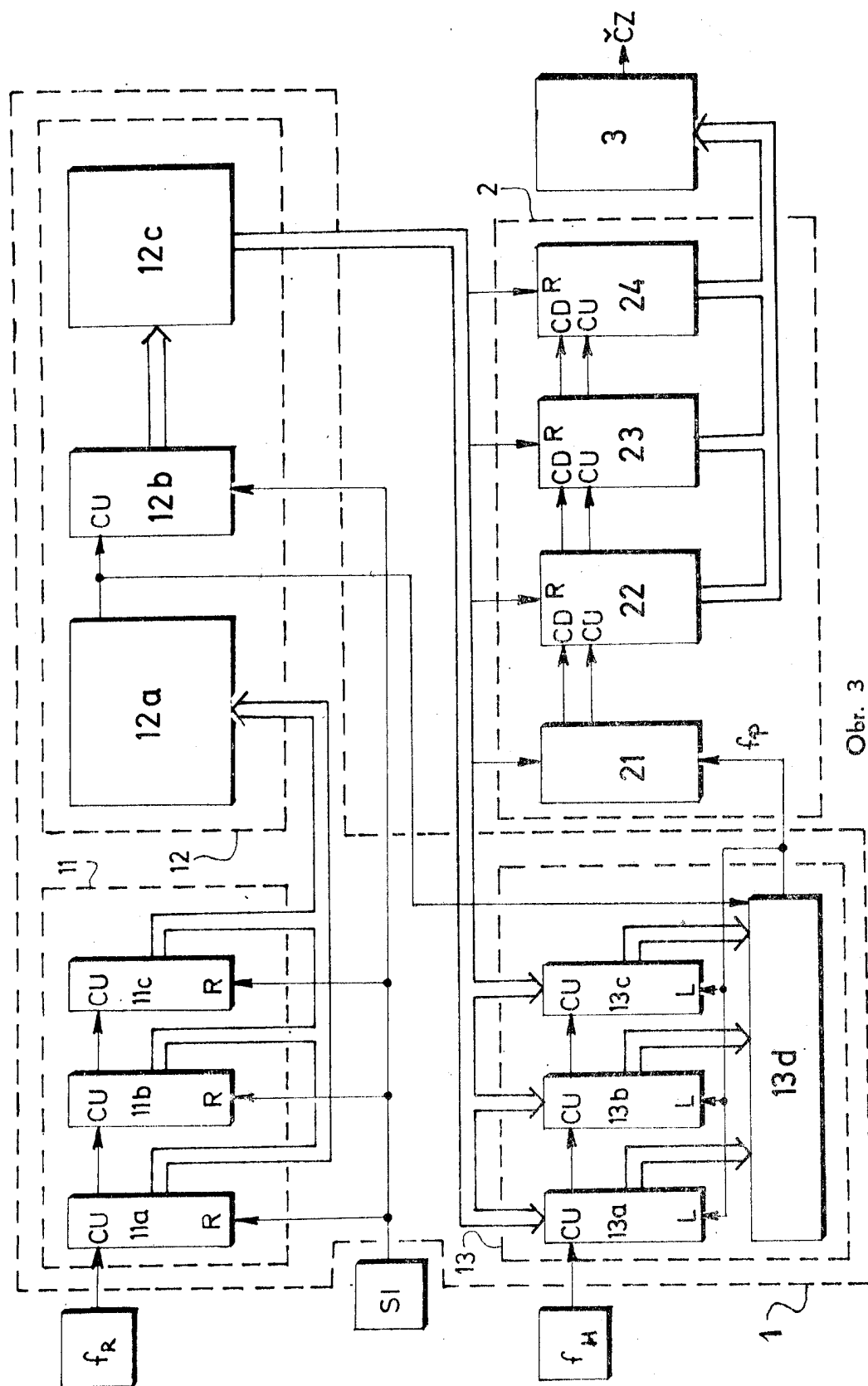
PŘEDMĚT VYNÁLEZU

Zapojení programovatelného generátoru nelineární časové základny, vyznačené tím, že programovatelný generátor (1) proměnného kmitočtu sestává z nejméně dvou propojených čtyřbitových čítačů (11a, 11b) řídicího čítače, na jehož vstup je připojen výstup zdroje (f_R) řídicího kmitočtu a na nulovací vstupy výstup zdroje (SI) synchronizačních impulsů, a jehož sběrníkový výstup je připojen na adresovací vstupy paměti (12) ROM, sestávající z paměti (12a) bodů zlomu, připojené výstupem ke vstupu obvodu (13d) logiky vyhodnocování a k čítači (12b) paměti ROM, na jehož nulovací vstup je připojen zdroj (SI) synchronizačních impulsů, a jehož sběrníkový výstup je připojen na adresovací vstupy (12c) paměti frekvencí, jejíž sběrníkový výstup je připojen na datové vstupy programovatelného děliče (13) kmitočtu, sestávajícího z nejméně dvou propojených čtyřbitových číta-

čů (13a, 13b) programovatelného děliče (13) kmitočtu, na jehož hodinový vstup je připojen výstup zdroje (f_H) hodinových impulsů, a jehož sběrníkové výstupy jsou připojeny ke vstupům obvodu (13d) logiky vyhodnocování, jehož výstup (f_p) proměnného kmitočtu je připojen k nastavovacím vstupům dvou propojených čtyřbitových čítačů (13a, 13b) a na první vstup obvodu (21) logiky „vpřed — zpět“ binárního čítače (2) a na jehož druhý vstup je připojen znaménkový vodič výstupní sběrnice z paměti frekvencí (12c), přičemž výstupy obvodu (21) logiky „vpřed — zpět“ jsou připojeny na vstup jednoho z nejméně tří vzájemně propojených čtyřbitových čítačů (22, 23, 24) digitálně analogového převodníku (3), jejichž sběrníkové výstupy jsou připojeny na vstupy digitálně analogového převodníku (3), opatřeného analogovým výstupem časové základny (ČZ).







Obi. 3