(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3607468号
(P3607468)
(45)発行日　平成17年1月5日(2005.1.5)　(24)登録日　平成16年10月15日(2004.10.15)

(51)Int.Cl.[7]	F I		
H01L 21/8222	H01L	27/06	101D
H01L 27/06	H01L	29/06	301D
H01L 29/06	H01L	29/78	652H
H01L 29/78	H01L	29/78	655A

請求項の数 4　(全 10 頁)

(21)出願番号　特願平9-253712
(22)出願日　平成9年9月18日(1997.9.18)
(65)公開番号　特開平11-97551
(43)公開日　平成11年4月9日(1999.4.9)
審査請求日　平成12年3月1日(2000.3.1)

前置審査

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100092196
弁理士　橋本　良郎

最終頁に続く

(54)【発明の名称】高耐圧半導体装置及びその駆動方法

(57)【特許請求の範囲】
【請求項１】
半導体基板と、
前記半導体基板に形成され、高オン電圧と低スイッチング損失の特性を有するダイオード領域と、
前記ダイオード領域の一方の表面に形成されたアノード電極と、
前記ダイオード領域の他方の表面に形成されたカソード電極と、
前記半導体基板の前記ダイオード領域とは異なる領域に形成され、低オン電圧と高スイッチング損失の特性を有する三端子素子領域と、
前記ダイオード領域の前記一方の表面と同じ側の前記三端子素子領域の表面に形成され且つ前記アノード電極に電気的に接続された第１の主電極と、
前記ダイオード領域の前記他方の表面と同じ側の前記三端子素子領域の表面に形成され且つ前記カソード電極に電気的に接続された第２の主電極と、
前記三端子素子領域に形成され前記第１の主電極から前記第２の主電極に流れる順方向電流を制御するための制御電極と、
前記半導体基板の前記ダイオード領域と前記三端子素子領域との間に形成された分離領域と
を備えた高耐圧半導体装置。
【請求項２】
前記ダイオード領域はｐｉｎダイオード領域、前記三端子領域はＩＧＢＴ領域であること

を特徴とする請求項１記載の高耐圧半導体装置。
【請求項３】
前記ダイオード領域は、前記分離領域を介して前記三端子領域を取り囲んで配置されていることを特徴とする請求項１または２記載の高耐圧半導体装置。
【請求項４】
半導体基板と、
前記半導体基板に形成されたダイオード領域と、
前記ダイオード領域の一方の表面に形成されたアノード電極と、
前記ダイオード領域の他方の表面に形成されたカソード電極と、
前記半導体基板の前記ダイオード領域とは異なる領域に形成された三端子素子領域と、
前記三端子素子領域の一方の表面に形成され且つ前記アノード電極に電気的に接続された第１の主電極と、
前記三端子素子領域の他方の表面に形成され且つ前記カソード電極ｓに電気的に接続された第２の主電極と、
前記三端子素子領域に形成され前記第１の主電極から前記第２の主電極に流れる順方向電流を制御するための制御電極と、
前記半導体基板の前記ダイオード領域と前記三端子素子領域との間に形成された分離領域とを備えた高耐圧半導体装置の駆動方法であって、
逆回復動作の際に、前記順方向電流が減少し始める前に、前記三端子素子領域をオフ状態にするための制御信号を前記制御電極に印加し、前記順方向電流が減少し始めた後に、前記三端子領域をオン状態にするための制御信号を前記制御電極に印加する高耐圧半導体装置の駆動方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、高耐圧半導体装置及びその駆動方法に係り、特に、インバータ回路などに用いられるダイオードとして好適な高耐圧半導体装置及びその駆動方法に関する。
【０００２】
【従来の技術】
図７は従来の高耐圧ｐｉｎダイオードの構成を示す断面図である。このｐｉｎダイオードは、ｎ型エミッタ層１上にｎ型ベース層２が形成され、ｎ型ベース層２上にｐ型エミッタ層３が形成されている。ｐ型エミッタ層３にはアノード電極４が形成され、ｎ型エミッタ層１にはカソード電極５が形成されている。
【０００３】
この高耐圧ダイオードでは、カソード電極５に対して正となる正バイアスをアノード電極４に印加した状態、いわゆる順バイアス状態にすると、ｎ型エミッタ層１から電子がｎ型ベース層２に注入されると共に、ｐ型エミッタ層３から正孔がｎ型ベース層２中に注入され、オン（導通）状態となる。
【０００４】
オン状態では、注入された電子と正孔がｎ型ベース層２内に蓄積されるため、ｎ型ベース層２の抵抗が低下し、素子全体の抵抗も低くなる。
続いて、オン状態から阻止状態に移行する時の逆回復動作について説明する。図８において、ＩＧＢＴ２～３は常時オフ状態であり、ＩＧＢＴ４は常時オン状態であるとし、ＩＧＢＴ１をオン状態にすると、電圧源陽極→ＩＧＢＴ１→Ｌ→ＩＧＢＴ４→電圧源陰極の経路で電流が流れる。次にＩＧＢＴ１をオフ状態にすると、Ｌを流れる電流は、Ｌ→ＩＧＢＴ４→Ｄ２→Ｌの経路で還流し始める。この時、Ｄ２は順方向に電圧が引加されており、順方向電流が流れている。次に再び、ＩＧＢＴ１をオン状態にすると、電源電圧ＶがダイオードＤ２に引加される（図９中ｔ１）。
【０００５】
時刻ｔ１でＩＧＢＴがオン状態になると、電源電圧Ｖと回路の浮遊インダクタンスＬｓと

に基づいた電流変化率ｄｉ／ｄｔでダイオード電流は逆方向に移行し、時刻ｔ３になると、逆方向最大電流Ｉｒｍまで増加する。

【０００６】

時刻ｔ２からｎ型ベース層２とｐ型エミッタ層３との接合部から空乏層が拡がり始め、ダイオード電圧Ｖｄが上昇し始める。これと同時に逆方向に流れているダイオード電流が減少し始める。その後、ダイオード電圧Ｖｄは、回路の浮遊インダクタンスＬｓの存在により、電源電圧を越えて最大値をとった後、電源電圧Ｖに近付く。このとき、カソード近傍に残ったキャリアによりテール電流が流れる。

【０００７】

従来構造のダイオードにおいては、導通時のオン抵抗に対応するオン状態の損失を低下させるためにｎ型ベース層２内に蓄積されるキャリア量を多くする必要がある。このため、逆回復時のダイオード電圧Ｖｄと、ダイオード電流Ｉｄとの積を時間で積分した逆回復時のスイッチング損失が大きくなる。

【０００８】

一方、逆回復時のスイッチング損失を小さくするためにｎ型ベース層２内に蓄積されるキャリア量を少なくすると、オン状態の損失が大きくなり、オン電圧V_{AK}（定格動作時のアノード・カソード間電圧）を増大させてしまう。

すなわち、ｐｉｎダイオードのスイッチング損失とオン電圧V_{AK}は、図１０に示すように、トレードオフ関係にあり、低オン電圧と、低スイッチング損失とは両立が不可能となっている。

【０００９】

【発明が解決しようとする課題】

以上述べたように、従来構造のダイオードでは、オン状態の損失を低下させるためにｎ型ベース層２内に蓄積されるキャリア量を多くすると、順バイアス状態から逆バイアス状態に移行したときに流れる逆方向電流が大きくなり、逆回復時のスイッチング損失を増大させる問題がある。

【００１０】

一方、逆回復時のスイッチング損失を低下させる観点から逆方向電流を小さくするように、ｎ型ベース層２内に蓄積されるキャリア量を少なくすると、オン電圧を上昇させる問題がある。

すなわち、従来構造のダイオードは、低オン電圧と、低スイッチング損失との両立が不可能となっている問題がある。

【００１１】

本発明は上記実情を考慮してなされたもので、低オン電圧と、低スイッチング損失とを両立し得る高耐圧半導体装置及びその駆動方法を提供することを目的とする。

【００１２】

【課題を解決するための手段】

本発明の骨子は、同一の半導体基板に、高オン電圧と低スイッチング損失のダイオード領域と、低オン電圧と高スイッチング損失の三端子素子領域とを分離領域を介して電気的に並列に接続した構造にある。

【００１３】

この構造によれば、オン状態の時には三端子素子領域をオン状態とし、逆回復動作の時には三端子素子領域をオフ状態とする駆動方法により、装置全体としては、低オン電圧と、低スイッチング損失とが両立可能となる。

【００１４】

さて、以上のような本発明の骨子に基づいて、具体的には以下のような手段が講じられる。請求項１に対応する発明は、半導体基板と、前記半導体基板に形成され、高オン電圧と低スイッチング損失の特性を有するダイオード領域と、前記ダイオード領域の一方の表面に形成されたアノード電極と、前記ダイオード領域の他方の表面に形成されたカソード電極と、前記半導体基板の前記ダイオード領域とは異なる領域に形成され、低オン電圧と高

スイッチング損失の特性を有する三端子素子領域と、前記ダイオード領域の前記一方の表面と同じ側の前記三端子素子領域の表面に形成され且つ前記アノード電極に電気的に接続された第１の主電極と、前記ダイオード領域の前記他方の表面と同じ側の前記三端子素子領域の表面に形成され且つ前記カソード電極に電気的に接続された第２の主電極と、前記三端子素子領域に形成され前記第１の主電極から前記第２の主電極に流れる順方向電流を制御するための制御電極と、前記半導体基板の前記ダイオード領域と前記三端子素子領域との間に形成された分離領域とを備えた高耐圧半導体装置である。

【００１５】

また、請求項２に対応する発明は、半導体基板と、前記半導体基板に形成されたダイオード領域と、前記ダイオード領域の一方の表面に形成されたアノード電極と、前記ダイオード領域の他方の表面に形成されたカソード電極と、前記半導体基板の前記ダイオード領域とは異なる領域に形成された三端子素子領域と、前記三端子素子領域の一方の表面に形成され且つ前記アノード電極に電気的に接続された第１の主電極と、前記三端子素子領域の他方の表面に形成され且つ前記カソード電極に電気的に接続された第２の主電極と、前記三端子素子領域に形成され前記第１の主電極から前記第２の主電極に流れる順方向電流を制御するための制御電極と、前記半導体基板の前記ダイオード領域と前記三端子素子領域との間に形成された分離領域とを備えた高耐圧半導体装置の駆動方法であって、逆回復動作の際に、前記順方向電流が減少し始める前に、前記三端子素子領域をオフ状態にするための制御信号を前記制御電極に印加する高耐圧半導体装置の駆動方法である。

（作用）

従って、本発明は以上のような手段を講じたことにより、主電流は、定常のオン動作時にはオン電圧の低い三端子素子領域を流れ、逆回復動作に入る前に三端子素子領域をオフすることによってスイッチング損失の低いダイオードに流れるようになるので、逆回復時のスイッチング損失を低減でき、低オン電圧と、低スイッチング損失とを両立させることができる。

【００１６】

【発明の実施の形態】

以下、本発明の各実施形態について図面を参照して説明する。

（第１の実施形態）

図１は本発明の第１の実施形態に係る高耐圧半導体装置の構成を示す断面図である。この高耐圧半導体装置は、高抵抗のｎ－　型半導体基板１１に選択的に形成されたダイオード領域１２と、ｎ－　型半導体基板１にてダイオード領域１２とは異なる領域に形成された三端子素子領域１３と、ｎ－　型半導体基板１１にてダイオード領域１２と三端子素子領域１３との間に形成された分離領域１４とを有している。

【００１７】

ダイオード領域１２では、ｎ－　型半導体基板１１の一方の表面にアノード電極１５が形成され、ｎ－　型半導体基板１１の他方の表面にカソード電極１６が形成されている。

【００１８】

三端子素子領域１３では、ｎ－　型半導体基板１１の一方の表面に第１の主電極１７が形成され、ｎ－　型半導体基板１１の他方の表面に第２の主電極１８が形成され、第１の主電極１７から第２の主電極１８に流れる順方向電流を制御するための制御電極１９が形成されている。なお、第１の主電極１７は、アノード電極１５に電気的に接続され、アノード端子Ａを構成している。第２の主電極１８は、カソード電極１６に電気的に接続され、カソード端子Ｋを構成している。すなわち、ダイオード領域１２と三端子素子領域１３とは互いに順並列に接続されている。また、制御電極１９は、与えられる制御信号により、順方向電流をオン・オフ制御可能としている。

【００１９】

分離領域１４に関しては、上述したように分離領域１４の幅Ｌ１がこの分離領域１４のアンビポーラ・キャリア拡散長$La=(Da\cdot\tau a)^{1/2}$　よりも長く設定されている（Ｌａ＜Ｌ１）。

【００２０】
ここで、ダイオード領域１２は、図２の電流一電圧特性図に示すように、従来のダイオードに比べ、電気抵抗の高い特性（逆回復電流が小さい特性）に設計されている。
【００２１】
逆に、三端子素子領域１３の電流－電圧特性は、従来ダイオードに比べ、電気抵抗の高い特性（逆回復電流が大きい特性）に設計されている。なお、ダイオード領域１２と三端子素子領域１３との同一電流密度での抵抗値は、ダイオード領域１２の方が三端子素子領域１３よりも高くなっている。
【００２２】
このような電気抵抗の設計は、素子構造の変更、電子線又はプロトン等の照射、あるいは金等の重金属の拡散により、実行可能となっている。例えば、電子線等の照射により、ｎ－　型半導体基板１１のダイオード領域１２のライフタイムτ１　よりも、ｎ－　型半導体基板１１の三端子素子領域１３のライフタイムτ２　の方を長くしてもよい。また、ライフタイムを制御する場合、プロトンの照射により、ｎ－　型半導体基板１１のダイオード領域１２及び三端子素子領域１３のライフタイムτ１　，τ２　を個々に局所的に制御してもよい。
【００２３】
また、分離領域に関しては、例えば分離領域の幅Ｌ１がこの分離領域のアンビポーラ・キャリア拡散長Ｌａ＝（Ｄａ・τａ）$^{1/2}$　よりも長いことが好ましい（Ｌａ＜Ｌ１）。
【００２４】
次に、以上のように構成された高耐圧半導体装置の駆動方法について図３の電流波形図を参照しながら説明する。
オン状態においては、アノード端子Ａとカソード端子Ｋ間に順方向電圧が印加され、主電流が流れる。このとき、制御電極１９には、三端子素子領域１３をオン状態とするオン信号が与えられるため、主電流は電気抵抗の低い三端子素子領域１３を主に流れる。
【００２５】
従って、図１に示す装置の電気抵抗は、三端子素子領域１３の電気抵抗とほぼ等しくなるまで低減される（時刻ｔ＜ｔ１）。
次に、逆回復動作をさせるタイミングの例えば１０μｓだけ前に制御電極１９にオフ信号を与える。これにより、三端子素子領域１３がオフ状態とされ（ｔ＝ｔ１）、主電流は高い電気抵抗のダイオード領域１２を主に流れるようになる（ｔ１＜ｔ＜ｔ２）。なお、主電流は、ダイオード領域１２が高抵抗のために値が減少している。
【００２６】
この状態で逆回復動作を行うと、主電流が逆回復電流の小さいダイオード領域１２を主に流れているために、図３に示すように、逆回復電流は、従来のダイオードよりも小さくなっている。
【００２７】
また、ｔ≧ｔ２の逆回復時において、制御電極１９にオン信号を加えると、ｔ１＜ｔ＜ｔ２の期間に排出しきれなかった三端子素子領域１３中の余剰キャリアをより早く排出できるために、より一層、逆回復特性を改善できる。
【００２８】
上述したように本実施形態によれば、定常のオン動作時には、主電流はオン電圧の低い三端子素子領域１３を流れる。また、逆回復動作時には、逆回復動作の直前に三端子素子領域１３をオフすることにより、主電流はスイッチング損失の低いダイオード領域１２を流れ、しかる後、阻止状態となる。
【００２９】
これにより、逆回復時のスイッチング損失を低減でき、低オン電圧と、低スイッチング損失とを両立させることができる。すなわち、定常のオン状態の時には充分電気抵抗が小さく、逆回復動作時にも逆回復電流が小さく逆回復特性の良い高耐圧半導体装置を実現することができる。

【００３０】
また、ダイオード領域１２と三端子素子領域１３との間を分離領域１４により、完全に分離しているので、電子線照射などを用い、装置内の電気特性を容易かつ確実に制御することができる。
（第２の実施形態）
図４は本発明の第２の実施形態に係る高耐圧半導体装置の構成を示す断面図であり、図１と同一部分には同一符号を付してその詳しい説明を省略し、ここでは異なる部分についてのみ述べる。
【００３１】
すなわち、本実施形態は、第１の実施形態の変形構成であり、ダイオード領域１２がｐｉｎダイオードで構成され、三端子素子領域１３がＩＧＢＴで構成されている。以上のような構造としても、第１の実施形態と同様の効果を得ることができる。
【００３２】
なお、本実施形態に係る高耐圧半導体装置は、図８に示したインバータ回路のダイオードＤ１～Ｄ４（還流ダイオードＦＷＤ；Ｆｒｅｅ　Ｗｈｅｅｌｉｎｇ　Ｄｉｏｄｅ）として使用してもよい。この場合、ダイオードＤ１～Ｄ４に逆並列に接続される各主スイッチング素子ＩＧＢＴ１～ＩＧＢＴ４のゲート端子Ｇと、本実施形態の高耐圧半導体装置におけるＩＧＢＴの制御電極１９とを電気的に接続することが好ましい。
【００３３】
これにより、主スイッチング素子ＩＧＢＴの定常オン状態の時には、本実施形態装置のＩＧＢＴを簡単にオン状態にでき、逆回復動作の直前には当該ＩＧＢＴをオフ状態にすることができる。
（第３の実施形態）
図５は本発明の第３の実施形態に係る高耐圧半導体装置の概略構成を示す平面図である。本実施形態は、第１又は第２の実施形態の変形構成であり、ダイオード領域１２、分離領域１４及び三端子素子領域１３の平面配置を規定したものであって、具体的には、ダイオード領域１２が分離領域１４を介して三端子素子領域１３を取り囲んだ配置構成となっている。
【００３４】
以上のような構造によれば、接合終端がダイオード領域１２に位置するために接合終端構造を一般的なベベル構造として形成できるので、高耐圧半導体装置を低コストで得ることができる。
【００３５】
また、第２の実施形態では、三端子素子領域１３をＩＧＢＴとした場合について説明したが、これに限らず、三端子素子領域１３は、バイポーラトランジスタとしても、本発明を同様に実施して同様の効果を得ることができる。さらに、ＧＴＯ、ＩＥＧＴ（Ｍ．Ｋｉｔａｇａｗａ，ＩＥＤＭ’９３）、ＭＣＴ（ＣＭＯＳ　Ｃｏｎｔｒｏｌｌｅｄ　Ｔｈｙｒｉｓｔｏｒ）、ＥＳＴ（Ｅｍｉｔｔｅｒ　Ｓｗｉｔｃｈｅｄ　Ｔｈｙｒｉｓｔｏｒ）のような、バイポーラトランジスタよりもオン抵抗（定格電流通電時における電気抵抗）の低い素子を三端子素子領域１３として用いれば、定常オン状態の時のオン抵抗を低減できるので、より優れた効果を得ることができる。
【００３６】
また、第３の実施形態では、三端子素子領域１３を中心として分離領域１４及びダイオード領域１２が順次、同心円状に配置された場合について説明したが、これに限らず、図６に示すように、三端子素子領域１３、分離領域１４及びダイオード領域１２を単に並列に配置しても、本発明を同様に実施して同様の効果を得ることができるのは言うまでもない。
その他、本発明はその要旨を逸脱しない範囲で種々変形して実施できる。
【００３７】
【発明の効果】

以上説明したように本発明によれば、主電流は、定常のオン動作時にはオン電圧の低い三端子素子領域を流れ、逆回復動作時に入る前に三端子素子領域をオフすることによってスイッチング損失の小さいダイオードに流れるようになるので、逆回復時のスイッチング損失を小さくでき、低オン電圧、低スイッチング損失を両立した高耐圧半導体装置及びその駆動方法を実現することができる。

【図面の簡単な説明】

【図１】本発明の第１の実施形態に係る高耐圧半導体装置の構成を示す断面図

【図２】同実施の形態における電流一電圧特性図

【図３】同実施の形態における動作を説明するためのタイムチャート

【図４】本発明の第２の実施形態に係る高耐圧半導体装置の構成を示す断面図

【図５】本発明の第３の実施形態に係る高耐圧半導体装置の概略構成を示す平面図

【図６】同実施の形態における高耐圧半導体装置の変形構成を示す平面図

【図７】従来の高耐圧ｐｉｎダイオードの構成を示す断面図

【図８】一般的なインバータ回路のアーム部の構成を示す回路図

【図９】従来の逆回復時のダイオードの電流波形の概略図

【図１０】従来のダイオードのスイッチング損失とオン電圧との関係を示す図

【符号の説明】

１１…ｎ－　型半導体基板

１２…ダイオード領域

１３…三端子素子領域

１４…分離領域

１５…アノード電極

１６…カソード電極

１７…第１の主電極

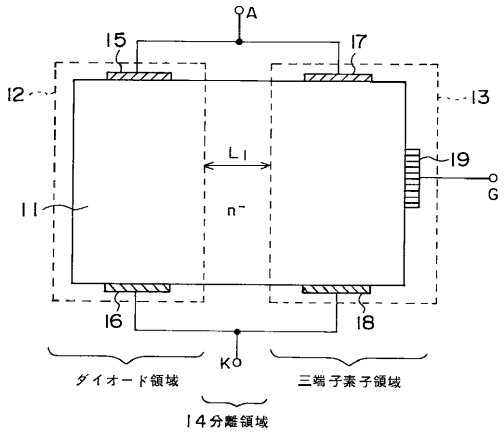
１８…第２の主電極

１９…制御電極

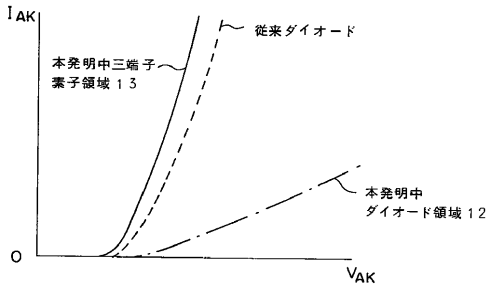
Ａ…アノード端子

Ｋ…カソード端子

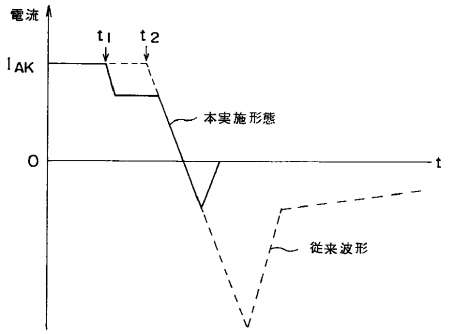
【図１】



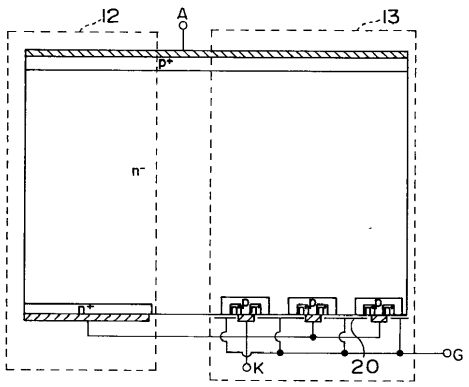
【図２】



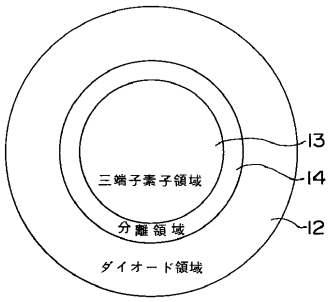
【図３】



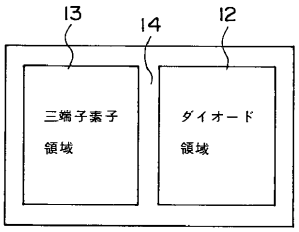
【図４】



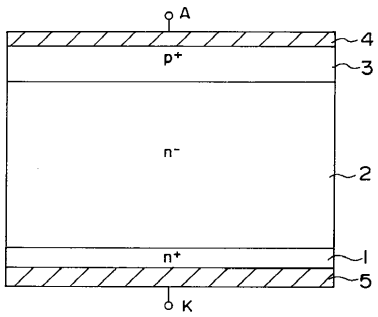
【図５】



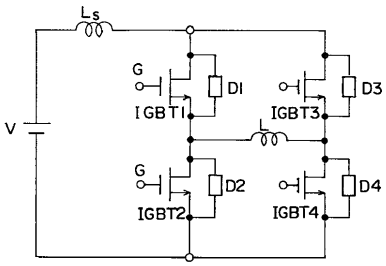
【図６】



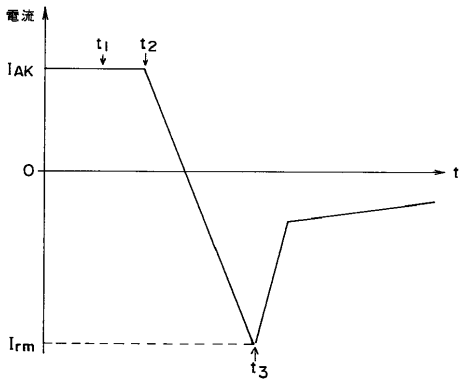
【図７】



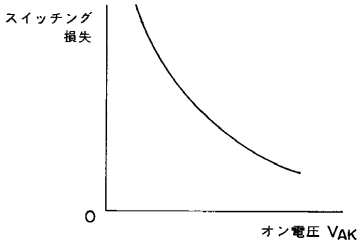
【図８】



【図９】



【図１０】



フロントページの続き

(72)発明者　松下　憲一
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

審査官　松本　貢

(56)参考文献　特開平０５－１５２５７４（ＪＰ，Ａ）
特開平０９－１０７０９７（ＪＰ，Ａ）
特開平０７－３０２９０４（ＪＰ，Ａ）
特開平０８－２７４６０８（ＪＰ，Ａ）
特開昭６０－０６４４６８（ＪＰ，Ａ）
特開昭５９－１２３２６２（ＪＰ，Ａ）
特開昭５６－１１４３６７（ＪＰ，Ａ）
特開平０５－１７６５４３（ＪＰ，Ａ）
特開平０９－０３６３５６（ＪＰ，Ａ）
特開平０６－１４０６３３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H01L 21/8222
H01L 27/06
H01L 29/06
H01L 29/78　652
H01L 29/78　655