



(21) 申请号 202210851216.3

(22) 申请日 2022.07.19

(30) 优先权数据

10-2021-0094660 2021.07.20 KR

(71) 申请人 三星显示有限公司

地址 韩国京畿道

(72) 发明人 金根佑 姜泰旭 金长玄 裴俊佑

李在燮 陈东奎 崔相虔

(74) 专利代理机构 北京德琦知识产权代理有限公司

公司 11018

专利代理师 宋颖娉 宋志强

(51) Int.Cl.

G09G 3/32 (2016.01)

G09G 3/3225 (2016.01)

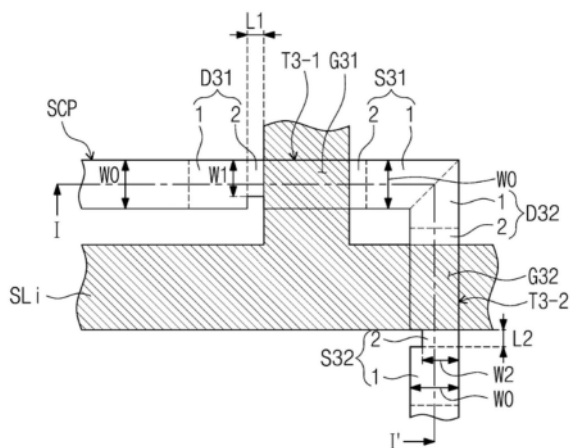
权利要求书3页 说明书16页 附图18页

(54) 发明名称

显示装置

(57) 摘要

本发明提供了显示装置。该显示装置包括：第一晶体管；第二晶体管，电连接到第一晶体管；n个第三晶体管，电连接到第一晶体管的栅极并且彼此串联连接；电容器，被配置为以与数据信号相对应的电压被充电；以及发光元件，其中，n个第三晶体管中的每一个包括包含沟道区、源区和漏区的半导体区以及与沟道区重叠的栅极，其中，较靠近第一晶体管的栅极并且属于最靠近第一晶体管的栅极的第三晶体管的源区或漏区包括第一区以及在第一区与沟道区之间的第二区，第二区具有比第一区的掺杂浓度低的掺杂浓度并且具有比第一区的宽度小的宽度。



1. 一种显示装置,包括:

第一晶体管;

第二晶体管,电连接到所述第一晶体管并且被配置为输出数据信号;

n个第三晶体管,电连接到所述第一晶体管的栅极并且彼此串联连接,其中,n是等于或大于2的自然数;

电容器,被配置为以与所述数据信号相对应的电压被充电;以及

发光元件,电连接到所述第一晶体管,

其中,所述n个第三晶体管中的每一个包括:

半导体区,包括沟道区、源区以及在延伸方向上与所述源区间隔开的漏区,其中,所述沟道区在所述源区与所述漏区之间;以及

栅极,与所述沟道区重叠,其中,所述源区和所述漏区当中的较靠近所述第一晶体管的所述栅极并且属于所述n个第三晶体管中的被定位为最靠近所述第一晶体管的所述栅极的第一个第三晶体管的区包括第一区以及在所述第一区与所述沟道区之间的第二区,所述第二区具有比所述第一区的掺杂浓度低的掺杂浓度并且在与所述延伸方向垂直的参考方向上具有比所述第一区的宽度小的宽度。

2. 根据权利要求1所述的显示装置,其中,所述源区和所述漏区当中的距所述第一晶体管的所述栅极较远并且属于所述n个第三晶体管中的被定位为距所述第一晶体管的所述栅极最远的第二个第三晶体管的区包括第三区以及在所述第三区与所述沟道区之间的第四区,所述第四区具有比所述第三区的掺杂浓度低的掺杂浓度并且在所述参考方向上具有比所述第三区的宽度小的宽度。

3. 根据权利要求1所述的显示装置,其中,所述源区和所述漏区当中的距所述第一晶体管的所述栅极较远并且属于所述n个第三晶体管中的所述第一个第三晶体管的区包括第三区以及在所述第三区与所述沟道区之间的第四区,所述第四区具有比所述第三区的掺杂浓度低的掺杂浓度。

4. 根据权利要求3所述的显示装置,其中,所述第三区和所述第四区在所述参考方向上具有相同的宽度。

5. 根据权利要求1所述的显示装置,其中,所述第二区在所述参考方向上的所述宽度在从 $1\mu\text{m}$ 至 $2\mu\text{m}$ 的范围内。

6. 根据权利要求1所述的显示装置,其中,所述第二区的所述宽度比所述第一区的所述宽度小10%至50%。

7. 根据权利要求1所述的显示装置,其中,所述第二区在所述延伸方向上具有从 $0.1\mu\text{m}$ 至 $0.5\mu\text{m}$ 的长度。

8. 根据权利要求1至7中任一项所述的显示装置,其中,所述第一晶体管和所述n个第三晶体管包括P型多晶硅晶体管,并且

其中,所述n个第三晶体管在所述第一晶体管的所述栅极与所述第一晶体管的半导体区的源区或漏区之间彼此串联连接。

9. 根据权利要求8所述的显示装置,其中,所述n个第三晶体管中的所述第一个第三晶体管的所述源区以及所述n个第三晶体管中的距所述第一晶体管的所述栅极最远的第二个第三晶体管的所述漏区在所述参考方向上具有相同的宽度。

10. 根据权利要求8所述的显示装置, 其中, 所述 n 个第三晶体管中的在所述 n 个第三晶体管中的所述第一个第三晶体管与所述 n 个第三晶体管中的距所述第一晶体管的所述栅极最远的第二个第三晶体管之间的第三个第三晶体管的所述漏区和所述源区在所述参考方向上具有相同的宽度。

11. 根据权利要求1所述的显示装置, 其中, 所述第一晶体管包括包含源区、与所述第一晶体管的所述源区间隔开的漏区以及与所述第一晶体管的所述栅极重叠的沟道区的半导体区, 所述第一晶体管的所述沟道区在所述第一晶体管的所述源区和所述漏区之间, 并且

其中, 所述第一晶体管的所述源区和所述漏区中的至少一个具有比所述第一晶体管的所述沟道区的宽度大的宽度。

12. 根据权利要求11所述的显示装置, 其中, 所述第一晶体管的所述源区和所述漏区中的所述至少一个的所述宽度比所述第一晶体管的所述沟道区的所述宽度大5%至20%。

13. 根据权利要求11所述的显示装置, 其中, 所述第一晶体管的所述源区和所述漏区中的每一个包括第三区以及在所述第三区与所述第一晶体管的所述沟道区之间的第四区, 所述第四区具有比所述第三区的掺杂浓度低的掺杂浓度, 并且

其中, 所述第三区和所述第四区具有相同的宽度。

14. 根据权利要求11所述的显示装置, 其中, 所述第一晶体管的所述源区或所述漏区的所述宽度大于所述 n 个第三晶体管中的每一个的所述半导体区的宽度。

15. 根据权利要求1至7中任一项所述的显示装置, 其中, 所述第一晶体管和所述 n 个第三晶体管包括P型多晶硅晶体管, 并且

其中, 所述 n 个第三晶体管连接在所述第一晶体管的所述栅极与用于接收初始化电压的电压线之间。

16. 根据权利要求1至7中任一项所述的显示装置, 其中, 所述电容器电连接在所述第一晶体管的所述栅极与用于接收电源电压的电压线之间。

17. 一种显示装置, 包括:

第一晶体管;

第二晶体管, 电连接到所述第一晶体管并且被配置为输出数据信号;

n 个第三晶体管, 电连接到所述第一晶体管的栅极并且彼此串联连接, 其中, n 是等于或大于2的自然数;

电容器, 被配置为以与所述数据信号相对应的电压被充电; 以及

发光元件, 电连接到所述第一晶体管,

其中, 所述 n 个第三晶体管中的每一个包括:

半导体区, 包括沟道区、源区以及在延伸方向上与所述源区间隔开的漏区, 其中, 所述沟道区在所述源区与所述漏区之间; 以及

栅极, 与所述沟道区重叠, 其中, 所述源区和所述漏区当中的距所述第一晶体管的所述栅极较远并且属于所述 n 个第三晶体管当中的被定位为距所述第一晶体管的所述栅极最远的第三晶体管的区包括第一区以及在所述第一区与所述沟道区之间的第二区, 所述第二区具有比所述第一区的掺杂浓度低的掺杂浓度并且在与所述延伸方向垂直的参考方向上具有比所述第一区的宽度小的宽度。

18. 一种显示装置, 包括:

第一晶体管；

第二晶体管，电连接到所述第一晶体管并且被配置为输出数据信号；

第三晶体管，电连接到所述第一晶体管的栅极；以及

发光元件，电连接到所述第一晶体管，

其中，所述第三晶体管包括：

半导体区，包括沟道区、源区以及在延伸方向上与所述源区间隔开的漏区，其中，所述沟道区在所述源区与所述漏区之间；以及

栅极，与所述沟道区重叠，并且，

其中，所述漏区和所述源区中的至少一个包括第一区以及在所述第一区与所述沟道区之间的第二区，所述第二区具有比所述第一区的掺杂浓度低的掺杂浓度并且在与所述延伸方向垂直的参考方向上具有比所述第一区的宽度小的宽度。

19. 一种显示装置，包括：

第一晶体管；

第二晶体管，电连接到所述第一晶体管并且被配置为输出数据信号；

n个第三晶体管，电连接到所述第一晶体管的栅极并且彼此串联连接，其中，n是等于或大于1的自然数；以及

发光元件，电连接到所述第一晶体管，

其中，所述第一晶体管、所述第二晶体管和所述n个第三晶体管中的每一个包括：

半导体区，包括沟道区、源区以及在延伸方向上与所述源区间隔开的漏区，其中，所述沟道区在所述源区与所述漏区之间；以及

栅极，与所述沟道区重叠，

其中，所述漏区和所述源区中的每一个包括第一区以及在所述第一区与所述沟道区之间的第二区，所述第二区具有比所述第一区的掺杂浓度低的掺杂浓度，并且

其中，所述第一晶体管的所述源区和所述第一晶体管的所述漏区中的每一个具有比所述第一晶体管的所述沟道区的宽度大的宽度。

20. 根据权利要求19所述的显示装置，其中，所述第一晶体管的所述漏区的所述宽度比所述第一晶体管的所述沟道区的所述宽度大5%至20%。

21. 根据权利要求19所述的显示装置，其中，所述第一晶体管的所述源区的所述第二区的宽度与所述第一晶体管的所述漏区的所述第二区的宽度相同。

22. 根据权利要求19所述的显示装置，其中，所述第一晶体管的所述漏区的所述宽度大于所述n个第三晶体管中的每一个的所述漏区的宽度。

23. 根据权利要求19所述的显示装置，其中，所述n个第三晶体管中的每一个的所述源区和所述漏区中的至少一个的宽度与所述n个第三晶体管中的每一个的所述沟道区的宽度相同。

显示装置

技术领域

[0001] 本公开涉及具有提高的操作特性的显示装置。

背景技术

[0002] 显示装置包括多个像素和用于控制像素的驱动电路(例如,扫描驱动电路和数据驱动电路)。像素中的每一个包括显示元件和控制显示元件的像素电路。像素电路包括彼此连接的多个晶体管。

[0003] 扫描驱动电路和/或数据驱动电路通过与像素的工艺相同的工艺形成。扫描驱动电路和/或数据驱动电路包括彼此连接的多个晶体管。

发明内容

[0004] 本公开提供了具有提高的操作特性的显示装置。

[0005] 本公开的实施例提供了显示装置,包括:第一晶体管;第二晶体管,电连接到第一晶体管并且被配置为输出数据信号; n 个(n 是等于或大于2的自然数)第三晶体管,电连接到第一晶体管的栅极并且彼此串联连接;电容器,被配置为以与数据信号相对应的电压被充电;以及发光元件,电连接到第一晶体管,其中, n 个第三晶体管中的每一个包括:半导体区,包括沟道区、源区以及在延伸方向上与源区间隔开的漏区,其中,沟道区在源区与漏区之间;以及栅极,与沟道区重叠,其中,源区和漏区当中的较靠近第一晶体管的栅极并且属于 n 个第三晶体管中的被定位为最靠近第一晶体管的栅极的第一个第三晶体管的区包括第一区以及在第一区与沟道区之间的第二区,第二区具有比第一区的掺杂浓度低的掺杂浓度并且在与延伸方向基本上垂直的参考方向上具有比第一区的宽度小的宽度。

[0006] 源区和漏区当中的距第一晶体管的栅极较远并且属于 n 个第三晶体管中的被定位为距第一晶体管的栅极最远的第二个第三晶体管的区可以包括第三区以及在第三区与沟道区之间的第四区,第四区具有比第三区的掺杂浓度低的掺杂浓度并且在参考方向上具有比第三区的宽度小的宽度。

[0007] 源区和漏区当中的距第一晶体管的栅极较远并且属于 n 个第三晶体管中的第一个第三晶体管的区可以包括第三区以及在第三区与沟道区之间的第四区,第四区具有比第三区的掺杂浓度低的掺杂浓度。

[0008] 第三区和第四区在参考方向上可以具有基本上相同的宽度。

[0009] 第二区在参考方向上的宽度可以在从大约 $1\mu\text{m}$ 至大约 $2\mu\text{m}$ 的范围内。

[0010] 第二区的宽度可以比第一区的宽度小大约10%至大约50%。

[0011] 第二区在延伸方向上可以具有从大约 $0.1\mu\text{m}$ 至大约 $0.5\mu\text{m}$ 的长度。

[0012] 第一晶体管和 n 个第三晶体管可以包括P型多晶硅晶体管,并且 n 个第三晶体管在第一晶体管的栅极与第一晶体管的半导体区的源区或漏区之间彼此串联连接。

[0013] n 个第三晶体管中的第一个第三晶体管的源区以及 n 个第三晶体管中的距第一晶体管的栅极最远的第二个第三晶体管的漏区在参考方向上可以具有基本上相同的宽度。

[0014] n 个第三晶体管中的在 n 个第三晶体管中的第一个第三晶体管与 n 个第三晶体管中的距第一晶体管的栅极最远的第二个第三晶体管之间的第三个第三晶体管的漏区和源区在参考方向上可以具有基本上相同的宽度。

[0015] 第一晶体管可以包括包含源区、与第一晶体管的源区间隔开的漏区以及与第一晶体管的栅极重叠的沟道区的半导体区,第一晶体管的沟道区在第一晶体管的源区和漏区之间,并且第一晶体管的源区和漏区中的至少一个具有比第一晶体管的沟道区的宽度大的宽度。

[0016] 第一晶体管的源区和漏区中的至少一个的宽度可以比第一晶体管的沟道区的宽度大大约5%至大约20%。

[0017] 第一晶体管的源区和漏区中的每一个可以包括第三区以及在第三区与第一晶体管的沟道区之间的第四区,第四区具有比第三区的掺杂浓度低的掺杂浓度,并且第三区和第四区具有基本上相同的宽度。

[0018] 第一晶体管的源区或漏区的宽度可以大于 n 个第三晶体管中的每一个的半导体区的宽度。

[0019] 第一晶体管和 n 个第三晶体管可以包括P型多晶硅晶体管,并且 n 个第三晶体管连接在第一晶体管的栅极与用于接收初始化电压的电压线之间。

[0020] 电容器可以电连接在第一晶体管的栅极与用于接收电源电压的电压线之间。

[0021] 本公开的实施例提供了显示装置,包括:第一晶体管;第二晶体管,电连接到第一晶体管并且被配置为输出数据信号; n 个(n 是等于或大于2的自然数)第三晶体管,电连接到第一晶体管的栅极并且彼此串联连接;电容器,被配置为以与数据信号相对应的电压被充电;以及发光元件,电连接到第一晶体管,其中, n 个第三晶体管中的每一个包括:半导体区,包括沟道区、源区以及在延伸方向上与源区间隔开的漏区,沟道区在源区与漏区之间;以及栅极,与沟道区重叠,其中,源区和漏区当中的距第一晶体管的栅极较远并且属于 n 个第三晶体管当中的被定位为距第一晶体管的栅极最远的第三晶体管的区包括第一区以及在第一区与沟道区之间的第二区,第二区具有比第一区的掺杂浓度低的掺杂浓度并且在与延伸方向基本上垂直的参考方向上具有比第一区的宽度小的宽度。

[0022] 本公开的实施例提供了显示装置,包括:第一晶体管;第二晶体管,电连接到第一晶体管并且被配置为输出数据信号;第三晶体管,电连接到第一晶体管的栅极;以及发光元件,电连接到第一晶体管,其中,第三晶体管包括:半导体区,包括沟道区、源区以及在延伸方向上与源区间隔开的漏区,其中,沟道区在源区与漏区之间;以及栅极,与沟道区重叠,并且其中,漏区和源区中的至少一个包括第一区以及在第一区与沟道区之间的第二区,第二区具有比第一区的掺杂浓度低的掺杂浓度并且在与延伸方向基本上垂直的参考方向上具有比第一区的宽度小的宽度。

[0023] 本公开的实施例提供了显示装置,包括:第一晶体管;第二晶体管,电连接到第一晶体管并且被配置为输出数据信号; n 个(n 是等于或大于1的自然数)第三晶体管,电连接到第一晶体管的栅极并且彼此串联连接;以及发光元件,电连接到第一晶体管,其中,第一晶体管、第二晶体管和 n 个第三晶体管中的每一个包括:半导体区,包括沟道区、源区以及在延伸方向上与源区间隔开的漏区,其中,沟道区在源区与漏区之间;以及栅极,与沟道区重叠,其中,漏区和源区中的每一个包括第一区以及在第一区与沟道区之间的第二区,第二区具

有比第一区的掺杂浓度低的掺杂浓度,并且其中,第一晶体管的源区和第一晶体管的漏区中的每一个具有比第一晶体管的沟道区的宽度大的宽度。

[0024] 第一晶体管的漏区的宽度可以比第一晶体管的沟道区的宽度大大约5%至大约20%。

[0025] 第一晶体管的源区的第二区的宽度可以与第一晶体管的漏区的第二区的宽度基本上相同。

[0026] 第一晶体管的漏区的宽度可以大于n个第三晶体管中的每一个的漏区的宽度。

[0027] n个第三晶体管中的每一个的源区和漏区中的至少一个的宽度可以与n个第三晶体管中的每一个的沟道区的宽度基本上相同。

[0028] 根据以上,在具有窄区的低掺杂区中获得了漏/源场减小效应。通过减小低掺杂区的宽度,即使低掺杂区的长度短,低掺杂区中的电阻也会增大到期望水平。

[0029] 由于减小了连接到驱动晶体管的栅极的晶体管的漏场,因此减小了晶体管的泄漏电流。在发光时段期间,驱动晶体管将与数据电压相对应的电流提供到发光元件。

[0030] 驱动晶体管的低掺杂区的宽度增大,并且因此,降低或防止了驱动晶体管的驱动电流的减小。

附图说明

[0031] 当结合附图考虑时,本公开的上述和其它方面通过参考下面的详细描述将易于变得显而易见,在附图中:

[0032] 图1是示出根据本公开的一些实施例的显示装置的框图;

[0033] 图2是示出根据本公开的一些实施例的像素的等效电路图;

[0034] 图3是示出用于驱动图2中示出的像素的驱动信号的波形图;

[0035] 图4是示出根据本公开的一些实施例的与像素相对应的显示面板的截面图;

[0036] 图5A是示出根据本公开的一些实施例的像素的平面图;

[0037] 图5B至图5G是根据像素中包括的图案的堆叠顺序而示出像素的平面图;

[0038] 图6A是示出根据本公开的一些实施例的第三晶体管的平面图;

[0039] 图6B和图6C是沿图6A的线I-I'截取以示出第三晶体管的截面图;

[0040] 图6D是示出根据比较示例的晶体管和根据本公开的一些实施例的晶体管的电压电流关系的曲线图;

[0041] 图6E是示出第三晶体管的掺杂工艺的截面图;

[0042] 图6F是示出第一晶体管以及第三晶体管在与具有高灰度的数据信号相对应的发光时段中的操作的电路图;

[0043] 图6G是示出第一晶体管以及第三晶体管在与具有中间灰度的数据信号相对应的发光时段中的操作的电路图;

[0044] 图7A是示出根据本公开的一些实施例的第三晶体管的电路图;

[0045] 图7B是示出根据本公开的一些实施例的第三晶体管的平面图;

[0046] 图7C是示出根据本公开的一些实施例的第三晶体管的电路图;

[0047] 图7D是示出根据本公开的一些实施例的第三晶体管的平面图;

[0048] 图8A是示出根据本公开的一些实施例的第四晶体管的平面图;

[0049] 图8B是示出根据本公开的一些实施例的第一晶体管以及第四晶体管在发光时段中的操作的电路图；

[0050] 图9A是示出根据本公开的一些实施例的第一晶体管的平面图；以及

[0051] 图9B是沿图9A的线II-II'截取以示出第一晶体管的截面图。

具体实施方式

[0052] 通过参考实施例的详细描述和附图，可以更容易地理解本公开的一些实施例的方面以及实现这些方面的方法。在下文中，将参考附图更详细地描述实施例。然而，所描述的实施例可以具有各种修改并且可以以各种不同的形式来体现，并且不应被解释为仅限于在本文中示出的实施例。相反，这些实施例被提供为示例使得本公开将是彻底的和完整的并且将向本领域技术人员充分传达本公开的方面，并且应当理解，本公开涵盖在本公开的技术范围内的所有修改、等同和替换。相应地，对于本领域普通技术人员来说对于完全理解本公开的方面而言不是必需的工艺、元件和技术可以不被描述。

[0053] 在本公开中，将理解，当元件或层被称为“在”另一元件或层“上”、“连接到”或“耦接到”另一元件或层时，该元件或层可以直接在该另一元件或层上、直接连接或耦接到该另一元件或层，或者可以存在居间元件或层。

[0054] 相同的附图标记始终指代相同的元件。在附图中，为了有效地描述技术内容，部件的厚度、比例和尺寸可以被夸大。如在本文中使用的，术语“和/或”可以包括相关列出项中的一个或多个的任何和所有组合。

[0055] 在本文中参考是实施例和/或中间结构的示意性图示的截面图示来描述各种实施例。因此，由于例如制造技术和/或公差导致的图示形状的变化是可以预期的。进一步，在本文中公开的具体结构或功能描述仅出于描述根据本公开的构思的实施例的目的而进行说明。因此，在本文中公开的实施例不应被解释为限于图示的区域的特定形状，而应包括例如由制造导致的形状的偏差。

[0056] 例如，示出为矩形的注入区域通常将具有倒圆或弧形特征和/或在其边缘处具有注入浓度的梯度而不是从注入区域至非注入区域的二元改变。同样，通过注入形成的掩埋区域可能导致在掩埋区域与通过其发生注入的表面之间的区域中进行一些注入。

[0057] 因此，附图中示出的区域本质上是示意性的，并且它们的形状不旨在示出装置的区域的实际形状并且不旨在进行限制。附加地，如本领域技术人员将意识到的，可以以各种不同的方式修改所描述的实施例，所有这些均不脱离本公开的精神或范围。

[0058] 在详细描述中，出于解释的目的，阐述了许多具体细节以提供对各种实施例的彻底的理解。然而，显而易见的是，各种实施例可以在没有这些具体细节的情况下或者利用一个或多个等同布置被实践。在其它实例中，公知的结构和装置以框图形式被示出以避免不必要地模糊各种实施例。

[0059] 将理解，尽管术语“第一”、“第二”等在本文中可以用来描述各种元件，但是这些元件不应被这些术语限制。这些术语仅用于将一个元件与另一元件区分开。因此，下面讨论的第一元件可以被称为第二元件，而不脱离本公开的教导。如在本文中使用的，单数形式的“一”和“该(所述)”旨在也包括复数形式，除非上下文另外明确指示。

[0060] 为了便于描述，诸如“下面”、“下方”、“下”、“上方”和“上”等的空间相对术语在本

文中可以用于描述如附图中所示的一个元件或特征与另一(些)元件或特征的关系。

[0061] 将理解,当元件、层、区域或部件被称为“形成在”另一元件、层、区域或部件“上”、“在”另一元件、层、区域或部件“上”、“连接到”或“耦接到”另一元件、层、区域或部件时,该元件、层、区域或部件可以直接形成在该另一元件、层、区域或部件上、直接在该另一元件、层、区域或部件上、直接连接到或耦接到该另一元件、层、区域或部件,或者间接形成在该另一元件、层、区域或部件上、间接在该另一元件、层、区域或部件上、间接连接到或耦接到该另一元件、层、区域或部件,使得可以存在一个或多个居间元件、层、区域或部件。另外,这可以共同表示直接或间接耦接或连接以及一体或非一体耦接或连接。例如,当层、区域或部件被称为“电连接”或“电耦接”到另一层、区域或部件时,该层、区域或部件可以直接电连接或耦接到该另一层、区域或部件,或者可以存在居间层、区域或部件。然而,“直接连接/直接耦接”或“直接在……上”是指一个部件直接连接或耦接另一部件或者直接在另一部件上,而没有中间部件。同时,描述部件之间的关系的其它表达(诸如“在……之间”、“紧接在……之间”或者“与……相邻”和“与……直接相邻”)可以类似地被解释。另外,还将理解,当元件或层被称为“在”两个元件或层“之间”时,该元件或层可以是该两个元件或层之间的唯一元件或层,或者也可以存在一个或多个居间元件或层。

[0062] 进一步,在本说明书中,短语“在平面中”或“平面图”意味着从顶部观看目标部分,并且短语“在截面中”意味着从侧面观看通过垂直切割目标部分而形成的截面。

[0063] 将进一步理解,当在本说明书中使用时,术语“包括”和/或“包含”指明所述特征、整体、步骤、操作、元件和/或部件的存在,但不排除存在或增加一个或多个其它特征、整体、步骤、操作、元件、部件和/或它们的组。

[0064] 除非另外限定,否则在本文中使用的所有术语(包括技术术语和科学术语)具有与本公开所属领域的普通技术人员通常理解的含义相同的含义。将进一步理解,诸如在常用词典中限定的那些术语的术语应当被解释为具有与其在相关领域的背景中的含义一致的含义,并且除非在本文中明确地如此限定,否则这些术语将不以理想化或过于形式的意义进行解释。

[0065] 如在本文中使用的,术语“基本上”、“大约”、“近似”以及类似术语被用作近似术语并且不用作程度术语,并且旨在考虑本领域普通技术人员将认识到的测量值或计算值的固有偏差。考虑到所讨论的测量和与特定量的测量相关联的误差(即,测量系统的限制),如在本文中使用的“大约”或“近似”包括所述值并且意味着在由本领域普通技术人员确定的该特定值的可接受的偏差范围内。例如,“大约”可以表示在所述值的一个或多个标准偏差之内,或者在所述值的 $\pm 30\%$ 、 $\pm 20\%$ 、 $\pm 10\%$ 、 $\pm 5\%$ 之内。进一步,“可以”在描述本公开的实施例时的使用是指“本公开的一个或多个实施例”。

[0066] 此外,在本文中公开和/或记载的任何数值范围旨在包括包含在所记载的范围内的相同数值精度的所有子范围。例如,“1.0至10.0”的范围旨在包括所记载的最小值1.0与所记载的最大值10.0之间(并且包括所记载的最小值1.0和所记载的最大值10.0)的所有子范围,即,具有等于或大于1.0的最小值以及等于或小于10.0的最大值的所有子范围,诸如例如2.4至7.6。在本文中记载的任何最大数值限制旨在包括其中包含的所有较低数值限制,并且在本说明书中记载的任何最小数值限制旨在包括其中包含的所有较高数值限制。相应地,申请人保留修改包括权利要求的本申请文件以明确记载包含于在本文中明确记载

的范围内的任何子范围的权利。所有这样的范围旨在在本说明书中进行固有描述,使得用于明确记载任何这样的子范围的修改将符合中国专利法第26条第3款和中国专利法第33条的要求。

[0067] 在下文中,将参考附图详细地解释本公开。

[0068] 图1是示出根据本公开的一些实施例的显示装置DD的框图。

[0069] 显示装置DD可以包括时序控制器TC、扫描驱动电路SDC、数据驱动电路DDC和显示面板DP。在一些实施例中,显示面板DP将被描述为发光型显示面板。发光型显示面板可以包括有机发光显示面板或无机发光显示面板。

[0070] 时序控制器TC可以接收输入图像信号,可以将输入图像信号的数据格式转换为适合于时序控制器TC与数据驱动电路DDC之间的接口的数据格式,并且可以产生图像数据D-RGB。时序控制器TC可以输出图像数据D-RGB以及各种控制信号DCS和SCS。

[0071] 扫描驱动电路SDC可以从时序控制器TC接收扫描控制信号SCS。扫描控制信号SCS可以包括用于启动扫描驱动电路SDC的操作的垂直启动信号以及用于确定信号的输出时序的时钟信号。扫描驱动电路SDC可以产生多个扫描信号,并且可以将扫描信号顺序地输出到相应的扫描信号线SL1至SLn,其中n是大于0的自然数。另外,扫描驱动电路SDC可以响应于扫描控制信号SCS而产生多个发射控制信号,并且可以将发射控制信号输出到相应的发射控制线ECL1至ECLn。

[0072] 在图1中,扫描信号和发射控制信号从一个扫描驱动电路SDC被输出,然而,本公开不应限于此或受此限制。根据一些实施例,显示装置DD可以包括多个扫描驱动电路。根据一些实施例,产生并输出扫描信号的驱动电路可以与产生并输出发射控制信号的驱动电路分离地被提供。

[0073] 数据驱动电路DDC可以从时序控制器TC接收数据控制信号DCS和图像数据D-RGB。数据驱动电路DDC可以将图像数据D-RGB转换为数据信号,并且可以将数据信号输出到稍后描述的多条数据线DL1至DLm,其中m是大于0的自然数。数据信号可以是与图像数据D-RGB的灰度值相对应的模拟电压。

[0074] 显示面板DP可以包括扫描信号线SL1至SLn、发射控制线ECL1至ECLn、数据线DL1至DLm、第一电压线VL1、第二电压线VL2和多个像素PX。

[0075] 扫描信号线SL1至SLn和发射控制线ECL1至ECLn可以在第一方向DR1上延伸并且可以布置在第二方向DR2上。数据线DL1至DLm可以与扫描信号线SL1至SLn交叉。

[0076] 第一电压线VL1可以接收第一电源电压ELVDD。在一些实施例中,可以进一步提供接收第二电源电压ELVSS的电压线。第二电源电压ELVSS可以具有比第一电源电压ELVDD的电平低的电平。第二电压线VL2可以接收初始化电压Vint。初始化电压Vint可以具有比第一电源电压ELVDD的电平低的电平。

[0077] 在以上描述中,参考图1描述了根据一些实施例的显示装置DD,然而,本公开的显示装置DD不应限于此或受此限制。可以依赖于像素电路的配置而增加或省略信号线。另外,可以改变一个像素PX与信号线之间的连接关系。

[0078] 像素PX可以包括产生具有彼此不同的颜色的光的多个组。例如,像素PX可以包括产生红色光的第一红色像素组、产生绿色光的第二绿色像素组以及产生蓝色光的第三蓝色像素组。红色像素的发光二极管、绿色像素的发光二极管和蓝色像素的发光二极管可以包

括包含不同的相应材料的发光层。

[0079] 像素电路可以包括多个晶体管和至少一个电容器。扫描驱动电路SDC和数据驱动电路DDC中的至少一个可以包括通过与像素电路的工艺相同的工艺形成的多个晶体管。

[0080] 上述信号线、像素PX、扫描驱动电路SDC和数据驱动电路DDC可以通过多次光刻工艺和蚀刻工艺形成在基底基板上。

[0081] 图2是示出根据本公开的一些实施例的像素PX的等效电路图。图3是示出用于驱动图2中示出的像素PX的驱动信号的波形图。

[0082] 像素PX可以包括发光元件LD和像素电路CC。像素电路CC可以包括第一晶体管T1、第二晶体管T2、第三晶体管T3-1和T3-2、第四晶体管T4-1和T4-2、第五晶体管T5、第六晶体管T6、第七晶体管T7以及电容器CP。像素电路CC可以响应于数据信号而控制流过发光元件LD的电流的量。发光元件LD可以响应于从像素电路CC提供的电流的量而以一亮度(例如,预定亮度)发光。

[0083] 第一至第七晶体管T1至T7中的每一个可以包括源极、漏极、沟道和栅极。源极、漏极和沟道可以被实现为半导体图案的不同区。在一些实施例中,第一至第七晶体管T1至T7中的每一个将被描述为P型晶体管(例如,P型多晶硅晶体管),然而,第一至第七晶体管T1至T7中的每一个不应限于此或受此限制。根据一些实施例,第一至第七晶体管T1至T7中的至少一个可以是N型晶体管。P型晶体管的源极和漏极可以分别与N型晶体管的漏极和源极相对应。例如,第三晶体管T3-1和T3-2以及第四晶体管T4-1和T4-2可以是N型晶体管。N型第三晶体管T3-1和T3-2以及N型第四晶体管T4-1和T4-2中可发生稍后描述的漏/源场减小效应。

[0084] 第一晶体管T1的源极可以经由第五晶体管T5电连接到第一电压线VL1,并且第一晶体管T1的漏极可以经由第六晶体管T6电连接到发光元件LD的阳极。第一晶体管T1可以被称为驱动晶体管。第一晶体管T1可以响应于被施加到第一晶体管T1的栅极的电压而控制流过发光元件LD的电流的量。第一晶体管T1的栅极可以被称为参考节点ND。

[0085] 第二晶体管T2可以电连接在数据线DL与第一晶体管T1之间。第二晶体管T2的栅极可以电连接到第i扫描信号线SLi。第二晶体管T2可以被称为开关晶体管。

[0086] 第三晶体管T3-1和T3-2可以电连接在第一晶体管T1的栅极和漏极之间。在一些实施例中,彼此串联连接的两个第三晶体管T3-1和T3-2被示出为代表性示例,然而,本公开不应限于此或受此限制。根据一些实施例,n个(n是等于或大于1的自然数)第三晶体管可以串联连接在第一晶体管T1的栅极和漏极之间。第三晶体管T3-1和T3-2中的每一个的栅极可以电连接到第i扫描信号线SLi。

[0087] 第四晶体管T4-1和T4-2可以电连接在参考节点ND与第二电压线VL2之间。在一些实施例中,彼此连接的两个第四晶体管T4-1和T4-2被示出为代表性示例,然而,本公开不应限于此或受此限制。根据一些实施例,n个(n是等于或大于1的自然数)第四晶体管可以电连接在参考节点ND与第二电压线VL2之间。第四晶体管T4-1和T4-2中的每一个的栅极可以电连接到第i-1扫描信号线SLi-1。

[0088] 第五晶体管T5可以电连接在第一电压线VL1与第一晶体管T1的源极之间。第五晶体管T5的栅极可以电连接到第i发射控制线ECLi。

[0089] 第六晶体管T6可以电连接在第一晶体管T1的漏极与发光元件LD的阳极之间。第六晶体管T6的栅极可以电连接到第i发射控制线ECLi。

[0090] 第七晶体管T7可以电连接在第二电压线VL2与发光元件LD的阳极之间。第七晶体管T7的栅极可以电连接到第i+1扫描信号线SLi+1。

[0091] 电容器CP可以位于第一电压线VL1与参考节点ND之间。电容器CP可以以与数据信号相对应的电压被充电。当第五晶体管T5和第六晶体管T6被导通时,流过第一晶体管T1的电流的量可以根据在电容器CP中充入的电压而被确定。

[0092] 参考图2和图3,发射控制信号Ei可以具有高电平E-HIGH或低电平E-LOW。扫描信号Si-1、Si和Si+1中的每一个可以具有高电平S-HIGH或低电平S-LOW。

[0093] 当发射控制信号Ei具有高电平E-HIGH时,第五晶体管T5和第六晶体管T6可以被截止。其中发射控制信号Ei具有高电平E-HIGH的时段可以被定义为发光元件LD的非发光时段。

[0094] 当被施加到第i-1扫描信号线SLi-1的第i-1扫描信号Si-1具有低电平S-LOW时,第四晶体管T4-1和T4-2可以被导通。当第四晶体管T4-1和T4-2被导通时,初始化电压Vint可以被提供到参考节点ND。参考节点ND和电容器CP可以被初始化为初始化电压Vint。

[0095] 当被施加到第i扫描信号线SLi的第i扫描信号Si具有低电平S-LOW时,第二晶体管T2以及第三晶体管T3-1和T3-2可以被导通。当第二晶体管T2被导通时,数据信号可以被施加到第一晶体管T1。当第i扫描信号Si具有低电平S-LOW时,第一晶体管T1可以以二极管配置连接在第二晶体管T2与第三晶体管T3-1和T3-2之间。当第一晶体管T1被导通时,与数据信号相对应的电压可以被施加到参考节点ND。与数据信号相对应的电压可以是通过从数据信号减去第一晶体管T1的阈值电压而获得的电压。电容器CP可以以与数据信号相对应的电压被充电。

[0096] 当第i+1扫描信号Si+1具有低电平S-LOW时,第七晶体管T7可以被导通。当第七晶体管T7被导通时,初始化电压Vint可以被提供到发光元件LD的阳极,并且因此发光元件LD的寄生电容器/电容可以被放电。

[0097] 当被施加到第i发射控制线ECLi的发射控制信号Ei具有低电平E-LOW时,第五晶体管T5和第六晶体管T6可以被导通。当第五晶体管T5被导通时,第一电源电压ELVDD可以被提供到第一晶体管T1。当第六晶体管T6被导通时,第一晶体管T1可以电连接到发光元件LD。相应地,发光元件LD可以响应于被供应到其的电流的量而以一亮度(例如,预定亮度)发光。因此,其中发射控制信号Ei具有低电平E-LOW的时段可以被定义为发光元件LD的发光时段。

[0098] 图4是示出根据本公开的一些实施例的与像素PX相对应的显示面板DP的截面图。图5A是示出根据本公开的一些实施例的像素PX的平面图。图5B至图5G是根据像素PX中包括的图案的堆叠顺序而示出像素PX的平面图。

[0099] 参考图4,显示面板DP可以包括基层BS、电路元件层DP-CL、显示元件层DP-OLED和薄膜封装层TFE。电路元件层DP-CL、显示元件层DP-OLED和薄膜封装层TFE位于基层BS上。显示面板DP可以进一步包括诸如抗反射层和折射率控制层的功能层。电路元件层DP-CL可以至少包括多个绝缘层和电路元件。下面描述的绝缘层可以包括有机层和/或无机层。

[0100] 绝缘层、半导体层和导电层可以通过涂覆和沉积工艺形成。然后,绝缘层、半导体层和导电层可以通过光刻工艺选择性地被图案化。半导体图案、导电图案和信号线可以通过上述工艺形成。位于同一层的图案可以通过同一工艺形成。

[0101] 基层BS可以包括合成树脂层。合成树脂层可以包括可热固化的树脂。例如,合成

树脂层可以是聚酰亚胺类树脂层,并且其不应受特别限制。合成树脂层可以包括丙烯酸类树脂、甲基丙烯酸类树脂、聚异戊二烯类树脂、乙烯基类树脂、环氧类树脂、聚氨酯类树脂、纤维素类树脂、硅氧烷类树脂、聚酰胺类树脂和茛类树脂中的至少一种。另外,基底层BS可以包括玻璃基板、金属基板或有机/无机复合基板。

[0102] 至少一个无机层可以形成在基底层BS的上表面上。无机层可以包括氧化铝、氧化钛、氧化硅、氮化硅、氮氧化硅、氧化锆和氧化钪中的至少一种。无机层可以被提供为多个。无机层可以形成阻挡层BRL和/或缓冲层BFL。阻挡层BRL和缓冲层BFL可以选择性地被定位。

[0103] 阻挡层BRL可以减少或防止异物从外部进入。阻挡层BRL可以包括氧化硅层和氮化硅层。氧化硅层和氮化硅层中的每一个可以被提供为多个,并且氧化硅层和氮化硅层可以彼此交替地堆叠。

[0104] 缓冲层BFL可以提高基底层BS与半导体图案和/或导电图案之间的结合力。缓冲层BFL可以包括氧化硅层和氮化硅层。氧化硅层和氮化硅层可以彼此交替地堆叠。

[0105] 半导体图案SCP可以位于缓冲层BFL上。半导体图案SCP可以包括非晶硅或晶体硅半导体。如图4中所示,半导体图案SCP可以包括第一半导体区AC1和第二半导体区AC2。第一半导体区AC1可以包括第一晶体管T1的源区S1、沟道区A1和漏区D1,并且第二半导体区AC2可以包括第二晶体管T2的源区S2、沟道区A2和漏区D2。在对半导体区的描述中,图2中所描述的晶体管的源极和漏极可以被描述为源区和漏区。

[0106] 第一绝缘层10可以位于缓冲层BFL上。第一绝缘层10可以覆盖半导体图案SCP。第一绝缘层10可以是有机层或无机层。稍后描述的第二至第六绝缘层20至60中的每一个也可以是有机层或无机层,并且其不应受特别限制。

[0107] 第一导电层CL1可以位于第一绝缘层10上。第一导电层CL1可以包括多个导电图案。第一导电层CL1可以包括第一晶体管T1的栅极G1和第二晶体管T2的栅极G2。

[0108] 第二绝缘层20可以形成在第一绝缘层10上以覆盖第一导电层CL1。第二导电层CL2可以位于第二绝缘层20上。第二导电层CL2可以包括多个导电图案。第二导电层CL2可以包括上电极UE。上电极UE可以与第一晶体管T1的栅极G1重叠并且可以被提供有限定为通过其的开口UE-OP。上电极UE以及第一晶体管T1的与上电极UE重叠的栅极G1可以限定电容器CP(参考图2)。

[0109] 第三绝缘层30可以位于第二绝缘层20上以覆盖第二导电层CL2。第三导电层CL3可以位于第三绝缘层30上。第三导电层CL3可以包括多个导电图案。第三导电层CL3可以包括连接电极CNE-G3。一个连接电极CNE-G3可以经由限定为通过第二绝缘层20和第三绝缘层30的接触孔CH10连接到第一晶体管T1的栅极G1。接触孔CH10可以穿过开口UE-OP。另一个连接电极CNE-G3可以经由限定为通过第一绝缘层10、第二绝缘层20和第三绝缘层30的接触孔CH20连接到第二晶体管T2的源区S2。在一些实施例中,第三导电层CL3可以进一步包括多个连接电极。

[0110] 第四绝缘层40可以位于第三绝缘层30上以覆盖第三导电层CL3。第四导电层CL4可以位于第四绝缘层40上。第四导电层CL4可以包括多个导电图案。第四导电层CL4可以包括连接电极CNE-D1。连接电极CNE-D1可以分别经由限定为通过第四绝缘层40的接触孔CH11和CH21连接到相应的连接电极CNE-G3。

[0111] 第五绝缘层50可以位于第四绝缘层40上以覆盖第四导电层CL4。第五导电层CL5可

以位于第五绝缘层50上。第五导电层CL5可以包括多个导电图案。第五导电层CL5可以包括数据线DL。数据线DL可以经由限定为通过第五绝缘层50的接触孔CH22连接到相应的连接电极CNE-D1。

[0112] 第六绝缘层60可以位于第五绝缘层50上以覆盖第五导电层CL5。发光元件LD可以位于第六绝缘层60上。发光元件LD的第一电极AE可以位于第六绝缘层60上。第一电极AE可以是阳极。像素限定层PDL可以位于第六绝缘层60上。

[0113] 像素限定层PDL可以被提供有限定为通过其的开口OP以暴露第一电极AE的至少一部分。像素限定层PDL的开口OP可以限定发光区。发光层EML可以位于第一电极AE上。在一些实施例中,图案化的发光层EML被描述为代表性示例,然而,发光层EML可以公共地被定位在多个像素PX(参考图1)中。例如,公共地被定位的发光层EML可以产生白色光或蓝色光。另外,发光层EML可以具有多层结构。

[0114] 在一些实施例中,空穴传输层可以进一步位于第一电极AE与发光层EML之间。空穴注入层可以进一步位于空穴传输层与第一电极AE之间。空穴传输层或空穴注入层可以公共地被定位在多个像素PX(参考图1)中。

[0115] 第二电极CE可以位于发光层EML上。在一些实施例中,电子传输层可以进一步位于第二电极CE与发光层EML之间。电子注入层可以进一步位于电子传输层与第二电极CE之间。电子传输层或电子注入层可以公共地被定位在多个像素PX(参考图1)中。

[0116] 薄膜封装层TFE可以位于第二电极CE上。薄膜封装层TFE可以公共地被定位在多个像素PX(参考图1)中。在一些实施例中,薄膜封装层TFE可以直接覆盖第二电极CE。根据一些实施例,直接覆盖第二电极CE的盖层可以进一步被定位。薄膜封装层TFE可以至少包括无机层或有机层。根据一些实施例,薄膜封装层TFE可以包括两个无机层以及位于两个无机层之间的有机层。根据一些实施例,薄膜封装层TFE可以包括多个无机层以及与无机层交替地堆叠的多个有机层。

[0117] 参考图5A,示出了像素PX的第一至第七晶体管T1至T7。另外,示出了扫描信号线SLi-1、SLi和SLi+1、发射控制线ECLi、第一电压线VL1以及第二电压线VL2。

[0118] 参考图5B,半导体图案SCP可以位于基层BS(参考图4)上。半导体图案SCP可以包括分别与第一至第七晶体管T1至T7(参考图2)相对应的第一至第七半导体区AC1至AC7。

[0119] 第一至第七半导体区AC1至AC7中的每一个可以包括源区S1至S7当中的相应的源区、沟道区A1至A7当中的相应的沟道区以及漏区D1至D7当中的相应的漏区。源区S1至S7和漏区D1至D7可以具有高掺杂浓度并且可以基本上具有导电性,并且沟道区A1至A7可以具有低掺杂浓度并且可以位于相应的源区S1至S7和相应的漏区D1至D7之间。基本上,第一至第七晶体管T1至T7中的每一个的源极和漏极可以由第一至第七半导体区AC1至AC7的源区S1至S7和漏区D1至D7限定。

[0120] 第一至第七半导体区AC1至AC7可以彼此一体地被提供。在第一至第七半导体区AC1至AC7当中,彼此相邻的半导体区的相应的源区S1至S7和漏区D1至D7可以不彼此区分。在图5B中,为了便于解释,彼此相邻的半导体区的源区S1至S7和漏区D1至D7被示出为彼此区分开。另外,示出了其中信号截止区STA位于第一至第七半导体区AC1至AC7当中的不同的半导体区的源区S1至S7和漏区D1至D7之间的结构,然而,本公开不应限于此或受此限制。信号截止区STA可以是具有与源区S1至S7或漏区D1至D7的掺杂浓度基本上相同的掺杂浓度的

区。

[0121] 参考图5C,第一导电层CL1可以位于第一绝缘层10(参考图4)上。第一导电层CL1可以包括扫描信号线SL_{i-1}、SL_i和SL_{i+1}、发射控制线ECL_i以及栅极G1。扫描信号线SL_{i-1}、SL_i和SL_{i+1}及发射控制线ECL_i中的每一条在第一方向DR1上延伸。

[0122] 第i扫描信号线SL_i的与半导体图案SCP重叠的一部分可以是第二晶体管T2的栅极G2,第i扫描信号线SL_i的与半导体图案SCP重叠的另一部分可以是一个第三晶体管T3-1的栅极G31,并且第i扫描信号线SL_i的与半导体图案SCP重叠的其它部分可以是另一第三晶体管T3-2的栅极G32。

[0123] 图5C示出了第四晶体管T4-1和T4-2的位于第i-1扫描信号线SL_{i-1}中的栅极G41和G42,第七晶体管T7的位于第i+1扫描信号线SL_{i+1}中的栅极G7以及第五晶体管T5的位于第i发射控制线ECL_i中的栅极G5和第六晶体管T6的位于第i发射控制线ECL_i中的栅极G6。

[0124] 参考图5D,第二导电层CL2可以位于第二绝缘层20(参考图4)上。第二导电层CL2可以包括上电极UE和第二电压线VL2。第二电压线VL2可以在第一方向DR1上延伸。第二导电层CL2可以包括多条第二电压线VL2,并且多条第二电压线VL2可以布置在第二方向DR2上。

[0125] 参考图5E,第三导电层CL3可以位于第三绝缘层30(参考图4)上。第三导电层CL3可以包括参考图4描述的连接电极CNE-G3。

[0126] 第三导电层CL3可以进一步包括虚设线DML。虚设线DML可以在第一方向DR1上延伸。第三导电层CL3可以包括多条虚设线DML,并且多条虚设线DML可以布置在第二方向DR2上。示出的虚设线DML仅是一个示例,并且在一些实施例中,虚设线DML可以在第二方向DR2上延伸。

[0127] 虚设线DML可以接收接地电压或者可以被浮置。根据一些实施例,虚设线DML可以电连接到图5D中示出的第二电压线VL2。根据一些实施例,虚设线DML可以电连接到稍后描述的图5F中示出的多条第一电压线VL1。

[0128] 参考图5F,第四导电层CL4可以位于第四绝缘层40(参考图4)上。第四导电层CL4可以包括第一电压线VL1和连接电极。连接电极可以包括参考图4描述的连接电极CNE-D1。

[0129] 参考图5G,第五导电层CL5可以位于第五绝缘层50(参考图4)上。第五导电层CL5可以包括数据线DL和连接电极CNE。图4的第一电极AE可以连接到图5G的连接电极CNE。

[0130] 图6A是示出根据本公开的一些实施例的第三晶体管T3-1和T3-2的平面图。图6B和图6C是沿图6A的线I-I'截取以示出第三晶体管T3-1和T3-2的截面图。图6D是示出根据比较示例的晶体管和根据本公开的一些实施例的晶体管的电压(V_{GS})-电流(I_{DS})关系的曲线图。图6E是示出第三晶体管T3-1的掺杂工艺的截面图。图6F是示出第一晶体管T1以及第三晶体管T3-1和T3-2在与具有高灰度的数据信号相对应的发光时段中的操作的电路图。图6G是示出第一晶体管T1以及第三晶体管T3-1和T3-2在与具有中间灰度的数据信号相对应的发光时段中的操作的电路图。

[0131] 图6A是示出图2以及图5A至图5G中示出的第三晶体管T3-1和T3-2的放大平面图。参考图6A和图6B,在两个第三晶体管T3-1和T3-2当中,在电流路径中被定位为较靠近第一晶体管T1(参考图2)的栅极的第三晶体管T3-1被限定为左晶体管T3-1,并且被定位为较远离第一晶体管T1(参考图2)的栅极的第三晶体管T3-2被限定为右晶体管T3-2。参考图6B,左晶体管T3-1的半导体区AC31和右晶体管T3-2的半导体区AC32被示出在半导体图案SCP中。

[0132] 参考图6A和图6B,因为如上所述第三晶体管T3-1和T3-2是P型晶体管,所以左晶体管T3-1的漏区D31可以被定位为比左晶体管T3-1的源区S31靠近第一晶体管T1(参考图2)的栅极,并且右晶体管T3-2的漏区D32可以被定位为比右晶体管T3-2的源区S32靠近第一晶体管T1(参考图2)的栅极。

[0133] 第三晶体管T3-1和T3-2的漏区D31和D32以及源区S31和S32中的每一个可以包括具有相对高掺杂浓度的高掺杂区1以及具有相对低掺杂浓度的低掺杂区2。低掺杂区2可以位于高掺杂区1与沟道区A31和A32中的相应的沟道区之间。

[0134] 在下文中,漏区D31和D32以及源区S31和S32中的每一个的高掺杂区1可以被称为第一区,并且漏区D31和D32以及源区S31和S32中的每一个的低掺杂区2可以被称为第二区。当漏区D31和D32以及源区S31和S32中的一种的高掺杂区1和低掺杂区2分别被称为第一区和第二区时,漏区D31和D32以及源区S31和S32中的另一种的高掺杂区1和低掺杂区2可以分别被称为第三区和第四区,以将高掺杂区1彼此区分或者将低掺杂区2彼此区分。

[0135] 第一区1可以具有大约 $1 \times 10^{20}/\text{cm}^3$ 的掺杂浓度。第二区2可以具有是第一区1的掺杂浓度的大约5%至大约20%的掺杂浓度。同时,因为第三晶体管T3-1和T3-2的栅极G31和G32充当掩模,所以沟道区A31和A32可以具有非常低的掺杂浓度。

[0136] 根据一些实施例,与图6A和图6B中示出的实施例相比,左晶体管T3-1的源区S31和右晶体管T3-2的漏区D32中的每一个可以省略第二区2。第一区1和第二区2的掺杂浓度可以根据掺杂方法被确定,并且因此,左晶体管T3-1的源区S31的掺杂浓度和右晶体管T3-2的漏区D32的掺杂浓度可以被控制为彼此相同。

[0137] 例如,可以对左晶体管T3-1的源区S31和右晶体管T3-2的漏区D32中的每一个的第二区2执行附加的掺杂以去除第二区2。根据一些实施例,考虑到第一区1和第二区2的掺杂浓度,可以通过增大左晶体管T3-1的源区S31和右晶体管T3-2的漏区D32的掺杂浓度来将第一区1与第二区2之间的掺杂浓度的差控制为相对较低。

[0138] 如图6B中所示,第一区1、第二区2以及沟道区A31和A32之间的边界线在截面中可以是直线,然而,如图6C中所示,第一区1、第二区2以及沟道区A31和A32之间的边界线在截面中可以是曲线。在图6C中,与沟道区A31和A32相邻的第二区2的掺杂浓度可以具有根据距半导体图案SCP的上表面的线性距离的高斯分布。

[0139] 第二区2可以减小或防止在沟道区A31和A32与漏区D31和D32之间或者沟道区A31和A32与源区S31和S32之间电场迅速增大的可能性(在下文中,被称为漏/源场减小效应)。相应地,可以减小第三晶体管T3-1和T3-2的截止电流(或泄漏电流),并且可以减小或抑制当沟道区A31和A32的长度减小时引起的热载流子效应(HCE)。

[0140] 图6D示出了具有或不具有第二区2的晶体管的截止电流。第一曲线G10表示根据比较示例的其中未形成第二区2的晶体管的电压(V_{GS})-电流(I_{DS})特性,并且第二曲线G20表示根据一些实施例的其中形成第二区2的晶体管的电压(V_{GS})-电流(I_{DS})特性。观察到根据一些实施例的P型晶体管的泄漏电流在栅源电压 V_{GS} 是大约5V以上的阶段中减小。

[0141] 这是因为栅致漏极泄漏电流 I_{GIDL} 由于漏/源场减小效应而减小。栅致漏极泄漏电流 I_{GIDL} 可以由下面的等式表示,并且栅致漏极泄漏电流 I_{GIDL} 可由于漏栅场的减小而减小。在下面的等式中, $E_{x(DL)}$ 表示在漏极与栅极之间形成的电场值。

$$[0142] \quad I_{GIDL} \cong W \frac{(DL)_{eff}}{2} \cdot \frac{\pi q^2 \cdot m^*_p \cdot E_G \cdot V_{BD}}{h^3} \cdot \frac{E_{x(DL)}}{\pi^2 \cdot \frac{\sqrt{2m^*_p \cdot E_G^{2/3}}}{2q \cdot h}} \cdot \exp\left(-\frac{\pi^2 \cdot \sqrt{m^*_p} \cdot E_G^{2/3}}{2q \cdot h \cdot E_{x(DL)}}\right)$$

[0143] 第二区2可以适当地具有一电阻(例如,预定电阻)以产生漏/源场减小效应。第二区2的电阻可以与厚度成反比,可以与长度成正比,并且可以与宽度成反比。例如,可以通过调节具有一体形状的半导体图案SCP中的第二区2的长度和宽度来控制第二区2的电阻。

[0144] 如图6A和图6B中所示,可以通过改变宽度来控制第二区2的电阻。左晶体管T3-1的漏区D31的第二区2的宽度W1可以小于左晶体管T3-1的漏区D31的第一区1的宽度W0。右晶体管T3-2的源区S32的第二区2的宽度W2可以小于右晶体管T3-2的源区S32的第一区1的宽度W0。宽度在与半导体图案SCP的延伸方向基本上垂直的参考方向上被测量。同时,长度在半导体图案SCP的延伸方向上被测量。

[0145] 当假设第二区2的长度一致时,左晶体管T3-1的漏区D31的第二区2以及右晶体管T3-2的源区S32的第二区2中可发生相对大的漏/源场减小效应。当第二区2的长度小于参考值时,第二区2的一部分可具有相对小的电阻,并且具有相对小的电阻的第二区2中可不发生漏/源场减小效应。尽管第二区2具有一致的长度,但是第二区2的该部分可因为其具有相对小的宽度而具有相对大的电阻。具有相对小的宽度的第二区2中可发生漏/源场减小效应。例如,因为左晶体管T3-1的漏区D31的第二区2以及右晶体管T3-2的源区S32的第二区2中的每一个由于相对小的宽度W1和W2而具有相对大的电阻,所以可发生漏/源场减小效应。

[0146] 在左晶体管T3-1的源区S31中,第一区1的宽度W0和第二区2的宽度W0可以彼此相同,并且在右晶体管T3-2的漏区D32中,第一区1的宽度W0和第二区2的宽度W0可以彼此相同。左晶体管T3-1的源区S31的宽度W0可以与右晶体管T3-2的漏区D32的宽度W0基本上相同。当具有相对大的宽度W0时,左晶体管T3-1的源区S31和右晶体管T3-2的漏区D32中可不发生漏/源场减小效应。

[0147] 左晶体管T3-1的漏区D31的第二区2的宽度W1以及右晶体管T3-2的源区S32的第二区2的宽度W2可以在从大约1 μ m至大约2 μ m的范围内。第二区2的宽度W1和W2中的每一个可以是大约1.5 μ m。左晶体管T3-1的漏区D31的第二区2的宽度W1以及右晶体管T3-2的源区S32的第二区2的宽度W2不应被限制为具有相同的值。左晶体管T3-1的漏区D31的第二区2的宽度W1以及右晶体管T3-2的源区S32的第二区2的宽度W2可以比第一区1的宽度W0小大约10%至大约50%。

[0148] 图6E示出了根据一些实施例的掺杂工艺。根据一些实施例,在形成第二绝缘层20之后,可以使用栅极G31作为掩模来掺杂第三晶体管T3-1的第三半导体区AC3。作为示例,第三晶体管T3-1的第三半导体区AC3可以以大约 $1 \times 10^{15}/\text{cm}^3$ 的掺杂浓度被掺杂。

[0149] 图6E示出了沿图5C的线X-X'截取的截面作为代表性示例。第一半导体区AC1、第二半导体区AC2以及第四至第七半导体区AC4至AC7也可以通过图6E中示出的方法被掺杂或者可以使用附加的掩模被掺杂,并且掺杂方法不应受特别限制。

[0150] 参考图6E,第二绝缘层20可以沿着栅极G31的倾斜的侧表面被定位。第二绝缘层20的与栅极G31的倾斜的侧表面相对应的区(在下文中,称为倾斜区)可以具有比与第二绝缘层20的相对于第一绝缘层10的上表面平坦的表面相对应的区的厚度大的厚度。在第二绝缘层20的倾斜区中第二绝缘层20的上表面与第三半导体区AC3之间的距离DT2可以大于在第

二绝缘层20的平面区/平坦区中第二绝缘层20的上表面与第三半导体区AC3之间的距离DT1。倾斜区可以与干扰掺杂的区相对应,并且这可以充当掩模图案。

[0151] 漏区D31和源区S31中的每一个的第二区2可以被限定为与第二绝缘层20的倾斜区相对应。倾斜区的长度(例如,第二区2的长度)可以根据栅极G31的厚度被确定。在一些实施例中,栅极G31的厚度可以在从大约3000埃至大约5000埃的范围内。

[0152] 参考图6A,左晶体管T3-1的漏区D31的第二区2的长度L1以及右晶体管T3-2的源区S32的第二区2的长度L2可以在从大约0.1 μm 至大约0.5 μm 的范围内。左晶体管T3-1的漏区D31的第二区2的长度L1以及右晶体管T3-2的源区S32的第二区2的长度L2不应被限制为具有相同的值。根据掺杂工艺,左晶体管T3-1的源区S31的第二区2的长度以及右晶体管T3-2的漏区D32的第二区2的长度可以在第二区2的长度L1和L2的范围内。

[0153] 在下文中,将参考图6F描述第一晶体管T1以及第三晶体管T3-1和T3-2在与具有高灰度的数据电压相对应的发光时段中的操作。

[0154] 第一晶体管T1的栅极G1可以具有大约1V的电压,以与在电容器CP(参考图2)中充入的高灰度数据电压相对应。在这种情况下,第一晶体管T1的漏极D1可以具有大约2V的电压。右晶体管T3-2的源极S32可以具有大约2V的电压。在发光时段期间,第三晶体管T3-1和T3-2可以被截止,但是可能发生从右晶体管T3-2的源极S32流到左晶体管T3-1的漏极D31的泄漏电流。进一步,当第三晶体管T3-1和T3-2从导通状态被切换到截止状态时,右晶体管T3-2和左晶体管T3-1的中间节点S31/D32的电压可能由于跳变电压或寄生电容而增大,并且可能发生从中间节点S31/D32流到左晶体管T3-1的漏极D31的泄漏电流。当发生泄漏电流时,栅极G1的电压可能增大,并且发光元件LD(参考图2)可能发射具有比期望灰度暗的亮度的光。

[0155] 参考图6A和图6B,至少在左晶体管T3-1的漏极D31的第二区2中可发生漏/源场减小效应,并且因此可减小或防止泄漏电流。

[0156] 在下文中,将参考图6G描述第一晶体管T1以及第三晶体管T3-1和T3-2在与具有中间灰度的数据电压相对应的发光时段中的操作。

[0157] 第一晶体管T1的栅极G1可以具有大约3V的电压,以与在电容器CP(参考图2)中充入的中间灰度数据电压相对应。在这种情况下,右晶体管T3-2的源极S32可以具有大约2V的电压。在发光时段期间,第三晶体管T3-1和T3-2可以被截止,然而,可能发生从左晶体管T3-1的漏极D31或中间节点S31/D32流到右晶体管T3-2的源极S32的泄漏电流。当发生泄漏电流时,栅极G1的电压可能降低,并且因此,发光元件LD(参考图2)可能发射具有比期望灰度亮的亮度的光。

[0158] 参考图6A和图6B,至少在右晶体管T3-2的源极S32的第二区2中可发生漏/源场减小效应,并且因此可减小或防止泄漏电流。

[0159] 图7A是示出根据本公开的一些实施例的第三晶体管T3-1、T3-2和T3-3的电路图。图7B是示出根据本公开的一些实施例的第三晶体管T3-1、T3-2和T3-3的平面图。图7C是示出根据本公开的一些实施例的第三晶体管T3的电路图。图7D是示出根据本公开的一些实施例的第三晶体管T3的平面图。在下文中,已经参考图1至图6G描述的部件的重复的详细描述被省略。

[0160] 参考图7A,n个(n是等于或大于2的自然数)第三晶体管T3-1至T3-3可以串联连接

在第一晶体管T1的栅极G1和漏极D1之间。在一些实施例中，n是3。

[0161] 在第三晶体管T3-1至T3-3当中，在第一晶体管T1的栅极G1和漏极D1之间的电流路径中被定位为最靠近第一晶体管T1的栅极G1的最左晶体管T3-1的漏区D31可以包括第一区1和第二区2。在第三晶体管T3-1至T3-3当中，被定位为距第一晶体管T1的栅极G1最远的最右晶体管T3-3的源区S33可以包括第一区1和第二区2。

[0162] 参考图7B，最左晶体管T3-1的漏区D31的第二区2以及最右晶体管T3-3的源区S33的第二区2可以具有相对小的宽度。最左晶体管T3-1的源区S31和最右晶体管T3-3的漏区D33可以具有基本上相同的宽度。位于晶体管T3-1和T3-3之间的晶体管T3-2的漏区D32和源区S32可以具有基本上相同的宽度。

[0163] 如参考图6F和图6G所描述，在与具有高灰度的数据电压相对应的发光时段中，可以通过最左晶体管T3-1来减小或防止泄漏电流的发生，并且在与具有中间灰度的数据电压相对应的发光时段中，可以通过最右晶体管T3-3来减小或防止泄漏电流的发生。

[0164] 参考图7C，一个第三晶体管T3可以连接在第一晶体管T1的栅极G1和漏极D1之间。参考图7D，与半导体图案SCP的其它区相比，第三晶体管T3的漏区D31的第二区2以及第三晶体管T3的源区S31的第二区2可以具有小的宽度。在第三晶体管T3中可不发生泄漏电流或者可不在很大程度上发生泄漏电流。

[0165] 图8A是示出根据一些实施例的第四晶体管T4-1和T4-2的平面图。图8B是示出第一晶体管T1以及第四晶体管T4-1和T4-2在发光时段中的操作的电路图。在下文中，参考图1至图6G描述的部件的重复的详细描述被省略。

[0166] 两个第四晶体管T4-1和T4-2被示出为代表性示例，然而，一个或三个或更多个晶体管可以串联连接在第一晶体管T1的栅极G1与第二电压线VL2之间。

[0167] 根据一些实施例，在第四晶体管T4-1和T4-2当中，在第一晶体管T1的栅极G1与第二电压线VL2之间的电流路径中被定位为相对靠近第一晶体管T1的栅极G1的第四晶体管T4-1被限定为左晶体管T4-1，并且被定位为距第一晶体管T1的栅极G1相对远的第四晶体管T4-2被限定为右晶体管T4-2。

[0168] 根据一些实施例，至少左晶体管T4-1的源区S41的第二区2以及右晶体管T4-2的漏区D42的第二区2可以具有相对小的宽度。初始化电压V_{int}可以是大约-2V至大约-3V的偏置电压。因为第一晶体管T1的栅极G1在发光时段期间可以具有从大约1V至大约4V的电压，所以可形成从第一晶体管T1的栅极G1到第二电压线VL2的泄漏电流路径。右晶体管T4-2的漏区D42可以减小泄漏电流或者防止泄漏电流发生。

[0169] 左晶体管T4-1的源区S41在发光时段期间可以减小或防止泄漏电流暂时从第四晶体管T4-1和T4-2的中间节点D41/S42流到第一晶体管T1的栅极G1。

[0170] 图9A是示出根据本公开的一些实施例的第一晶体管T1的平面图。图9B是沿图9A的线II-II'截取以示出第一晶体管T1的截面图。在下文中，参考图1至图8B描述的部件的重复的详细描述被省略。

[0171] 第一晶体管T1可以包括包含源区S1、漏区D1和位于源区S1与漏区D1之间的沟道区A1的第一半导体区AC1以及与沟道区A1重叠的栅极G1。第一晶体管T1可以通过与参考图6E描述的方法相同的方法被掺杂。相应地，源区S1和漏区D1中的每一个可以包括第一区1和第二区2。

[0172] 当第二区2引起漏/源场减小效应时,可在第一晶体管T1的导通状态下减小驱动电流。根据一些实施例,第二区2可以被设计为具有比参考值小的电阻,使得第二区2不具有漏/源场减小效应。第二区2可以具有比沟道区A1的宽度W3大的宽度W4以减小第二区2的电阻。第二区2的宽度W4可以比沟道区A1的宽度W3大大约5%至大约20%。

[0173] 源区S1和漏区D1的整个区可以具有比沟道区A1的宽度大的宽度。源区S1可以具有一致的宽度,并且漏区D1可以具有一致的宽度。

[0174] 第一晶体管T1的源区S1或漏区D1的宽度W4可以大于图6A和6B中示出的第三晶体管T3-1和T3-2的源区S31和S32或漏区D31和D32的宽度。图5B中示出的且具有一体形状的半导体图案SCP可以依赖于半导体图案SCP的区而被图案化为具有不同的宽度。

[0175] 尽管已经描述了本公开的实施例,但是应理解,本公开不应限于这些实施例,而是本领域普通技术人员可以在如所附权利要求中要求保护的本公开的精神和范围内进行各种改变和修改。

[0176] 因此,所公开的主题不应限于在本文中描述的任何单个实施例,并且本公开的范围应根据所附权利要求被确定,其中其功能等同将被包括在其中。

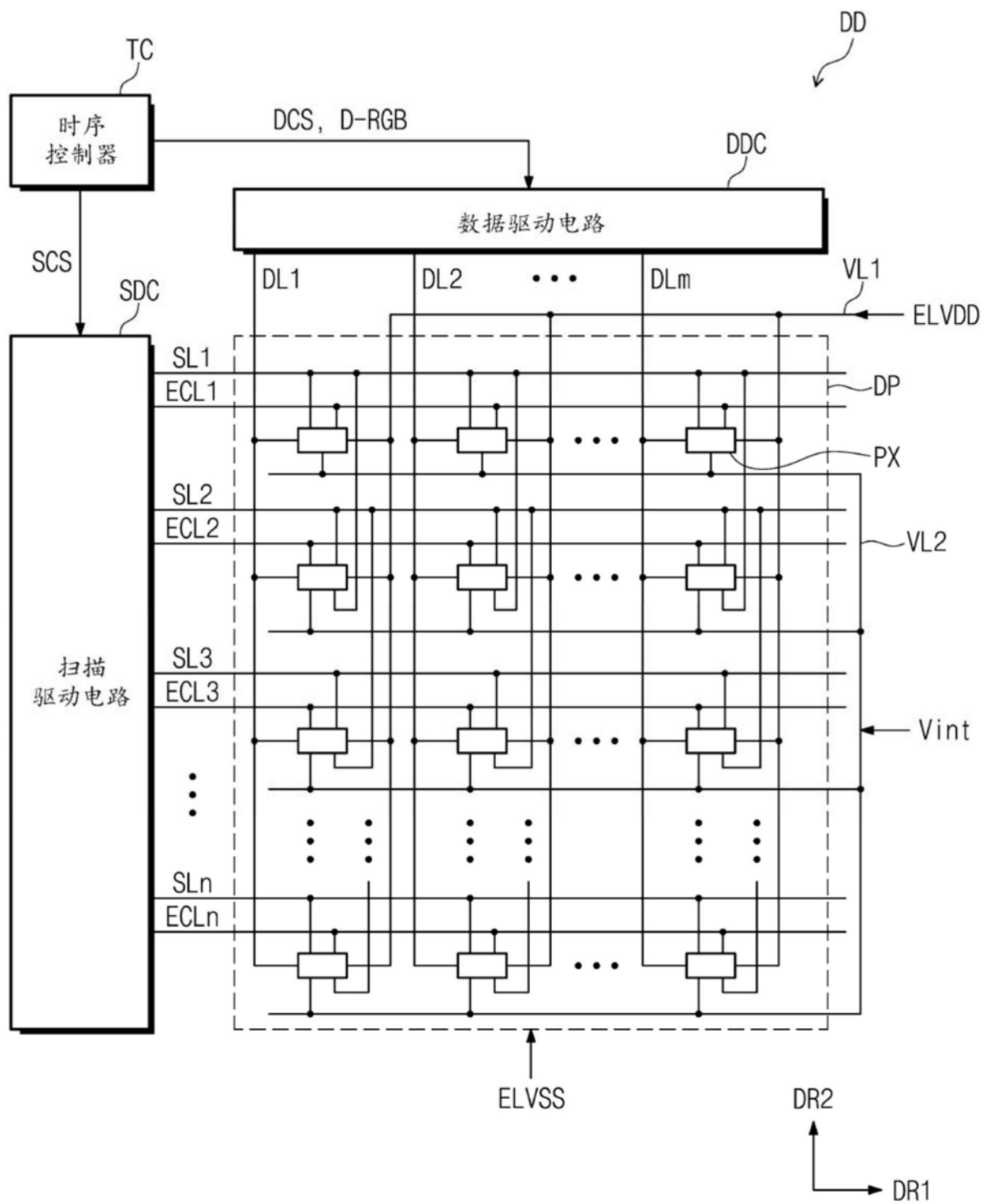


图1

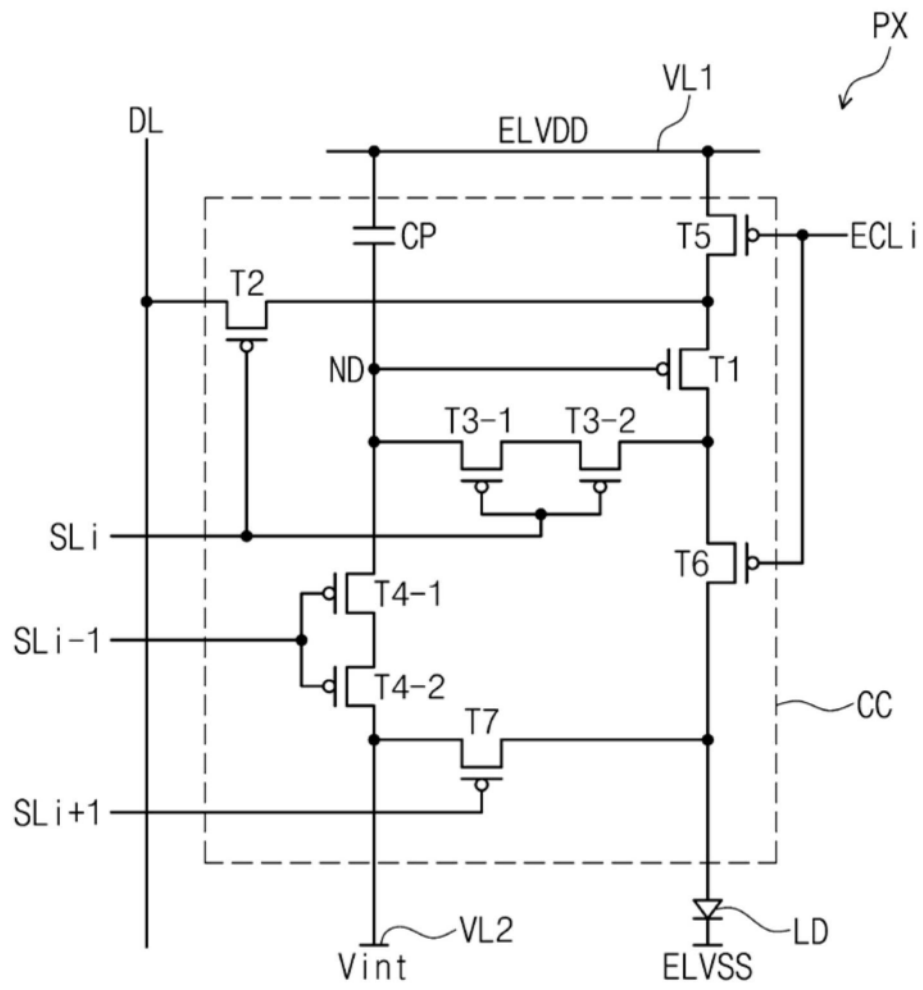


图2

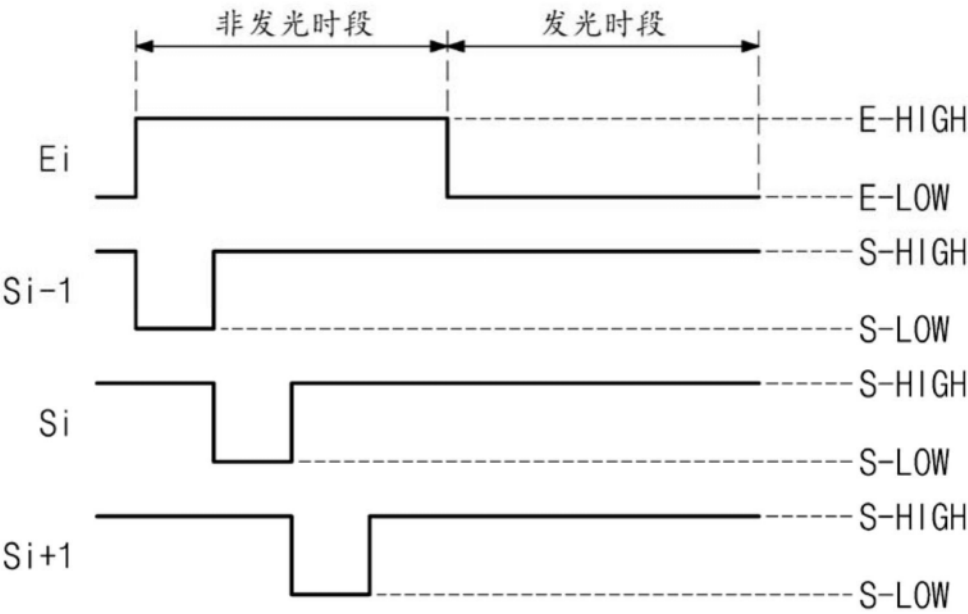


图3

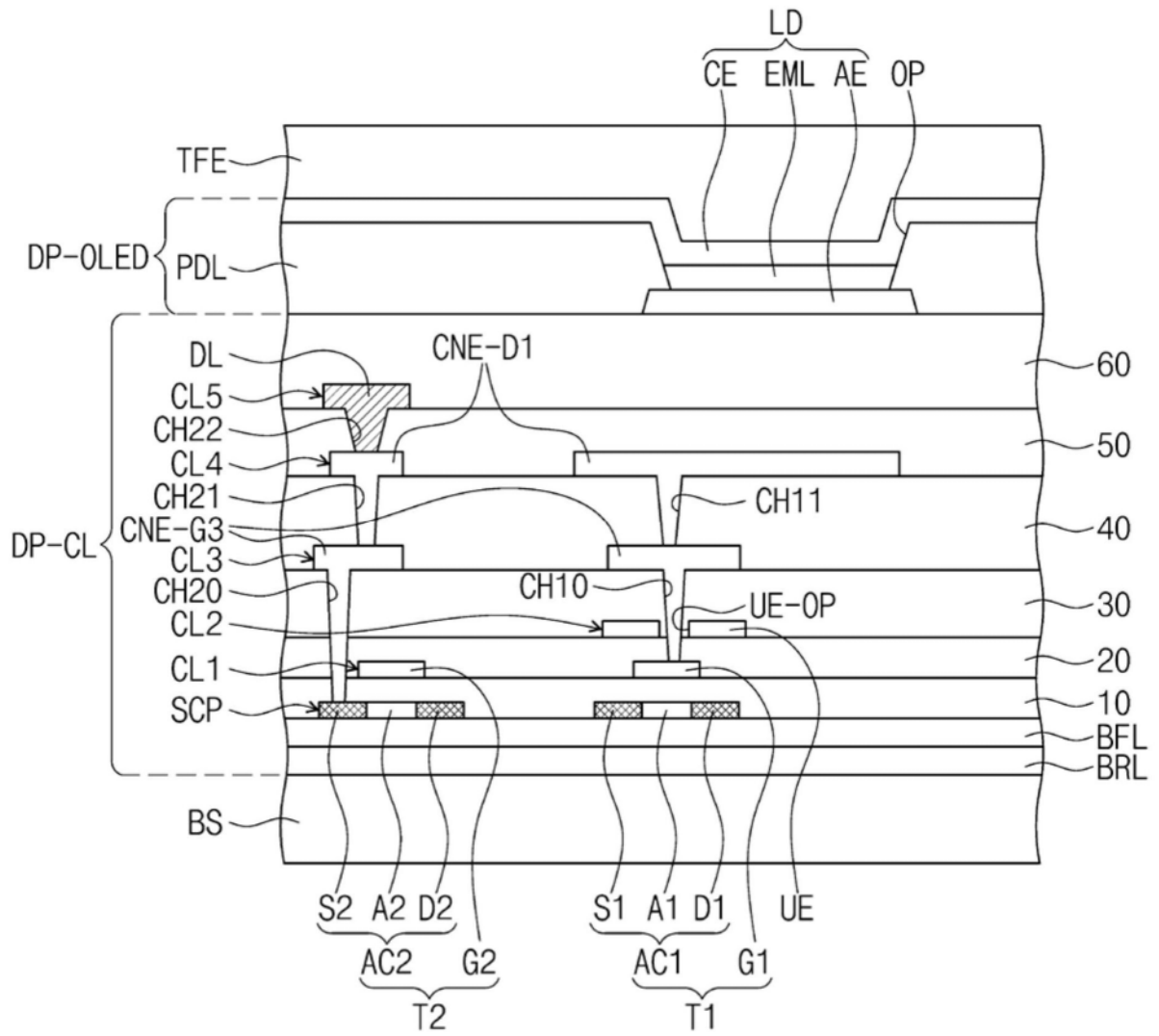


图4

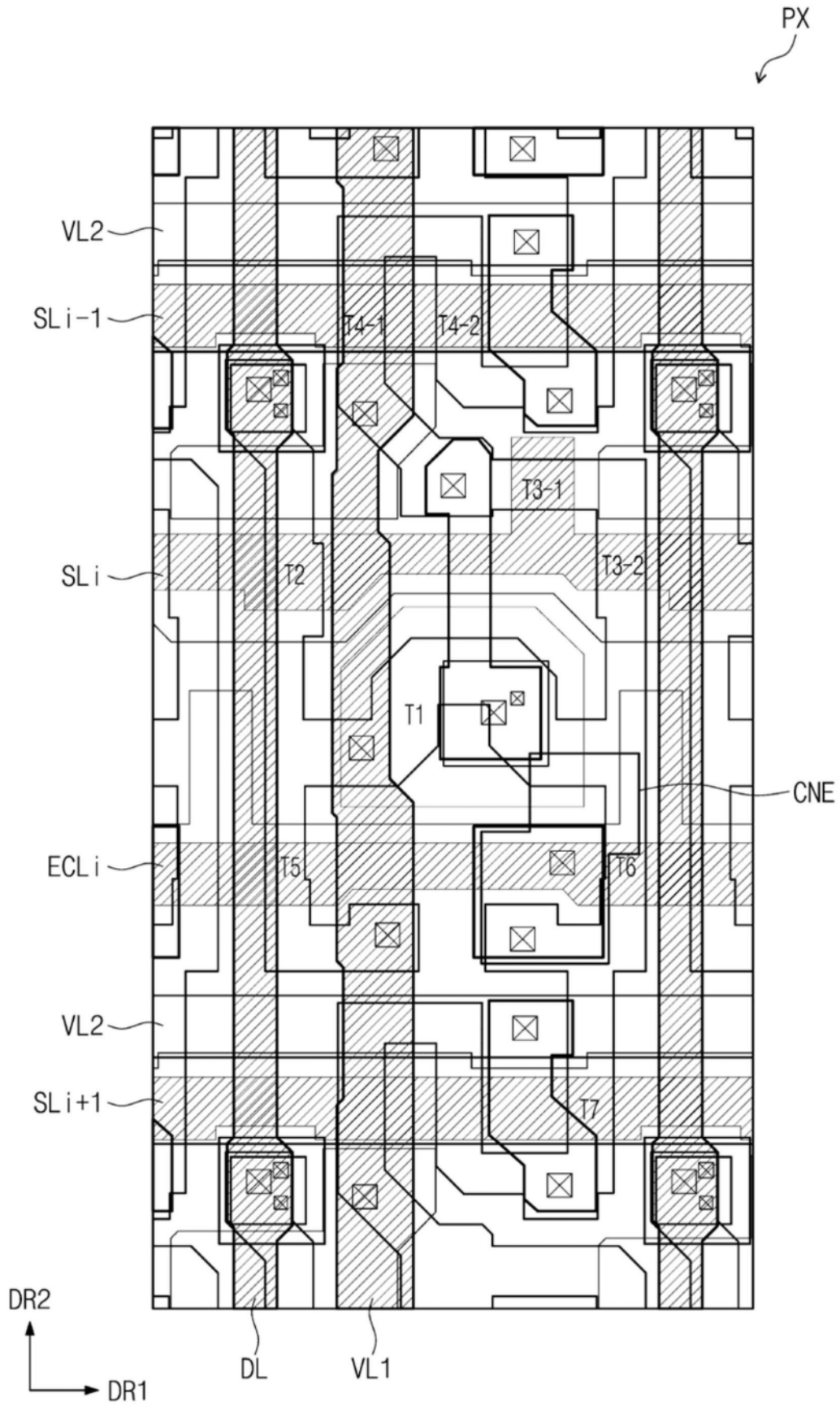


图5A

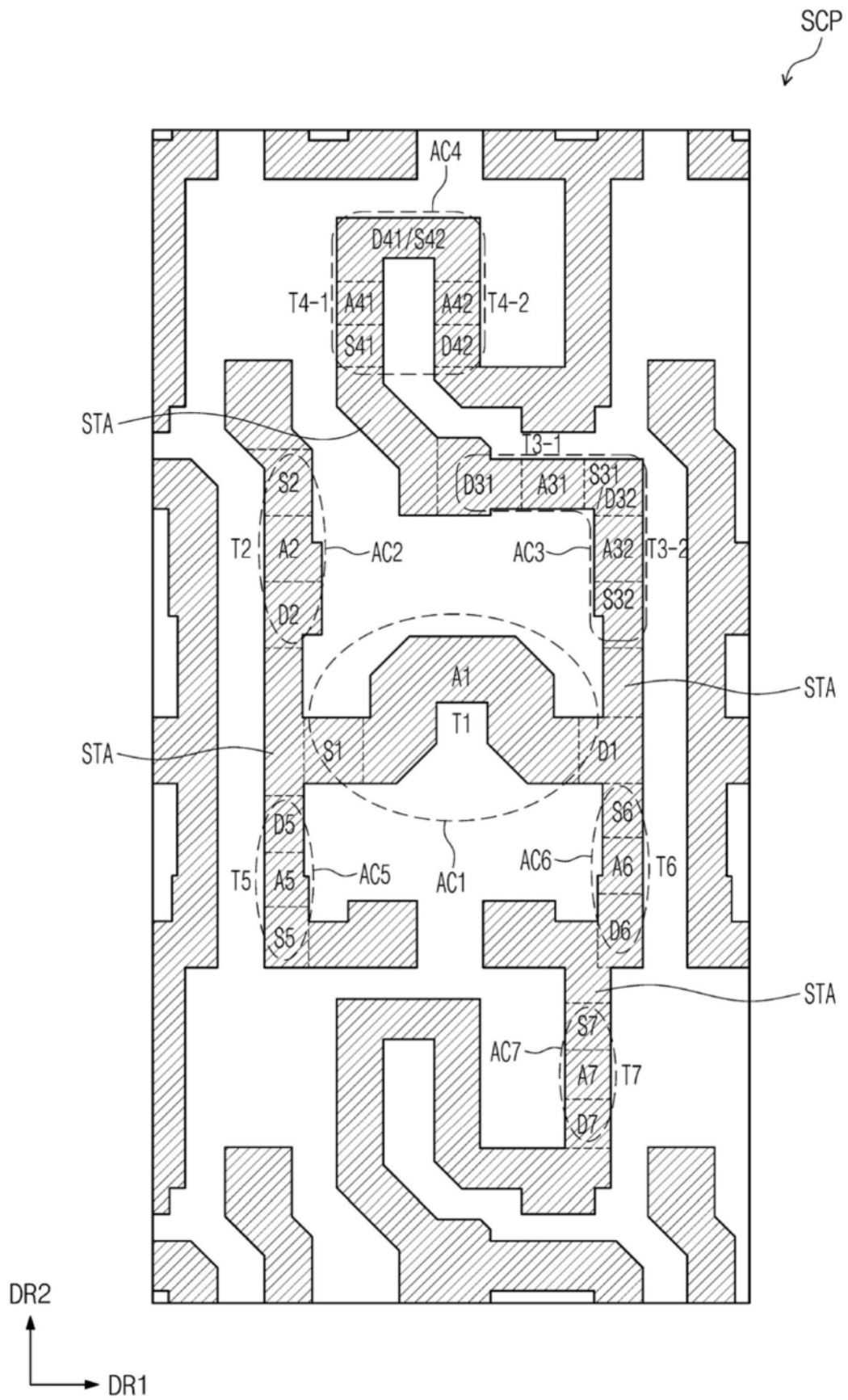


图5B

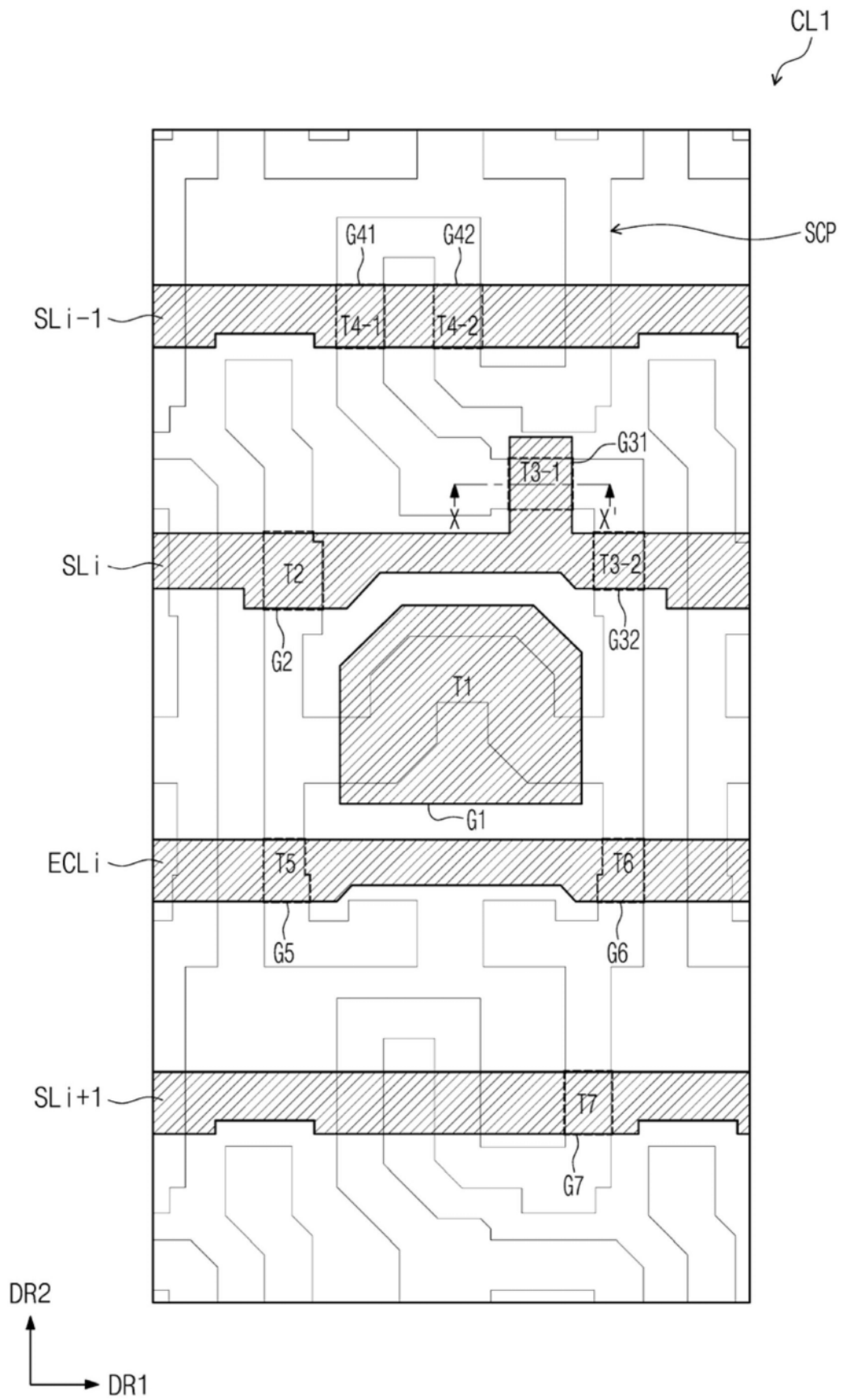


图5C

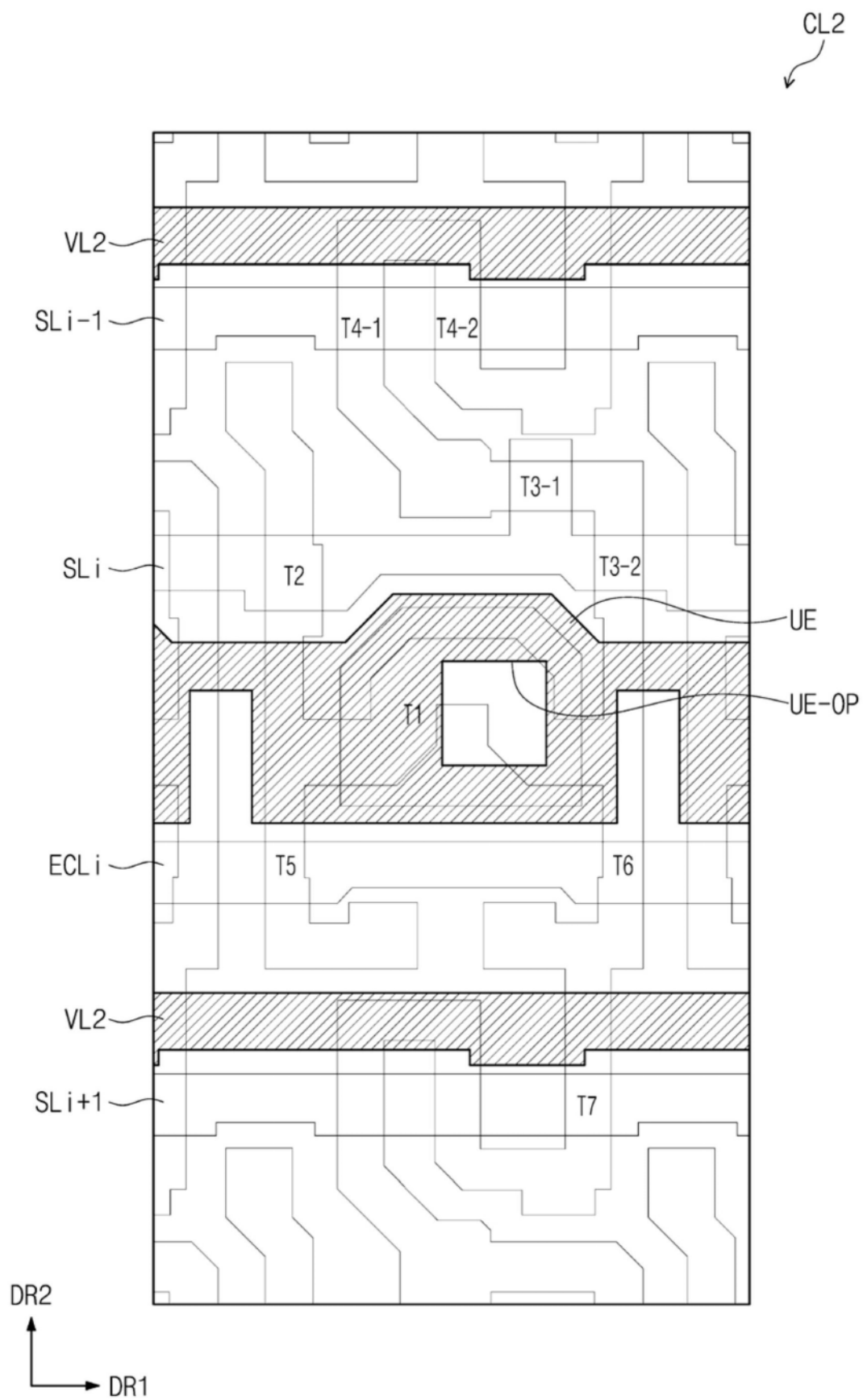


图5D

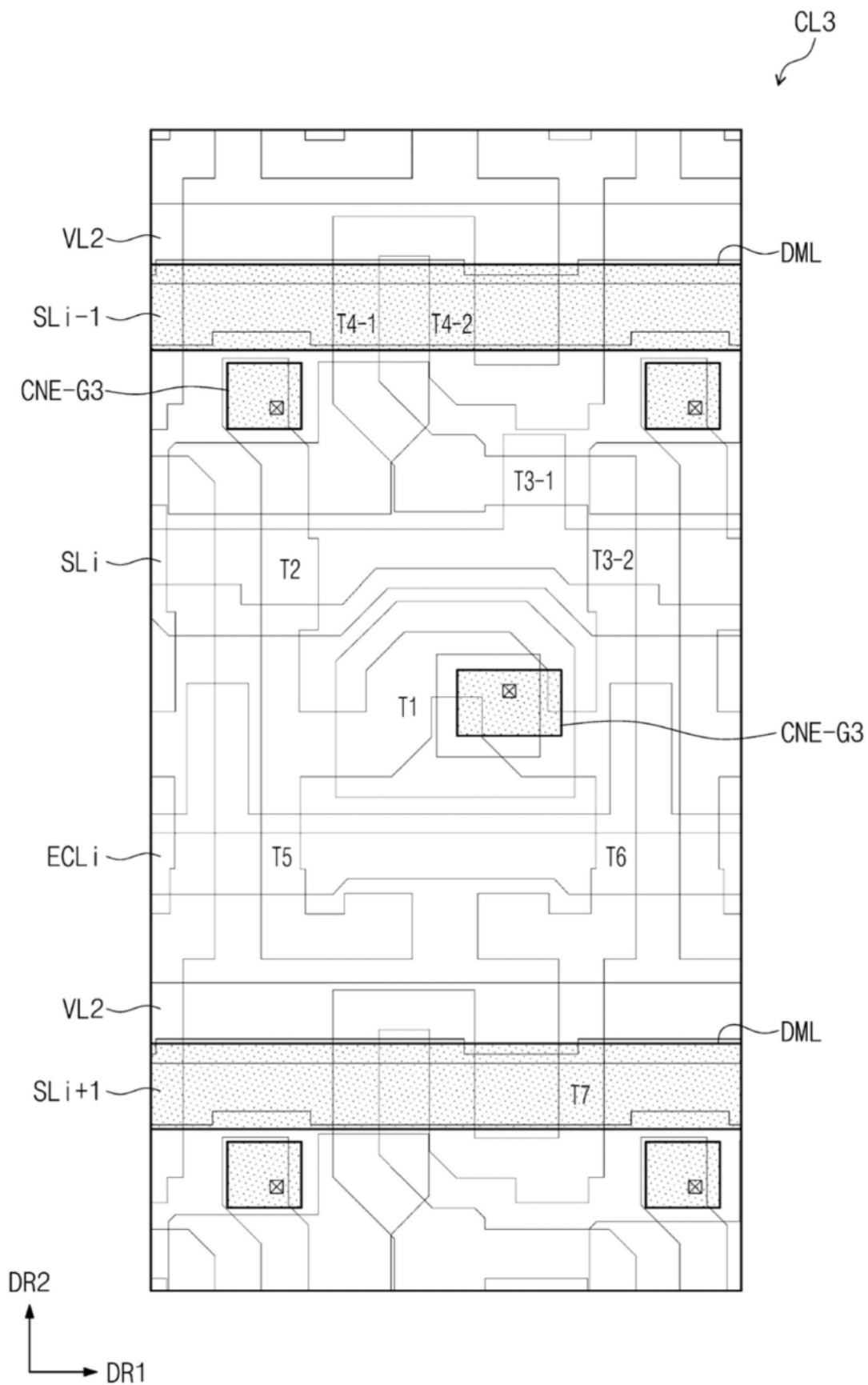


图5E

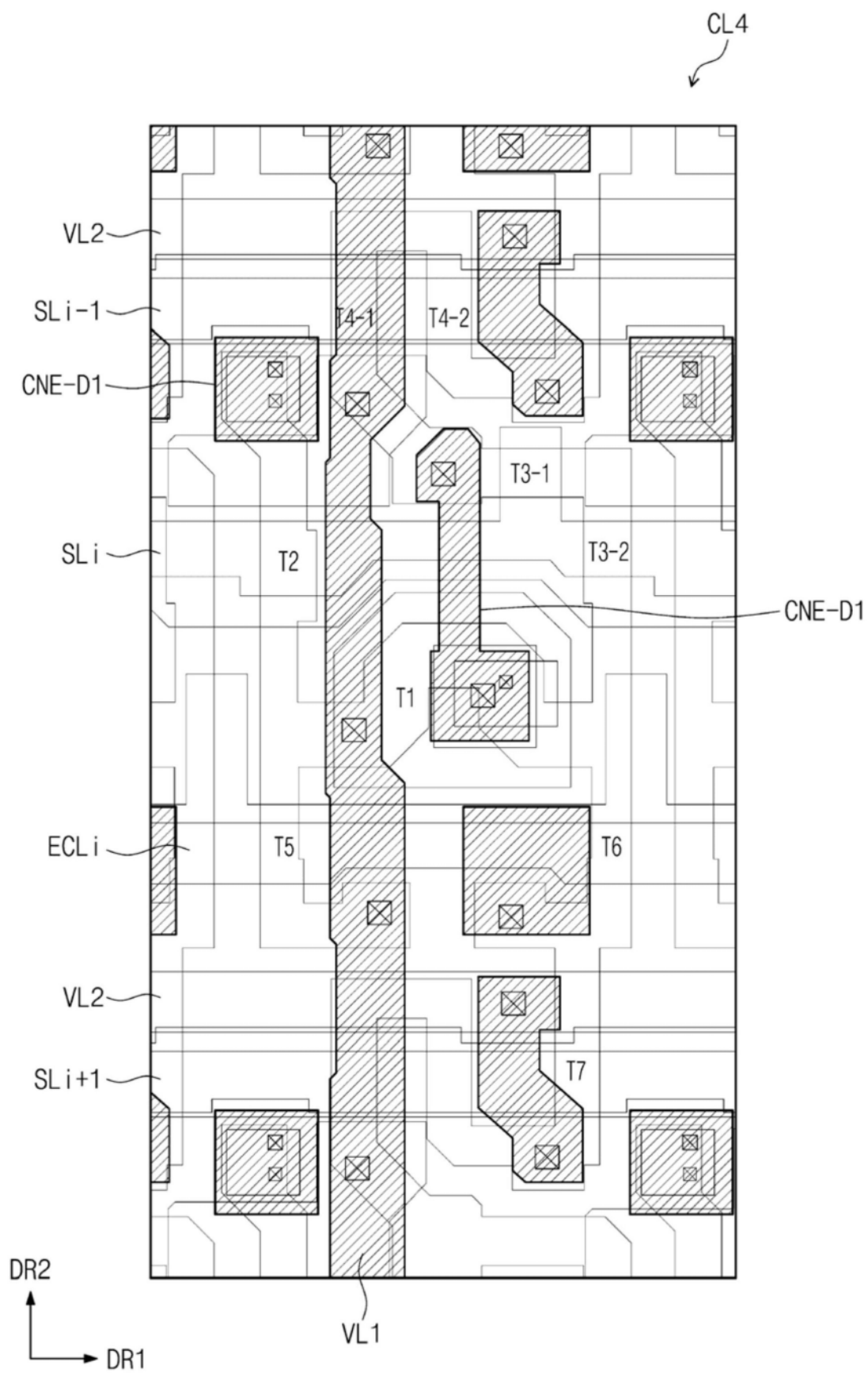


图5F

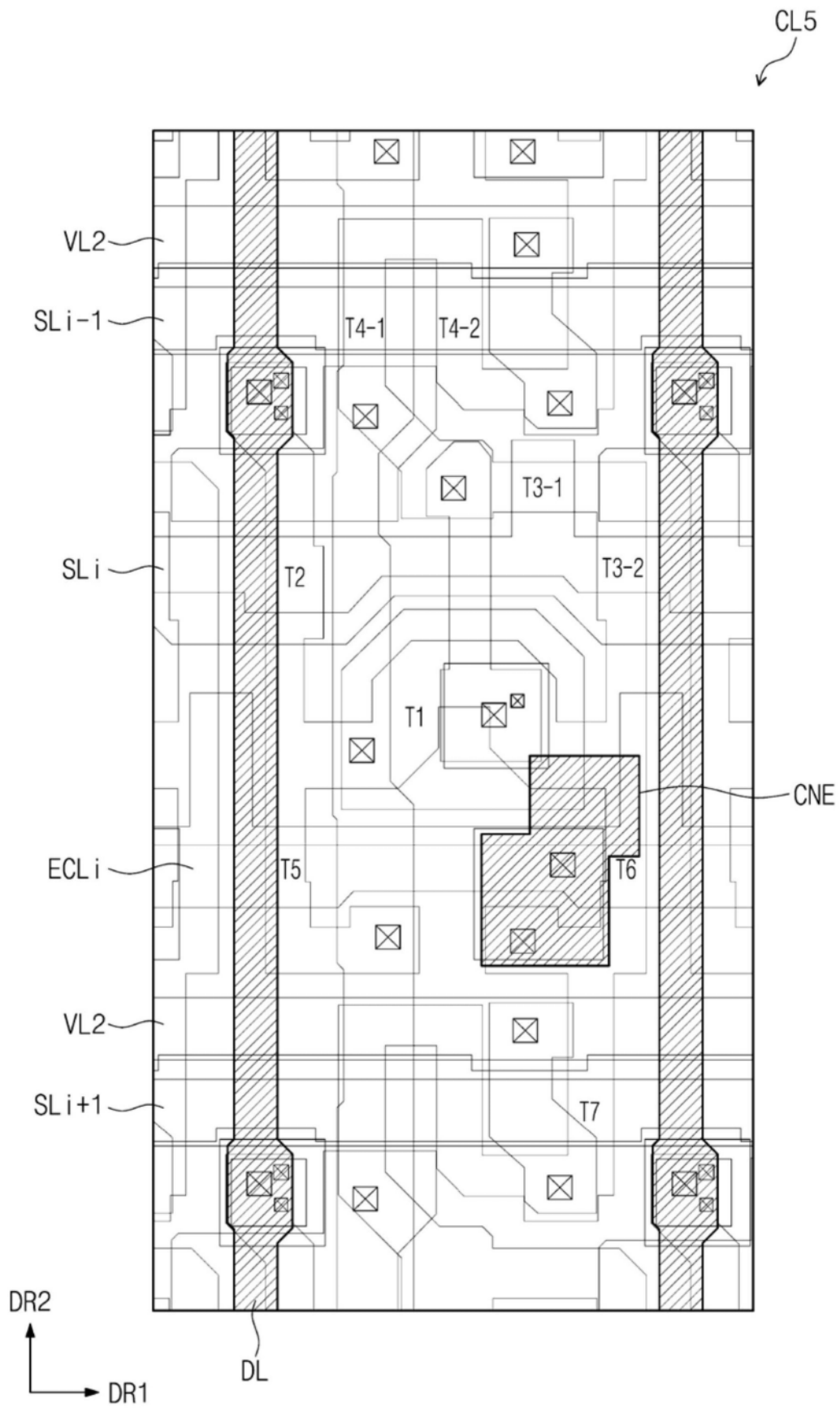


图5G

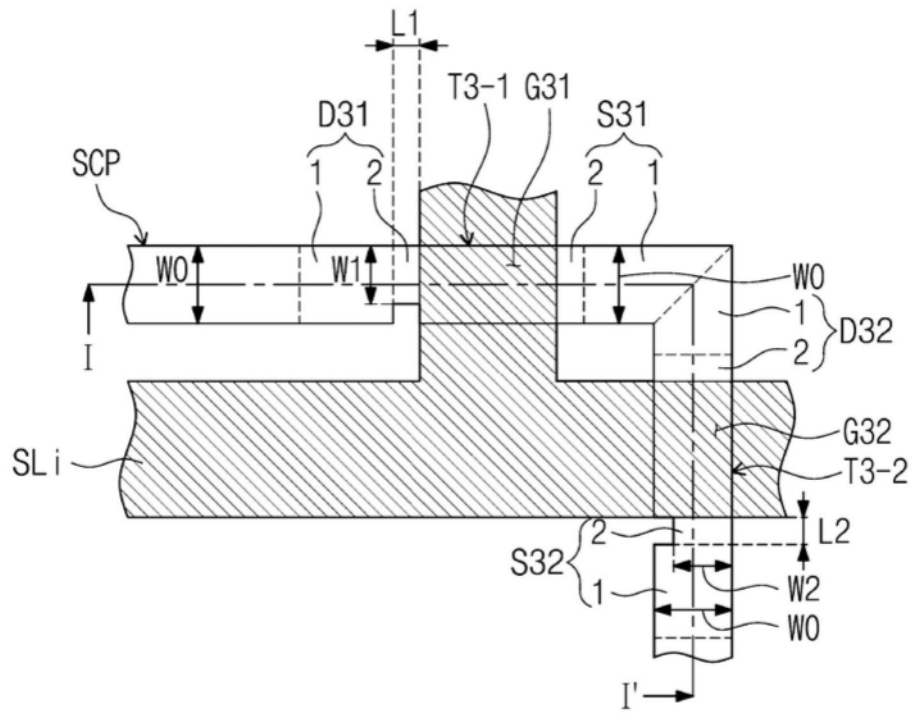


图6A

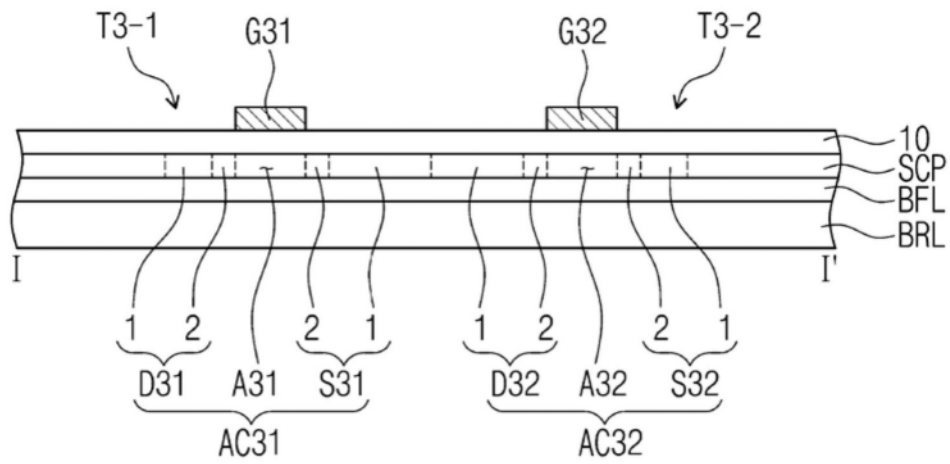


图6B

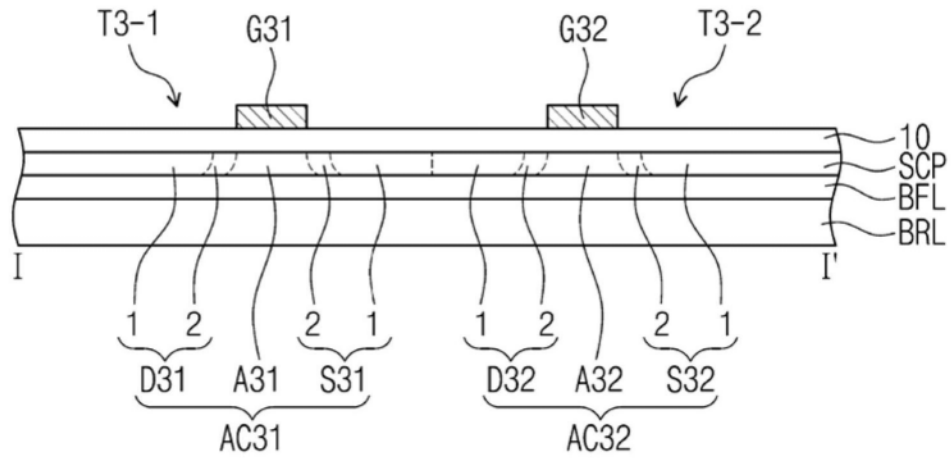


图6C

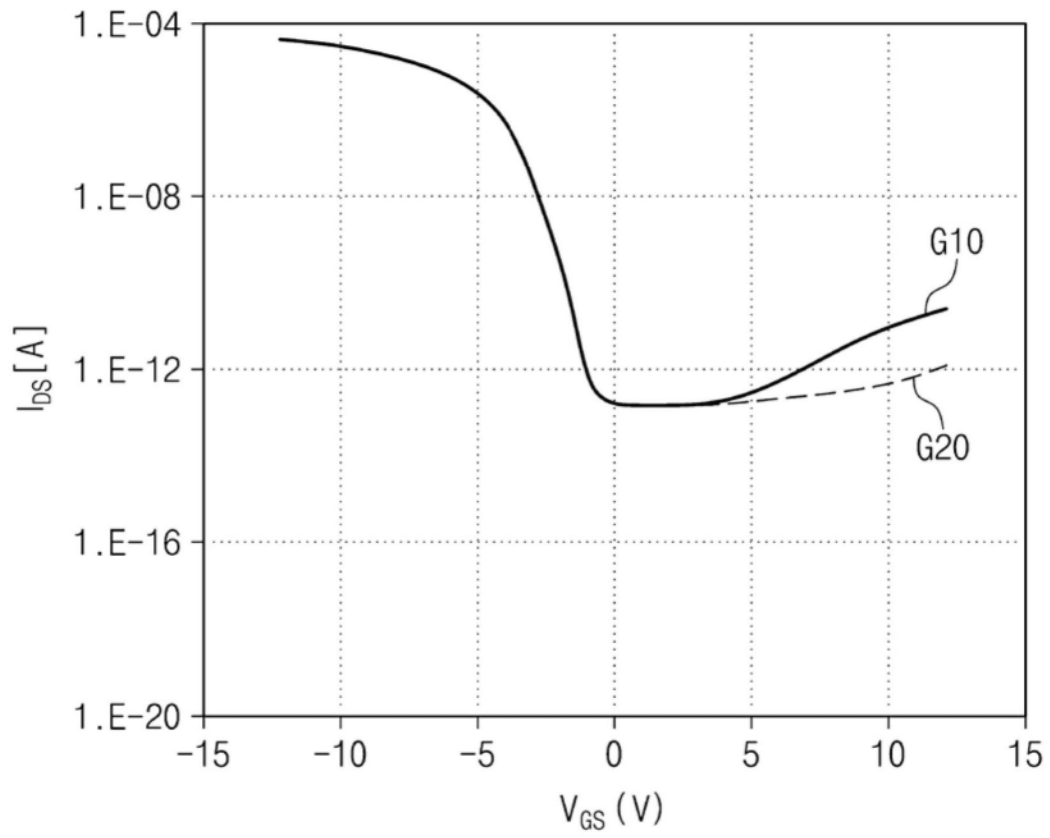


图6D

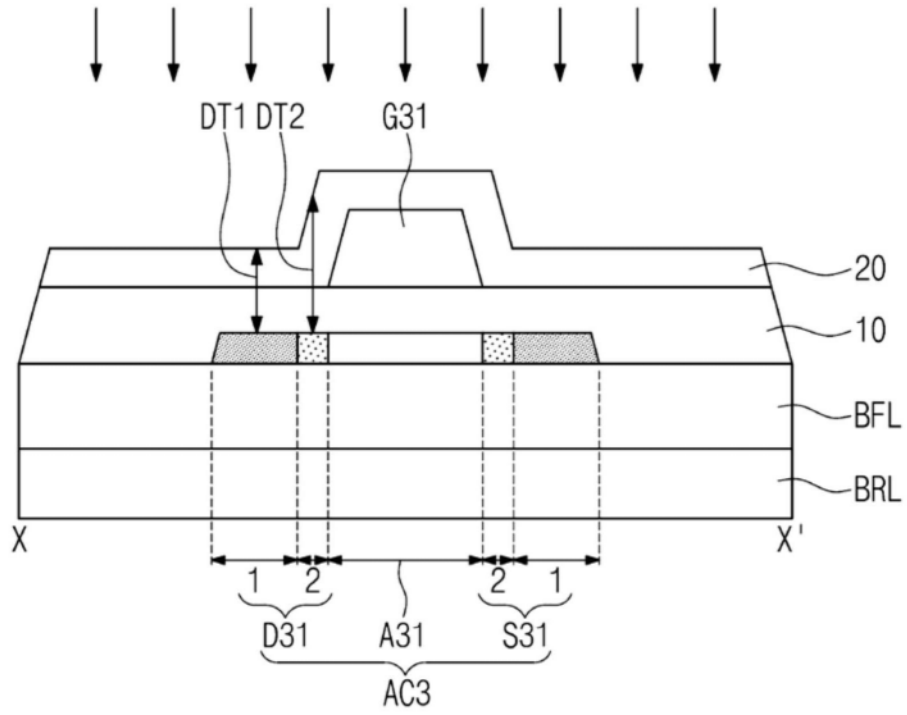


图6E

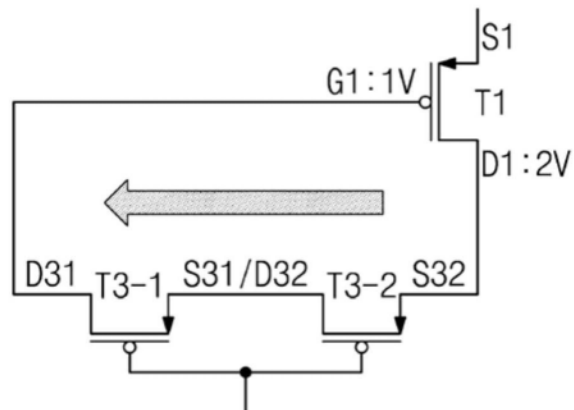


图6F

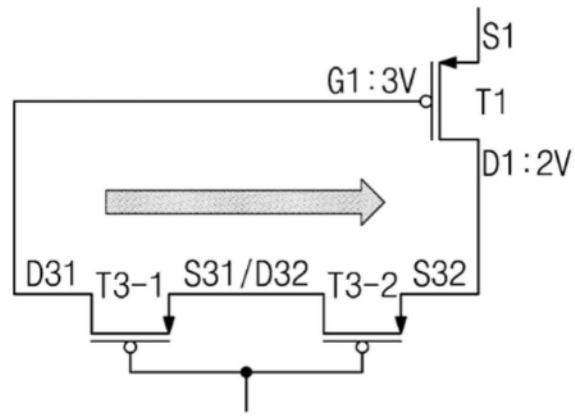


图6G

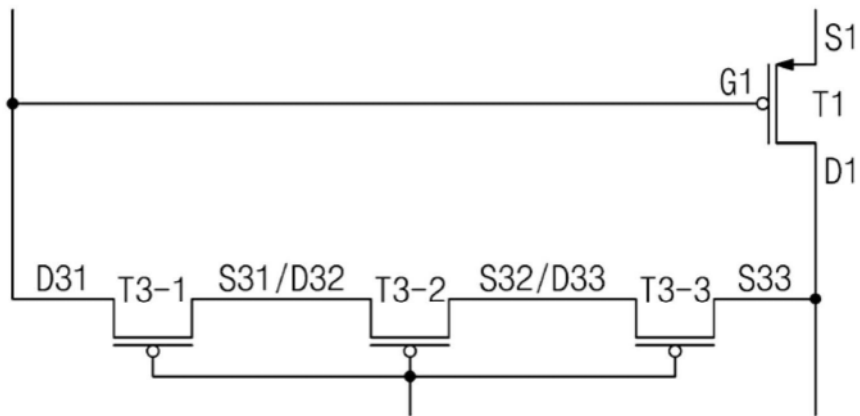


图7A

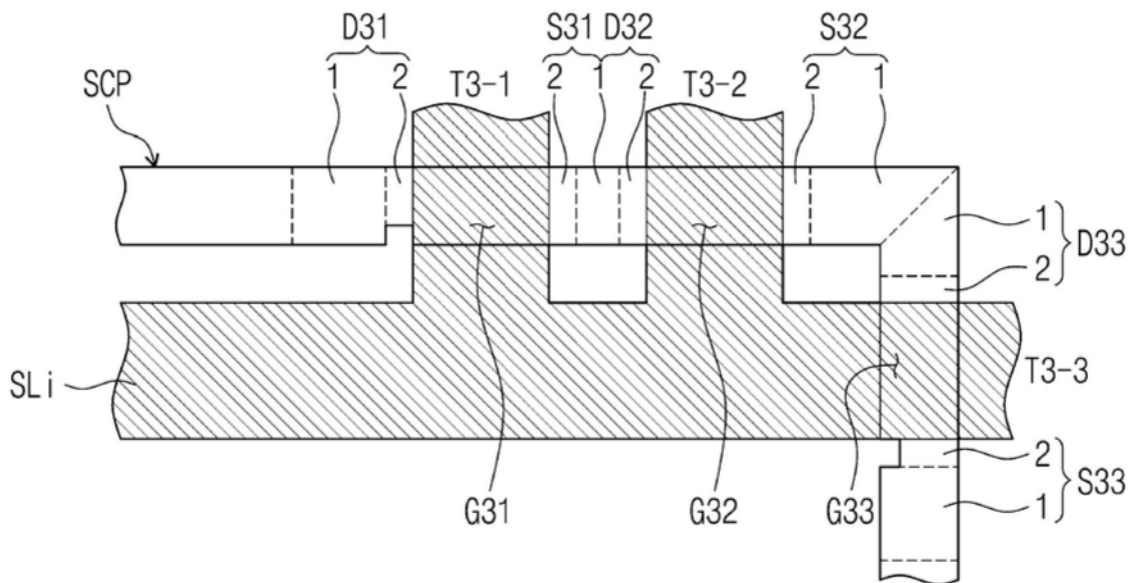


图7B

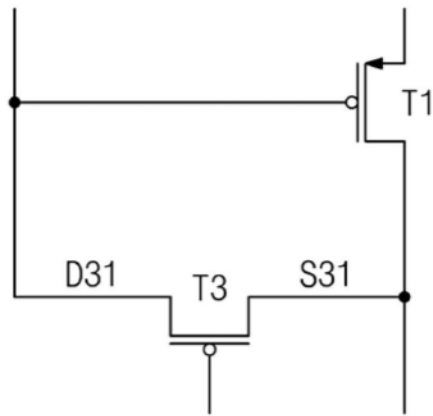


图7C

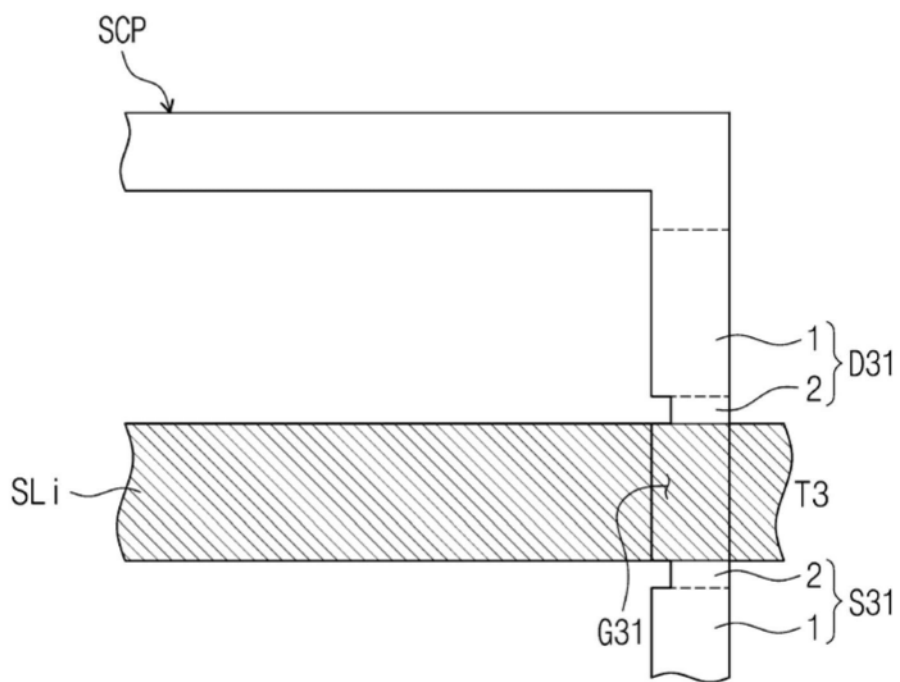


图7D

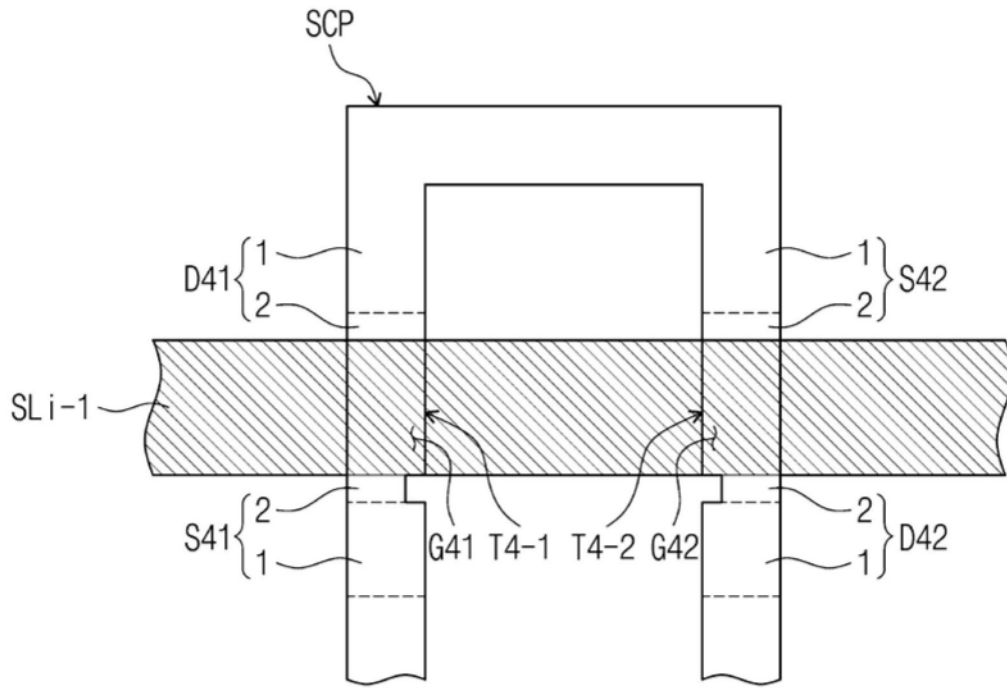


图8A

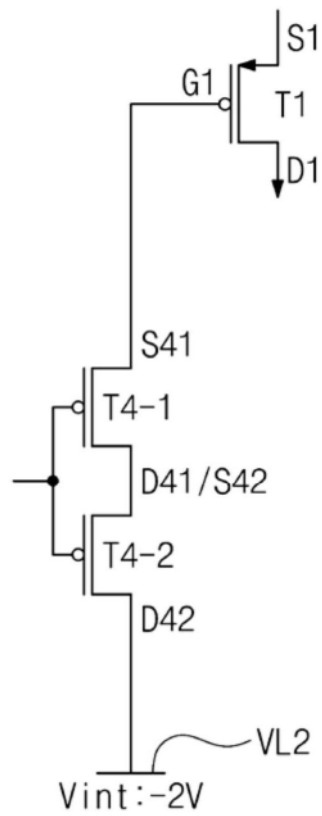


图8B

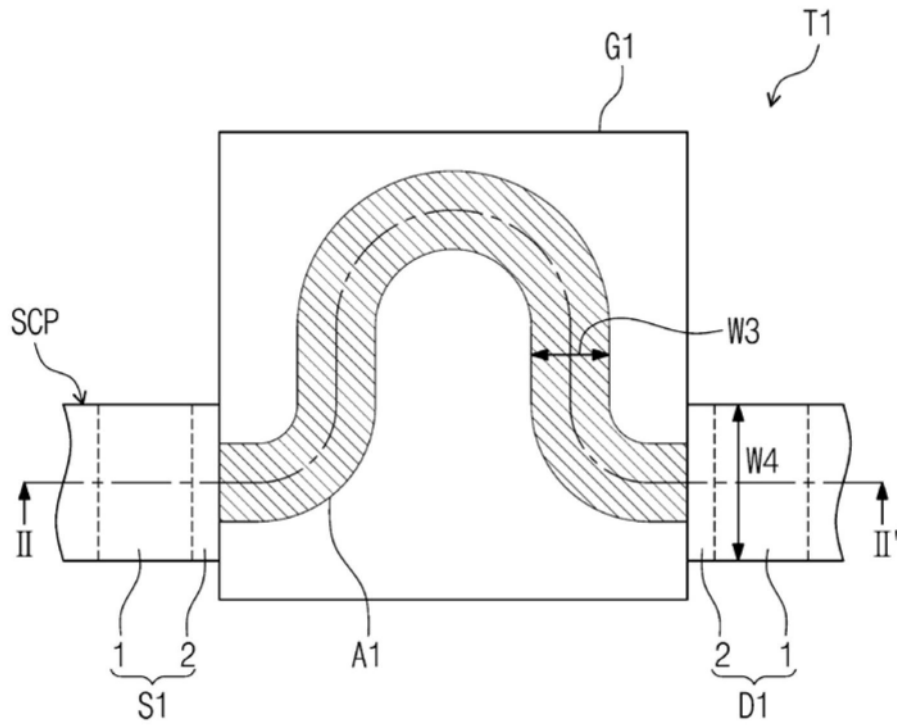


图9A

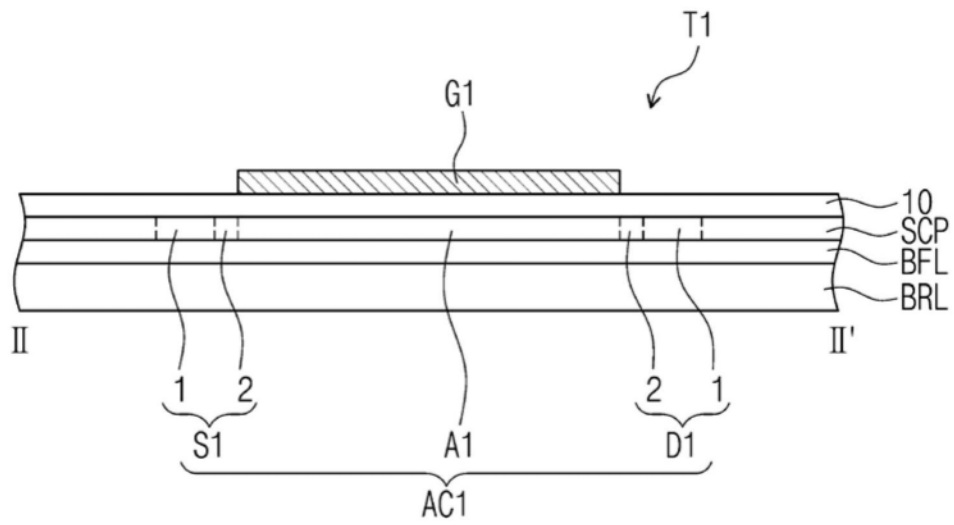


图9B