

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/12

H01L 29/78 H01L 21/283

H01L 21/318 H01L 21/84

G02F 1/136



[12] 发明专利申请公开说明书

[21] 申请号 03123816.5

[43] 公开日 2003年11月26日

[11] 公开号 CN 1458694A

[22] 申请日 2003.5.16 [21] 申请号 03123816.5

[30] 优先权

[32] 2002.5.17 [33] JP [31] 143899/2002

[32] 2002.5.31 [33] JP [31] 160848/2002

[71] 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72] 发明人 高山彻 山崎舜平 秋元健吾

[74] 专利代理机构 中国专利代理(香港)有限公司

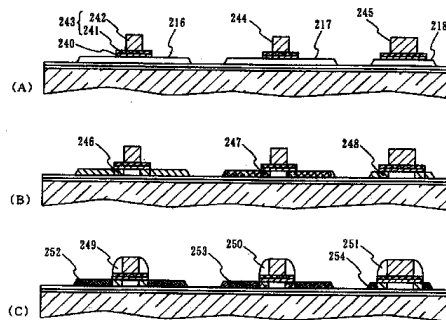
代理人 刘宗杰 叶恺东

权利要求书3页 说明书22页 附图21页

[54] 发明名称 氮化硅膜、半导体装置及其制造方法

[57] 摘要

本发明的目的在于应用一种在玻璃衬底上、在应变点之下的温度下形成可用作栅极绝缘膜或保护膜的高质量的致密的绝缘膜的技术，应用该技术可以实现性能好、可靠性高的半导体装置。本发明的半导体装置在作为沟道长度为 $0.35 \sim 2.5 \mu\text{m}$ 的场效应晶体管的栅极绝缘膜中，在结晶半导体膜上经氧化硅膜形成氮化硅膜，该氮化硅膜的含氢浓度在 $1 \times 10^{21}/\text{cm}^3$ 以下、含氧浓度为 $5 \times 10^{18} \sim 5 \times 10^{21}/\text{cm}^3$ 、且具有对包含 7.13% 的氟化氢氨 (NH_4HF_2) 和 15.4% 的氟化氨 (NH_4F) 的混合水溶液的腐蚀速度在 $10\text{nm}/\text{min}$ 以下的特性。



ISSN 1008-4274

1. 一种半导体装置，其特征在于：在绝缘衬底上形成至少包含一层氮化硅膜的栅极绝缘膜，该氮化硅膜的含氢浓度在 $1 \times 10^{21}/\text{cm}^3$ 以下、且具有对包含 7.13% 的氟化氢氨 (NH_4HF_2) 和 15.4% 的氟化氨 (NH_4F) 的混合水溶液的腐蚀速度在 10nm/min 以下的特性。

2. 一种半导体装置，其特征在于：在绝缘衬底上，在沟道长度为 $0.35 \sim 2.5 \mu\text{m}$ 的场效应晶体管的栅极绝缘膜中，至少形成一层氮化硅膜，该氮化硅膜的含氢浓度在 $1 \times 10^{21}/\text{cm}^3$ 以下、且具有对包含 7.13% 的氟化氢氨 (NH_4HF_2) 和 15.4% 的氟化氨 (NH_4F) 的混合水溶液的腐蚀速度在 10nm/min 以下的特性。

3. 一种半导体装置，其特征在于：在绝缘衬底上，在作为沟道长度为 $0.35 \sim 2.5 \mu\text{m}$ 的场效应晶体管的栅极绝缘膜中，在结晶半导体膜上经氧化硅膜形成氮化硅膜，该氮化硅膜的含氢浓度在 $1 \times 10^{21}/\text{cm}^3$ 以下、且具有对包含 7.13% 的氟化氢氨 (NH_4HF_2) 和 15.4% 的氟化氨 (NH_4F) 的混合水溶液的腐蚀速度在 10nm/min 以下的特性。

4. 权利要求 1 至 3 的任何一项中所述的半导体装置，其特征在于：上述氮化硅膜的含氧浓度为 $5 \times 10^{18} \sim 5 \times 10^{21}/\text{cm}^3$ 。

5. 权利要求 2 或 3 中所述的半导体装置，其特征在于：上述栅极绝缘膜在表面突起部的曲率半径在 $1 \mu\text{m}$ 以下的结晶半导体膜上形成。

6. 权利要求 1 至 5 的任何一项中所述的半导体装置，其特征在于：上述绝缘衬底是应变点在 700°C 以下的玻璃衬底。

7. 一种半导体装置，其特征在于：在应变点在 700°C 以下的玻璃衬底上，作为电容部的电介质膜，形成氮化硅膜，该氮化硅膜的含氢浓度在 $1 \times 10^{21}/\text{cm}^3$ 以下、且具有对包含 7.13% 的氟化氢氨 (NH_4HF_2) 和 15.4% 的氟化氨 (NH_4F) 的混合水溶液的腐蚀速度在 10nm/min 以下的特性。

8. 一种半导体装置，其特征在于：在应变点在 700°C 以下的玻璃衬底上，在由有机树脂形成的层间绝缘膜上形成氮化硅膜，该氮化硅膜的含氢浓度在 $1 \times 10^{21}/\text{cm}^3$ 以下、且具有对包含 7.13% 的氟化氢氨 (NH_4HF_2) 和 15.4% 的氟化氨 (NH_4F) 的混合水溶液的腐蚀速度在 10nm/min 以下的特性。

9. 一种半导体装置, 其特征在于: 在绝缘衬底上, 作为半导体元件的保护膜, 形成氮化硅膜, 该氮化硅膜的含氢浓度在 $1 \times 10^{21}/\text{cm}^3$ 以下、且具有对包含 7.13% 的氟化氢氨 (NH_4HF_2) 和 15.4% 的氟化氨 (NH_4F) 的混合水溶液的腐蚀速度在 $10\text{nm}/\text{min}$ 以下的特性。

5 10. 如权利要求 9 所述的半导体装置, 其特征在于: 上述绝缘衬底是应变点在 700°C 以下的玻璃衬底。

11. 如权利要求 7 至 9 的任何一项中所述的半导体装置, 其特征在于: 上述氮化硅膜的含氧浓度为 $5 \times 10^{18} \sim 5 \times 10^{21}/\text{cm}^3$ 。

10 12. 一种氮化硅膜, 其特征在于: 在应变点在 700°C 以下的玻璃衬底上形成, 含氢浓度在 $1 \times 10^{21}/\text{cm}^3$ 以下, 且具有对包含 7.13% 的氟化氢氨 (NH_4HF_2) 和 15.4% 的氟化氨 (NH_4F) 的混合水溶液的腐蚀速度在 $10\text{nm}/\text{min}$ 以下的特性。

15 13. 一种氮化硅膜, 其特征在于: 在有机树脂薄膜上形成, 含氢浓度在 $1 \times 10^{21}/\text{cm}^3$ 以下, 且具有对包含 7.13% 的氟化氢氨 (NH_4HF_2) 和 15.4% 的氟化氨 (NH_4F) 的混合水溶液的腐蚀速度在 $10\text{nm}/\text{min}$ 以下的特性。

14. 权利要求 12 或 13 中所述的氮化硅膜, 其特征在于: 其含氧浓度为 $5 \times 10^{18} \sim 5 \times 10^{21}/\text{cm}^3$ 。

20 15. 一种半导体装置的制造方法, 其特征在于: 包括对在绝缘衬底上形成的结晶半导体膜进行氧化处理和进行氧化膜除去处理的第 1 阶段、在施加高频电功率使 Ar、 N_2 或只使 N_2 进行辉光放电的情况下溅射硅靶以形成氮化硅膜的第 2 阶段和施加直流电功率以形成导电性膜的第 3 阶段, 上述第 1 至第 3 阶段不是在空气中进行, 而是在惰性气体或在减压的环境下连续进行。

25 16. 一种半导体装置的制造方法, 其特征在于: 包括对在绝缘衬底上形成的结晶半导体膜进行氧化处理和进行氧化膜除去处理的第 1 阶段、通过氧气环境下的加热处理以形成氧化硅膜的第 2 阶段、在施加高频电功率使 Ar、 N_2 或只使 N_2 进行辉光放电的情况下溅射硅靶以形成氮化硅膜的第 3 阶段和施加直流电功率以形成导电性膜的第 4 阶段, 上述第 1 至第 4 阶段不是在空气中进行, 而是在惰性气体或在减压的环境下连续进行。

30

17. 如权利要求 16 所述的半导体装置的制造方法, 其特征在于:

在上述第 2 阶段中, Ar 对 N₂ 的比例是 0.01 ~ 0.5。

18. 如权利要求 16 所述的半导体装置的制造方法, 其特征在于:
在上述第 3 阶段中, Ar 对 N₂ 的比例是 0.01 ~ 0.5。

19. 如权利要求 16 所述的半导体装置的制造方法, 其特征在于
5 对上述第 2 阶段的氧气添加 0.01 ~ 0.1% 的从 NF₃、HF、ClF₃ 中选出的
一种或多种气体。

氮化硅膜、半导体装置及其制造方法

技术领域

5 本发明涉及半导体装置，该半导体装置包含在应变点为 700℃ 以下的衬底上形成的氮化硅膜以及以使用了该氮化硅膜的场效应晶体管为代表的半导体元件和半导体集成电路。

背景技术

10 对于使用了液晶或场致发光（简称为 EL）元件的显示装置，开发了一种使用场效应薄膜晶体管（简称为 TFT）在同一块玻璃衬底上一体形成驱动电路的技术。在该 TFT 中，为了实现实用的工作频率，在作为主要结构部分的活性层（形成沟道部的半导体区）上使用多晶硅膜。而且，提出了以微处理器为首的利用 TFT 实现更高速的动作且具有的图像处理或存储等各种各样的功能的集成电路的、即所谓板上系
15 统的概念。

当然，TFT 不仅可以使使用多晶硅膜，也可以使用栅极绝缘膜或用来使引线之间相互绝缘隔离的绝缘膜等，将绝缘膜用于各个部位，并将它们做成一体，这样来形成集成电路。对于各部位使用的原材料，所要求的特性各不相同，例如，对于栅极绝缘膜，要求缺陷少、漏电
20 流小、界面杂质能级密度低，对于保护膜，则特别要求其杂质必需具有能阻止碱离子等入侵的特性，总之，因用途不同，要求的特性也不同。

25 伴随引线的高集成化，正在开发使用铜作为引线材料的技术，用铜作为引线材料与铝相比，可以流过高密度的电流，而且对电子移动具有很好的耐久性。

对绝缘膜要求无针眼、致密、缺陷密度低、不含固定电荷且与基底有很好的密封性。此外，为了既能使元件微型化又能提高晶体管的性能，有必要将栅极绝缘膜做得很薄以提高栅极驱动能力，这就要求有致密的绝缘膜，可以不使栅极漏电流增加。

30 关于绝缘膜的形成方法，已知的有作为化学成膜法的 CVD 法和作为物理成膜法的溅射法。在 CVD 法中，作为对其进行分类的参数，有成膜时的压力、供给气体的流量和用来促进化学反应的能量等，据此，

有常压或减压下的热 CVD 法和利用等离子体的等离子体 CVD 法等，可以根据各自的特征及使用目的来加以利用。

5 当在玻璃、石英等绝缘衬底上形成多晶硅膜并使用它来实现集成电路时，不可能将制造大规模集成电路的技术原封不动地移植过来。这不光存在多晶硅膜的结晶性的问题，而且还存在利用过去的方法制造的绝缘膜及使用它的半导体元件不能充分发挥所希望的特性和可靠性这一现状。

10 虽然可以使用减压 CVD 法形成致密的不使碱离子等通过的氮化硅膜，但是膜的形成温度必需在 750℃ 以上。而等离子体 CVD 法虽然可以在低温下成膜，但存在膜因等离子体中的带电粒子而受损伤从而出现缺陷或针眼的问题。此外，500℃ 以下的成膜温度因膜中含有氢而使其稳定性降低。与此相对，高频溅射法也可以使用氮化硅等绝缘物靶，可以形成膜中不混入氢的氮化硅膜。但是，我们知道它们一般都具有压缩应力，对膜的剥离经常会出些问题。

15 此外，通过堆积绝缘膜形成的 TFT 的栅极绝缘膜必然增加界面能级密度，所以不能形成良好的界面。此外，从界面的清洁性来看，在绝缘衬底上形成的多晶硅膜还存在容易受污染的问题。特别是，对于化学污染来说，明确地指出污染原因或污染途径都是一件很困难的事，对于认为发生原因是清洁室的过滤材料引起的硼污染或起因于墙壁或天花板的材料的磷或有机物污染等，只通过日常的衬底管理办法来防止很困难，玻璃衬底的尺寸越大，污染的防止越困难。

20 上述 Cu 引线虽然是通过将引线埋入绝缘膜中的镶嵌 (damassin) 结构来形成，但如果不使用适当的阻挡膜，就会存在容易向周围绝缘膜中或积层界面上扩散的问题。为了防止这一点，有必要形成不使 Cu 扩散且与基底之间密封性良好的阻挡膜。

发明内容

30 本发明是鉴于上述问题而提出的，其目的在于提供一种在玻璃衬底上、在应变点之下的温度下形成可用作为栅极绝缘膜或保护膜的高质量的致密的绝缘膜的技术，使用该技术可以实现性能好、可靠性高的半导体装置。

为了解决上述问题，本发明利用高频磁控管溅射法，以硅作为靶，以氮或氮和惰性气体作为溅射气体，在 300℃ 以下的衬底加热温度下

形成氮化硅膜。该氮化硅膜可以作为 TFT 的栅极绝缘膜使用。此外，本发明将该氮化硅膜和利用化学处理、加热处理、光照处理在结晶半导体膜的表面形成的氧化膜积层起来作为栅极绝缘膜使用。

在本发明中，使用硅作为靶并由高频磁控管溅射法形成的氮化硅膜至少满足下面示出的特性中的一个特性。即，在包含 7.13% 的氟化氢氨 (NH_4HF_2) 和 15.4% 的氟化氨 (NH_4F) 的混合水溶液 (20℃) 中，腐蚀速度在 10nm/min 以下 (最好在 3.5nm/min 以下); 氢的浓度在 $1 \times 10^{21}/\text{cm}^3$ 以下 (最好在 $5 \times 10^{20}/\text{cm}^3$ 以下); 氧的浓度为 $5 \times 10^{18} \sim 5 \times 10^{21}/\text{cm}^3$ (最好是 $1 \times 10^{19} \sim 1 \times 10^{21}/\text{cm}^3$)，满足上述条件中的一个，最好同时满足上述多个条件。此外，内部应力的绝对值在 $2 \times 10^{10}\text{dyn}/\text{cm}^2$ 以下，最好在 $5 \times 10^9\text{dyn}/\text{cm}^2$ 以下，进而最好在 $5 \times 10^8\text{dyn}/\text{cm}^2$ 以下。

本发明提供含氢浓度在 $1 \times 10^{21}/\text{cm}^3$ 以下、含氧浓度为 $5 \times 10^{18} \sim 5 \times 10^{21}/\text{cm}^3$ 、具有对包含 7.13% 的氟化氢氨 (NH_4HF_2) 和 15.4% 的氟化氨 (NH_4F) 的混合水溶液的腐蚀速度在 10nm/min 以下的特性的氮化硅膜。具有这样的含氢含氧量及腐蚀特性的氮化硅膜对半导体装置来说，不仅能够用于栅极绝缘膜或电容部的电介质保护膜等要求电绝缘的部位，而且能够用来作为保护膜，以阻止气体或离子性杂质的扩散。

本发明的半导体装置的特征在于形成至少包含一层氮化硅膜的栅极绝缘膜，该氮化硅膜的含氢浓度在 $1 \times 10^{21}/\text{cm}^3$ 以下、含氧浓度为 $5 \times 10^{18} \sim 5 \times 10^{21}/\text{cm}^3$ 、且具有对包含 7.13% 的氟化氢氨 (NH_4HF_2) 和 15.4% 的氟化氨 (NH_4F) 的混合水溶液的腐蚀速度在 10nm/min 以下的特性。进而，其特性在于：至少形成一层该氮化硅膜作为沟道长度为 $0.35 \sim 2.5 \mu\text{m}$ 的场效应晶体管的栅极绝缘膜。

上述栅极绝缘膜或场效应晶体管的栅极绝缘膜的特征在于它是在表面突起部的曲率半径在 $1 \mu\text{m}$ 以下的结晶半导体膜上形成的。

本发明的上述组成及具有腐蚀特性的氮化硅膜作为栅极绝缘膜、电容部的电介质膜或半导体元件的保护膜在由有机树脂形成的层间绝缘膜上形成，本发明包含上述构成中的任何一种或多种构成的组合。

通过这样的氢和氧的含量和腐蚀特性，在用作栅极绝缘膜时，可以降低栅极漏电流，改善场效应移动度、亚阈值系数 (subthreshold) 和导电性 (gm) 等，可以降低连续工作时晶体管特性的长期变化，减小产品特性的离散，提高产品的成品率。此外，通过在结晶半导体膜

和氮化硅膜之间插入氧化硅膜，可以更有效地发挥这种效果。

5 本发明的半导体装置的制造方法的特征在于：包括对在绝缘衬底上形成的结晶半导体膜进行氧化处理和进行氧化膜除去处理的第1阶段、在施加高频电功率使 Ar、N₂ 或只使 N₂ 进行辉光放电的情况下溅射硅靶以形成氮化硅膜的第2阶段和施加直流电功率以形成导电性膜的第3阶段，上述第1至第3阶段不是在空气中进行，而是在惰性气体或在减压的环境下连续进行。在上述第2阶段中，Ar 对 N₂ 的比例最好是 0.01 ~ 0.5。

10 本发明的半导体装置的制造方法的特征在于：包括对在绝缘衬底上形成的结晶半导体膜进行氧化处理和进行氧化膜除去处理的第1阶段、在施加高频电功率使 O₂ 进行辉光放电的情况下通过氧气环境下的加热处理以形成氧化硅膜的第2阶段、在施加高频电功率使 Ar、N₂ 或只使 N₂ 进行辉光放电的情况下溅射硅靶以形成氮化硅膜的第3阶段和施加直流电功率以形成导电性膜的第4阶段，上述第1至第4阶段不是
15 是在空气中进行，而是在惰性气体或在减压的环境下连续进行。上述第2阶段中的氧气环境最好是在 O₂ 中添加 0.01 ~ 0.1% 的从 NF₃、HF、ClF₃ 中选出的一种或多种气体。第3阶段中的 Ar 对 N₂ 的比例最好是 0.01 ~ 0.5。

20 上述本发明的半导体装置的制造方法可以适用于应变点在 700℃ 以下的玻璃衬底。

通过上述本发明的半导体装置的制造方法，在从室温到 300℃ 以下、最好是 200℃ 以下的温度下，可以得到含氢浓度在 $1 \times 10^{21}/\text{cm}^3$ 以下、含氧浓度为 $5 \times 10^{18} \sim 5 \times 10^{21}/\text{cm}^3$ 、且具有对包含 7.13% 的氟化氢氨 (NH₄HF₂) 和 15.4% 的氟化氨 (NH₄F) 的混合水溶液的腐蚀速度在
25 10nm/min 以下的特性的氮化硅膜。

在上述本发明的制造方法中，高频磁控管溅射法所使用的电功率的频率可以是 1MHz 以上 120MHz 以下，最好是 10MHz 以上 60MHz 以下。

再有，本发明的半导体装置是指通过利用半导体特性来获得功能的整个装置，电光学装置、半导体电路和电子装置都属于半导体装置
30 的范畴。

附图说明：

图 1 是表示使用本发明的氮化硅膜并在 MOS 结构下没有 Li 的扩

散时的 C—V 特性图。

图 2 是表示使用本发明的氮化硅膜并在 MOS 结构下有 Li 的扩散时的 C—V 特性图。

图 3 是表示利用 SIMS 测定包含在本发明的氮化硅膜中的 H、C、O 的浓度的结果的图。

图 4 是表示本发明的氮化硅膜的比较例的氮化硅膜的透射率的图。

图 5 是表示本发明的氮化硅膜的比较例的氮化硅膜的红外吸收光谱的图。

图 6 是表示使用利用等离子体 CVD 法形成的氮化硅膜并在 MOS 结构下没有 Li 的扩散时的 C—V 特性图。

图 7 是说明使用本发明的磁控管溅射装置的结构的上平面图。

图 8 是说明使用本发明的磁控管溅射装置的成膜室的详细结构的截面图。

图 9 是说明本发明的高频磁控管溅射装置中的氮化硅膜的成膜机制的原理图。

图 10 是说明本发明的半导体装置的制造工序的纵截面图。

图 11 是说明本发明的半导体装置的制造工序的纵截面图。

图 12 是说明本发明的半导体装置的制造工序的纵截面图。

图 13 是说明本发明的半导体装置的制造工序的纵截面图。

图 14 是说明本发明的半导体装置的制造工序的纵截面图。

图 15 是说明本发明的半导体装置的制造工序的纵截面图。

图 16 是说明本发明的半导体装置的制造工序的纵截面图。

图 17 是说明半导体膜的详细蚀刻形状的图。

图 18 是说明本发明的微型计算机的结构图。

图 19 是说明本发明的微型计算机封装结构的图。

图 20 是说明加热处理室的结构图。

图 21 是说明光源的点亮和熄灭与半导体衬底的温度变化的关系以及冷媒的供给方法的图。

图 22 是说明本发明的半导体装置的制造工序的纵截面图。

图 23 是说明本发明的半导体装置的制造工序的纵截面图。

发明的具体实施方式

本发明对于作为半导体装置的主要构成要素的场效应晶体管、典型的是场效应薄膜晶体管（以下简称为 TFT）的栅极绝缘膜和保护膜，或者对于使用液晶或 EL 的显示装置中的层间绝缘膜盲保护膜、在玻璃等绝缘衬底上形成的集成电路中的层间绝缘膜或保护膜以及构成该集成电路的 TFT 的栅极绝缘膜等来说，本发明使用氮化硅作为其原材料，本发明使用含氧浓度在 $1 \times 10^{19}/\text{cm}^3$ 以下的单结晶或多结晶硅作为靶，使用氮或氮和惰性气体作为溅射气体，使衬底加热温度在从室温到 300°C 以下的范围内，利用高频磁控管溅射法来制作该氮化硅。

图 7 是说明实施本发明的一个很好的多功能磁控管溅射装置/氧化膜形成装置的形态的图。图 7 所示装置的构成包括具有衬底传送装置 102 的第 1 公共室 101 和多个可通过闸门阀 119 并利用溅射来形成覆膜的成膜室。在形成氮化硅膜时，虽然只需要一个反应室即可，但是，如果要连续形成形状不同的多个覆膜而不与空气接触以免污染界面，图 7 所示的装置是最合适的装置。

形成氮化硅膜等覆膜的衬底装填在装料/出料室 111 中，通过具有第 2 公共室 109 的传送装置 110 进行传送。前处理室 112 具有使衬底转动的旋转器，通过涂敷从药液供给装置 118 来的各种药液，可以对衬底的被堆积表面进行洗净、氧化和氧化膜除去等处理。装料/出料室 111，第 2 公共室 109 和前处理室 112 通过气体供给装置 130 充填惰性气体并在常压下使用，中间室 108 包括内部减压的第 1 公共室 101 以及与和其连接的多个成膜室之间相互传送衬底的屋子。中间室 108 还可以包括暂时保持装填在装料/出料室 111 中的所有的衬底的盒架（图 7 未详细示出）。

加热处理室 103 包括加热装置 120，使衬底吸附的包含在空气中的各种杂质脱离，使其清洁，或者，对由溅射形成的覆膜进行加热处理，使其达到致密化和结晶化等。

加热处理室 103 的构成也可以包括进行瞬间退火（RTA）的加热装置 120。图 20 是加热处理室 103 的详细说明图。加热处理室 103 有由石英形成的反应室 1129，在其外侧设有光源 1110。反应室 1129 内具有由石英形成的衬底盒架 1112，被处理的衬底放在该衬底盒架 1112 上。这时，为了使温度分布均匀，被处理衬底放在支撑杆上。此外，作为监测由光源 1110 加热的温度的装置，这里，采用使用了热电偶

的温度检测系统 1128。

光源 1110 利用电源 1111 进行点灯和熄灯的动作。计算机 1118 控制该电源和流量控制装置 1115 的动作。导入反应室 1129 的冷媒可以通过循环器 1116 使其循环动作。重要的是要在该循环路径上设置
5 提纯器 1117，以保持冷媒 He 的纯度。

此外，为了能够在减压下进行热处理，作为排气装置设置蜗轮分子泵 1119 和驱动（干）泵（drive/dry pump）1120。对于减压下的热处理，通过使用能被半导体膜吸收的波长范围的灯光，可以对半导体膜进行加热。减压下的热处理通过降低氧浓度可以抑制半导体表面的氧化，结果，可以促进结晶化，提高溅射效率。被处理的衬底进入
10 经闸门与其连接的传送室，利用传送装置将其放置在衬底盒架 112 上。

图 21 是表示由光源加热的被处理衬底和控制流过处理室的气体的流量的方法的图。首先，利用光源对在室温下放置的被处理衬底进行快速加热。在升温期间，以 $100 \sim 200^\circ\text{C}/\text{秒}$ 的升温速度加热到设定
15 温度（例如 1100°C ）。例如，若以 $150^\circ\text{C}/\text{秒}$ 的升温速度加热，则不到 7 秒钟就可加热到 1100°C 。然后，保持设定温度一定时间，再切断光源。保持时间设定为 $0.5 \sim 5$ 秒。因此，光源连续点亮的时间在 0.1 秒以上。不会超过 20 秒。通过使处理室连续流过气体，可以使降温速度达到 $50 \sim 150^\circ\text{C}/\text{秒}$ 。例如，若以 $100^\circ\text{C}/\text{秒}$ 的速度冷却，可以在 8
20 秒钟内使温度从 1100°C 降到 300°C 。

其特点是这样多次重复进行光源加热和气体循环冷却的过程。将该方法称作 PPTA（多次瞬间热韧化）法。利用 PPTA 法，可以缩短实际加热的时间，而且，通过光源有选择地对半导体膜照射它能吸收的光，可以只对半导体膜有选择地进行加热。图 21 所示那样的脉冲光
25 对半导体膜进行加入，在该热尚未传到衬底侧之前即停止加热，而且，通过用冷媒从周围使其冷却，衬底的温度不会明显上升。因此，可以防止衬底变形，可以解决过去 RTA 装置所存在的问题。

光源 1 次发光的时间是 $0.1 \sim 60$ 秒，最好是 $0.1 \sim 20$ 秒，多次照射该光源的光。或者，从光源照射脉冲形状的光，使半导体膜的最高
30 温度保持时间为 $0.5 \sim 5$ 秒。进而，通过使冷媒的供给量伴随光源的通断而增减，来提高半导体膜的热处理效果，同时防止因热处理而使衬底损坏。此外，设置使处理室内减压的排气装置，降低热处理气体

中的氧的浓度。由此，可以防止因热处理而使半导体膜的表面氧化或受到污染。

在图 7 中，成膜室 104~107 装填不同材料的靶，由此可以在减压状态下连续积层形成多个覆膜。各成膜室具有供给溅射气体的气体供给装置 115、排气装置 114 和压力控制装置 113。成膜室 104、105 具有绝缘物质的靶，为了进行溅射而与高频电源 116 连接。高频电源供给的高频电功率的频率在 1MHz 以上 120MHz 一下，最好使用 10MHz 以上 60MHz 以下的频率。当使用这样的频率范围时，屏极电位随频率的升高而下降，即使对于物理成膜机制的溅射法来说，其成膜机制也是以化学反应为主，而且可以形成致密的覆膜。此外，成膜室 106、107 具有金属靶并与直流电源 117 连接。

图 8 是详细说明一例成膜室 105 的图。成膜室 105 是形成本发明的氮化硅膜的地方。靶是硅，经溅射板由冷媒冷却。永久磁铁 124 通过在与靶面平行的方向作圆运动或直线运动，可以在相对的衬底表面形成膜厚均匀性良好的覆膜。闸门 123 在开始成膜的前后开闭，以防止在放电初期等离子体不稳定的状态下形成覆膜。衬底保持装置 122 使保持器上下运动来放置衬底并使其固定在背面板 121 上。在背面板 121 内作为加热装置 128 埋设护套加热器，此外，使加热的惰性气体从衬底里侧导入以提高热均匀性。除了惰性气体之外，从气体导入装置 115 还导入氮气，成膜室 105 中的压力由传导阀 126 控制。整流板 125 以对成膜室 105 内的溅射气体的流动进行整流为目的而设置。靶与高频电源连接，通过施加高频电功率进行溅射。

利用图 8 所示的高频磁控管溅射，可以以硅为靶形成致密的氮化硅膜。其主要的成膜条件是使用硅作为靶，使用 N_2 或 N_2 和 Ar 的混合气体作为溅射气体。所施加的高频电功率的频率的典型值是 13.56Mhz，也可以使用比此高的 27~120MHz 的频率。随着频率的增加，其成膜机制的化学反应成分更多一些，可以实现损坏少的致密的成膜。作为溅射气体使用的 Ar，作为加热衬底的气体，如图 8 所示从衬底的里侧导入，最后与 N_2 混合，帮助进行溅射。

下面表 1 示出成膜条件的典型例子。当然，这里示出的成膜条件只是一个例子，在满足上述主要成膜条件的范围内，可以进行适当设定。

【表 1】

	氮化硅膜	氧化硅膜
气体	Ar/N ₂	O ₂
流量比	20/20	5
压力 (Pa)	0.8	0.4
频率 (MHz)	13.56	13.56
功率 (W/cm ²)	16.5	11.0
衬底温度 (℃)	200	200
靶材料	Si (1 ~ 10 Ω cm)	合成石英
T/S (mm)	60	150

5 此外，作为比较例，表 2 示出先有的用 CVD 法形成氮化硅膜的成膜条件。

【表 2】

	氮化硅膜
气体	SiH ₄ /NH ₃ /N ₂ /H ₂
流量比	30/240/300/60
压力 (Pa)	159
频率 (MHz)	13.56
功率 (W/cm ²)	0.35
衬底温度 (℃)	325

10

其次，表 3 示出在表 1 的成膜条件下形成的氮化硅膜和在表 2 的成膜条件下形成的氮化硅膜其典型的特性值的比较结果。再有，在试料一栏中，‘RFSP—SiN (No. 1)’ 和 ‘RFSP—SiN (No. 2)’ 的区别因溅射装置而异，对本发明的氮化硅膜的功能没有损害。此外，对于内部应力，压应力和张应力其数值的正负符号不同，当这里只取其绝对值。

15

【表 3】

	表1条件下的氮化硅膜		表2条件下的 SiN膜	备注
	RFSP-SiN(No.1)	RFSP-SiN(No.2)	PCVD-SiN	
介电常数	7.02~9.30	←	~7	
折射率	1.91~2.13	←	2.0~2.1	波长632.8nm
内部应力 (dyn/cm ²)	4.17X10 ⁸	←	9.11X10 ⁸	
蚀刻速度 (nm/min)	0.77~1.31	1~8.6	~30	LAL500 20°C
Si 浓度 (atomic%)	37.3	51.5	35.0	RBS
N 浓度 (atomic%)	55.9	48.5	45.0	RBS
H 浓度 (atoms/cc)	4X10 ²⁰	-	1X10 ²²	SIMS
O 浓度 (atoms/cc)	8X10 ²⁰	-	3X10 ¹⁸	SIMS
C 浓度 (atoms/cc)	1X10 ¹⁹	-	4X10 ¹⁷	SIMS

5 如表 3 所示，利用上述高频磁控管溅射法制作的 ‘RFSP—SiN (No. 1)’ 和 ‘RFSP—SiN (No. 2)’ 试料相对利用等离子体 CVD 法制作的比较例的试料来说，其特征上的不同点在于：包含 7.13%的氟化氢氨 (NH₄HF₂) 和 15.4%的氟化氨 (NH₄F) 的混合水溶液 20°C (LAL500 SA 缓冲氟酸；桥本化成株式会社制) 时的腐蚀速度非常慢，氢的含量
10 极少。内部应力的绝对值比利用等离子体 CVD 法形成的氮化硅膜小。

该氮化硅膜中的氢、氧和炭杂质的浓度通过二次离子质量分析得到，其厚度方向的分析结果如图 3 所示试料是按表 1 的条件在单晶硅衬底上形成的氮化硅膜，可知氢的浓度在 1×10²¹/cm 以下。氮化硅膜中
15 有无氢的结合可以通过付里叶变换红外分光分析 (FT—IR) 来判断，图 5 示出它与用等离子体 CVD 法制作的氮化硅膜的特性比较的结果。即使利用 FT—IR 分析也观测不到因 Si—H 结合、N—H 结合产生的吸收峰值。

此外，图 4 示出用分光光度计测定的透光率，为了进行比较参考，同图还示出在表 2 的条件下用等离子体 CVD 法制作氮化硅膜的特性。
20 看不出两者有明显的不同，可知它们都是透明度很好的膜。

上面示出特性值的典型结果，从各种实验结果，得到利用本发明的磁控管溅射法制作的氮化硅膜的主要特性值如下。

各种实验结果表明,本发明的氮化硅膜至少满足下面所示的特性中的一个。即,在包含 7.13%的氟化氢氨 (NH_4HF_2) 和 15.4%的氟化氨 (NH_4F) 的混合水溶液 (20℃) 中,腐蚀速度在 10nm/min 以下 (最好在 3.5nm/min 以下); 氢的浓度在 $1 \times 10^{21}/\text{cm}^3$ 以下 (最好在 $5 \times 10^{20}/\text{cm}^3$ 以下); 氧的浓度为 $5 \times 10^{18} \sim 5 \times 10^{21}/\text{cm}^3$ (最好是 $1 \times 10^{19} \sim 1 \times 10^{21}/\text{cm}^3$), 满足上述条件中的一个,最好同时满足上述多个条件。此外,内部应力的绝对值在 $2 \times 10^{10}\text{dyn}/\text{cm}^2$ 以下,最好在 $5 \times 10^9\text{dyn}/\text{cm}^2$ 以下,进而最好在 $5 \times 10^8\text{dyn}/\text{cm}^2$ 以下。如果内部应力小,当与其它覆膜积层时,可以抑制界面中的缺陷能级的发生,也不会存在剥离等方面的问题。

进而,具有上述特性的本发明的氮化硅膜对以 Na 或 Li 为代表的元素周期表中的 1 族和 2 族元素具有极高阻挡效果,可以抑制这些可动离子的扩散。图 1、图 2 和图 6 示出清楚表明这一事实的数据。图 6 是表示将在表 2 的条件下利用等离子体 CVD 法形成的氮化硅膜作为电介质的 MOS 结构的偏置—热应力 (B—T 应力) 试验前后 C—V 特性变化的图。试料的构造是,在单结晶衬底 (n 型, $1 \sim 10\Omega\text{cm}$) 上按表 2 的条件形成 100nm 氮化硅膜,并在其上将对 Al 添加了 Li (重量比 0.2~1.5%) 的金属作为电极形成。在该试料的构造中,通过对 Al 添加 Li,可以考查有没有 Li 扩散。B—T 应力试验的条件是施加 1.7MV 的电压再在 150℃ 的温度下保持 1 个小时。根据图 6 可以明显确认因 BT 应力试验 C—V 特性有很大的偏移,并且有 Li 从氮化硅膜上形成的对 Al 添加 Li 的电极扩散的影响。

图 1 和图 2 示出将在表 1 的条件下制作的氮化硅膜作为电介质膜的 MOS 结构的试料的 B—T 应力试验前后的 C—V 特性。图 1 的试料是用 Al—Si (添加了硅的 Al) 形成氮化硅膜上的电极,图 2 是用 Al—Li 形成电极的试料。但是,为了降低氮化硅膜和硅衬底的界面能级的影响,试料在单结晶硅衬底 (P 型, $1 \sim 10\Omega\text{cm}$) 的表面形成 50nm 的氧化膜。因此,对阻挡氮化硅膜的 Li 的性能没有任何影响。

若将图 1 和图 2 的特性进行比较,可以看出,两张图在 B—T 应力试验前后其 C—V 特性几乎都没有变化,反映不出 Li 扩散的影响,即,在表 1 的成膜条件下制作的氮化硅膜可以起阻挡膜的作用,而且特别有效。这样,可以确认,尽管本发明的氮化硅膜是在 300℃ 以下

的温度下形成，但却非常致密，而且对 Na 或 Li 等可东离子具有很好的阻挡效果。

5 通过以上 B-T 应力试验等确认是非常致密的氮化硅膜与过去的溅射现象的物理成膜机制不同，可以认为是因在靶的表面和覆膜堆积表面氮或氮和惰性气体离子与硅相互进行化学反应而成膜的机制。

10 利用图 9 的原理图说明该成膜机制的一个考察例子。若对靶 901 施加高频电功率而形成辉光放电等离子体 900，则氮或氮和惰性气体形成各种各样的离子种、激励种和发光种。其中，生成具有化学活性物质的活性氮。我们知道活性氮反应性极强，即使在较低的温度下也容易形成氮化物。即，在靶的表面扩散的活性氮与硅反应后形成氮化物。氮化硅虽然稳定，但若如果利用屏极电场使惰性气体离子或氮离子加速后再入射到靶的表面，则被溅射而呈气体状态逸出。在辉光放电等离子体 900 中扩散的硅的氮化物在该过程中与活性氮或其它氮的激励种起反应，其中一部分到达衬底表面。在那里，硅的氮化物进行表面反应形成氮化硅。对于表面反应，可以认为是利用等离子体电位和接地电位的电位差加速后入射的离子种的援助在起作用。利用这样的成膜机制可以推测氮化硅膜中不包含硅分子，从而可以提高膜的致密性能。

20 根据这样的成膜机制，当供给的惰性气体比硅的比例高时，惰性气体溅射起主导作用，不能成膜。虽然可以只用氮气，但成膜速度明显降低，所以，理想的情况是，氮和惰性气体的混合比例最低是 1 比 1。

下面，使用附图详细说明使用了上述氮化硅膜和制造装置的半导体装置的形态。

25 (实施形态 1)

30 能够适用于本实施形态的衬底是以钡硼酸玻璃、矾土硼酸玻璃、矾土硅酸盐玻璃等为原料的玻璃衬底。典型地，可以使用コーニング社制的 1737 玻璃衬底（应变点 667℃）和旭硝子社制的 AN100（应变点 670℃）等。当然，若是同样的其它衬底，也不特别加以限制。无论如何，对本发明，应变点在 700℃以下的玻璃衬底都可以适用。在本实施例中，说明使用利用高频磁控管溅射法在应变点为 700℃以下的玻璃衬底上制作的氮化硅膜形成微处理器（MPU）的一个形态。

再有，在本发明中，应变点在 700℃ 以上的玻璃衬底也不除外。当然，也可以使用耐热温度在 1000℃ 以上的合成石英衬底。本发明的氮化硅膜可以在 700℃ 以下的温度下形成致密的封锁性高的膜，对于这一特征，没有必要特别选择合成石英衬底。

5 选择上述衬底，再如图 10 (A) 所示那样，在玻璃衬底 200 上形成由氧化硅膜、氮化硅膜或氧化氮化硅膜 (SiO_xN_y) 等绝缘膜形成的第 1 无机绝缘层 201。一个典型的例子具有 2 层结构，它是将 50nm 厚的以 SiH_4 、 NH_3 和 N_2O 作为反应气体利用等离子体 CVD 法成膜的第 1 氧化氮化硅膜 202 和 100nm 厚的以 N_2O 作为反应气体利用等离子体 CVD
10 法成膜的第 2 氧化氮化硅膜 203 积层形成的结构。这里，也可以使用利用高频磁控管溅射法形成的氮化硅膜去代替第 1 氧化氮化硅膜 202。该氮化硅膜可以防止 Na 等玻璃衬底所含的微量碱金属元素的扩散。

作为 TFT 活性层的结晶半导体膜，可以通过对在第 1 无机绝缘层 201 上形成的非晶态硅膜 204 进行结晶得到。此外，也可以代替非晶
15 态硅膜，而使用非晶态硅锗膜 ($\text{Si}_{1-x}\text{Ge}_x$; $x=0.001 \sim 0.05$)。最初形成的非晶态硅膜的厚度可以在所得到的结晶硅膜的厚度是 20nm 至 60nm 的范围内选择。该膜厚的上限是使 TFT 沟道形成区作为完全耗尽型工作的上限值，该膜厚的下限值受工艺上的制约，由在结晶硅膜蚀刻工序中选择加工时所必要的最小值来决定。

20 对于结晶工序，不特别限定于该方法。例如，作为一例结晶方法，也可以在镍等半导体结晶化时添加具有催化作用的某金属元素，使其结晶化。这时，将含镍层 205 保持在非晶态硅膜 204 上，继脱氢 (500℃、1 小时) 之后，在 550℃ 的温度下进行 4 小时的热处理，使之结晶。

25 图 10 (B) 示出形成结晶硅膜 206 的状态。在该状态下可以按 50~95% 的比例得到已结晶的结晶硅膜，但是，如图 10 (C) 所示那样，为了进一步提高结晶性能，可以加激光退火处理，对其照射脉冲震荡激光或 YAG 激光、 YVO_4 激光、YLF 激光等固体激光的二次谐波。在激光退火处理时，将该激光作为光学系中短边方向的宽度为 400 μm
30 的线状激光，且具有 90~98% 的重叠率，使用这样的激光来照射。通过该脉冲激光的照射，如图 10 (C) 所示那样，在其表面形成多个高度最大和膜厚相同的凸部。

当在该结晶硅膜上形成栅极绝缘膜再形成顶栅 (top gate) 型 TFT 时, 栅极漏电流增加。此外, 对栅极加偏置电压的应力试验也使其特性变差。可以认为这是因为凸部电场集中的缘故。因此, 最好使结晶硅膜表面的凹凸形状的最大值在 10nm 以下, 理想的是在 5nm 以下。

5 减小表面的凹凸可以通过进行 1 次、最好是进行多次含臭氧水的水溶液的氧化处理和含氟酸水溶液氧化膜除去处理来实现。在本实施形态中, 为了制作沟道长度是 $0.35 \sim 2.5 \mu\text{m}$ 的 TFT, 因为栅极绝缘膜的实质厚度为 $30 \sim 80\text{nm}$, 所以, 结晶硅膜表面的平滑度, 其凹凸形状的最大值在 10nm 以下, 最好在 5nm 以下 (图 10 (D))。

10 然后, 使用光掩膜, 利用照相蚀刻法将得到的结晶硅膜蚀刻成所要的形状, 在 TFT 中形成沟道形成区、源极和漏极区以及形成包含低浓度杂质区等的活性层的半导体薄膜 216~218。

为了蚀刻在图 10 (D) 的状态下形成的结晶硅膜, 使用干腐蚀法, 将 CF_4 和 O_2 的混合气体作为腐蚀气体使用, 为了改善栅极绝缘膜的覆盖性能, 加工成使半导体膜 216~218 有 $30 \sim 60$ 度的锥角。详细情况示于图 17。因和基底的选择比的关系, 虽然氧化氮化硅膜只蚀刻了一点点, 其探入的深度在半导体膜厚度的 $1/3$ 以下。当探入深度深时, 不能覆盖栅极绝缘膜, 在其上层形成的栅极引线会产生断线。此外, 为了控制阈值 (V_{th}), 可以对半导体膜 216~218 添加 p 型杂质元素。
20 半导体的 p 型杂质元素可以是硼 (B)、铝 (Al)、镓 (Ga) 等周期表中的第 13 族元素。

其次, 如图 12 (B) 所示, 利用高频磁控管溅射法在半导体膜 216~218 上形成形成栅极绝缘膜的氧化硅膜 219 和氮化硅膜 220, 使形成栅极的第 1 导电膜 221 和第 2 导电膜 222 的 4 层不与大气接触, 而在
25 减压状态下连续形成。

用图 7 说明的多功能磁控管溅射装置可以适用于该工序。从该栅极绝缘膜到栅极的形成工序大致如下。

首先, 从装料/出料室 111 来的衬底变成图 12 (A) 的状态。上述表面平滑处理可以在具有旋转器的前处理室 12 中进行, 进行含臭氧水的水溶液的氧化处理和含氟酸水溶液氧化膜除去处理, 将半导体表面的中心蚀刻成凸部。此外, 通过该处理, 将半导体膜的最表面的部分腐蚀掉, 再通过氧化处理形成非活性表面。
30

然后，衬底经中间室 108 被传送到抽成真空的第 1 公共室 101。加热处理室 103 具有加热装置 120，使吸附在衬底上的水分脱离，使之净化。在成膜室 104 终，利用高磁控管溅射法，以石英为靶，形成厚度为 10~60nm 的氧化硅膜。主要成膜条件是，溅射气体是 O_2 ，溅射时的压力是 0.4Pa，放电功率是 $11.0\text{mW}/\text{cm}^2$ ，频率是 13.56MHz，衬底加热温度是 200°C 。在该条件下可以形成与半导体膜的界面能级密度低、致密的氧化硅膜 219。其次，将衬底传送到成膜室 105，利用高频磁控管溅射法形成厚度为 10~30nm 的氮化硅膜。成膜条件和表 1 相同。因相对氧化硅的相对介电常数 3.8 而言，氮化硅的相对介电常数是 7.5，故通过使用氧化硅膜形成的栅极绝缘膜包含氮化硅膜，可以得到实质上与栅极绝缘膜薄膜化同等的效果。

即，通过使结晶硅膜表面的平滑度，即凹凸形状的最大值在 10nm 以下，最好在 5nm 以下，且使栅极绝缘膜为氧化硅膜和氮化硅膜的 2 层结构，即使该栅极绝缘膜的总厚度为 30~80nm，也能降低栅极漏电流，从而能够以 2.5~10V、典型地 3.0~5.5V 的电压驱动 TFT。

此外，因栅极绝缘膜和栅极的界面的污染物也是 TFT 特性离散的原因，故在形成栅极绝缘膜之后，接着积层形成膜厚为 10~50nm 的由氮化钽 (TaN) 形成的第 1 导电膜 221 和膜厚为 100~400nm 的由钨 (W) 形成的第 2 导电膜 222。作为形成栅极的导电性材料，可以由从 Ta、W、Ti、Mo、Al、Cu 中选出的元素或者以该元素为主要成分的合金材料或化合物材料形成。此外，也可以使用以已参杂了磷等杂质元素的多晶硅膜为代表的半导体膜。此外，也可以是利用钽 (Ta) 膜形成第 1 导电膜，以 W 膜作为第 2 导电膜的组合；利用氮化钽 (TaN) 膜形成第 1 导电膜，以 Al 膜作为第 2 导电膜的组合和利用氮化钽 (TaN) 膜形成第 1 导电膜，以 Cu 膜作为第 2 导电膜的组合。

其次，如图 12 (C) 所示，利用照相蚀刻法形成具有栅极图形的保护掩膜 223。然后，利用干腐蚀法进行第 1 蚀刻处理。例如，使用 ICP (电感耦合型等离子体) 蚀刻法进行蚀刻。对蚀刻用气体没有限定，对 W 或 TaN 蚀刻，可以使用 CF_4 、 Cl_2 和 O_2 。第 1 蚀刻处理中，对衬底施加规定的偏置电压，与形成的第 1 形状的栅极图形 224 的侧面保持 15~50 度的倾斜角。根据蚀刻条件，利用第 1 蚀刻处理作为栅极绝缘膜形成的氮化硅膜 220 残存在第 1 形状的栅极图形 224 的下

部，并露出氧化硅膜 219。然后，改变成第 2 蚀刻条件，使用蚀刻气体 SF_6 、 Cl_2 和 O_2 ，对衬底施加规定值的偏置电压，进行 W 膜的各向异性蚀刻。这样形成栅极 224、225。然后，除去保护掩膜 223。

栅极是将第 1 导电膜 221 和第 2 导电膜 222 积层的结构，第 1 导电膜具有突起结构，用以保护。然后，如图 12 (A) 所示，进行参杂处理，在各半导体膜上形成杂质区。参杂条件可以适当设定。在半导体膜 216 上形成的第 1 n 型杂质区 227 形成低浓度漏极，第 2 n 型杂质区 228 形成源极或漏极区。在半导体膜 217 上形成的第 1 p 型杂质区 230 形成低浓度漏极，第 2 p 型杂质区 231 形成源极或漏极区。各半导体膜的沟道形成区 226、229 位于低浓度漏极区之间。半导体膜 218 是用来形成电容部的材料，添加和第 2 n 型杂质区相同浓度的杂质。

而且，如图 16 (A) 所示。利用等离子体 CVD 法形成 50nm 厚的含有氢的氧化氮化硅膜 274，通过 $350^\circ\text{C} \sim 550^\circ\text{C}$ 的加热处理，进行半导体膜的氢化。使用图 20 和图 21 所示的 RTA 热处理装置进行该加热处理。此外，也可以和氢化处理一起，同时进行上述杂质的活性化处理。

层间绝缘膜 275 用以丙烯或聚酰亚胺等为主要成分的感光性有机树脂材料形成规定的图形。然后，利用高频磁控管溅射法，用氮化硅膜形成保护膜 276。若膜厚为 $20 \sim 500\text{nm}$ ，就可以起阻挡作用，阻止以氧或空气中的水分为首的各种离子性杂质的浸入。而且，利用干腐蚀形成接触孔 277 (图 16 (B))。

然后，如图 16 (c) 所示，使用 Al、Ti、Mo、W 等形成引线 278a ~ 278d、279。一例引线结构是使用膜厚为 $50 \sim 250\text{nm}$ 的 Ti 膜和膜厚为 $300 \sim 500\text{nm}$ 的合金膜 (Al 和 Ti 的合金膜) 的积层膜。

这样一来，可以形成 n 沟道 TFT303、p 沟道 TFT304 和电容部 305。在各 TFT 中，栅极绝缘膜至少包含 1 层氮化硅膜 (276)。该氮化硅膜具有对包含 7.13% 的氟化氢氨 (NH_4HF_2) 和 15.4% 的氟化氨 (NH_4F) 的混合水溶液的腐蚀速度在 $10\text{nm}/\text{min}$ 以下等本发明的特征。

(实施形态 2)

在实施形态 1 中，在得到图 10 (B) 所示的结晶硅膜之后，如图 11 所示，可以使用 YAG 激光、 YVO_4 激光、YLF 激光作为连线震荡型固体激光，照射 YAG 激光、 YVO_4 激光、YLF 激光的 2 二次谐波 (532nm)。例如，使 YVO_4 激光聚光成线状激光，以 $1 \sim 100\text{cm}/\text{秒}$ 的速度扫描，以

提高结晶性能。在该工序中，通过使用连续震荡激光，可以得到表面平滑的结晶硅膜，可以使表面的凹凸形状的最大值在 10nm 以下，理想的情况可达到 5nm 以下。

(实施形态 3)

5 参照附图说明更微型的半导体装置的构成。本实施形态的栅极结构不同，当然，对该半导体装置的各个部位，可以使用本发明的氮化硅膜。

10 在图 13 (A) 中，半导体膜 216~218 和实施形态 1 一样形成。栅极绝缘膜 240 可以使用利用高频磁控管溅射法制作的 10~80nm 厚的氮化硅膜，但在半导体膜的界面插入通过溅射或氧等离子体处理形成的 1~5nm 厚的氧化硅膜。由此，可以防止氮化硅和半导体膜直接接触而增加界面能级密度，此外，可以降低成膜时的损失。

15 栅极 243、244 和电容电极 245 和实施形态 1 一样，由第 1 导电膜 241 和第 2 导电膜 242 形成，第 1 导电膜 241 由膜厚为 10~50nm 的氮化钽 (TaN) 形成，第 2 导电膜 242 由膜厚为 10~400nm 的钨 (W) 形成。

然后，如图 13 (B) 所示，通过参杂处理形成第 1 n 型杂质区 246、248 和第 1 p 型杂质区 247。这些杂质区以第 2 导电膜 242 作为掩膜，与第 1 导电膜 241 重叠形成。

20 在图 13 (C) 中，用氧化硅膜形成栅极侧壁衬垫 249~251。利用等离子体法在整个面上形成氧化硅膜，通过各向异性腐蚀，对该膜的整个面进行均匀腐蚀，形成侧壁衬垫。以栅极作为掩膜形成第 2 n 型杂质区 252、254 和第 2 p 型杂质区 253。

25 而且，如图 14 (A) 所示，利用等离子体 CVD 法形成 50nm 厚的含有氢的氧化氮化硅膜 256，进而，形成利用高频磁控管溅射法制作的氮化硅膜 257。然后，通过 410℃ 的加热处理进行氢化，利用氮化硅膜 257 来防止该氢气逸出，以提高氢化效果。此外，也可以代替氮化硅膜 257 而使用氧化氮化铝 (AlN_xO_y : $x=2.5 \sim 47.5\%$ 原子)。氧化氮化铝除了具有和氮化硅膜同样的效果之外，由于其热传导性好，故能够
30 得到使 TFT 散热的效果。即，可以降低因元件微型化和集成度的提高而引起的发热的影响。

层间绝缘膜 258 可以由利用等离子体 CVD 法制作的氧化硅膜、利

用常压 CVD 法制作的磷玻璃 (PSG)、硼玻璃 (BSG) 或磷硼玻璃 (PBSG) 形成, 最好在利用聚酰亚胺、丙烯等感光性有机树脂材料形成覆膜的同时形成接触部的开口。

而且, 使用 Al、Ti、Mo、W 等形成引线 259。利用高频磁控管溅射法形成 20~100nm 厚的氮化硅膜 260, 将该引线 259 和层间绝缘膜 258 覆盖。将其作为阻挡膜, 以防止在形成 Cu 引线时 Cu 向该上层扩散。

而且, 使用氧化硅膜或有机树脂材料形成 0.5~5 μ m 厚的第 2 层间绝缘膜 261。在第 2 层间绝缘膜 261 上形成用来形成引线的沟槽, 然后, 利用溅射法全面形成 100~200nm 厚的由氮化钽膜形成的阻挡层 262。氮化钽膜作为防止 Cu 扩散的阻挡层使用。进而, 利用溅射法使 Cu 膜成膜以形成种子 (seed) 层, 利用使用了硫酸铜的电镀法形成 1~10 μ m 厚的 Cu 层 263。除电镀法之外, 还可以用溅射法形成 Cu 层, 通过 450 $^{\circ}$ C 的热处理使其软熔, 可以实现平坦化。

蚀刻加工 Cu 层来形成 Cu 引线 264。因 Cu 引线易氧化且热稳定性差, 故使用利用高频磁控管溅射法形成的氮化硅膜 265 形成覆盖该 Cu 引线 264 的 20~200nm 厚的保护膜。该氮化硅膜质地致密, 可以防止 Cu 的氧化和向周围扩散。此外, 通过利用氮化硅膜 260 和氮化硅膜 265 将 Cu 引线 264 夹在中间, 可以防止 TFT 受 Cu 的污染。进而, 如有必要, 再形成第 3 层间绝缘膜 266, 若按照和图 14 (C) 同样的作业, 可以形成多层引线, 以形成微处理器或存储器等半导体装置。

(实施形态 4)

使用图 15 说明通过镶嵌形成 Cu 引线的形态。在本实施形态中, 当然, 该半导体装置的各个部位都可以使用本发明的氮化硅膜。

首先, 和实施形态 3 一样, 形成图 14 (B) 的状态。即, 在引线 259 的上层形成氮化硅膜 260。然后, 使用氧化硅膜或有机树脂膜形成 1~5 μ m 厚的第 2 层间绝缘膜 267。在第 2 层间绝缘膜 267 上形成氮化硅膜 268, 然后形成用来形成引线的沟槽 269 (图 15 (A))。

进而, 形成第 3 层间绝缘膜 270, 大致与沟槽 269 的位置相合, 形成开口比沟槽 269 大的开口 272。然后, 利用溅射法全面形成 100~200nm 厚的氮化钽膜 271。氮化钽膜 271 是防止 Cu 扩散的层 (图 15 (B))。

进而，利用溅射法形成 Cu 膜，并形成种子 (seed) 层，然后，利用使用了硫酸铜的电镀法形成 1~10 μm 厚的 Cu 层。除电镀法之外，还可以用溅射法形成 Cu 层，通过 450℃ 的热处理使其软熔，可以实现平坦化。

5 其次，使用 CMP (化学机械抛光) 法开始对 Cu 电镀层进行研磨，直到露出第 3 层间绝缘膜 270，如图 15 (c) 所示，使其表面平坦化。这样形成 Cu 引线。CMP 的研磨膏由磨粒、氧化剂和添加剂构成，磨粒使用氧化铝或二氧化硅。氧化剂使用硝酸铁、过氧化氢、过碘酸钾等。这样形成阻挡层 271 和从 Cu 层中形成引线。也可以在其上层形成氮
10 化硅膜 274 作为保护膜。通过利用氮化硅膜 260、氮化硅膜 268 和氮化硅膜 274 将 Cu 引线 273 夹在中间，可以防止 TFT 受 Cu 的污染。

(实施形态 5)

参照图 23 说明更微型化的半导体装置的构成。本实施形态使用平坦度比玻璃衬底高的合成石英衬底，当然，该半导体装置的各个部
15 位都可以使用本发明的氮化硅膜。

在石英衬底 200 上形成结晶硅膜。结晶硅膜可以通过 600~900℃ 的加热处理使非晶态硅膜结晶后形成，或者，对非晶态硅膜添加 Ni 等硅结晶催化元素再在 500~700℃ 下使其结晶形成。若是后者，则可以
20 在得到结晶硅膜之后，在包含卤的氧气环境中，在 850~1050℃、最好是 950℃ 的温度下，进行 1~12 小时的加热处理，再通过除气除去催化元素。

然后，如图 22 (A) 所示，利用该结晶硅膜形成分割成岛状的半导体膜 216~218。进而，使用参考图 7 和图 20 已说明的 PPTA 法，并利用热氧化处理，在半导体膜 216~218 的表面形成 1~5nm 的氧化硅
25 膜 280。此外，也可以在氧气中添加 0.01~0.1% 的从 NF_3 、 HF 、 ClF_3 中选出的一种或多种气体，进行氧化处理，使氧化硅膜中含 F。

如图 22 (B) 所示，栅极绝缘膜 240 可以使用厚度为 10~80nm 的利用高频磁控管溅射法制作的氮化硅膜，但在半导体膜的界面插入通过热氧化处理形成的 1~5nm 厚的氧化硅膜 280。利用氧化硅膜可以防
30 止氮化硅和半导体膜直接接触而增加界面能级密度，此外，可以降低成膜时的损失，降低界面能级密度。

此外，作为能得到同样效果的手段，也可以使其残存由氧化物水

溶液、典型地是臭氧水形成的氧化硅膜（化学氧化物）。

栅极 243、244 和电容电极 245 和实施形态 1 一样，由第 1 导电膜 241 和第 2 导电膜 242 形成，第 1 导电膜 241 由膜厚为 10~50nm 的氮化钽（TaN）形成，第 2 导电膜 242 由膜厚为 10~400nm 的钨（W）形成。

然后，如图 22（C）所示，通过参杂处理形成第 1 n 型杂质区 246、248 和第 1 p 型杂质区 247。这些杂质区以第 2 导电膜 242 作为掩膜，与第 1 导电膜 241 重叠形成。

在图 22（D）中，用氧化硅膜形成栅极侧壁衬垫 249~251。利用等离子体法在整个面上形成氧化硅膜，通过各向异性腐蚀，对该膜的整个面进行均匀腐蚀，形成侧壁衬垫。以栅极作为掩膜形成第 2 n 型杂质区 252、254 和第 2 p 型杂质区 253。

而且，如图 23（A）所示，利用等离子体 CVD 法形成 50nm 厚的含有氢的氧化氮化硅膜 256，进而，形成利用高频磁控管溅射法制作的氮化硅膜 257。然后，通过 410℃ 的加热处理进行氢化，利用氮化硅膜 257 来防止该氢气逸出，以提高氢化效果。此外，也可以代替氮化硅膜 257 而使用氧化氮化铝（ AlN_xO_y ： $x=2.5\sim 47.5\%$ 原子）。氧化氮化铝除了具有和氮化硅膜同样的效果之外，由于其热传导性好，故能够得到使 TFT 散热的效果。即，可以降低因元件微型化和集成度的提高而引起的发热的影响。

层间绝缘膜 258 可以由利用等离子体 CVD 法制作的氧化硅膜、利用常压 CVD 法制作的磷玻璃（PSG）、硼玻璃（BSG）或磷硼玻璃（PBSG）形成，最好在利用聚酰亚胺、丙烯等感光性有机树脂材料形成覆膜的同时形成接触部的开口。

而且，使用 Al、Ti、Mo、W 等形成引线 259。利用高频磁控管溅射法形成 20~100nm 厚的氮化硅膜 260，将该引线 259 和层间绝缘膜 258 覆盖。将其作为阻挡膜，以防止在形成 Cu 引线时 Cu 向该上层扩散。

而且，使用氧化硅膜或有机树脂材料形成 0.5~5 μm 厚的第 2 层间绝缘膜 261。在第 2 层间绝缘膜 261 上形成用来形成引线的沟槽，然后，利用溅射法全面形成 100~200nm 厚的由氮化钽膜形成的阻挡层 262。氮化钽膜作为防止 Cu 扩散的阻挡层使用。进而，利用溅射法

使 Cu 膜成膜以形成种子 (seed) 层, 利用使用了硫酸铜的电镀法形成 1~10 μm 厚的 Cu 层 263。除电镀法之外, 还可以用溅射法形成 Cu 层, 通过 450 $^{\circ}\text{C}$ 的热处理使其软熔, 可以实现平坦化。

5 蚀刻加工 Cu 层 263 以形成 Cu 引线 264。因 Cu 引线易氧化且热稳定性差, 故使用利用高频磁控管溅射法形成的氮化硅膜 265 形成覆盖该 Cu 引线 264 的 20~200nm 厚的保护膜。该氮化硅膜质地致密, 可以防止 Cu 的氧化和向周围扩散。此外, 通过利用氮化硅膜 260 和氮化硅膜 265 将 Cu 引线 264 夹在中间, 可以防止 TFT 受 Cu 的污染。进而, 如有必要, 再形成第 3 层间绝缘膜 266, 若按照和图 23 (C) 同样的作业, 可以形成多层引线, 以形成微处理器或存储器等半导体装置 (图 23 (D))。必要时, 引线可以多层化。

(实施形态 6)

也可以将实施形态 4 所示的引线形成工序和实施形态 5 组合来完成半导体装置。即, 可以利用镶嵌技术形成 Cu 引线。在该情况下, 15 可以使用本发明的氮化硅膜。

(实施形态 7)

使用图 18 和图 19 说明作为由实施形态 1~6 制作的典型的半导体装置的微型计算机的一实施形态。如图 18 所示, 在 0.3~1.1mm 厚的玻璃或石英等衬底上集成各种功能电路, 可以实现微型计算机。各种功能电路可以将由实施形态 1~6 制作的 TFT 或电容部作为主体来 20 形成。

作为图 18 所示的微型计算机 2100 的要素, 有 CPU2101、ROM2102、中断控制器 2103、超高速缓冲存储器 2104、RAM2105、DMAC2106、时钟发生电路 2107、串行接口 208、电源发生电路 2109、ADC/DAC2110、25 定时计数器 2111、WDT2112 和 I/O 口 2102 等。

在玻璃衬底上形成的微型计算机 2100 面朝下键合固定在陶瓷或 FRP (纤维强化塑料) 的基片 2201 上。在微型计算机 2100 的玻璃衬底的背面覆盖热传导性好的氧化氮化铝 2203, 以提高散热效果。进而, 作为对付微型计算机工作时发热的对策, 设置由铝形成的散热片 2204 30 与其连接。装置整体由密封树脂 2205 覆盖, 通过引脚 2202 与外部电路连接。

在本实施形态中, 示出了一例微型计算机的形态, 若要更换各种

功能电路的构成或组合方式，可以更换媒体处理器、图形用 LSI、密码 LSI、存储器、便携式电话用 LSI 等各种功能的半导体装置。

5 通过本发明，即使是应变点在 700℃ 以下的玻璃衬底，也可以得到具有对包含 7.13% 的氟化氢氨 (NH_4HF_2) 和 15.4% 的氟化氨 (NH_4F) 的混合水溶液的腐蚀速度在 10nm/min 以下的特性、且对于象 Li 那样的可动离子具有很高的封锁性能的、致密的氮化硅膜。

该氮化硅膜作为栅极绝缘膜、保护膜、特别是 Cu 引线的阻挡膜，用在半导体装置的各个部位，由此可以提供高性能、高可靠性的半导体装置。

10 通过具有这样的氢和氧的含有量及腐蚀特性，在用于栅极绝缘膜时，可以降低栅极漏电流，改善场效应移动度、亚阈值系数 (subthreshold) 和导电性 (gm) 等，可以降低连续工作时晶体管特性的长期变化，减小产品特性的离散，提高产品的成品率。此外，通过在结晶半导体膜和氮化硅膜之间插入氧化硅膜，可以更有效地发挥
15 这种效果。

MOS结构中的没有Li扩散时的C-V特性

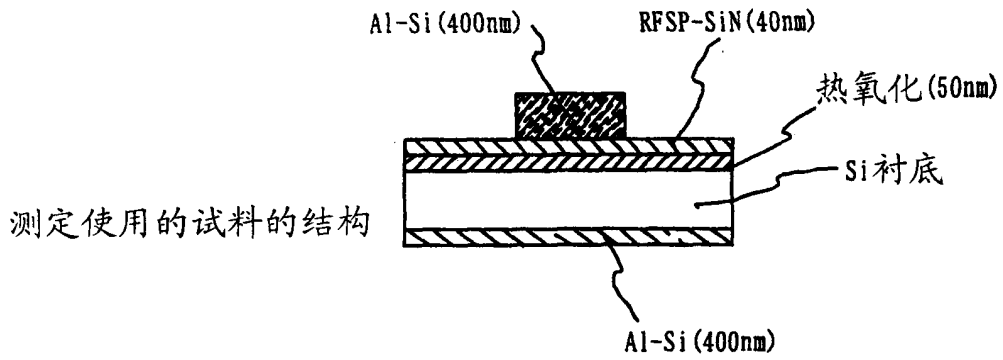
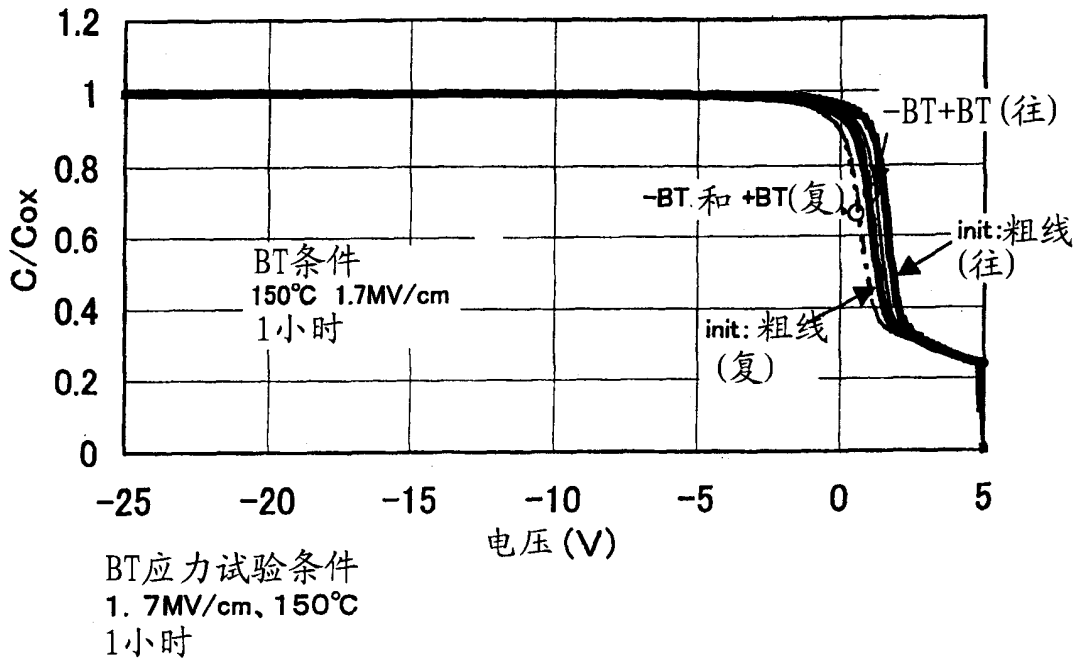
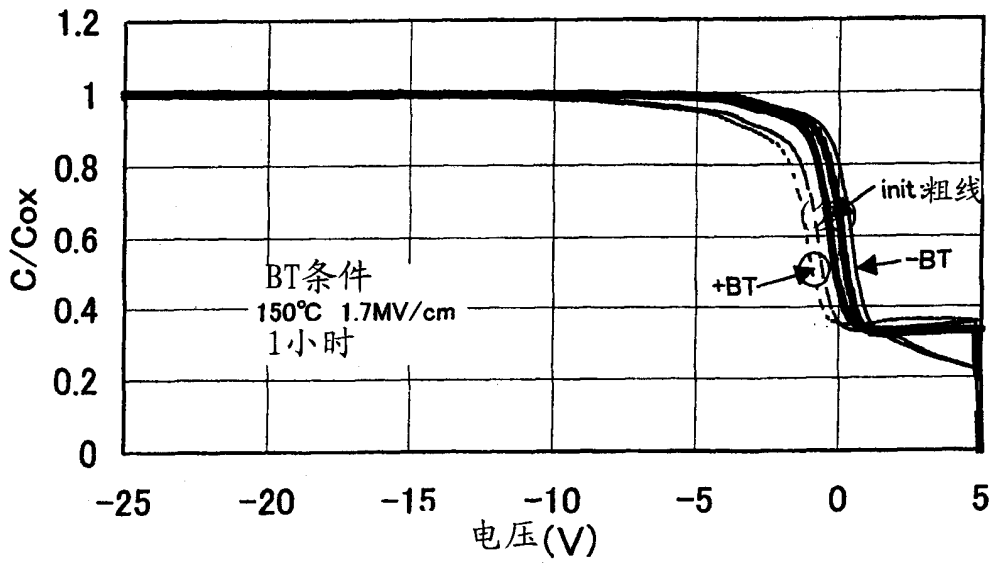
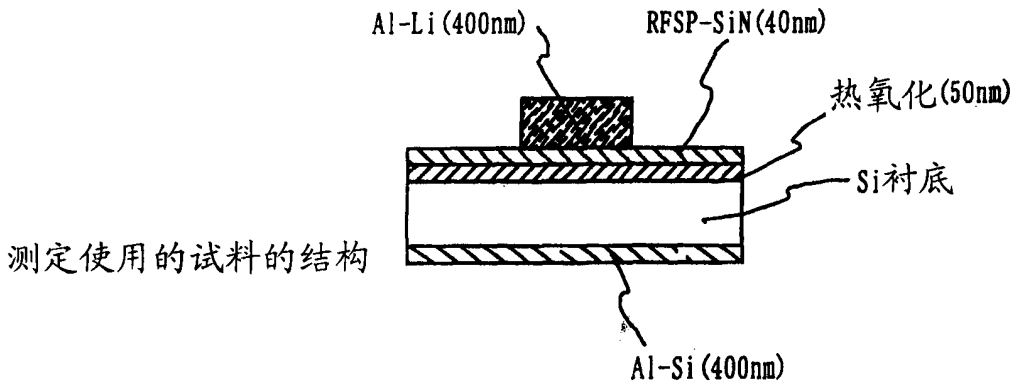


图 1

MOS结构中的有Li扩散时的C-V特性

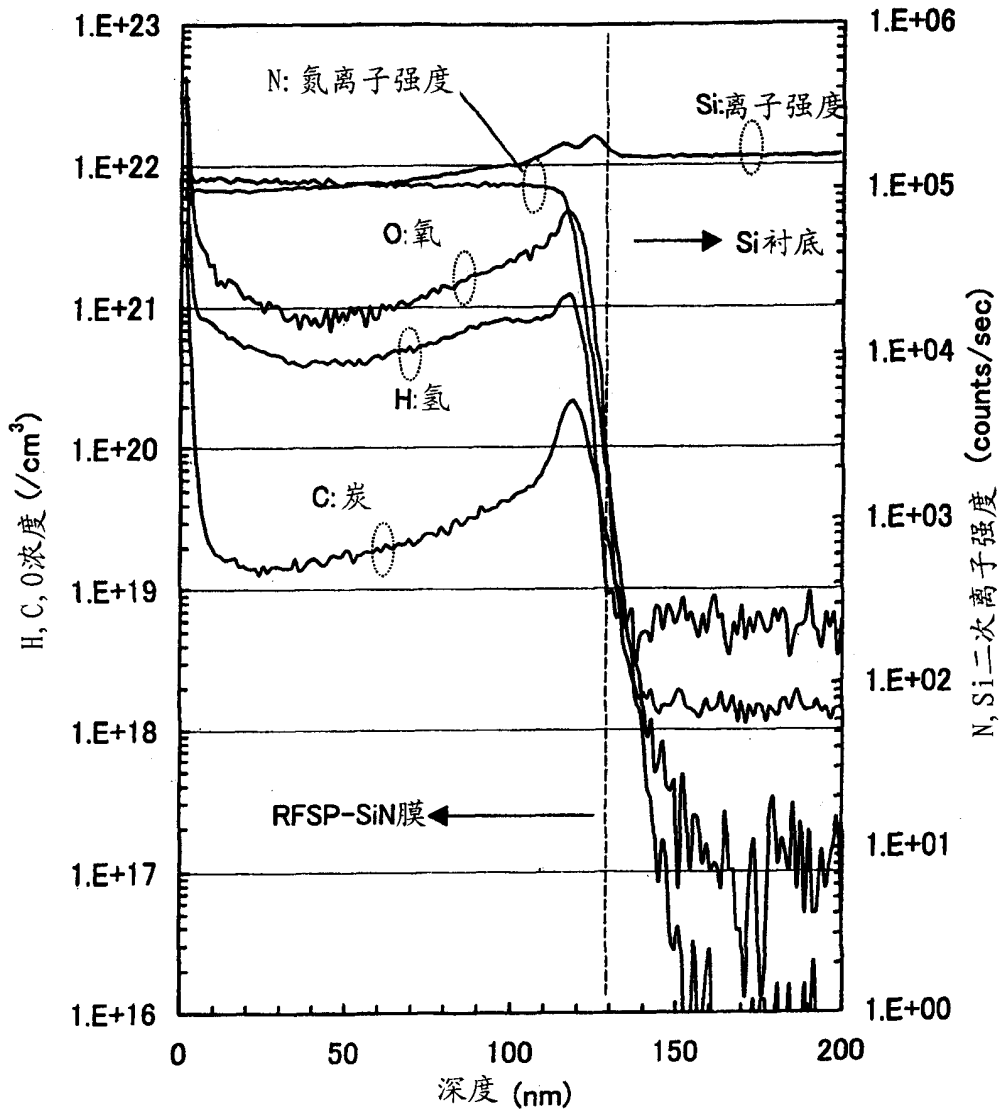


BT应力试验条件
1. 7MV/cm、150°C
1小时



测定使用的试料的结构

图 2



※RFSP-SiN膜的制作条件为表1

图 3

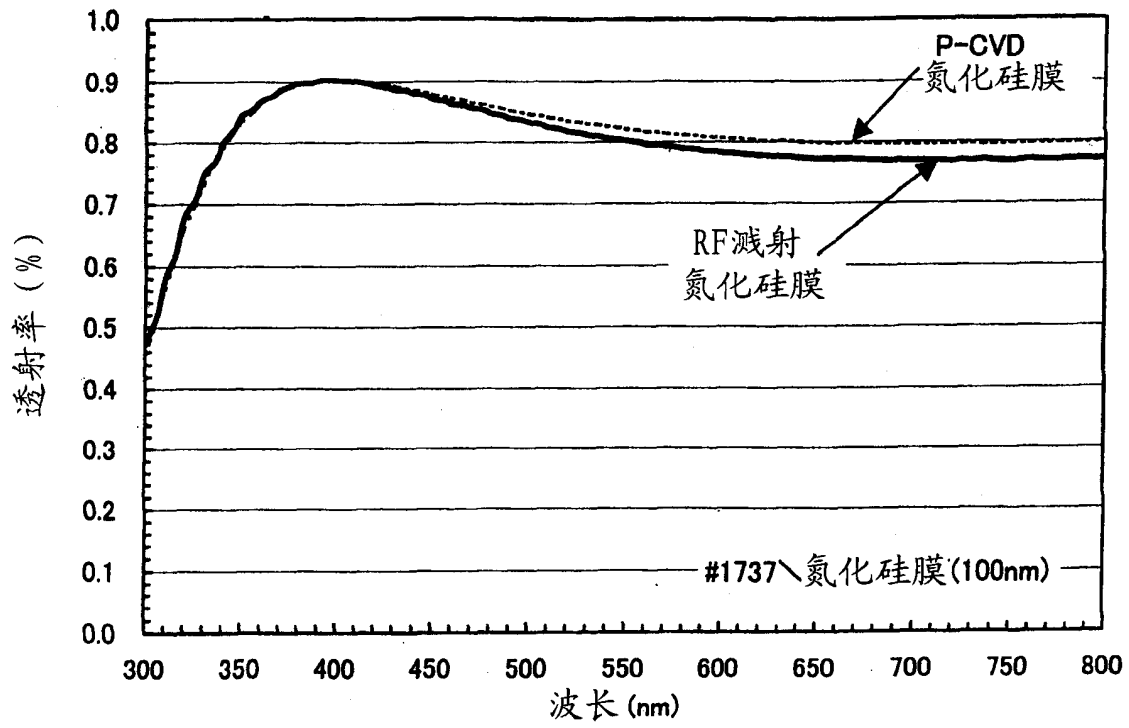


图 4

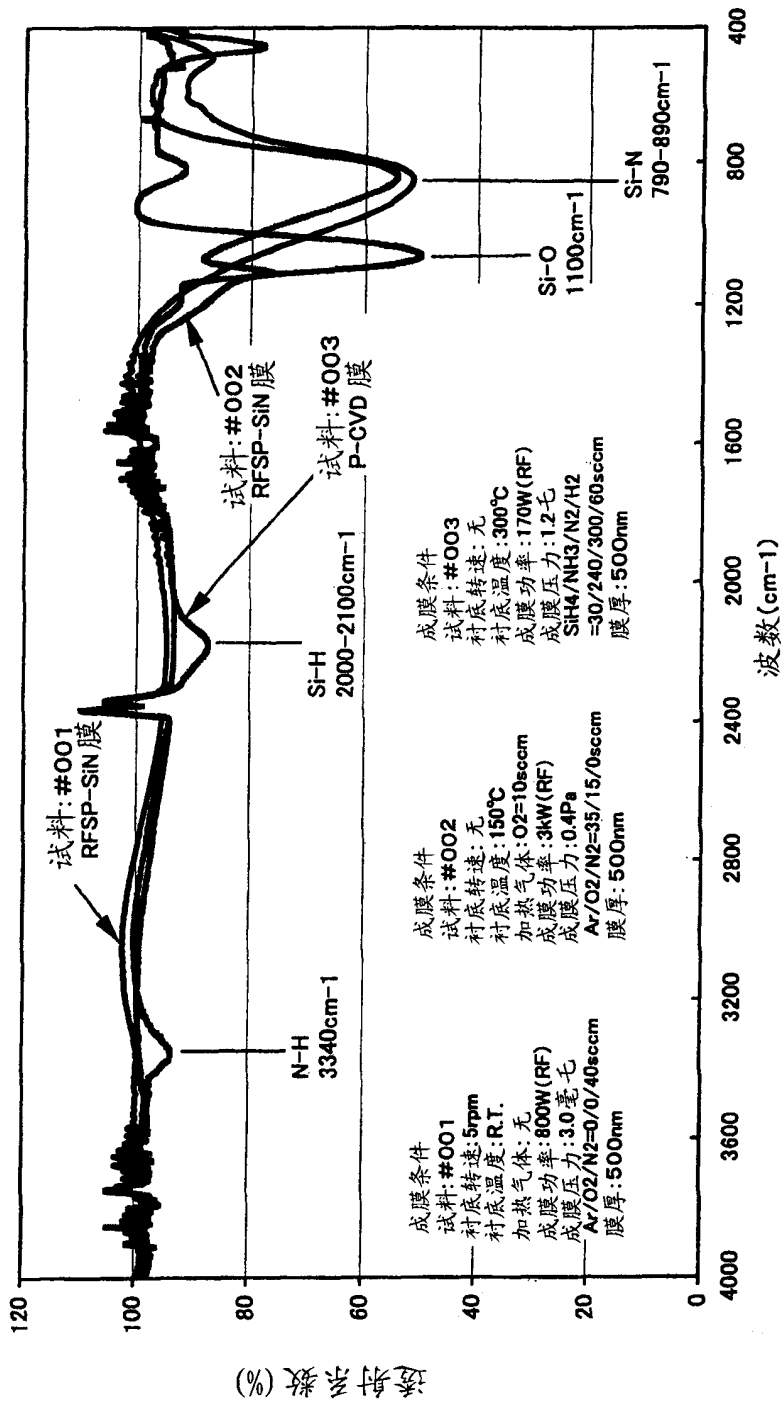
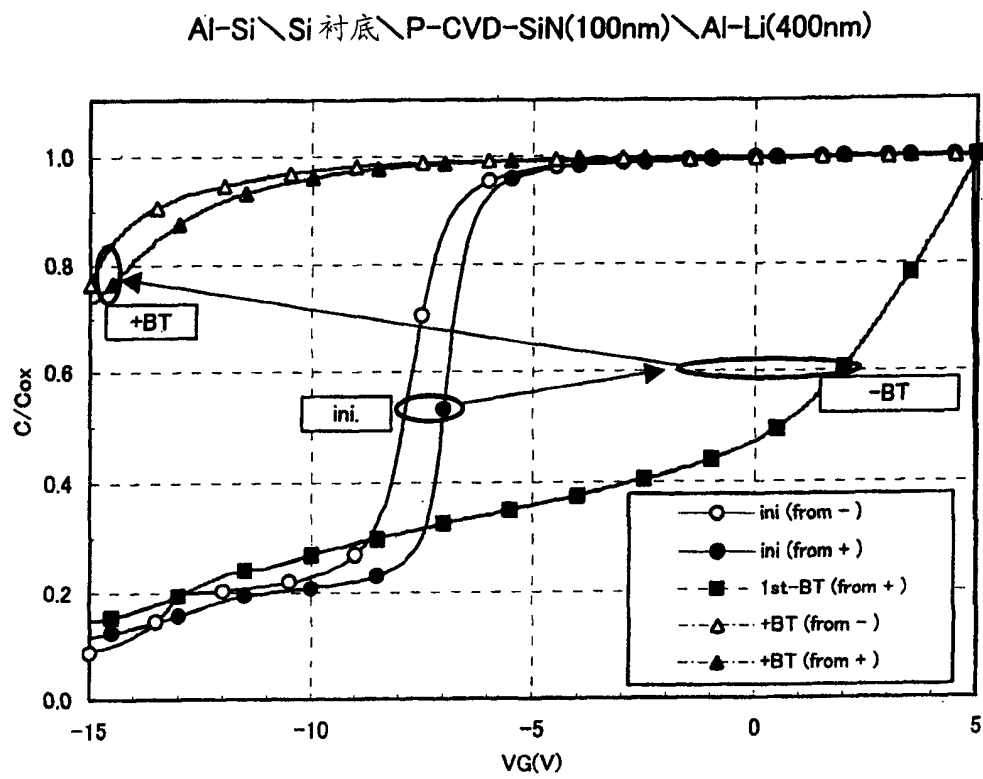


图 5

MOS结构中的有Li扩散时的C-V特性



BT应力试验条件
 1. 7MV/cm、150°C
 1小时

图 6

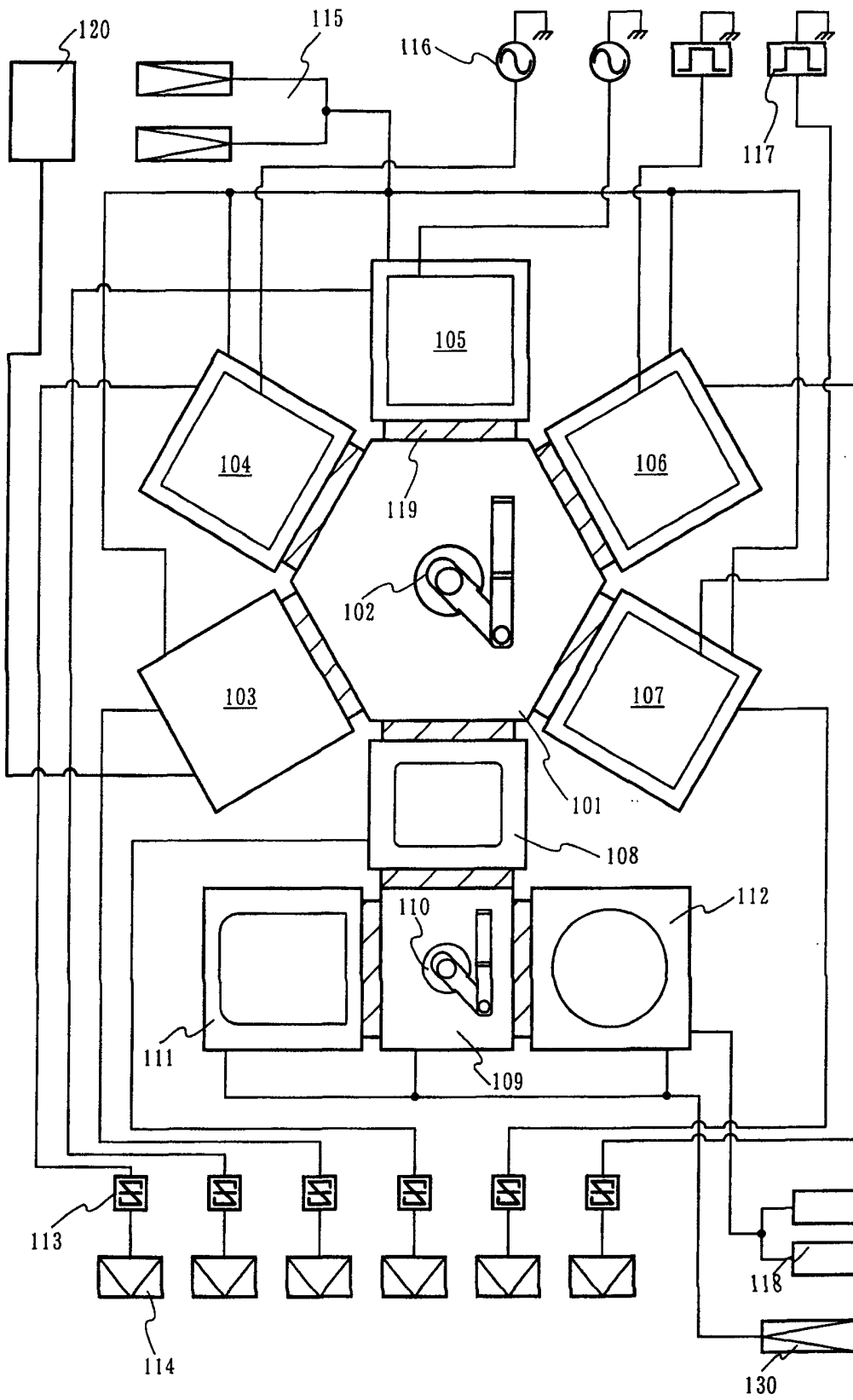


图 7

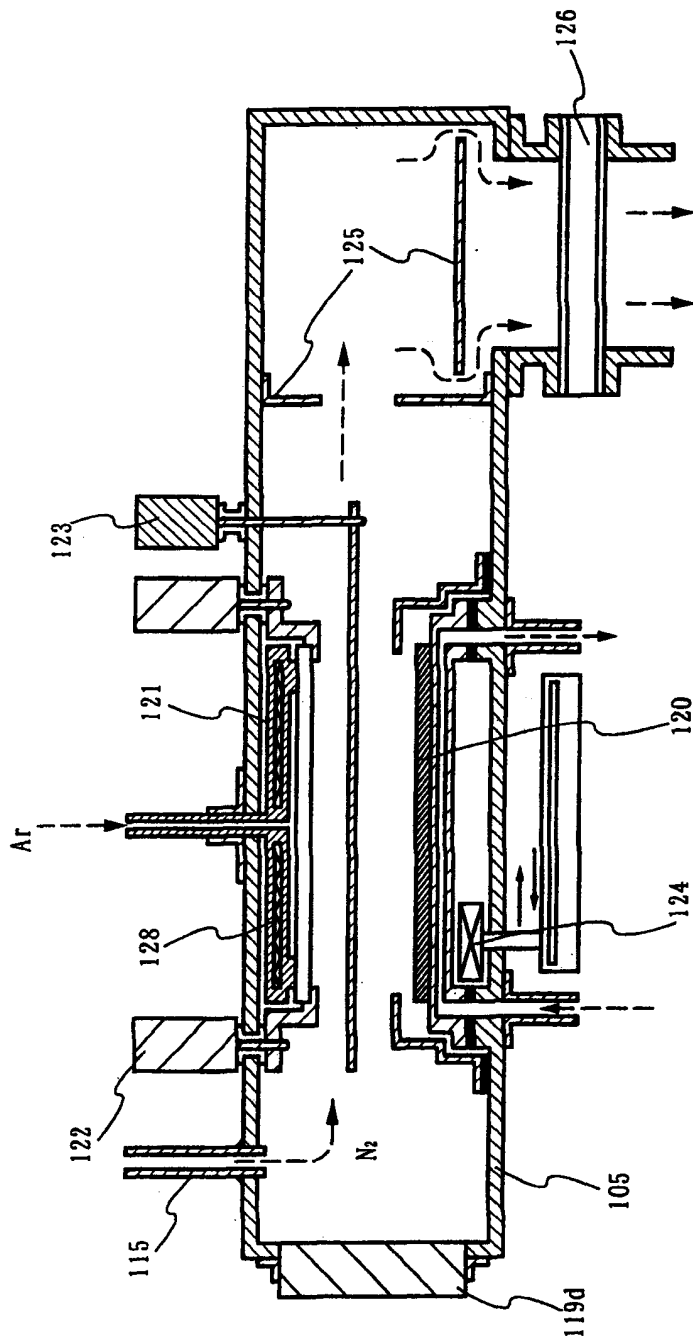


图 8

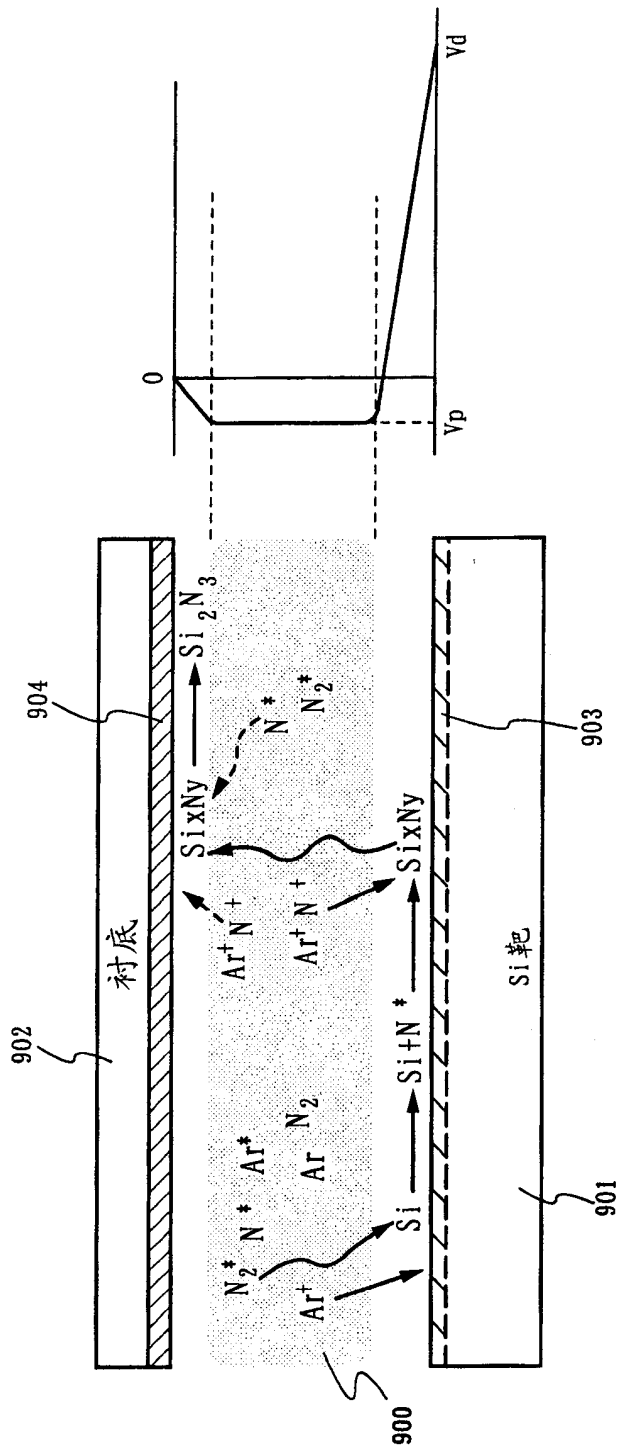


图 9

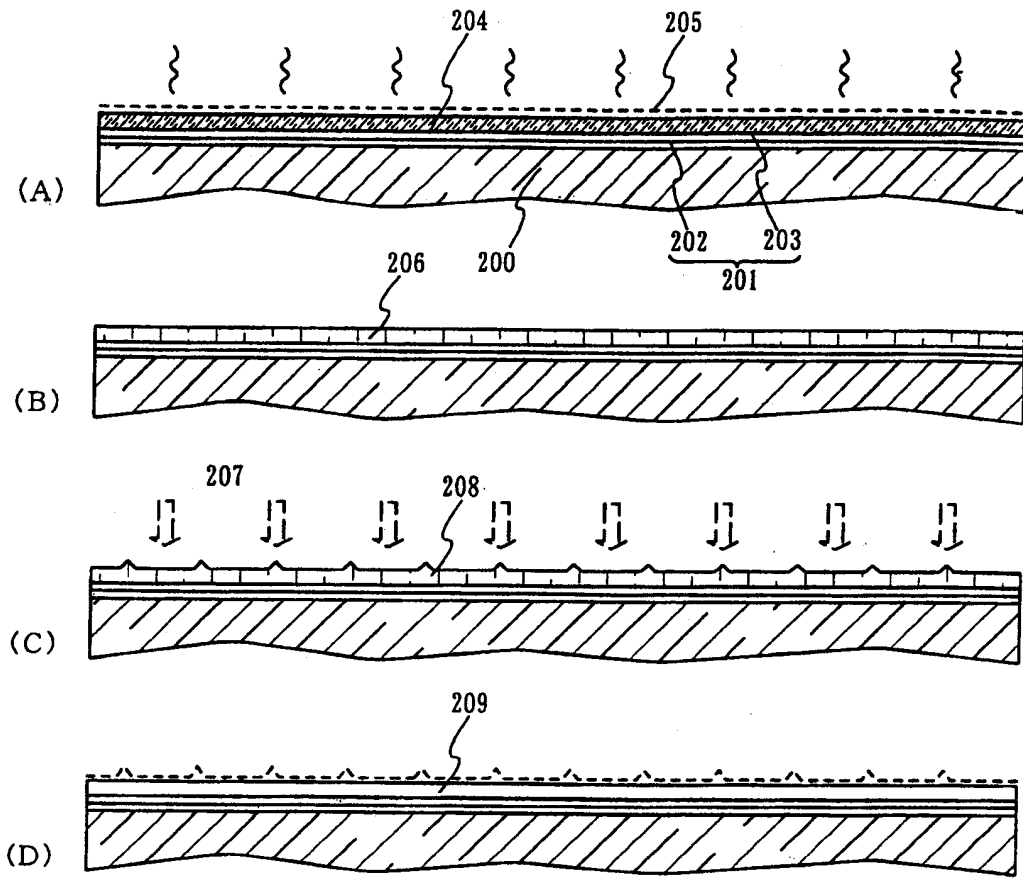


图 10

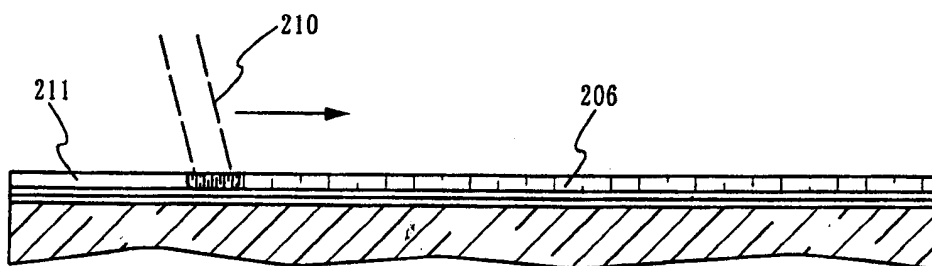


图 11

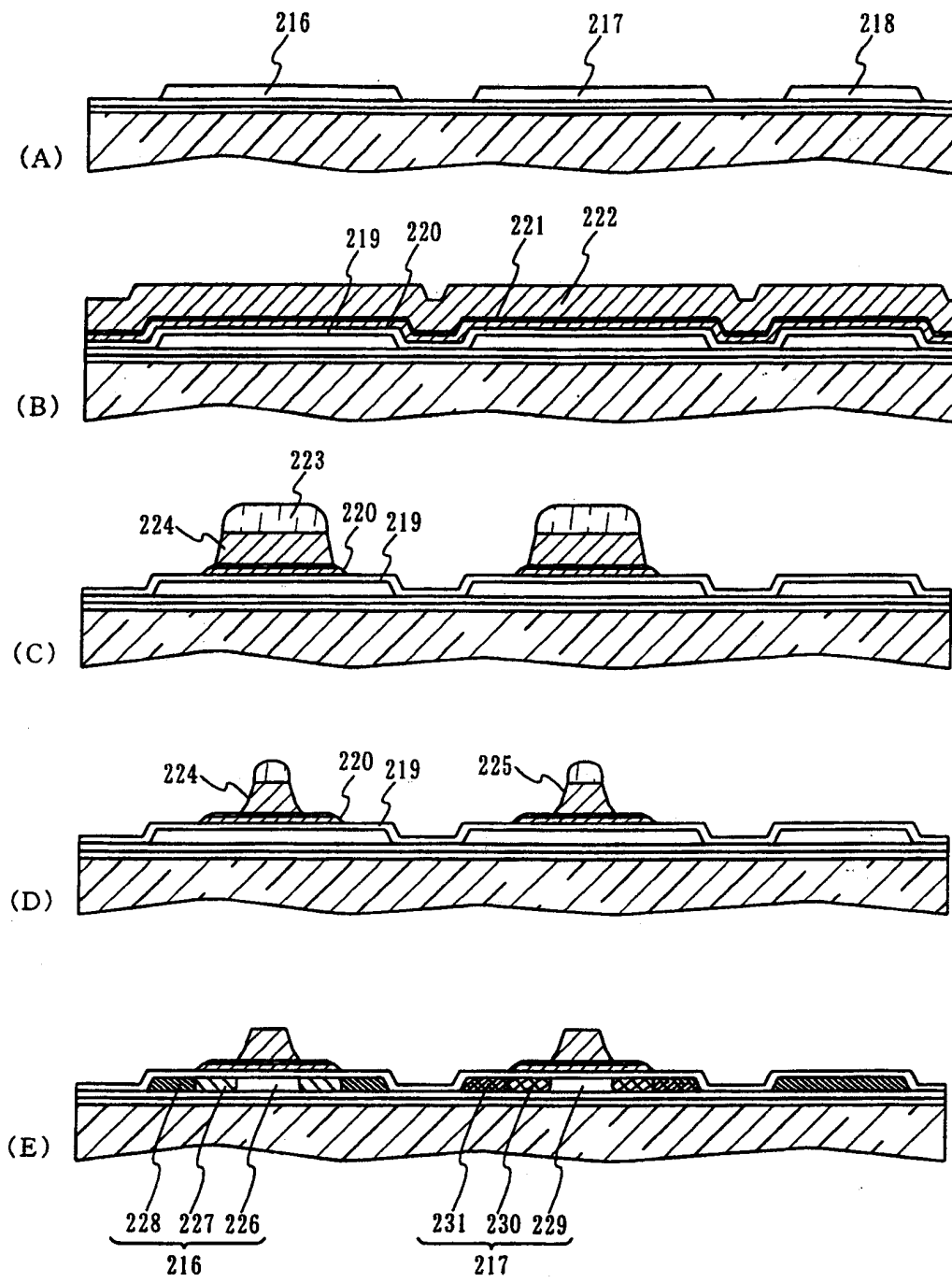


图 12

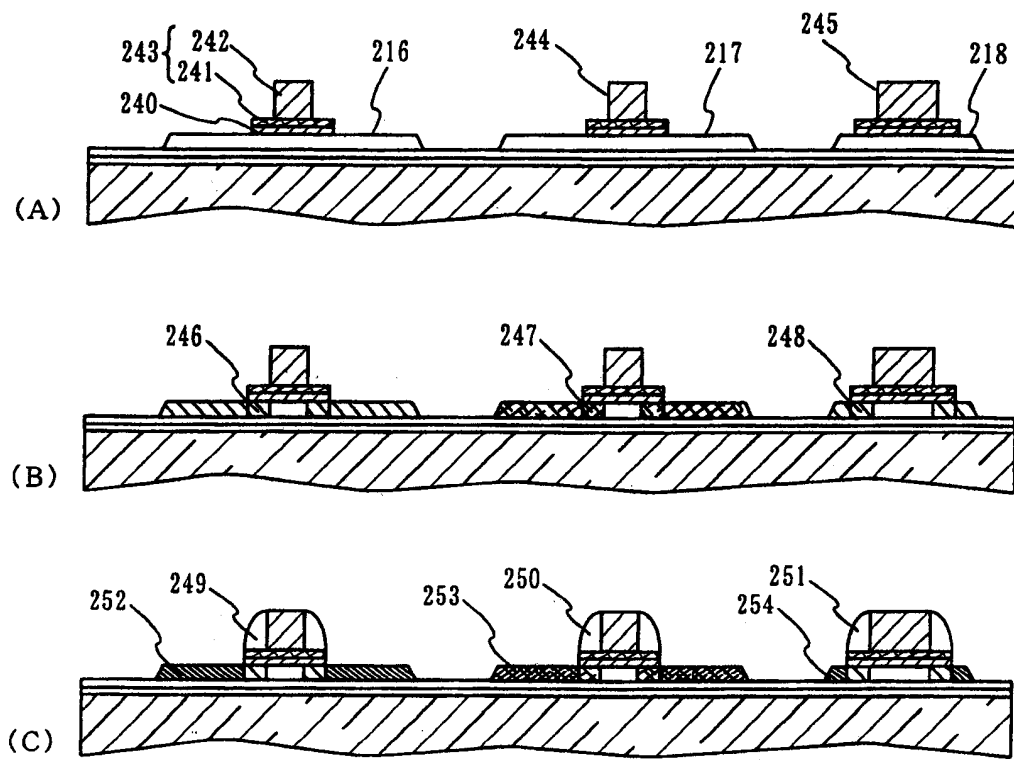


图 13

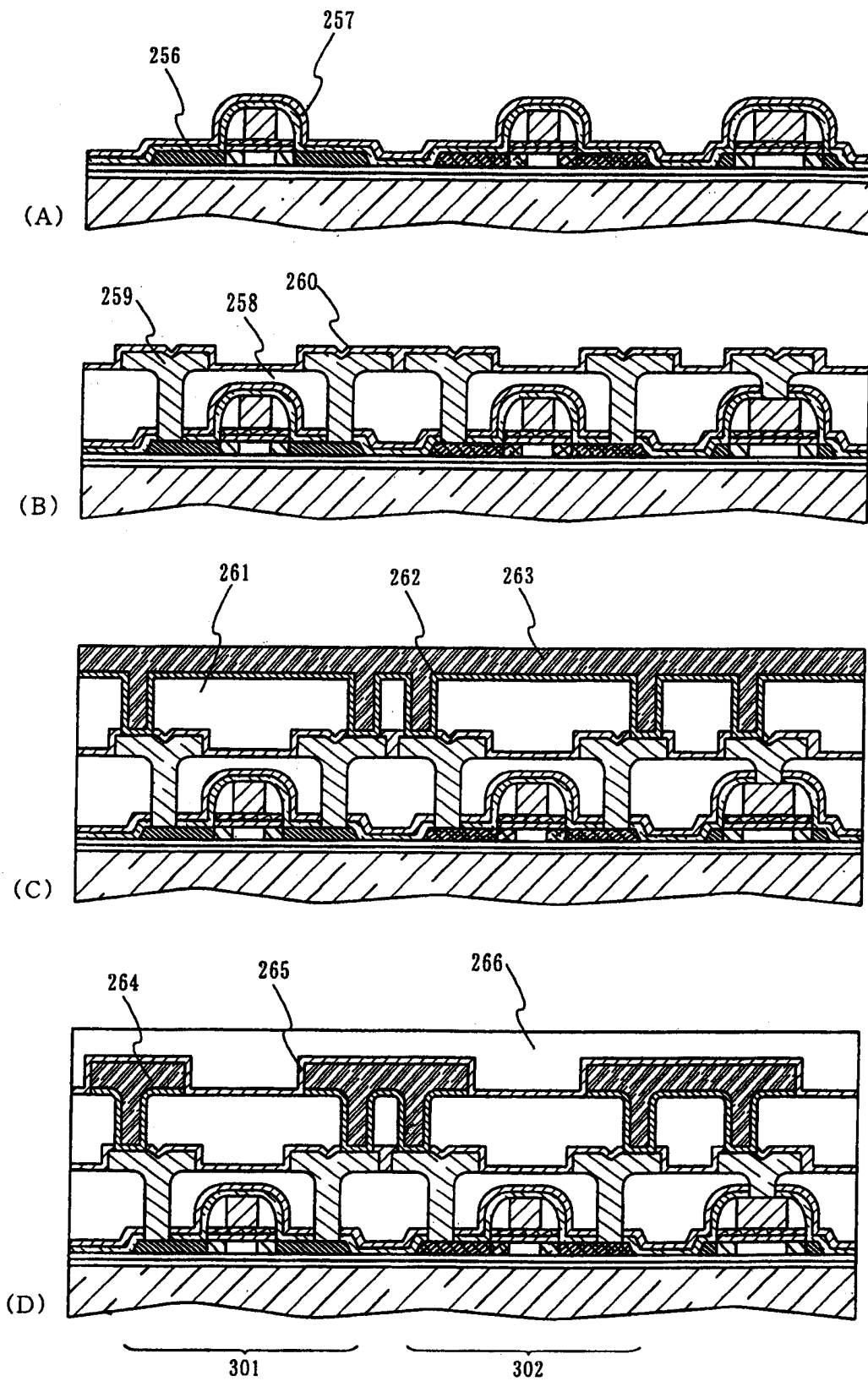


图 14

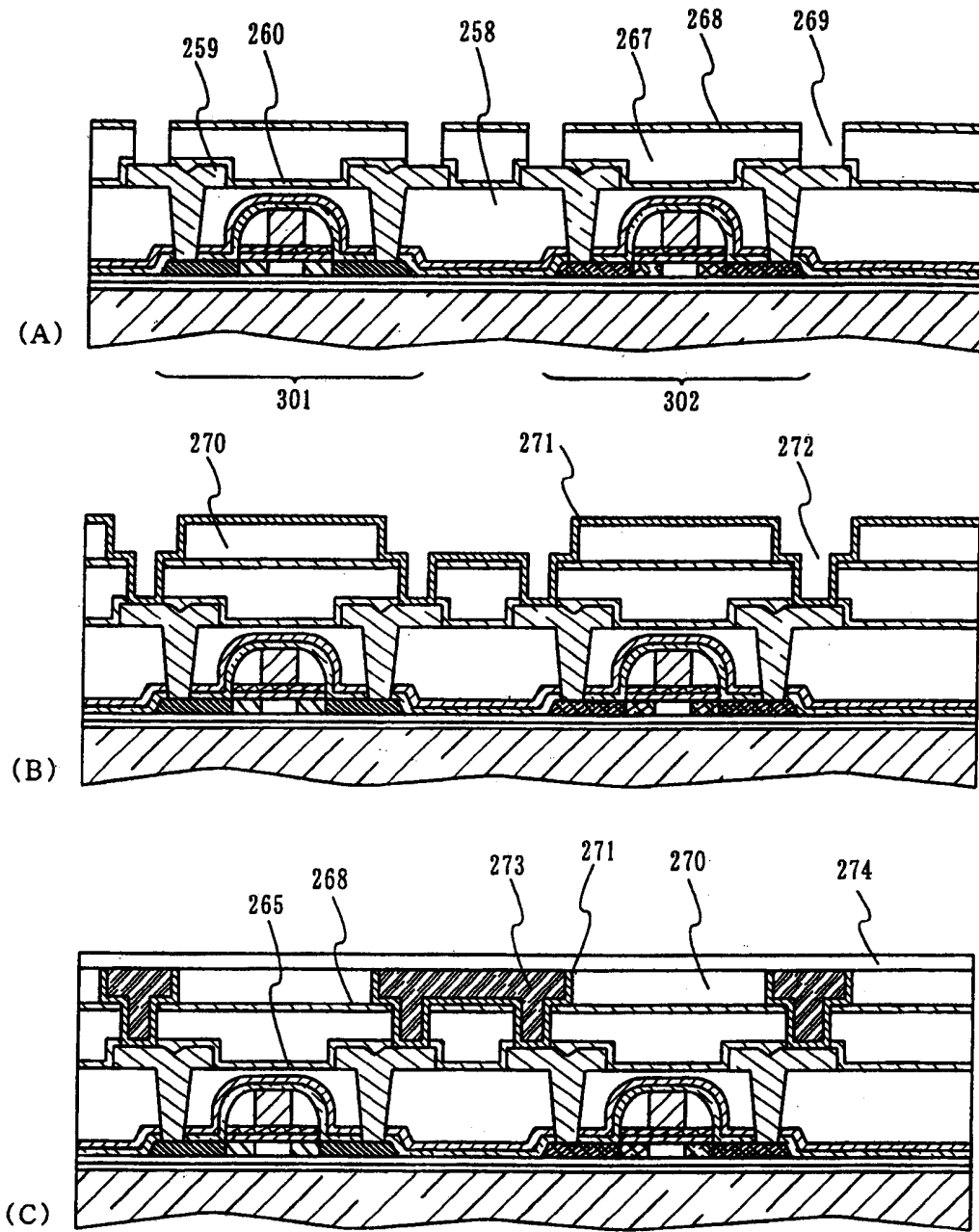


图 15

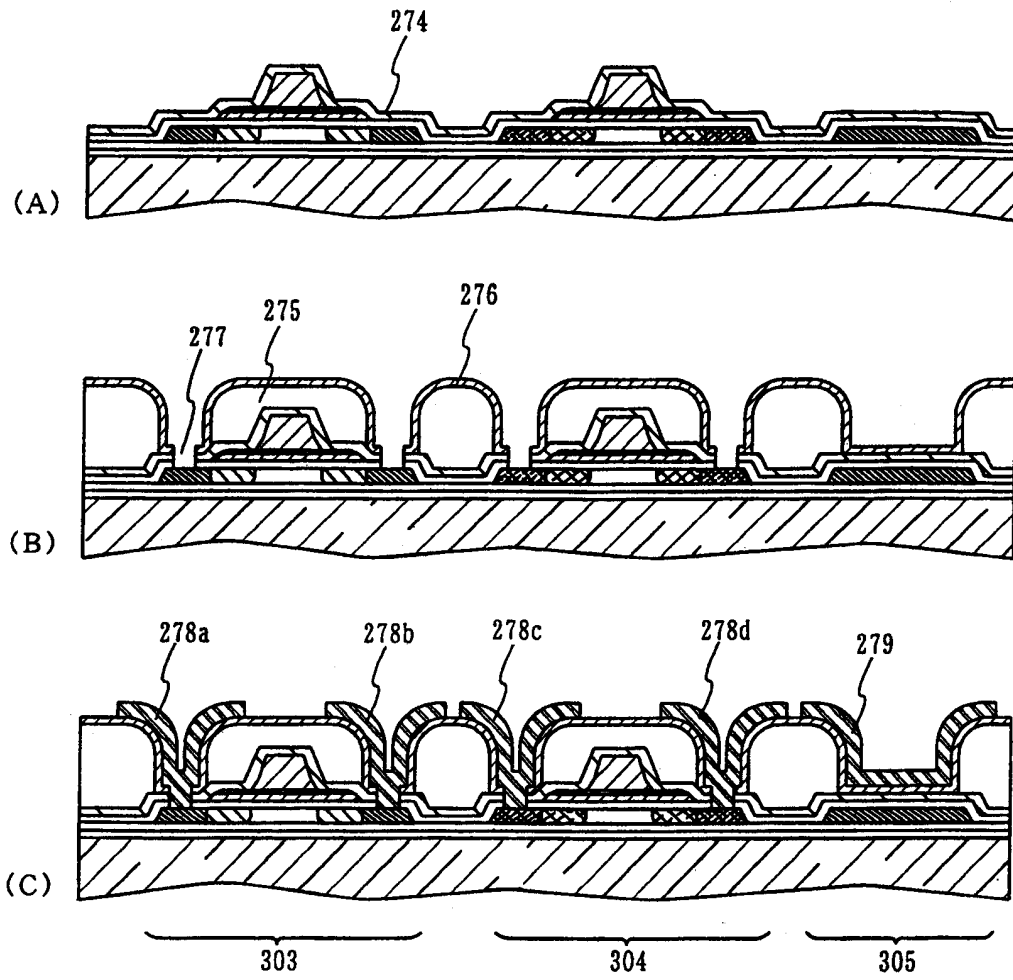


图 16

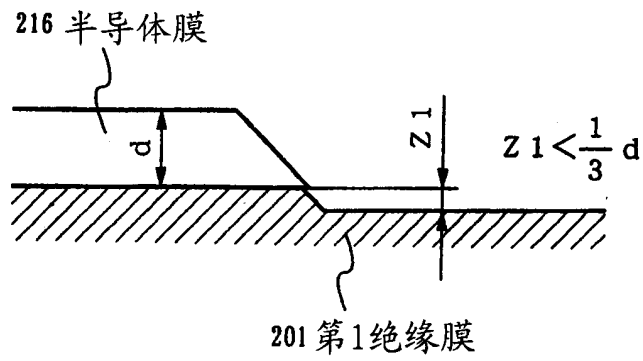


图 17

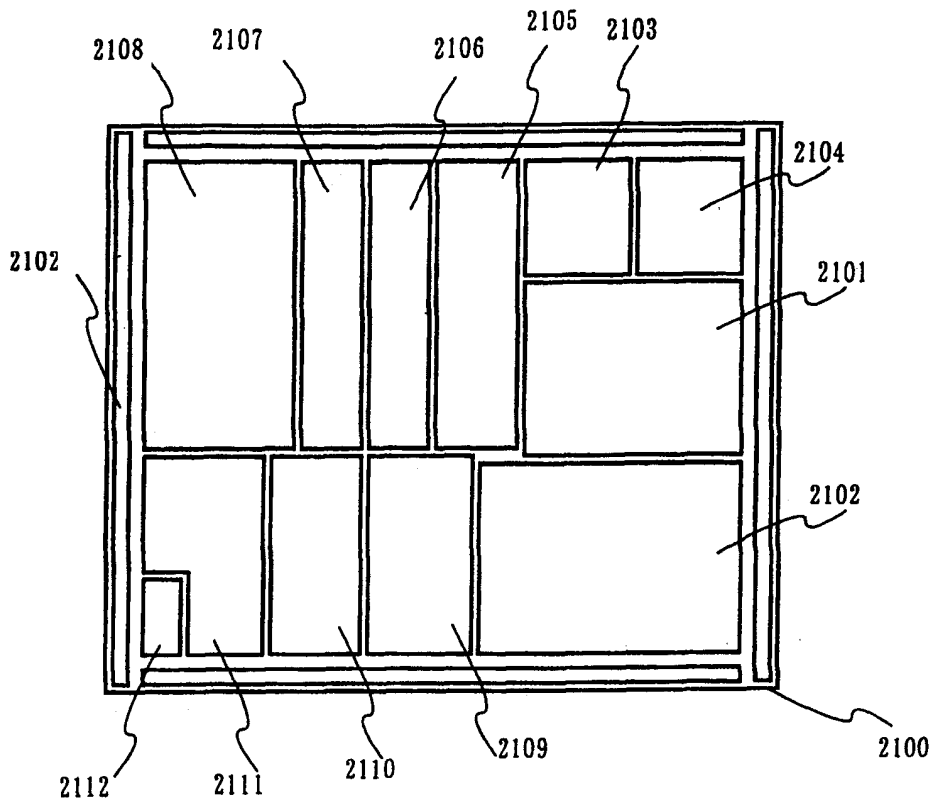


图 18

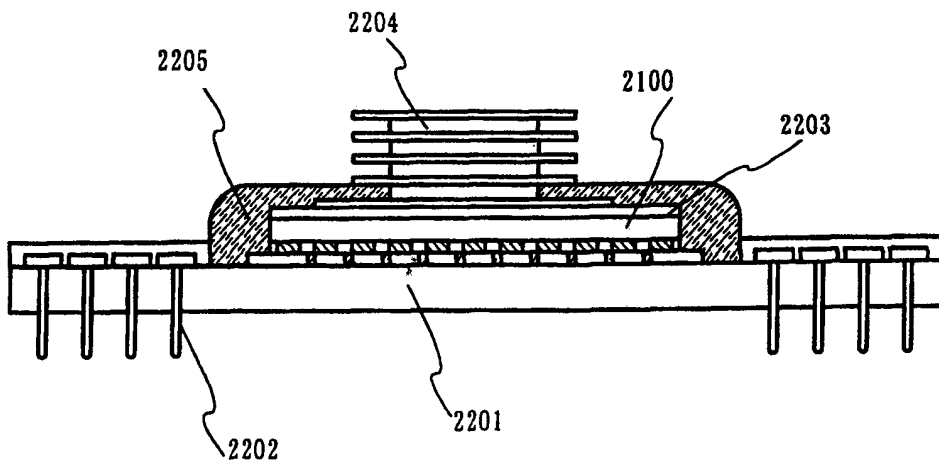


图 19

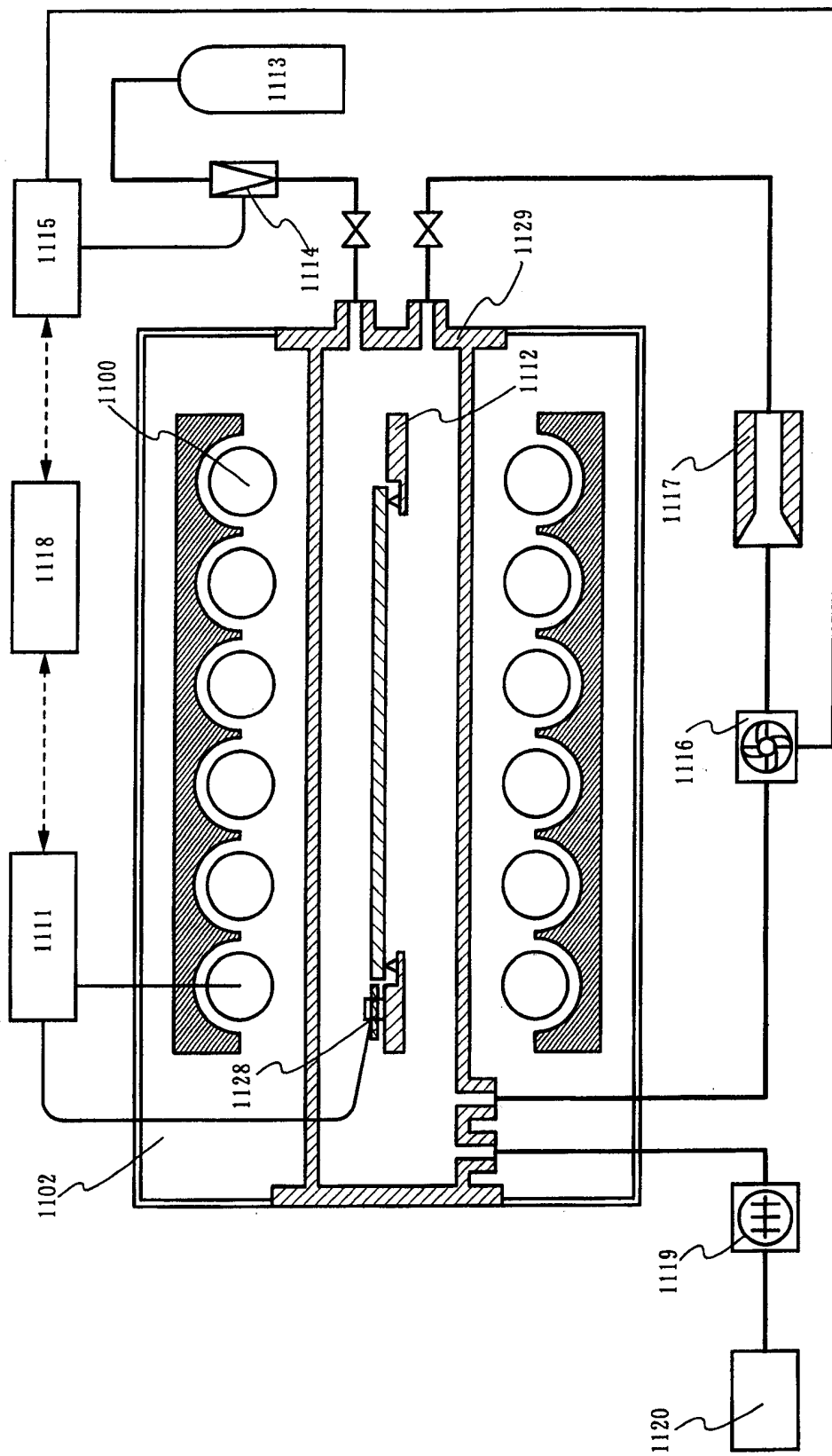


图 20

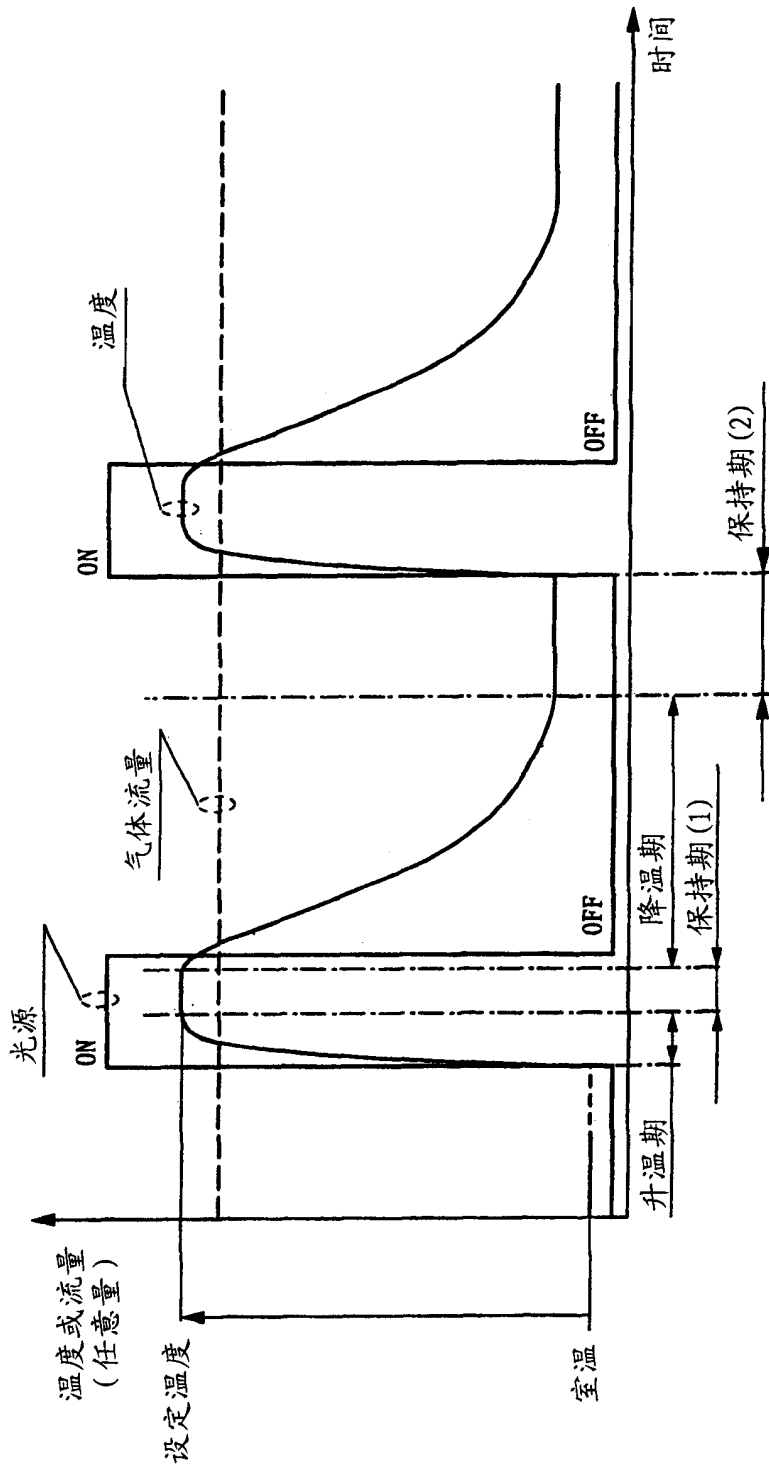


图 21

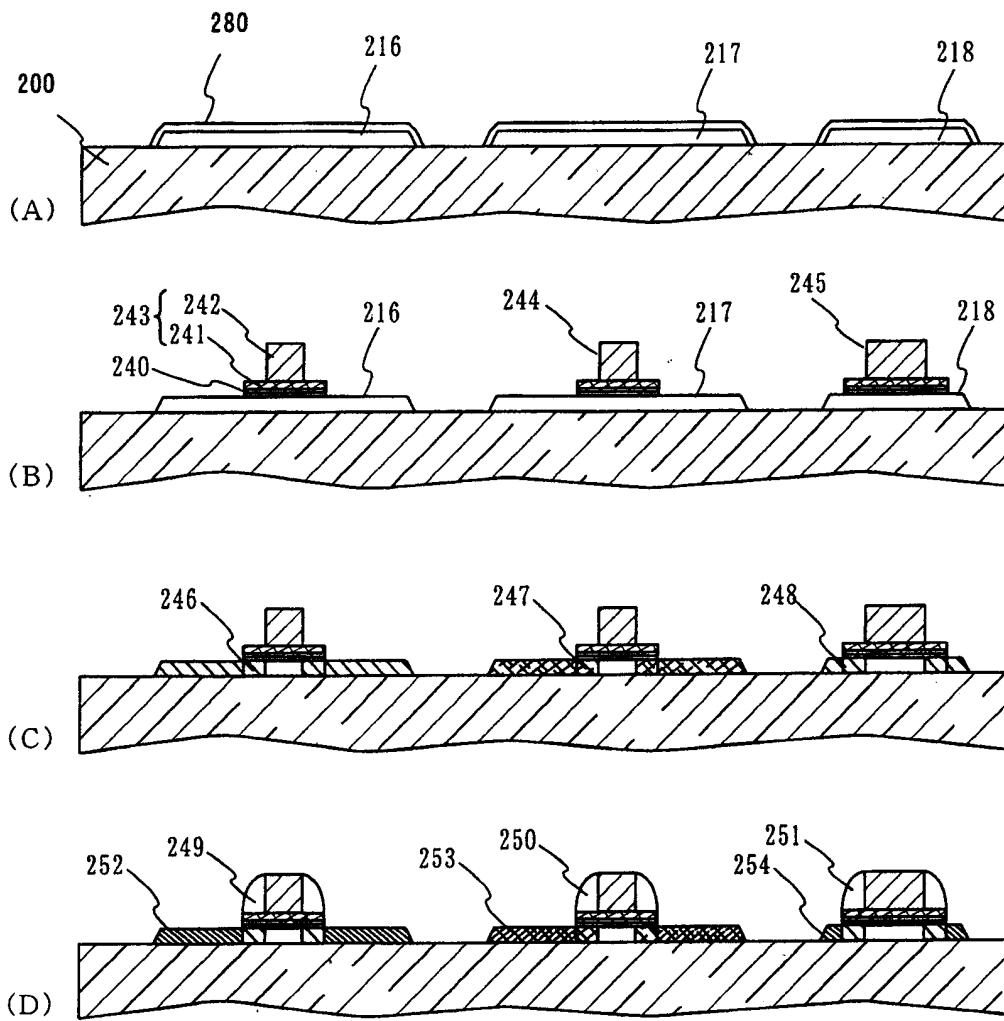


图 22

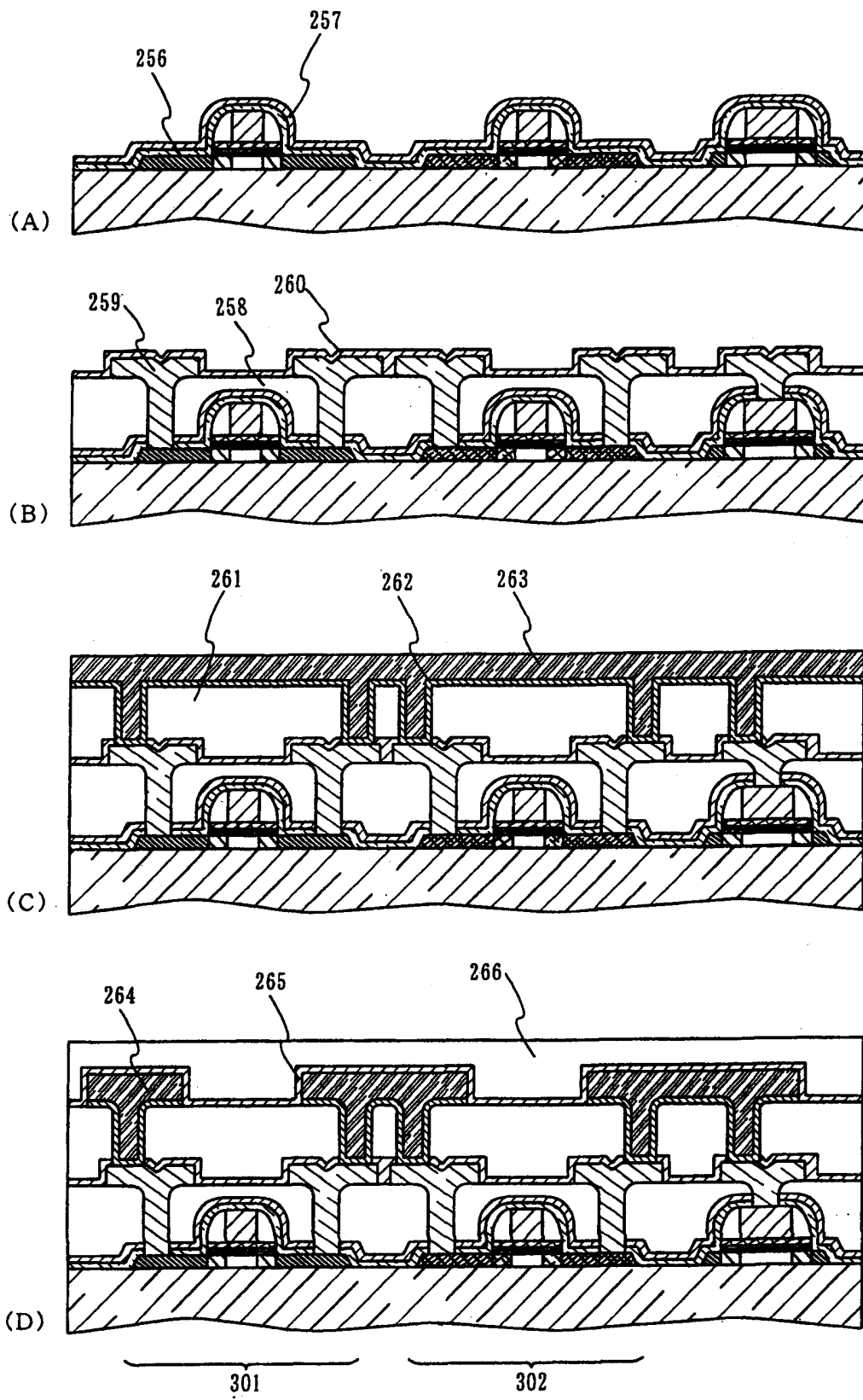


图 23