



## (12)发明专利

(10)授权公告号 CN 103297041 B

(45)授权公告日 2017.08.29

(21)申请号 201310064415.0

(51)Int.Cl.

(22)申请日 2013.02.28

H03L 7/085(2006.01)

(65)同一申请的已公布的文献号

H03L 7/099(2006.01)

申请公布号 CN 103297041 A

(56)对比文件

(43)申请公布日 2013.09.11

US 20100271140 A1, 2010.10.28,

(30)优先权数据

US 4942370 A, 1990.07.17,

13/407,334 2012.02.28 US

CN 1901375 A, 2007.01.24,

(73)专利权人 株式会社巨晶片

US 7177611 B2, 2007.02.13,

地址 日本大阪

Wenjing Yin.A 1.6mW 1.6ps-rms-Jitter

(72)发明人 尹文婧 阿南德·高普兰

2.5GHz Digital PLL with.《IEEE》.2010,图2.

审查员 史玉梅

(74)专利代理机构 中原信达知识产权代理有限公司

权利要求书2页 说明书8页 附图7页

责任公司 11219

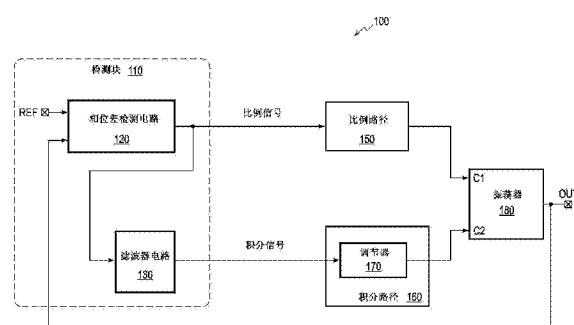
代理人 李宝泉 周亚荣

## (54)发明名称

锁相环电路

## (57)摘要

本发明提供了一种锁相环。PLL电路包括振荡器、检测块、积分路径以及比例路径。振荡器产生振荡信号。检测块检测在振荡信号和参考信号之间的相位差并产生表示相位差的积分值的积分信号以及表示相位差的当前值的比例信号。积分路径包括接收积分信号并将经调节的积分信号提供至振荡器的调节器，并且调节器具有包括误差放大器的反馈环。比例路径与积分信号分开地将比例信号提供至振荡器。振荡器产生具有由经调节的积分信号和比例信号两者控制的振荡频率的振荡信号，使得振荡信号的相位被锁定至参考信号的相位。



1. 一种锁相环电路，包括：

振荡器，所述振荡器产生振荡信号，所述振荡器具有电源端子和控制端子；

检测块，所述检测块检测在所述振荡信号的相位和参考信号的相位之间的相位差，并产生表示所述相位差的积分值的积分信号以及表示所述相位差的当前值的比例信号；

积分路径，所述积分路径包括调节器，所述调节器接收所述积分信号并将经调节的积分信号供应至所述振荡器的所述电源端子，所述调节器具有包括误差放大器的反馈环；以及

比例路径，所述比例路径将所述比例信号供应至所述振荡器的所述控制端子，其中所述比例信号与所述积分信号分开地被供应至所述振荡器，

其中，所述振荡器产生具有由所述经调节的积分信号和所述比例信号两者控制的振荡频率的振荡信号，使得所述振荡信号的相位被锁定至所述参考信号的相位，

所述积分路径以模拟形式将所述经调节的积分信号供应至所述振荡器的所述电源端子，

所述比例路径以数字形式将所述比例信号供应至所述振荡器的所述控制端子，以选择可选择的电路部件来调整所述振荡频率，

所述调节器是电压调节器，

所述振荡器是电压控制振荡器，所述电压控制振荡器产生具有取决于所述经调节的积分信号的电压的振荡频率的振荡信号，

所述振荡器是具有串联连接的多个延迟单元的环形振荡器，所述多个延迟单元中的每一个包括多个分支，所述多个分支的每一分支包括反相器和用于将所述反相器与其它分支中的反相器并联连接的开关，

所述比例信号选择在所述多个延迟单元中的每一个中并联连接的分支的数量。

2. 根据权利要求1所述的锁相环电路，进一步包括分频器，所述分频器将所述振荡信号分频以产生经分频的振荡信号，

其中，所述检测块通过将所述经分频的振荡信号的相位与所述参考信号的相位比较来检测所述相位差。

3. 根据权利要求1或2所述的锁相环电路，其中：

所述检测块基于所述相位差产生上信号和下信号作为所述比例信号；并且

所述比例路径将所述上信号和下信号供应至所述振荡器的所述控制端子。

4. 一种锁相环电路，包括：

振荡器，所述振荡器产生振荡信号；

检测块，所述检测块检测在所述振荡信号的相位和参考信号的相位之间的相位差，并产生表示所述相位差的积分值的积分信号以及表示所述相位差的当前值的比例信号；

积分路径，所述积分路径包括调节器，所述调节器接收所述积分信号并将经调节的积分信号供应至所述振荡器，所述调节器具有包括误差放大器的反馈环；以及

比例路径，所述比例路径将所述比例信号供应至所述振荡器，其中所述比例信号与所述积分信号分开地被供应至所述振荡器，

其中，所述振荡器产生具有由所述经调节的积分信号和所述比例信号两者控制的振荡频率的振荡信号，使得所述振荡信号的相位被锁定至所述参考信号的相位，

所述振荡器是具有至少一个可变电容器和多个可选择的电容器的电感电容型振荡器；  
所述积分路径提供所述经调节的积分信号以调整所述可变电容器的电容；以及  
所述比例信号选择所述振荡器中的所述可选择的电容器的数量。

5. 根据权利要求4所述的锁相环电路，进一步包括分频器，所述分频器将所述振荡信号分频以产生经分频的振荡信号，

其中，所述检测块通过将所述经分频的振荡信号的相位与所述参考信号的相位比较来检测所述相位差。

6. 根据权利要求4或5所述的锁相环电路，其中：

所述检测块基于所述相位差产生上信号和下信号作为所述比例信号；并且  
所述比例路径将所述上信号和下信号供应至所述振荡器。

7. 根据权利要求4或5所述的锁相环电路，其中：

所述积分路径以模拟形式将所述经调节的积分信号供应至所述振荡器；并且  
所述比例路径以数字形式将所述比例信号供应至所述振荡器，以选择可选择的电路部件来调整所述振荡频率。

## 锁相环电路

### 技术领域

[0001] 本发明涉及锁相环电路。

### 背景技术

[0002] 本文提供的背景技术说明用于大致描述公开的背景。所呈现的本发明人的工作在本背景技术部分中所述的工作、以及该说明在提交本发明时不能作为现有技术的方面的程度上既不明确地也不暗示地承认为针对本公开的现有技术。

[0003] 锁相环(PLL)广泛应用于例如用于时钟产生、数据提取以及重定时的电子装置中。PLL理想的特征包括低抖动、低功率、小面积、宽操作范围、对处理、电压以及温度变化抗扰等等。

### 发明内容

[0004] 本公开的方面提供一种锁相环电路。该锁相环电路包括振荡器、检测块、积分路径和比例路径。振荡器产生振荡信号并具有电源端子和控制端子。检测块检测在振荡信号的相位和参考信号的相位之间的相位差，并产生表示该相位差的积分或累积值的积分信号以及表示该相位差的当前值的比例信号。积分路径包括调节器，该调节器接收该积分信号并将经调节的积分信号供应至振荡器的电源端子，并且该调节器具有包括误差放大器的反馈环。比例路径与积分信号分开地将比例信号供应至振荡器的控制端子。振荡器产生具有由经调节的积分信号和比例信号两者控制的振荡频率的振荡信号，使得振荡信号的相位被锁定至参考信号的相位。

[0005] 在一个实施例中，锁相环电路进一步包括分频器，该分频器将振荡信号分频以产生经分频的振荡信号，并且检测块通过将经分频的振荡信号的相位与参考信号的相位比较来检测相位差。

[0006] 此外，在一个示例中，检测块产生基于相位差的上信号和下信号作为比例信号，并且比例路径将上信号和下信号供应至振荡器的控制端子。

[0007] 根据本公开的一个方面，积分路径以模拟形式将经调节的积分信号供应至振荡器的电源端子，并且比例路径以数字形式将比例信号供应至振荡器的控制端子，以选择可选择的电路部件来调整振荡频率。

[0008] 根据本公开的另一方面，振荡器是具有串联连接的多个延迟单元的环形振荡器。延迟单元中的每一个包括可选择的电路部件。

[0009] 在一个实施例中，调节器是电压调节器，并且振荡器是电压控制振荡器，其产生具有取决于经调节的积分信号的电压的振荡频率的振荡信号。在一个示例中，振荡器是具有串联连接的多个延迟单元的环形振荡器。延迟单元中的每一个包括多个分支，其包括各自的反相器和将反相器彼此并联连接的开关。比例信号选择在延迟单元中的每一个中并联连接的分支的数量。

[0010] 在另一个实施例中，调节器是电流调节器，并且振荡器是电流控制振荡器，其产生

具有取决于经调节的积分信号的电流的振荡频率的振荡信号。

[0011] 本公开的若干方面提供另一种锁相环电路。该锁相环电路也包括振荡器、检测块、积分路径以及比例路径。振荡器产生振荡信号。检测块检测在振荡信号的相位和参考信号的相位之间的相位差，并产生表示该相位差的积分值的积分信号以及表示该相位差的当前值的比例信号。积分路径包括调节器，该调节器接收积分信号并将经调节的积分信号供应至振荡器，并且该调节器具有包括误差放大器的反馈环。比例路径与积分信号分开地将比例信号供应至振荡器。振荡器产生具有由经调节的积分信号和比例信号两者控制的振荡频率的振荡信号，使得振荡信号的相位被锁定至参考信号的相位。

[0012] 在一个示例中，振荡器是电感电容(LC)型振荡器，其具有至少一个可变电容器以及多个可选择的电容器。积分路径将经调节的积分信号提供至可变电容器以调整可变电容器的电容，并且比例信号选择振荡器中的可选择的电容器的数量。

## 附图说明

[0013] 将参考附图详细说明作为示例提出的本公开的各个实施例，其中相同的附图标记代表相同的元件，并且其中：

- [0014] 图1示出根据本公开的一个实施例的锁相环100的示例性框图；
- [0015] 图2示出根据本公开的一个实施例的另一锁相环200的示例性框图；
- [0016] 图3示出根据本公开的一个实施例的另一锁相环300的示例性框图；
- [0017] 图4A和4B示出根据本公开的一个实施例的数字控制振荡器440的示例性框图；
- [0018] 图5示出根据本公开的一个实施例的另一数字控制振荡器540的示例性框图；以及
- [0019] 图6示出根据本公开的一个实施例的另一数字控制振荡器640的示例性框图。

## 具体实施方式

[0020] 图1示出根据本公开的一个示例性实施例的锁相环(PLL)100的框图。PLL 100产生输出信号(OUT)，该输出信号(OUT)具有被锁定至参考信号(REF)的相位。PLL 100包括检测块110，该检测块110产生指示在OUT和REF之间的相位差的比例信号，以及指示累积相位差的相对低的频率分量的积分信号。PLL 100还包括：振荡器180，其具有至少两个可控参数；比例路径150，其基于比例信号控制该可控参数中的一个；以及积分路径160，其基于积分信号控制可控参数中的另一个。上述元件可以如图1中所示地耦合在一起。

[0021] 检测块110可以使用任意适当的技术来产生比例信号和积分信号。在图1所示的示例中，检测块110包括相位差检测电路120以及滤波器电路130。相位差检测电路120接收信号OUT和REF，并产生指示在OUT和REF之间的相位差的比例信号。滤波器电路130接收并持续积分该值以产生积分信号。滤波器电路130还去除高频分量并平滑比例信号以产生积分信号。

[0022] 在一个实施例中，相位差检测电路120被实现为相位频率检测器，其输出具有可变宽度脉冲的一对信号，诸如UP信号和DN信号。脉冲的宽度基于在OUT和REF之间的相位差变化。例如，当REF以正相位差先于OUT时，相位频率检测器在UP信号中输出脉冲，并且该脉冲具有与该正相位差成比例的脉冲宽度。当REF以正相位差落后于OUT时，相位频率检测器在DN信号中输出脉冲，并且该脉冲具有与该正相位差成比例的脉冲宽度。

[0023] 此外,在一个实施例中,滤波器电路130被实现为数字环路滤波器以使用数字信号处理技术产生积分信号。在一个示例中,UP信号和DN信号被用于产生指示相位差的数字信号。然后,滤波器电路130包括累加器以产生具有达到平衡的高频分量的积分信号。应注意,也可以使用其他实现方式,例如使用时间数字转换器(TDC)来检测相位差、使用基于电荷泵的环路滤波器以滤除高频分量等。

[0024] 振荡器180可以使用任意适当的技术来基于至少两个可控参数产生振荡信号OUT,该至少两个参数诸如基于比例信号和积分信号分开控制的C1和C2。根据控制参数调整振荡信号OUT的频率。

[0025] 在一个实施例中,振荡器180被实现为电压控制振荡器(VCO),振荡信号OUT的频率是控制电压的函数。此外,VCO具有另一个可控参数。当VCO具有包括串联连接的延迟单元的环形振荡器拓扑时,例如,延迟单元的数量、延迟单元的尺寸、延迟单元的负载电容的值、通过延迟单元的电流等都可以用于控制振荡信号OUT的频率。比例信号和积分信号例如被分开地用于调整控制电压和延迟单元的尺寸。

[0026] 在另一个实施例中,振荡器180被实现为电感电容(LC)型振荡器。LC型振荡器的频率取决于LC型振荡器的电感和电容。在一个示例中,LC型振荡器的电容共同地由至少一个可变电容器和一个电容器组决定。可变电容器具有电压控制电容器,并且电容器组具有可选地包括在LC型振荡器中的多个电容器。比例信号和积分信号例如被分开地用于控制可变电容器的电容以及在电容器组中所选择的电容器的数量。

[0027] 比例路径150包括任意适当的电路,以基于比例信号调整可控参数,诸如振荡器180的C1。在一个示例中,比例路径150使用UP和DN信号对来控制在振荡器180中的开关。在另一个示例中,比例路径150包括数模转换器,以将UP和DN信号对转换为模拟信号,并使用该模拟信号来调整可控参数。在一个实施例中,比例路径150使用相对高的路径增益,并且以相对高的速度响应于振荡信号OUT中的相位噪声以允许相对高的PLL带宽来抑制相位噪声。

[0028] 积分路径160包括任意适当的电路以根据积分信号来调整诸如振荡器180的C2的可控参数。在一个实施例中,积分路径160包括诸如电压调节器、电流调节器等的调节器170以基于积分信号调节控制信号,并使用该控制信号来控制可控参数C2。在一个示例中,调节器170是电压调节器,其基于积分信号调节振荡器180的电源电压。积分路径160使用调节器170来抑制来自电源的噪声,并且因此改善了PLL100的电源抑制比(PSRR)。

[0029] 应注意,PLL 100可以包括其他合适的部件。在一个倍频示例中,分频器可以用于将OUT的频率N(N是整数)分频。随后将经分频的OUT提供至检测块110。因此,OUT的频率是REF的频率的N倍。

[0030] 图2示出根据本公开的一个实施例的另一PLL 200的示例性框图。PLL 200基于参考信号(REF)产生输出信号(OUT)。在图2中,PLL200包括分频器211,该分频器211将OUTN(N是整数)分频,并且因此PLL 200可以用于倍频电路中。PLL 200包括:检测块210,其产生指示在经分频的OUT和REF之间的相位差的比例信号以及指示该相位差的相对低频分量的积分信号;电压控制振荡器(VCO)280,其具有至少两个可控参数C1和C2;比例路径250,其基于比例信号控制C1;以及积分路径280,其基于积分信号控制C2。这些元件如图2中所示地耦合在一起。

[0031] 检测块210包括相位频率检测器(PFD)220以及数字环路滤波器230。数字环路滤波器230包括开关式相位检测器(!!PD)231以及累加器232。PFD 220接收经分频的OUT以及REF，并产生具有可变宽度脉冲的一对信号(UP和DN)。脉冲宽度基于在经分频的OUT和REF之间的相位差而变化。例如，当经分频的OUT以正相位差先于REF时，DN信号具有与该正相位差成比例的较宽脉冲宽度。当经分频的OUT以正相位差落后于REF时，UP信号具有与该正相位差成比例的较宽脉冲宽度。

[0032] 根据本公开的一个方面，UP和DN也可以对应于三级数字比例信号。该三级是经分频的OUT先于REF、经分频的OUT跟踪(track)REF以及经分频的OUT落后于REF。在一个示例中，当UP是逻辑“0”且DN是逻辑“1”时，三级数字比例信号指示经分频的OUT先于REF；当UP是逻辑“1”且DN是逻辑“0”时，三级数字比例信号指示经分频的OUT落后于REF；并且当UP和DN两者都是逻辑“1”或“0”时，三级数字比例信号指示经分频的OUT跟踪REF。

[0033] 在数字环路滤波器230中，!!PD 231(也称为开关式PD)将UP和DN转换为数字相位误差，诸如双态信号(1或-1)等。!!PD 231可以利用D型触发器构造，其分别在D输入端子和时钟端子处接收UP和DN。累加器232累加数字相位误差以去除高频分量。在一个示例中，累加器232可以被实现为耦合至寄存器电路的加法器电路。

[0034] 注意到数字环路滤波器230可以包括其他合适的部件。在一个示例中，数字环路滤波器230在!!PD 231和累加器232之间包括抽取电路(未示出)。抽取电路可以允许累加器在相对低频下操作。还注意到!!PD 231可以由其他合适的数字相位检测器取代，诸如多位数字相位检测器等。

[0035] VCO 280基于至少两个可控参数产生振荡信号OUT，该至少两个可控参数诸如基于比例信号和积分信号分开控制的C1和C2。根据控制参数调整振荡信号OUT的频率。在图2所示的示例中，可控参数C1和C2由模拟信号控制。

[0036] 比例路径250包括任意合适的电路以基于比例信号(UP和DN)调整可控参数C1。在图2所示的示例中，比例路径250包括数模转换器(DAC)255。DAC 255将三级数字比例信号(UP和DN)转换成模拟信号，并使用该模拟信号控制可控参数C1。该模拟信号可以是施加至VCO 280的电压信号或在电流控制振荡器情况下的电流信号。应注意，比例路径250可以包括其他合适的电路部件，诸如调整用于比例路径250的路径增益的放大器等等。

[0037] 积分路径260包括任意合适的电路以基于积分信号调整VCO 280的可控参数C2。在图2中，积分路径260包括DAC 261和调节器(REG)270。DAC 261将积分信号从数字形式转换成模拟形式。在一个示例中，调节器270是电压调节器，其基于积分信号调节VCO 280的电源电压。调节器270抑制来自电源的噪声，并且因此改善电源抑制比(PSRR)。

[0038] 根据本公开的一个方面，使用数字电路实现检测块210。该PLL200的数字电路辅助实现方式提供对处理、电压和温度(PVT)变化的进一步抗扰。此外，PLL 200的数字电路辅助实现方式可以容易地从一种处理转向另一种处理，因为数字电路可以容易地从一种处理调整至另一处理。

[0039] 此外，数字电路可以被紧凑在相对小的布局面积中，PLL 200可以具有相对小的覆盖面积。此外，数字电路消耗较低的功率，并且因此PLL 200可以具有降低的功耗。

[0040] 根据本公开的另一个方面，PLL 200利用PFD 220和!!PD 231产生数字相位误差，并且与使用时间数字转换器(TDC)产生数字相位误差相比能够从相位误差量化降低确定性

抖动。

[0041] 此外,PLL 200利用分开的比例路径250和积分路径260来分别控制VCO 280的不同可控参数。比例路径250可以被实现为具有高路径增益以允许相对高的带宽来抑制VCO相位噪声。

[0042] 图3示出根据本公开的一个实施例的另一PLL 300的示例性框图。PLL 300也利用与PLL 200中使用的部件相同或等效的某些部件;这些部件的说明已经在上面提供,并且在此出于清楚的目的将省略其说明。

[0043] 在图3的示例中,比例信号(UP和DN)直接用于调整VCO 380的控制参数。比例路径被嵌入VCO 380中。

[0044] 此外,在图3的示例中,积分路径包括DAC 361和电压调节器370。调节器370包括运算放大器(OA)371以及P型金属氧化物半导体(PMOS)晶体管372。PMOS晶体管372的源极端子耦合至电源VDD,PMOS晶体管372的漏极端子耦合至VCO 380以将电源电压Vvco提供至VCO 380的电源端子。OA 371的输出控制PMOS晶体管372的栅极端子。

[0045] DAC 361将积分信号转换成控制电压Vctrl1。OA 371将控制电压Vctrl1与被提供至VCO 380的电压Vvco比较,并基于该比较调整PMOS晶体管372的栅极电压,使得电压Vvco跟踪控制电压Vctrl1。调节器370抑制来自电源VDD的噪声,并且因此改善PLL 300的电源抑制比(PSRR)。

[0046] 图4A和4B示出根据本公开的一个实施例的数字控制振荡器440的示例性框图。数字控制振荡器440可以在PLL 300中使用作为积分路径360和VCO 380的组合。

[0047] 数字控制振荡器440包括DAC 461、电压调节器470以及VCO480。这些元件如图4A中所示地耦合在一起。

[0048] DAC 461以数字形式(Din)接收积分信号,并产生对应于积分信号的模拟形式的控制电压Vctrl1。在图4A中,DAC 461是14位数模转换器。DAC 461可以包括抑制量化噪声的Σ-△调制器(未示出)。但是应当理解DAC 461可以是具有任意适当分辨率的任意结构。

[0049] 电压调节器470包括OA 471和PMOS晶体管472。PMOS晶体管472的源极端子耦合至电源VDD,PMOS晶体管472的漏极端子耦合至VCO 480以将电压Vvco提供至VCO 480。OA 471的输出控制PMOS晶体管472的栅极端子。此外,电压调节器470包括第一电容器473以及第二电容器474。第一电容器473耦合至VDD以及OA 471的输出,并且第二电容器474耦合至Vvco和接地端。

[0050] 根据本公开的一个实施例,电压调节器470是两极系统,其中两极可以通过为第一电容器473和第二电容器474选择适当的电容而被适当控制。在一个实施例中,两极中的一个可以被适当控制为占主要地位以避免不良的瞬态响应。根据本公开的一个方面,两极中的每一个可以被控制为占主要地位。在一个示例中,第一电容器473的电容被选择为相对大以使输出极占主要地位,并且电压调节器470具有改善的PSRR。在另一个示例中,为了节省面积和功率,第一电容器473的电容被选择为使输出极不占主要地位。

[0051] 在图4A的示例中,VCO 480包括以环形振荡器拓扑连接的四个伪差分级。第一级包括反相器模块I1和I5,以及传输门T1和T2;第二级包括反相器模块I2和I6,以及传输门T3和T4;第三级包括反相器模块I3和I7,以及传输门T5和T6;并且第四级包括反相器模块I4和I8,以及传输门T7和T8。在一个实施例中,在各个级中,传输门被设置为已经导通,并且且以

前反馈方式耦合至反相器模块以实现伪差分级。VCO 480从该四级中产生总共8个相位。

[0052] 在图4A的示例中,DAC 461和电压调节器470形成积分路径以控制到反相器模块I1-I8中的每一个的电源电压V<sub>vco</sub>,并且比例路径被嵌入反相器模块I1-I8中。

[0053] 图4A中的反相器模块4B中的每一个例如可以具有图4B中所示的构造。图4B中所示的反相器模块490包括并联耦合的三个分支。第一分支包括反相器491以及总是闭合的开关494;第二分支包括反相器492以及由UP控制的开关495;并且第三分支包括反相器493以及由DN的反相( $\overline{DN}$ )控制的开关496。换言之,开关495在UP是逻辑“0”时断开,且在UP是逻辑“1”时闭合;并且开关496在 $\overline{DN}$ 是逻辑“0”(DN是逻辑“1”)时断开,且在 $\overline{DN}$ 是逻辑“1”(DN是逻辑“0”)时闭合。

[0054] 应注意,分支中的每一个可以包括多于一个反相器,并且不同分支中的反相器可由具有相同宽长比或不同宽长比的晶体管形成。在一个实施例中,反相器491由具有比反相器492和493相对更大的宽长比的晶体管形成。

[0055] 反相器模块490被设置为基于比例信号(UP和DN)而具有三个不同延迟。在一个示例中,当开关495和496中的一个闭合且另一个断开时,反相器模块490具有中间延迟;当开关495和开关496都闭合时,反相器模块490具有比中间延迟小的延迟;并且当开关495和开关496都断开时,反相器模块490具有比中间延迟大的延迟。即,在两个分支中的反相器被用作可选择的电路部件。比例信号选择可选择的电路部件以调整反相器模块490的延迟。

[0056] 在操作期间,在一个示例中,当UP和DN两者都为逻辑“1”或逻辑“0”时,三级数字比例信号指示VCO 480的输出跟踪参考信号的相位。开关495和496中的一个闭合,而另一个断开。随后反相器模块490保持中间延迟。

[0057] 当UP是逻辑“1”且DN是逻辑“0”时,三级数字比例信号指示VCO 480的输出的相位落后于参考信号。开关495和开关496两者都闭合。则反相器模块490具有比中间延迟小的延迟,从而加速VCO 480的输出,并且将VCO 480的输出的相位在参考信号的方向上拉。

[0058] 当UP是逻辑“0”且DN是逻辑“1”时,三级数字比例信号指示VCO 480输出的输出的相位先于参考信号。开关495和开关496两者都断开。则反相器模块490具有比中间延迟大的延迟,从而减慢VCO 480的输出,并且将VCO 480的输出的相位在参考信号的方向上拉。

[0059] 图5示出根据本公开的一个实施例的另一数字控制振荡器540的示例性框图。数字控制振荡器540也采用与在数字控制振荡器440中使用的部件相同或等效的某些部件。这些部件的说明已经在上面提供,并且在此出于清楚的目的将省略其说明。

[0060] 积分路径包括DAC 561和电流调节器570。DAC 561以数字形式(Din)接收积分信号并产生对应于积分信号的模拟形式的控制电流I<sub>ctr1</sub>。在图5中,DAC 561是14位数模转换器。应注意,DAC 561可以具有任意其他合适的位数。

[0061] 电流调节器570基于控制电流I<sub>ctr1</sub>控制到环形振荡器580的电流I<sub>CC0</sub>。电流调节器570提供与电压调节器470类似的电源噪声抑制特性。

[0062] 在图5中所示的实施例中,当前为电流控制振荡器(CCO)的振荡器560包括环形振荡器580以及附加电流模块590。从比例路径接收控制信号的该附加电流模块590包括并联耦合的两个电流分支。第一电流分支包括电流源591和开关593;并且第二电流分支包括电流源592和开关594。电流源591和592被用作可选择的电路部件以调整振荡器560的振荡频率。

[0063] 当开关中的一个断开且另一个开关闭合时,附加电流模块590提供中间级附加电流。当两个开关都断开时,附加电流模块590不提供附加电流;并且当两个开关都闭合时,附加电流模块590提供更高级的附加电流。

[0064] 在图5的示例中,当UP和DN两者是逻辑“1”或逻辑“0”时,三级数字比例信号指示CCO 560的输出跟踪参考信号的相位。开关593和594中的一个断开且另一个闭合。则附加电流模块590提供中间级附加电流。

[0065] 当UP是逻辑“1”且DN是逻辑“0”时,三级数字比例信号指示CCO 560的输出的相位落后于参考信号。开关593和开关594两者都闭合。则附加电流模块590提供更高级的附加电流以加速CCO 560的输出,并且将CCO 560的输出的相位在参考信号的方向上拉。

[0066] 当UP是逻辑“0”且DN是逻辑“1”时,三级数字比例信号指示CCO 560的输出的相位先于参考信号。开关593和开关594都断开。则附加电流模块590不提供附加电流、减缓CCO 560的输出,并且将CCO 560的输出的相位在参考信号的方向上拉。

[0067] 应注意,环形振荡器580内的反相器模块5B可以具有可选择的电路部件以调整反相器模块延迟。例如,反相器模块5B中的每一个可以包括反相器、负载电容器以及将负载电容器连接/不连接至反相器的输出端子的开关。比例路径可以被类似于图4B地构造,以控制开关来增大/降低负载电容,从而调整反相器模块。实际上,通常,附加电流模块590或反相器模块5B中的可选择的电路部件可以分别用于调整反相器模块延迟,但应当理解在不脱离本公开的情况下可以同时采用上述两者。

[0068] 图6示出根据本公开的一个实施例的另一数字控制振荡器示例640的示例性框图。DAC 661和电压调节器670等同或等效于DAC 461和电压调节器470。已经在上文提供了这些部件的说明,并且在此出于清楚的目的将省略其说明。

[0069] 数字控制振荡器640包括LC型振荡器680。LC型振荡器680包括电感器单元684、第一电容器单元681以及两个可切换电容器682和683。第一电容器单元681通过控制电压Vctrl1控制,该控制电压Vctrl1为积分信号(Din)的模拟形式。被提供作为可选择的电路部件的两个可切换电容器682和683通过比例信号(UP和DN)控制。

[0070] 此外,LC型振荡器680包括串联连接的晶体管MN1和MP1,以及串联连接的晶体管MN2和MP2,如图6中所示。晶体管MN1和MP1以及晶体管MN2和MP2以差分形式交叉耦合以驱动一对输出Vout。电流参考Iref以及晶体管MN3和MN4被构造为电流镜以将电流提供至LC型振荡器680。

[0071] 在图6中,第一电容器单元681包括具有电压控制电容的一对匹配的可变电容器。该一对匹配的可变电容器的阳极分别耦合至该一对输出,并且该一对匹配的可变电容器的阴极由控制电压Vctrl1控制。两个可切换电容器682和683中的每一个耦合在该一对输出之间。电感器684也耦合在该一对输出之间。

[0072] 控制两个可切换电容器682和683以在该一对输出之间提供附加并联电容。在一个示例中,当可切换电容器682和683中的一个被切换到LC型振荡器680时,LC型振荡器680的电容处于中间级;当可切换电容器682和683两者都被切换到LC型振荡器680时,LC型振荡器680的电容大于中间级;并且当可切换电容器682和683两者都不被切换到LC型振荡器680时,LC型振荡器680的电容小于中间级。

[0073] 在图6的示例中,当UP和DN两者都是逻辑“1”或逻辑“0”时,三级数字比例信号指示

LC型振荡器680的输出跟踪参考信号的相位。可切换电容器682和683中的一个切换成LC型振荡器680且另一个不切换为LC型振荡器680。则LC型振荡器680的电容处于中间级。

[0074] 当UP是逻辑“1”且DN是逻辑“0”时，三级数字比例信号指示LC型680的输出的相位落后于参考信号。可切换电容器682和683两者都被断开。则LC型振荡器680的电容小于中间级以加速LC型680的输出，并且将LC型680的输出的相位在参考信号的方向上拉。

[0075] 当UP是逻辑“0”且DN是逻辑“1”时，三级数字比例信号指示LC型680输出的相位先于参考信号。可切换电容器682和683两者都被切换到LC型振荡器680。则LC型振荡器680的电容大于中间级以减缓LC型680的输出，并且将LC型680的输出的相位在参考信号的方向上拉。

[0076] 在各种示例性PLL中使用的各种示例性数字控制振荡器中，积分路径接收数字形式的积分信号，并使用具有适当分辨率的DAC产生模拟形式的控制信号。因此，能够抑制由于量化噪声导致的振荡信号中的抖动。此外，使用调节器调节模拟控制信号改善了PLL的电源抑制比。另一方面，比例路径与积分信号分开地将数字形式的比例信号提供至数字控制振荡器。因此，能够加宽PLL的带宽并抑制相位噪声。此外，因为积分路径中的调节器仅调节积分信号，所以能够在不增加调节器的供应能力的情况下加宽PLL的带宽。因此，能够抑制PLL的功耗。

[0077] 虽然已经结合本发明作为示例提出的特定实施例说明了本发明，但是显然各种替换、改进以及变型对于本领域技术人员来说是显而易见的。因此，本文所述的本发明的实施例意图是说明性而非限制性的。在不脱离本发明的范围的情况下可以进行若干更改。

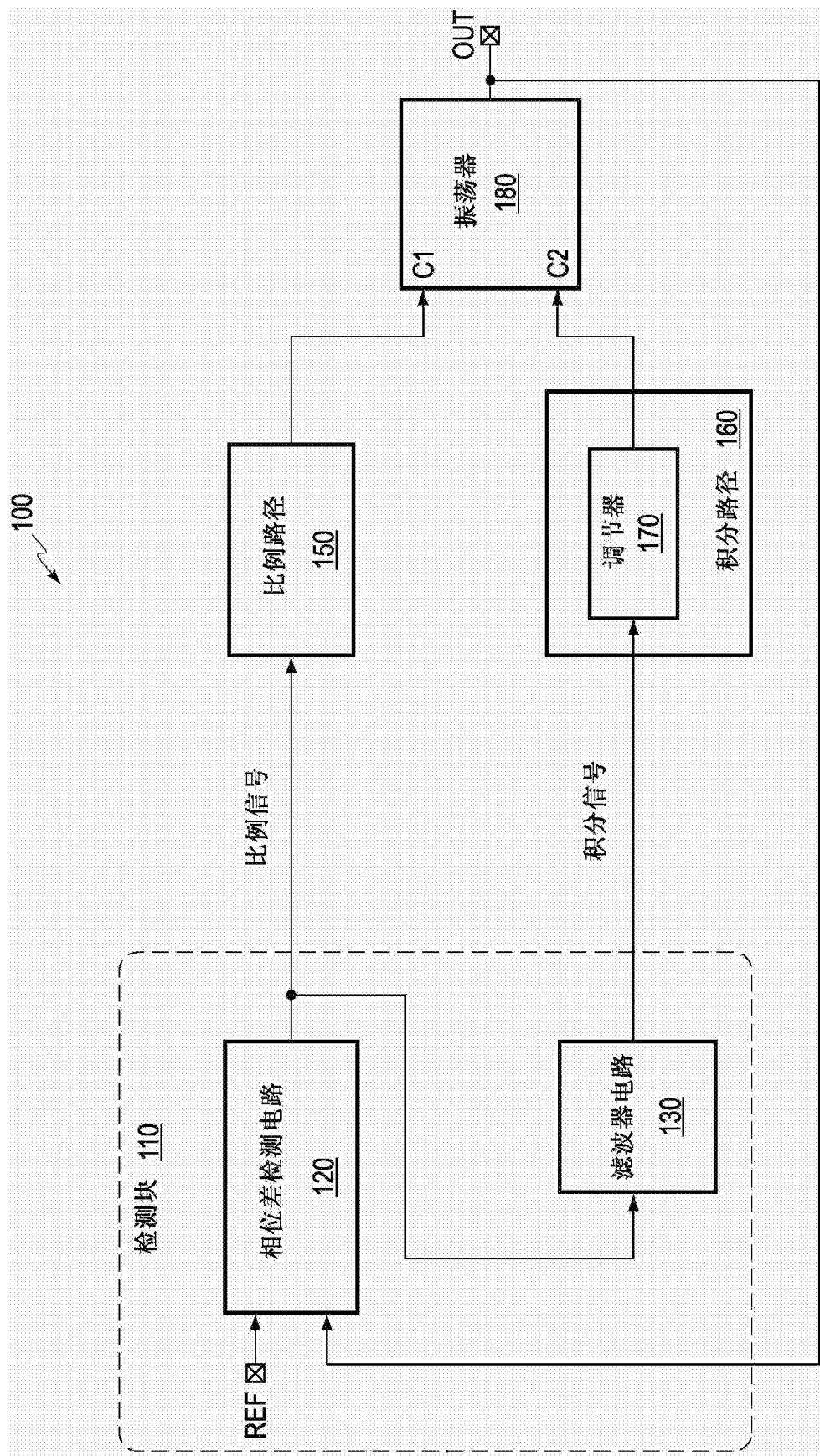


图1

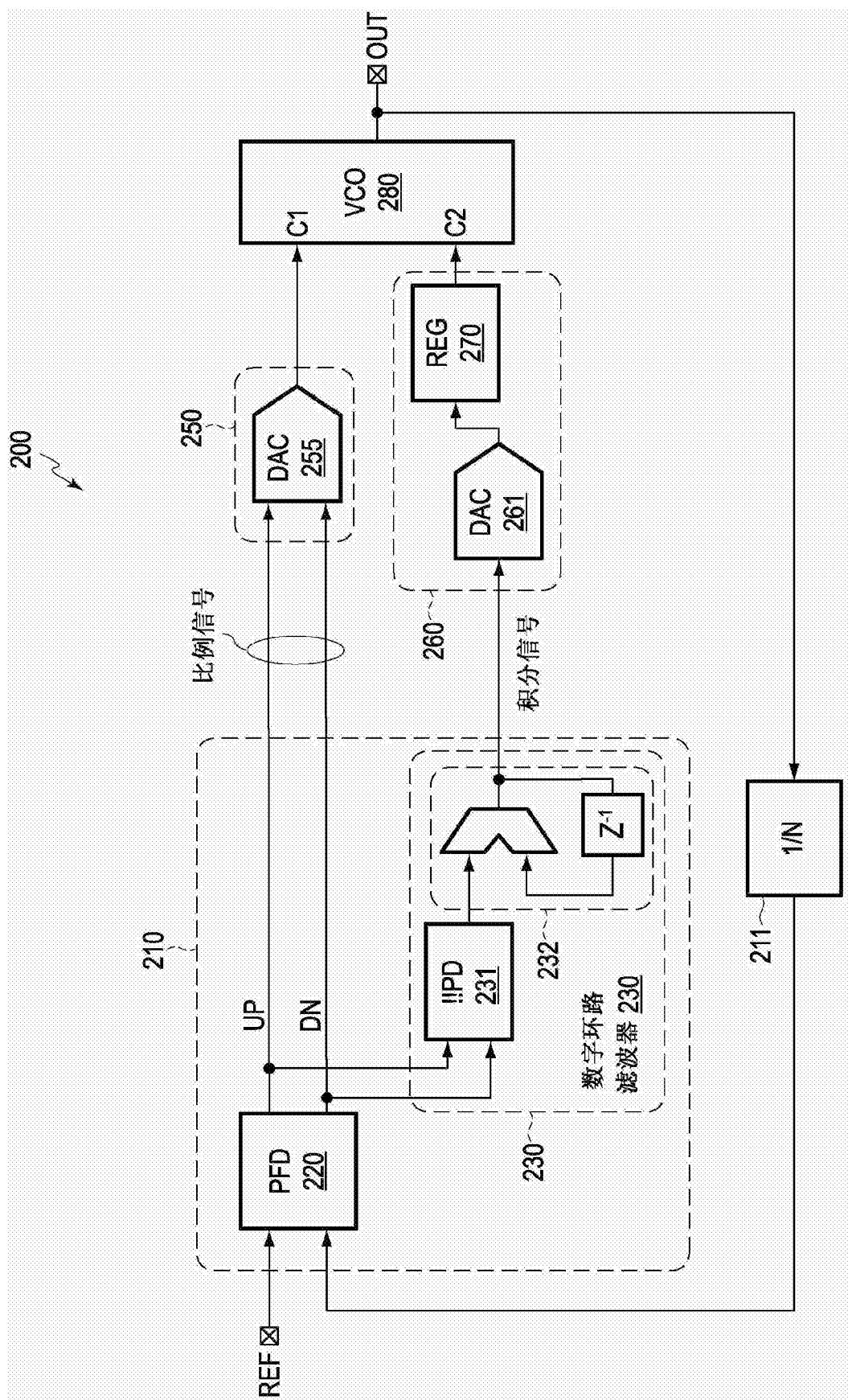


图2

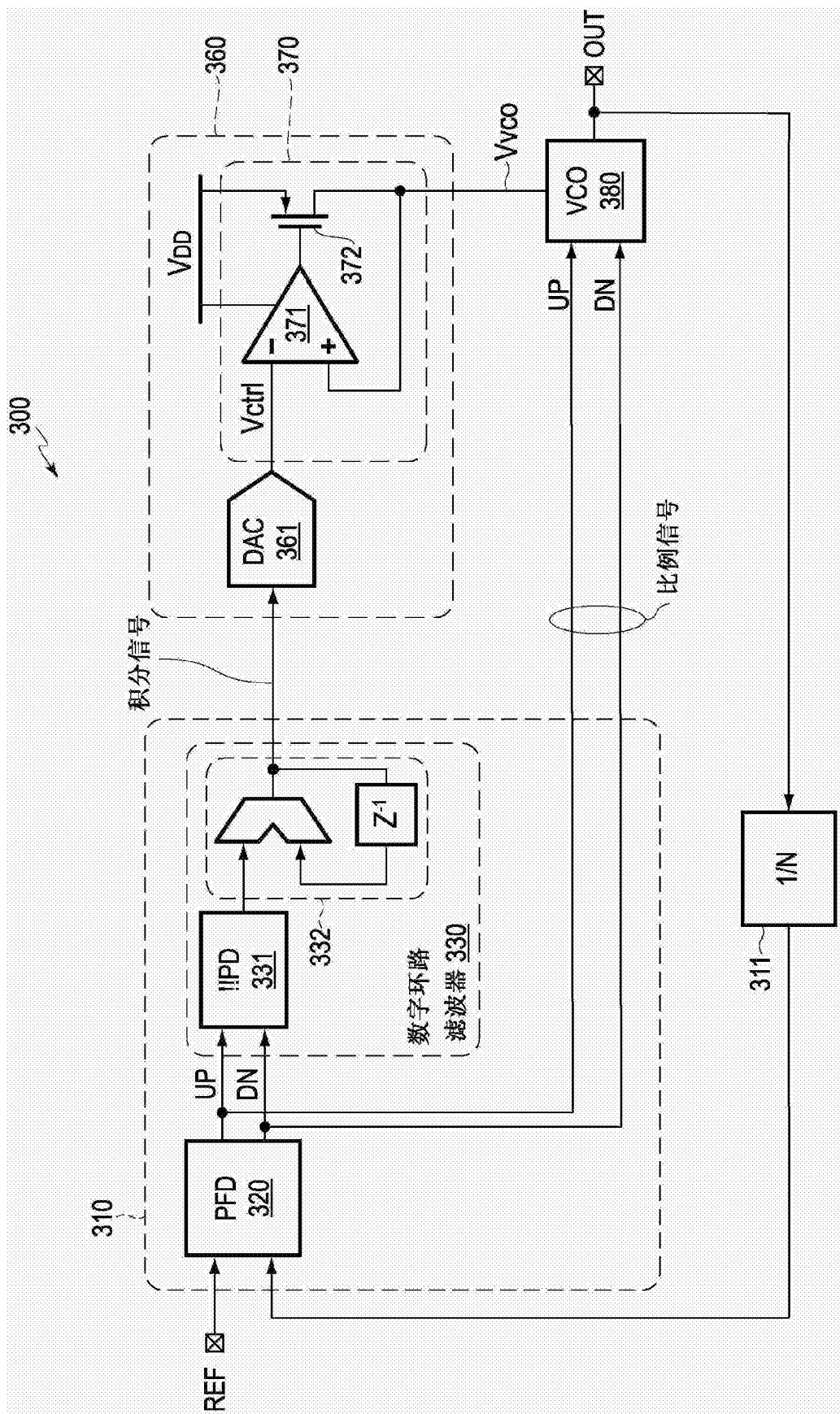


图3

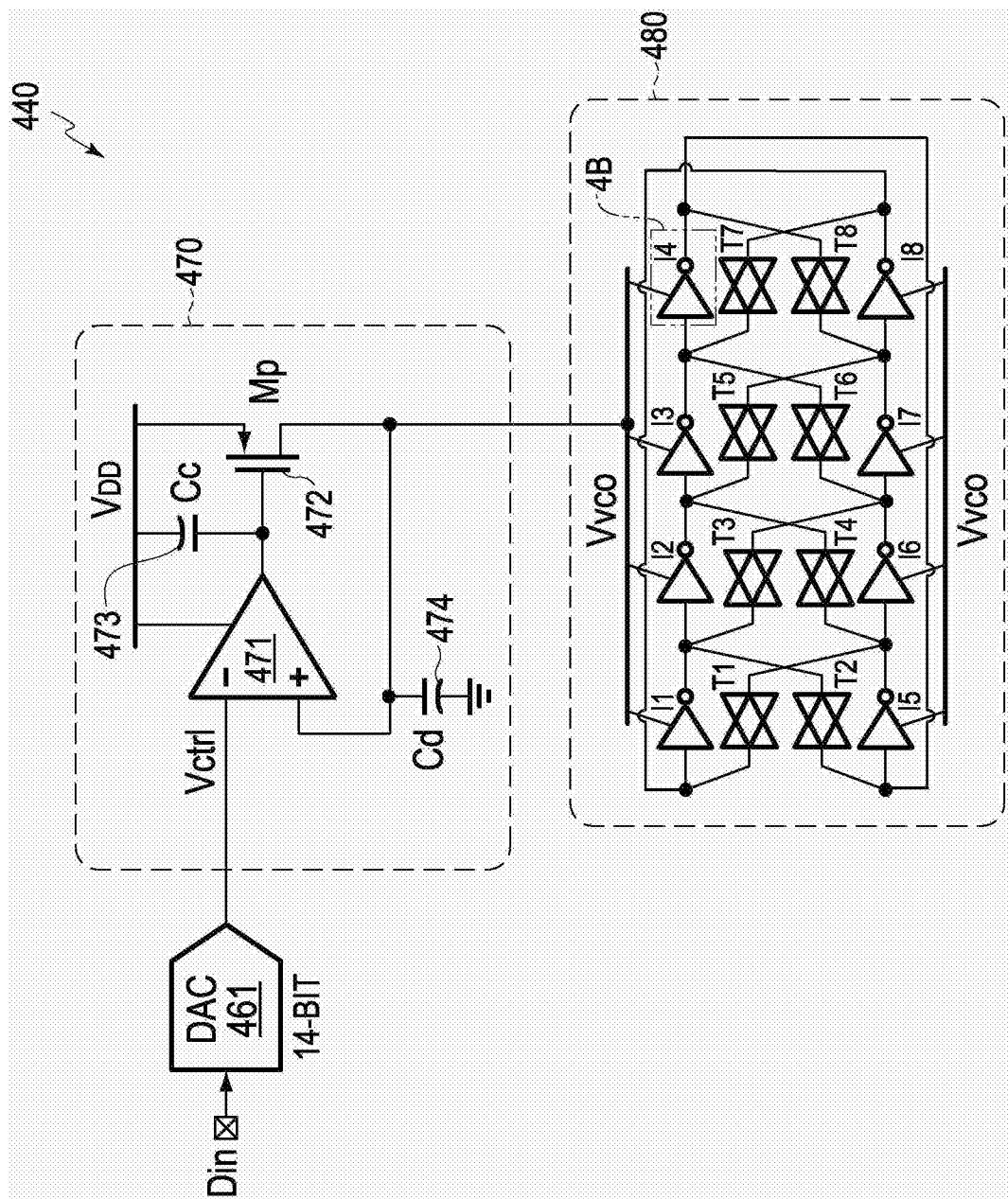


图4A

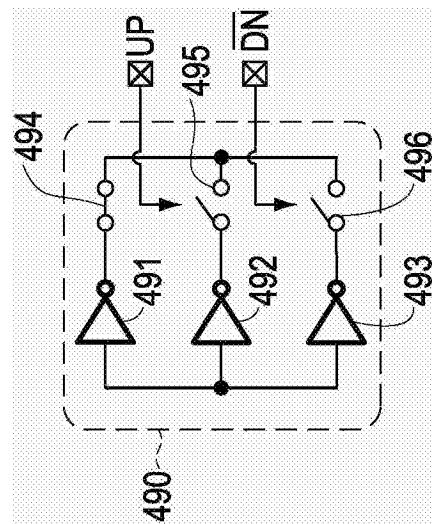


图4B

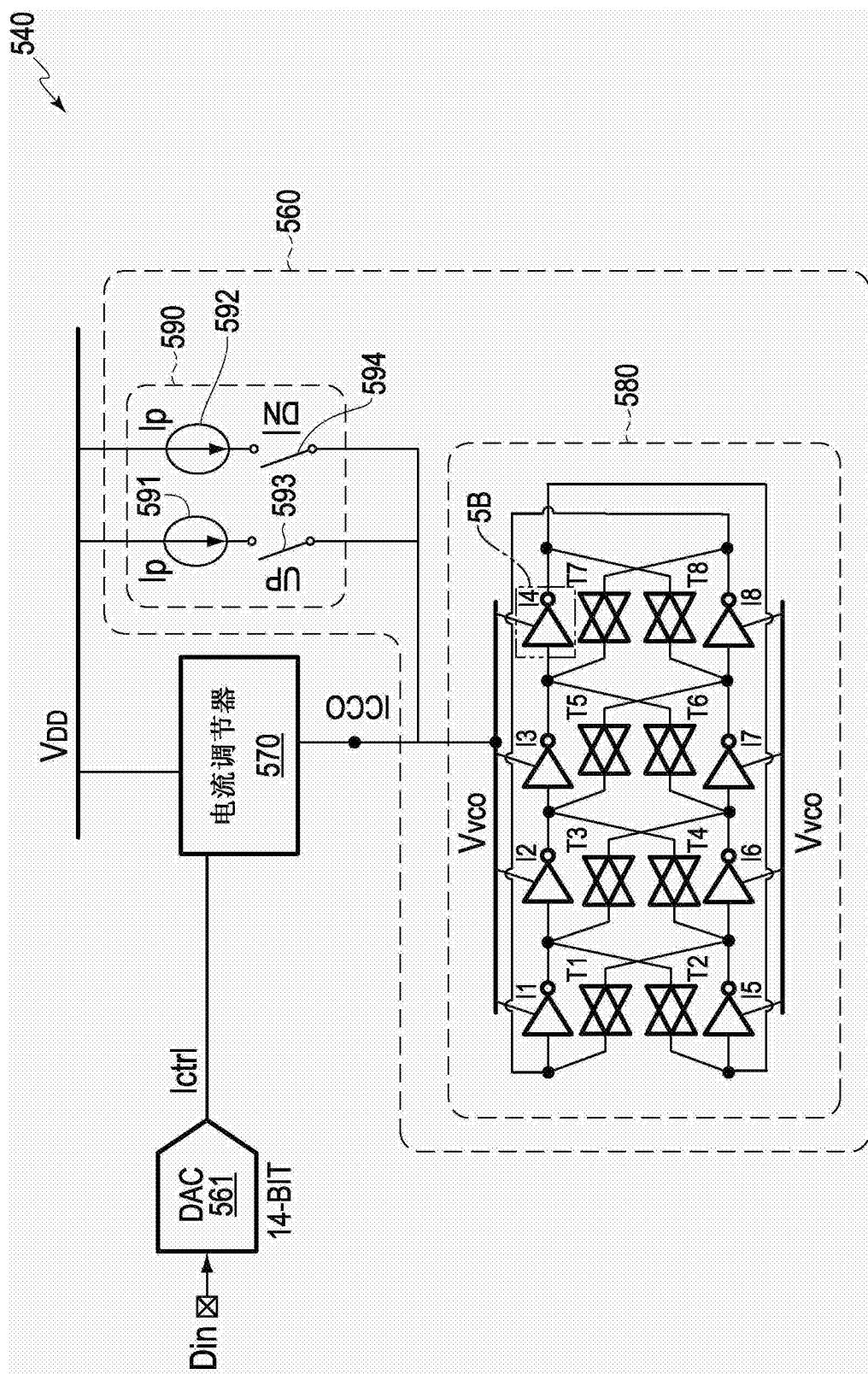


图5

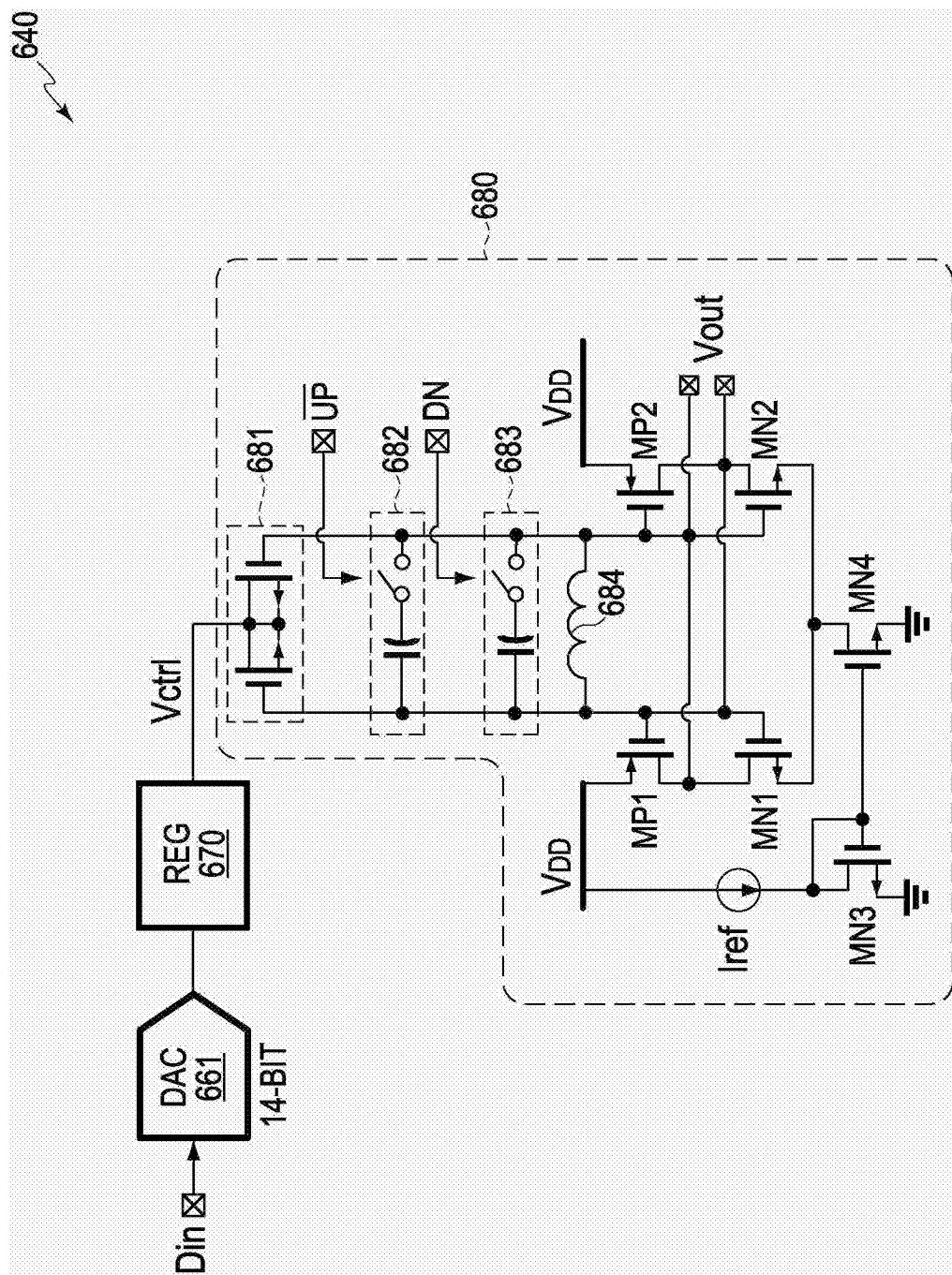


图6