

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H04N 5/08

H04N 7/167



[12] 发明专利说明书

[21] ZL 专利号 97190426. X

[45] 授权公告日 2005 年 2 月 9 日

[11] 授权公告号 CN 1189018C

[22] 申请日 1997.4.14 [21] 申请号 97190426. X

[30] 优先权

[32] 1996. 4. 26 [33] EP [31] 96201141. 7

[86] 国际申请 PCT/IB1997/000397 1997. 4. 14

[87] 国际公布 WO1997/041681 英 1997. 11. 6

[85] 进入国家阶段日期 1997. 12. 25

[71] 专利权人 皇家飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 M · A · H · 罗伊肯斯

A · M · A · 里扎卡尔特

审查员 陈 源

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 王 勇 张志醒

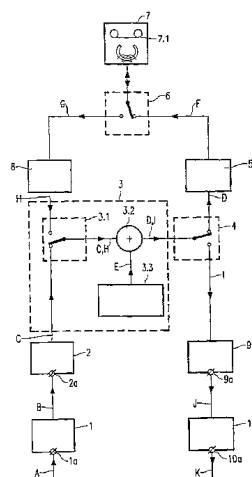
权利要求书 3 页 说明书 12 页 附图 4 页

[54] 发明名称 磁带录制/再现装置、编码装置、磁带录制/再现方法

[57] 摘要

一种“螺旋扫描”类型的磁带录制/再现装置，适用于录制并且/或者再现数字编码的视频信号，该装置包括一个编码装置(3)。在录制方式下，编码装置(3)对一个待录制的数字信号(C)完成通道编码，以获得一个通道信号，而该通道信号将被录制到磁带(7.1)上。在再现方式下，编码装置(3)对从磁带(7.1)上读出的通道信号H进行通道解码，以获得一个数字再现信号，该再现信号是原始信号(C)的一个副本。出于这个目的，编码装置(3)包括一个数据序列生成器(3.3)，用于产生由多项式 $p(x) = x^{15} + x^A + 1$ 定义的数据序列，其中 $A = 7$ 或 8 。而且，编码装置(3)还包括一个异或电路(3.2)和一个选择装置(3.1)，在这个异或电路中，待处理信号(C, H)与已产生的数据序列E被组合到一起，而编码装置通过选择装置在待录制信

号(C)和通道信号(H)中选择待处理信号(C, H)，到底选择哪种信号取决于该录制/再现装置的操作方式。



1. 一种“螺旋扫描”式的磁带录制/再现装置，适用于录制和/或再现数字编码的视频信号，该装置包括一个编码装置，适用于对数字录制信号执行通道编码以获得一个要录制在磁带上的通道信号，和/或对从磁带上读出的通道信号执行通道解码以获得一个数字再现信号，其特点在于，该编码装置包括一个数据序列生成器，适用于生成由多项式 $p(x) = x^{15} + x^A + 1$ 定义的数据序列，其中 $A=7$ 或 8 ，所述编码装置被耦合到处理装置，用于对数字录制信号进行块结构化和/或去掉块结构的通道解码的信号，所述编码装置还被耦合到同步装置，用于将同步模式添加到要在磁带上录制的通道信号和/或用于把通道信号块从自磁带所读取的通道信号中提取出来。

2. 根据权利要求1的磁带录制/再现装置，其特点在于：
所述编码装置还包括模2加法器，用于将已生成的数据序列与待处理信号—即数字录制信号或者从磁带上读出的通道信号—组合起来，以便获得一个处理过的信号—即要录制在磁带上的通道信号，或者数字再现信号。

3. 根据权利要求2的磁带录制/再现装置，其特点在于：
该数据序列生成器适用于生成 N 比特的字，模2加法器包括 N 个 XOR 电路（异或），这 N 个 XOR 电路一起被安排成用于把来自数据序列生成器的 N 比特的字与待处理的信号的 N 比特的字组合起来，以获得一个处理过的信号的 N 比特字，其中 $N>1$ 。

4. 根据权利要求3的磁带录制/再现装置，其特点在于：
该数据序列生成器适用于生成 N 比特的字，所说的字是以相当于待处理信号的比特率除以 N 后所得的频率而生成的。

5. 根据权利要求3或4的磁带录制/再现装置，其特点在于： $N=8$ 。

6. 根据权利要求3或4的磁带录制/再现装置，其特点在于： $N=16$ 。

7. 根据权利要求3的磁带录制/再现装置，其特点在于：该数据序列生成器包括15个串行耦合的存储单元 ($M_1 \dots M_{15}$) 和一个异或电路，存储单元 M_k 的输出耦合到存储单元 M_{k+1} 的输入，其中 $k=1..14$ ，最后一个存储单元 (M_{15}) 的输出耦合到异或电路的输入，第7个或第8个存储单元 (M_A) 的输出耦合到异或电路的另一个输入，并且异或电路的输出耦合到第一个存储单元 (M_1) 的输入。

8. 根据权利要求3的磁带录制/再现装置，其特点在于：

- A=7, 该数据序列生成器包括15个耦合的存储单元($M_1 \dots M_{15}$)和8个异或电路($X_1 \dots X_8$), 异或电路 X_n 的输出耦合到存储单元 M_n 的输入, 其中 $n=1..7$, 存储单元 M_n 的输出耦合到存储单元 M_{n+8} 的输入并耦合到异或电路 X_{n+1} 的输入, 存储单元 M_{n+8} 的输出耦合到异或电路 X_{n+1} 的另一个输入,
- 5 异或电路 X_8 的输出耦合到存储单元 M_8 的输入并耦合到异或电路 X_1 的一个输入, 并且存储单元 M_8 的输出与异或电路 X_1 的另一输入相耦合。

9. 根据权利要求7或8的磁带录制/再现装置, 其特点在于:

N个连续编号的存储单元($M_{x+1} \dots M_{x+N}$)中的每一个的输出都耦合到模2加法器的N个异或电路之一的输入。

- 10 10. 根据权利要求9的磁带录制/再现装置, 其特点在于: $N=8$ 。

11. 根据权利要求1的磁带录制/再现装置, 其特点在于, 该装置还包括:

- 选择装置, 在录制模式下把用于对数字录制信号进行块结构化的处理装置耦合到编码装置的输入, 并且在再现模式下把用于将通道信号块从自磁带读取的通道信号中提取出来的同步装置耦合到编码装置的输入; 和
- 15 路由选择装置, 在录制模式下把编码装置的输出耦合到用于把同步模式添加到要在磁带上记录的通道信号上的同步装置, 并且在再现模式下把编码装置的输出耦合到用于去掉块结构的通道解码的信号的处理装置。

- 20 12. 一种供在“螺旋扫描”式的磁带录制/再现装置中使用的编码装置, 该磁带录制/再现装置适用于录制和/或再现数字编码的视频信号, 该磁带录制/再现装置包括一个编码装置, 适用于对数字录制信号执行通道编码以获得一个要录制在磁带上的通道信号, 和/或对从磁带上读出的通道信号执行通道解码以获得一个数字再现信号, 其特点在于, 该编码装置包括一个数据序列生成器, 适用于生成由多项式
- $$p(x) = x^{15} + x^4 + 1$$
- 定义的数据序列, 其中 $A=7$ 或 8 , 所述编码装置被耦合到处理装置, 用于对数字录制信号进行块结构化和/或用于去掉块结构的通道解码的信号, 所述编码装置还被耦合到同步装置, 用于将同步模式添加到要在磁带上录制的通道信号和/或用于把通道信号块从自
- 25 磁带所读取的通道信号中提取出来。

13. 一种把数字编码的视频信号录制到“螺旋扫描”式的磁带录制/再现装置的磁带上和/或从其再现数字编码的视频信号的方法, 该

方法包括如下步骤：对数字录制信号执行通道编码以便获取要录制在磁带上的通道信号，和/或对从磁带读取的通道信号执行通道解码以便获取数字再现信号，其特征在于，该步骤包括如下子步骤：生成由多项式 $p(x) = x^{15} + x^4 + 1$ 定义的数据序列，其中 $A=7$ 或 8 ，这一步骤是在如下时机执行的：

在块结构化数字录制信号和/或去掉块结构的通道解码的信号之后；和

在把同步模式添加到要在磁带上录制的通道信号和/或把通道信号块从自磁带读取的通道信号中提取出来之前。

磁带录制/再现装置、编码装置、磁带录制/再现方法

本发明涉及一种“螺旋扫描”类型的磁带录制/再现装置，它适用于录制和/或再现数字编码的视频信号，该装置包括一个编码装置，这个编码装置用于对一个待录制的数字信号进行通道编码以便获得一个用于录制在磁带上的通道信号，并且/或者用于对一个从磁带上读出的通道信号进行通道译码以获得一个再现的数字信号。本发明还涉及一种磁带和一种方法，在这种磁带上，信号被录制在螺旋磁道中，而该方法就是通过对一个待录制的数字信号的通道编码，把数字编码的视频信号录制在磁带的螺旋磁道上，通道编码的目的是获得一个用于向磁带上录制的通道信号。

这种磁带录制/再现装置已见于欧洲专利说明书第 0476767 号 (PHN 13537)。已知的装置包括一个编码装置，该编码装置把待录制信号的 n 比特字变换为用于录制在磁带上的通道信号的 $(n+m)$ 比特的字，这被称为 NRZ-1 录制。更准确地说，以上说明描述了一种 24 比特到 25 比特的变换，在这个变换中，在每个 24 比特的字后附加一比特，以便调整通道信号的连续的数字之和，该通道信号是时间的函数。

本发明的目的是提供一个带有编码装置的录制/再现装置，而这个编码装置可以以一种简单的方式并且在不降低编码效率的条件下，抑制“伪”同步模式的重复产生。

出于这个目的，按照本发明的磁带录制/再现装置中的编码装置包括一个数据序列生成器，用于产生由多项式 $p(x) = x^{15} + x^A + 1$ 定义的数据序列，其中 $A=7$ 或 8 。产生可由任意多项式描述的数据序列的装置在本质上是已知的，并被称为最大长度序列生成器或伪随机位序列生成器。这种生成器常被用于对一个信号加密（编码），以防止被未经授权的人解码。原始信号只能在相同的并且是同步的生成器上通过处理加密的信号而被再现。因此，要选择一个在加密信息的保密性方面有良好性质的多项式。对那些未经授权的人来说，企图非法破解这种被保护的信息实际上应是不可能的。为了能在磁带录制/再现装置中使用，数据生成器的选择应该基于另外的标准。为了说明这些标准和按照本发明的装置，将首先用例子来描述磁带录制/再现装置的某些相关

方面，这种磁带录制/再现装置与一种将要开发的新型数字录制系统相一致。

在录制方式下，输入的数字信号被分为若干组，每组 792 位，在每组后面加上纠错数据。这样就产生了由 856 位组成的录制信号块。

5 这些待录制信号中的录制信号块被送往编码装置。在编码装置中，待录制信号被处理（通道编码）以获得通道信号。由于待录制信号含有一个块结构（录制信号块），通道信号也含有一个块结构，即通道信号块。因此，一种同步模式就被加于每一个通道信号块，由此可获得传输信号块。经过几个为录制作准备的操作之后，这些传输信号块就被录制在磁带上。录制完成后，每个磁道中含有 306 个传输信号块。

10 在再现方式下，一个检测器检查被读出的信号来确定同步模式的存在，当这些同步模式被检测到时，就可以确定传输信号块的位置，并从此抽取出通道信号块。这样，通道信号就可被重构了。在编码装置中，通道信号必须经过相反的操作（通道解码），以获得数字再现信号。

15 对数字再现信号还必须进行纠错操作，之后就可以去掉在录制方式中使用的块结构。用以上方式，即可生成原始输入信号的一个副本。

当录制任意信号时，有可能偶尔会莫名其妙地发生通道信号与同步模式相对应的情况。因此，在信号再现的过程中，检测器将检查到一个“伪”同步模式。这种检测器通常用以下方式构造，即偶尔发生的“伪”同步模式不会使检测器失去同步。但是，如果输入信号有很强的周期性，例如相邻的视频线的内容相互之间有很大的相似性，那么“伪”同步模式有可能经常产生并且在每个通道信号块中都出现在一个基本上固定的位置。在这种情况下，对检测器来说，区分期望的同步模式和“伪”同步模式将是非常困难的。那么，检测器可能出现同步混乱。如果输入信号是从计算机而来的数据流或是数字编码的音频信号，将会导致出现一种周期性，这种周期性使得通道信号种的伪同步模式有规律的出现。

20

25

在按照本发明的磁带录制/再现装置中，待录制的信号将以不影响其编码效率的方式被处理，以便抵消“伪”同步模式的周期性出现。

30 出于这个目的，待录制信号将与一个数据序列组合到一起，该数据序列由数据序列生成器生成，并且待录制信号通过这个数据序列来被编码。数据序列包括一个最大长度序列，它符合以下的设计准则：

1) 待录制信号块将通过不同的通道序列来编码, 用于防止由于输入信号的周期性而产生的“伪”同步模式的重复发生。

2) 最大长度序列应该短些, 用于防止全0或全1的长序列的产生, 因为这种序列也很可能出现在通道信号中。这种全0或全1的长序列不太适合于用磁带传输, 而且在这种序列中没有边界。(一个边界是从0到1或反过来从1到0的转折点。) 在录制方式下, 这种边界对于使锁相环路同步来说是必须的, 借助于该锁相环路, 数据位可以由从磁带上读出的信号重构。在部分信号中没有边界可能造成锁相环路不同步。因此, 为了防止这种情况, 最大长度序列应该短些, 即多项式的最高次幂应该低一些。通过选择这样一个在长周期内不发生重复的最大长度序列, 第一条准则就基本上可以满足。例如, 这个周期可以是对应于5幅视频图象的时间周期。这个5幅视频图象的周期通常也作为编辑视频记录的单位。这个周期对应于磁带上的12个磁道, 也即对应于 $12 \times 306 = 3,672$ 个传输信号块。在这些传输信号块中, 有 $3672 \times 856 = 3,143,232$ 位数据被处理, 这就需要有一个 $2^{22}-1$ 位长的一个最大长度序列, 从而意味着多项式的最高次幂至少应为22。但这种解决方案与第二条准则有矛盾: 即所要求的是一个短的最大长度序列。按照本发明的装置利用一种能同时满足两条准则的解决方案, 即采用产生较短最大长度序列的数据序列生成器, 在给定周期中, 这个最大长度序列的预置值对所有的待录制信号块是不同的。12个磁道的周期包括3672个传输信号块, 这意味着通过一个12位的预置值, 在12个磁道的周期内, 所有待录制信号块都可用一个不同的数据子序列来编码。由于这种解决方案, 现在一个 $2^{12}-1$ 位的最大长度序列就足够了, 即多项式的最高次幂至少应为12。

出于使用上的一些原因, 也正是这些原因导致了录制/再现装置的便利的实现, 以下设计准则是重要的:

3) 数据序列生成器的反馈回路和异或(XOR)电路的数目应为最小, 最好是1。

4) 多位数据, 最好至少8位, 应该能通过数据序列生成器同时得到, 以便实现待录制信号的多位数据可被同时编码。而且, 数据序列生成器应能够简单地适应于这样一种方式, 即以低于待录制信号比特率的频率来完成数据序列这类多位数据的产生, 例如用比待录制信号

比特率低8倍的频率。通过一个数据序列生成器，所有的设计准则将以一种绝妙的方式而被满足，这个数据序列生成器产生由多项式

$p(x) = x^{15} + x^7 + 1$ 或 $p(x) = x^{15} + x^8 + 1$ 定义的最大长度序列类型的数据序列。

实际上，这两个多项式定义了相同的最大长度序列，它们在时间上互为镜像。

- 5 在录制过程中，待录制信号被编码以便获得通道信号，通道信号在经过进一步处理之后被录制在磁带上，进一步的处理包括将数据分割为在此以前描述过的数据块，并加上同步模式和纠错数据。在再现过程中，从磁带上读出的信号以相反的方式被处理，而且由此获得的
- 10 通道信号被解码。编码和解码过程都包括把待处理信号与已产生的数据序列相组合，以便获得处理之后的信号。而且，本发明中的实现方式是非常便利的，这种实现方式提供只含一个编码装置的录制/再现装置，并且这种编码装置具有选择功能，根据整个录制/再现装置是处于录制方式还是处于再现方式，编码装置或者选择待录制信号，或者选
- 15 择从磁带上读出的通道信号，用以与已产生的数据序列相组合。待处理的信号将与数据序列组合，例如这种操作可通过诸如倍补偿混频电路的混频器来完成。但是，一种更好的实施方案的特点在于编码装置中还包括模2加法器，用于将已产生的数据序列与待处理信号组合在一起。待处理信号既可以是待录制的数字信号，也可以是从磁带上读出的
- 20 通道信号，模2加法的结果是获得处理后的信号，即准备录制在磁带上的通道信号，或数字再现信号。对于把待处理信号与数据序列组合到一起的目的而言，诸如XOR电路(异或)的模2加法器的优点在于模2加法器可简单地并入一个数字电路装置，并且与许多混频电路相反，模2加法器不会引起信号电平的迁移。模2加法器可以以下面这种方式
- 25 实现，即每次总是把待处理信号的一位数据与已产生的数据序列的一位数据组合到一起，但是在一个时刻对多位数据同时执行其他操作的实现中，在一个时刻对多位数据同时也执行编码/解码操作是便利的。出于这个目的，一个优选的实施方案的特点在于数据序列生成器适用于生成一个N比特的字，并且模2加法器包含N个XOR电路(异或)，这N
- 30 个XOR电路在一起被安排用于把来自数据序列生成器的N比特的字与待处理信号的N比特的字组合到一起，以获得处理后信号的N比特字，其中 $N > 1$ 。数据序列生成器可以以这种方式实现，即数据序列的多位数据

以一个较高的频率来被生成，该频率相当于待处理信号的比特率。这些位数据可以一位接一位的提供，并与待处理信号的一位数据组合到一起，或者这些位数据还可以按N比特字的方式来被提供和组合。在刚刚提到的情况中，数据的提供和组合以一定的频率来完成，这个频率是通过待处理信号的比特率除以N得到的。一种实施方案，它的特点在于数据序列生成器适用于产生N比特的字，所说的字是通过相当于待处理信号的比特率除以N后所得频率而被生成的，这种实施方案的优点是数据序列生成器也能以较低的频率工作。这会减少数据序列生成器电路的电流消耗，并允许数据序列生成器用产生不太快电路的集成电路过程来实现。按字的方式被生成和处理的数据的字长N最好是根据其它操作中使用的字长加以选择。经常使用的字长是8或16。

按照本发明，录制/再现装置的另一个实施方案的特点是数据序列生成器包括15个串行耦合的存储单元($M_1 \dots M_{15}$)和一个异或电路，存储单元 M_k 的输出连接到存储单元 M_{k+1} 的输入，其中 $k = 1 \dots 14$ ，最后一个存储单元(M_{15})的输出连接到异或电路的输入，而且第7个或第8个存储单元(M_k)的输出连接到异或电路的另一个输入，而异或电路的输出连接到第一个存储单元的输入。这种数据序列生成器适用于以一个较高的频率来产生数据序列的各个位，这个较高的频率相当于待处理信号的比特率。这些数据位可以从某个存储单元的输出中一位接一位地取出，例如 M_{15} ，并与待处理信号的一位数据相组合，或者几个数据位可以从来自N个相邻序号的存储单元(例如，从 M_8 到 M_{15})的N位字中取出，N例如为8，并作为一个字长为N的字同时与待处理信号的字长为N的字组合到一起。在刚刚提到的情况中，数据的读出和组合是以一定频率来完成的，该频率是通过待处理信号的比特率除以N而得到的。如果数据序列生成器还包括有一个存储单元 M_{16} ，存储单元 M_{15} 的输出连接在 M_{16} 的输入端，这种实施方案对于处理16位字的实现也是同样适用的，这样的数据序列的一个字长为16的字是从存储单元 M_1-M_{16} 中取出的，并与待处理信号的一个16位字相组合。如果以这种方式采用实施方案，数据的读出与组合以一定的频率来完成，该频率是通过待处理信号的比特率除以16而得到的。

录制/再现装置的一种实施方案的特征在于 $A=7$ ，数据序列生成器包括15个耦合的存储单元($M_1 \dots M_{15}$)和8个异或电路($X_1 \dots X_8$)，异或电

路 X_n 的输出连接在存储单元 M_n 的输入, 其中 $n=1..7$, 存储单元 M_n 的输出连接在存储单元 M_{n+8} 的输入, 同时也连接在异或电路 X_{n+1} 的输入, 存储单元 M_{n+8} 的输出连接在异或电路 X_{n+1} 的另一个输入, 异或电路 X_i 的输出连接在存储单元 M_i 的输入, 同时也连接在异或电路 X_1 的一个输入. 存储单元 M_8 的输出连接在异或电路 X_1 的另一个输入. 这个数据序列生成器适用于以相当于待处理信号比特率除以8的较低频率来产生数据序列的字长为8的字. 这样的一个字长为8的字从8个相邻序号的存储单元中提取出来, 例如从 M_8 到 M_{15} , 并与待处理信号的字长为8的字相组合, 数据的读出与组合以一定的频率来完成, 该频率是通过待处理信号的比特率除以8而得到的. 这种实施方案对于处理16位字的实现也是同样适用的, 如果数据序列生成器还包括一个存储单元 M_{16} , 存储单元 M_8 的输出连接到存储单元 M_{16} 的输入的话. 现在数据序列的一个16位的字是从存储单元 M_8 到 M_{16} 中取出, 并与待处理信号的一个16位的字相组合. 如果本实施例按如此方式使用, 那么数据的读出与组合以一定的频率来完成, 该频率是通过待处理信号的比特率除以16而得到的.

这种实施方案对于处理16位字的应用场合也是同样适用的, 如果数据序列生成器还包括8个存储单元 $M_{16}-M_{23}$, 8个相邻序号的存储单元, 例如从 M_8 到 M_{15} , 把它们输出连接到存储单元 M_{16} 到 M_{23} 的输入的话, 数据序列生成器在存储单元 M_8-M_{15} 内产生第一个8位字, 将该字存储于8个存储器单元 $M_{16}-M_{23}$ 中, 并由此在存储单元 M_8 到 M_{15} 中产生了第二个8位字长的字. 现在数据序列的一个16位的字是从存储单元 M_8 到 M_{23} 中取出, 并与待处理信号的一个16位的字相组合. 数据的读出与组合以一定的频率来完成, 该频率是通过待处理信号的比特率除以16而得到的.

应该指出, 多项式 $p(x)=x^{15}+x^7+1$ 或 $p(x)=x^{15}+x^8+1$ 定义了基本上相同的数据序列, 它们在时间上互为对方的镜像. 因此, 通过一个数据序列来处理一个数据块与通过另一个数据序列来处理将得到同样的结果, 只要这种处理也是在时间镜像上完成的, 即数据块的最后一位首先被处理, 然后是倒数第二位, 等等, 最后是数据块的第一位. 由于用于数字信号的录制/再现装置包括几个缓冲区, 这些缓冲区暂存了一些数据块用于进一步的信号处理, 那么把待录制的信号块以时间镜像的方式提供给该装置, 以及把这些时间上相反的块与所说的数据序列

在该装置中组合起来，还要把所得的在时间上相反的通道信号块存于缓冲区并再一次取它们的时间镜像以便于存储在磁带之上，都是非常轻易的。在再现期间，通道信号块以类似的取反方式被处理以获得再现信号块。

- 5 按照本发明的磁带录制/再现装置特别适用于录制并且/或者再现一个数字编码的视频信号，因为在这样的装置中，发明的意图都已达到，这一点十分重要。但是，应当注意，磁带录制/再现装置不一定需要包括源编码装置以及/或者源解码装置；从(模拟)视频信号到例如MP EG编码的视频信号的变换以及相反操作可以在录制/再现装置之外完
- 10 成。由于源编码以及/或者源解码在哪里完成与本发明无关，本发明也涉及录制/再现装置，在该录制/再现装置中不包括源编码装置以及/或者源解码装置，并且由此这种录制/再现装置也适用于录制以及/或者再现除了数字编码视频信号之外的数字信号，例如诸如计算机数据与数字编码的声频信号之类的信号。

- 15 而且，应该指出，在磁带录制/再现装置被称为“螺旋扫描”的情况下，本发明同样涉及所有采用旋转头读写磁道的磁带录制/再现装置，其中这种磁道与磁带的传输方向成比例地倾斜，而且应当理解本发明也包括“横向扫描”类型与“精确扫描”类型的装置。

现将本发明参考附图，以示例更详细地描述，在附图中：

- 20 图1是按照本发明的磁带录制/再现装置的方框图，
图2示意了编码装置的实施方案，
图3示意了编码装置的另一个实施方案，
图4也示意了编码装置的又一个实施方案。

- 25 图1的方框图中示意了按照本发明的磁带录制/再现装置的一些部分，这些部分有助于正确理解本发明。

如果该装置在录制方式，待录制的信号必须经过以下操作：

- 源编码。如果将要录制并输入到输入端1.的信号A是模拟视频信号，它首先被转换为，例如，在源编码装置1中的MPEG编码视频信号，由此得出的数字信号B，在后面被作为输入数字信号。
- 30 —块结构化。输入数字信号B在处理装置2中被分为792位的组，然后在每组后面加上纠错数据。因此，得到每个具有856位的录制信号块，得出的录制信号C包括这些录制信号块的流。

-通道编码. 在录制期间, 信号选择装置3.1在图示位置, 因此录制信号C进一步在编码装置3中处理, 以获得通道信号D。该处理包括将录制信号C与由数据序列生成器3.3生成的数据序列E在异或电路3.2中组合。此数据序列生成器产生由多项式 $p(x)=x^{15}+x^7+1$ 定义的最大长度序列。由于录制信号C有一个块结构(录制信号块), 所以得出的通道信号D也有一个块结构, 即通道信号块。

-同步准备. 在录制期间, 通道信号D由信号路由选择装置4输入到同步准备装置5。在同步准备装置中, 在每个通道信号块后附加同步模式, 产生传输信号块。由此获得的传输信号块F包括用于录制的传输信号块流。

-录制. 传输信号经切换装置6输入写/读装置7, 录制的准备过程完成后, 该写/读装置把信号记录在磁带7.1上。写/读装置向磁带上的螺旋磁道写入; 当信号被录制在磁带上以后一个磁道包括306个传输信号块。

当装置在再现方式时, 待再现的信号必须经过以下操作:

-读. 写/读装置7从磁带7.1上读出信号并处理此信号, 以获得数字传输信号G, 然后该传输信号经切换装置6输入到同步装置8(切换装置6在再现方式时处在不同于图示的位置)。

-同步. 同步装置8检查传输信号G是否存在同步模式。如果检测到这些模式, 传输信号就被分成传输信号块, 由这些传输信号块, 通道信号块被抽取出来并以通道信号H输出。

-通道解码. 通道信号H输出到编码装置3。在再现期间, 信号选择装置3.1处于不同于图示位置的另一个位置。在编码装置3中, 通道信号H被处理, 以获得再现信号I。这个处理对应于录制期间的处理, 因此, 取消了录制期间的处理。此处理包括将通道信号H与在数据序列生成器3.3中产生的数据序列E在异或电路3.2中组合, 数据序列生成器产生由多项式 $p(x)=x^{15}+x^7+1$ 定义的最大长度序列。

-信号结构化. 在再现其间, 所得到的再现信号I经信号路由选择装置4(现处于不同于图示位置的另一个位置), 输入到处理装置9。在这些处理装置中, 纠错之后, 信号就去掉了在录制方式时处理装置2中所提供的块结构。在处理装置9的输出端9₁, 产生数字输出信号J, 它是原始数字输入信号B的一个副本。

-源解码。在输出端9.9.的数字输出信号J,例如,为MPEG编码的视频信号。在源解码装置10中,信号被转换为模拟视频信号K,它可在输出端10a上获得,以便输出到,例如,电视接收机。

按照本发明的磁带录制/再现装置的另一种实施方案中,不包括源
5 编码装置1。这样的实施方案在以下情况下是有利的,即当MPEG编码的视频信号被传输,最后可在调谐装置(图中未标出)的输出端获得时,以及当数字编码的视频信号从其他源,例如照相机,或set-top盒中得到之时。因此在这种实施方案中,输入的数字信号可以直接输入到输入端2,不需使用其他任何源编码。

10 在按照本发明的磁带录制/再现装置的又一种实施方案中,不包括源解码装置10。这样的实施方案在以下情况下是有利的,当MPEG编码的视频信号可以在录制/再现装置以外的装置,例如电视中被处理之时在这种实施方案中,数字信号J可直接从输出端9.获得,而不需使用其他任何源解码。

15 这两种替代的实施方案也可以组合成一种不带源编码与源解码装置的实施方案。

图2示意了编码装置3的一种实施方案。此实施方案包括一个数据
序列生成器3.3,该数据序列生成器包括15个串行耦合的存储单元
 $M_1 \dots M_{15}$ 和一个异或电路 X_1 ,每个存储单元 $M_1 \dots M_{14}$ 的输出端连接到下一个
20 序号比它大的存储单元的输入端,最后一个存储单元 M_{15} 的输出端与第7个存储单元 M_7 的输出端,分别接到异或电路 X_1 的输入端。此异或电路 X_1 的输出端再连接到第一个存储单元 M_1 的输入端。

数据序列生成器还包括一个触发信号通道,未在图中示出:每个
存储单元有一个触发输入端,用于接受触发信号。当触发信号被接受
25 到后,存储单元的输入端上的数据位被装入存储单元,并转移到输出端。存储单元的触发输入端相互连接,接收频率与录制信号C的比特率相当的触发信号。数据序列生成器还包括预置信号通路,也未在图中示出:每个存储单元有一个预置输入,用于接收一位预置信号,还有一个预置使能输入,用于接收预置使能信号。当预置使能信号被接收
30 到,存储单元的预置输入端的一位就被装入存储单元,并转移到输出端。存储单元的预置使能输入端相互连接,为录制信号C中的每个录制信号块接收预置使能信号。预置信号(15位)总是被调整到这样一种方

式，即在12个磁道的周期内，所有录制信号块用不同的数据子序列编码。

数据序列E从生成器在存储单元M₁₅的输出端输出。

5 编码装置还包括一个异或电路3.2，用于将数据序列E与录制信号C组合，以获得通道信号D。

图3示意了编码装置的另一个实施方案。在此实施方案中，数据序列生成器3.3的结构与图2中的类似，不同之处在于8位的数据序列E由生成器在存储单元M₈...M₁₅的输出端输出。在八个异或电路3.2₁...3.2₈中，8比特字E₁...E₈与录制信号C的8比特字C₁...C₈相组合，以便获得通道信号D的8比特字D₁...D₈。与图2所示的实施方案相类似，图3的数据序列生成器也包括触发信号通道和预置信号通道，未在图中示出。在本实施方案中，存储单元M₁...M₁₅的触发输入端同样接收频率与录制信号C的比特率相当的触发信号，但是通道信号D的8比特字D₁...D₈是以只低8倍的频率读出的，以作进一步处理。因此，录制信号C的8比特字C₁...C₈也需以这个只低8倍的频率提供。因而，本实施方案对于以8比特字操作的实现是有利的。

图2与图3所示的编码装置3的实施方案被构造成产生由多项式 $p(x) = x^{15} + x^7 + 1$ 定义的数据序列，这些实施方案可以简单地用于产生由多项式 $p(x) = x^{15} + x^8 + 1$ 定义的数据序列。为此，将第8个存储单元M₈的输出连接到异或电路X₁的输入端，取代第7个存储单元M₇的输入。

图4示意了编码装置3的又一个实施方案，用于产生由多项式 $p(x) = x^{15} + x^7 + 1$ 定义的数据序列。这个实施方案含一个数据序列生成器3.3，它包括15个相互耦合的存储单元M₈...M₁₅，以及8个异或电路X₁...X₈。异或电路X₈的输出连接到存储单元M₈的输入端和异或电路X₈的一个输入端，存储单元M₈的输出连接到异或电路X₁的另一个输入端。而且，存储单元和异或电路按照7个相同的子结构相互耦合， $n = 1...7$ ：异或电路X_n的输出连接到存储单元M_n的输入端，存储单元M_n的输出连接到存储单元M_{n+8}的输入端和异或电路X_{n+1}的一个输入端，存储单元M_{n+8}的输出连接到异或电路X_{n+1}的另一个输入端。

30 每次数据序列E的8比特字是从存储单元M₈...M₁₅中取出，在8个异或电路3.2₁...3.2₈中，这个8比特字E₁...E₈与录制信号C的8比特字C₁...C₈相组合，以获得通道信号D的8比特字D₁...D₈。类似于图2所

示的实施方案，图4中的数据序列生成器还包括触发信号通道和预置信号通道，并未在图中示出。在当前实施方案中，存储单元 $M_1 \dots M_{15}$ 的触发输入端同样接收较低频率的触发信号，这个较低频率是录制信号C的比特率除以8得到的。为了后续的处理，通道信号D的8比特字 $D_1 \dots D_8$ 也需以这个频率来被读出。因而，本实施方案对于以8比特字操作的实现是有利的，并且由于数据序列生成器以较低的频率运行，这个实施方案的电流消耗较低。

对于在图2、3、4中所示的实施方案，信号被表示为在录制期间由编码装置处理和提供：即录制信号C和通道信号D。但是，这些实施方案同样适用于再现方式：待处理信号是通道信号H并且处理后的信号是再现信号I。这些实施方案中也可以带有信号选择装置（图1中的3.1），根据整个装置是处于录制方式还是处于再现方式，信号选择装置选择录制信号C或从磁带上读出的通道信号H，用于与已产生的数据序列E相组合。

由此，本发明提供了一种“螺旋扫描”式的磁带录制/再现装置，它用于录制并且/或者再现数字编码的视频信号，并包括一个编码装置。在录制方式，编码装置处理待录制的数字信号（通道编码）以获得一个将被录制在磁带上的通道信号。在再现方式，编码装置处理从磁带上读出的通道信号（通道解码），以获得一个数字再现信号，它是原始录制信号的一个副本。出于这个目的，编码装置包括一个数据序列生成器，用于产生由多项式 $p(x) = x^{15} + x^7 + 1$ 或 $p(x) = x^{15} + x^8 + 1$ 定义的数据序列。而且，数据序列包括一个模2加法器，在模2加法器中，待处理信号与已产生的数据序列相组合，以及处理装置，它根据录制/再现装置的操作方式，从待录制信号和通道信号中选出将要被处理的信号。本发明还提供了带有编码装置的实施方案，适用于产生数据序列的字长为N的字，并把这些字长为N的字与待处理信号的字长为N的字相组合。

应当指出，本发明不限于在这里描述的较好的实施方案。那些精通技术的人有能力展望在本发明范围内的各种变形，这个范围在下列权利要求中有定义。因此，例如数据序列生成器可以用诸如 $4k \times 8$ ROM之类的存储器来实现，在这个存储器中，数据序列可被预编程。数据序列的一个字，例如一个8比特字，从存储器中读出，接着存储器以这

- 样一种方式被寻址，即数据序列的下一个字处于可读的状态。对于每一个待录制的信号块，通过在ROM上适当的位置开始读出数据序列，在12个磁道周期内的所有待录制信号块可由不同的数据子序列来被编码。而且，尽管这里的编码是通过硬件装置的术语描述的，本发明也可通过一个控制可编程装置功能的软件程序来实现，诸如微处理器或数字信号处理器。这样的实现也在本发明的范围内。下面这种做法是非常有利的，即把本发明合并在一个软件程序内来进行录制并且/或者读取数字信号的其他信号处理功能，并且正如前面描述的，为这个目的选择在所说其他信号处理功能中所使用的字长所适用的实施例。
- 5

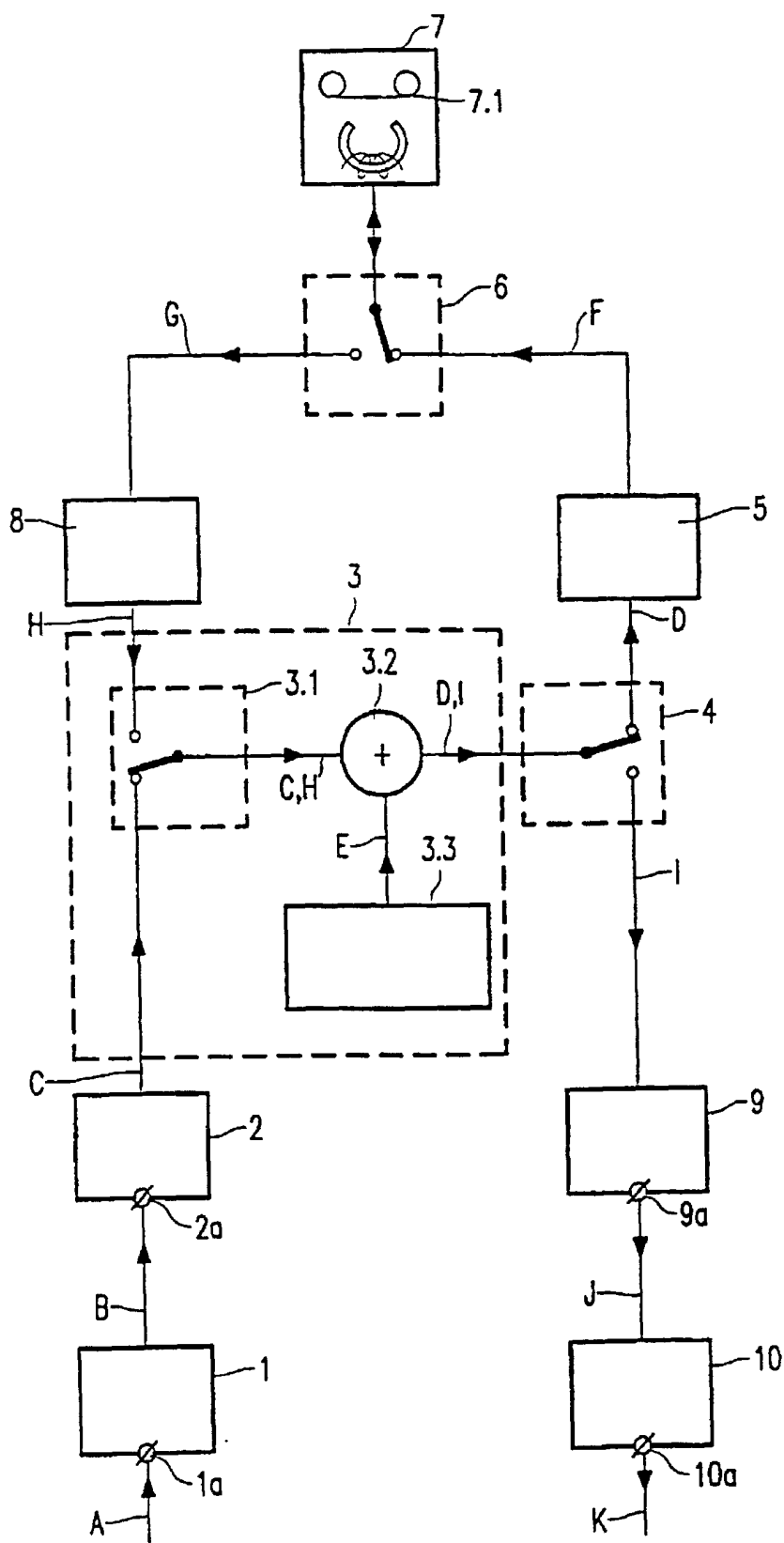


图 1

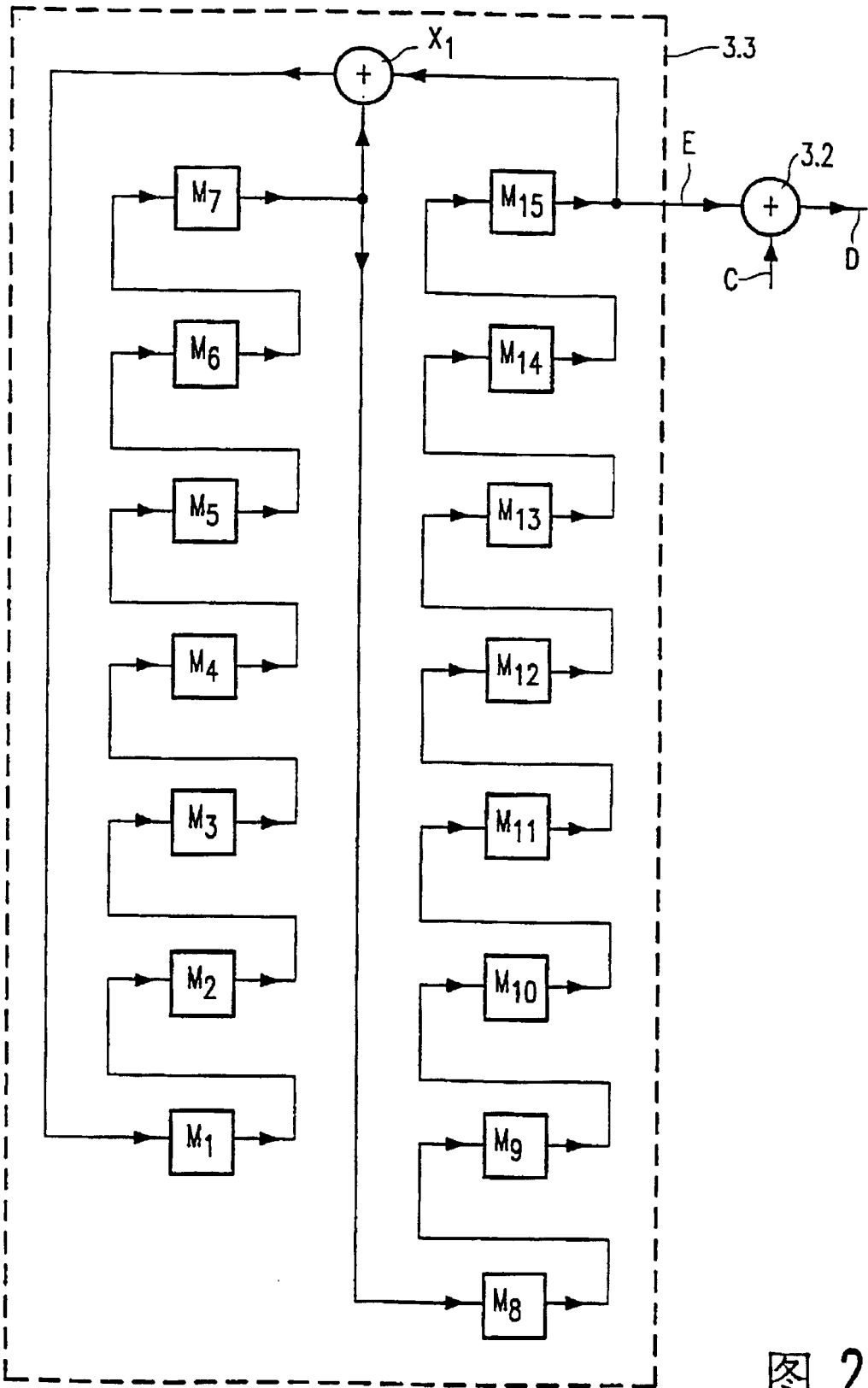


图 2

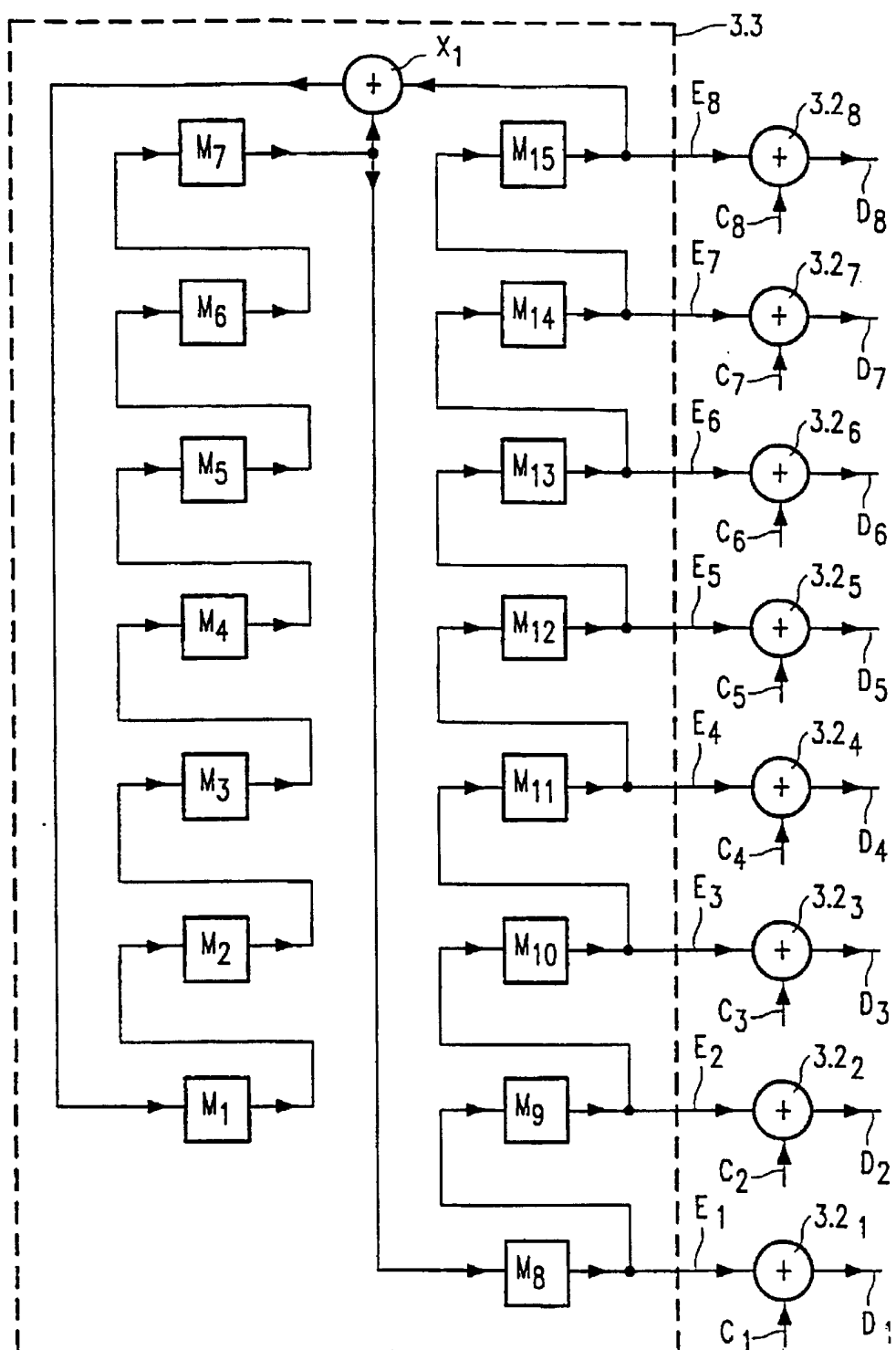


图 3

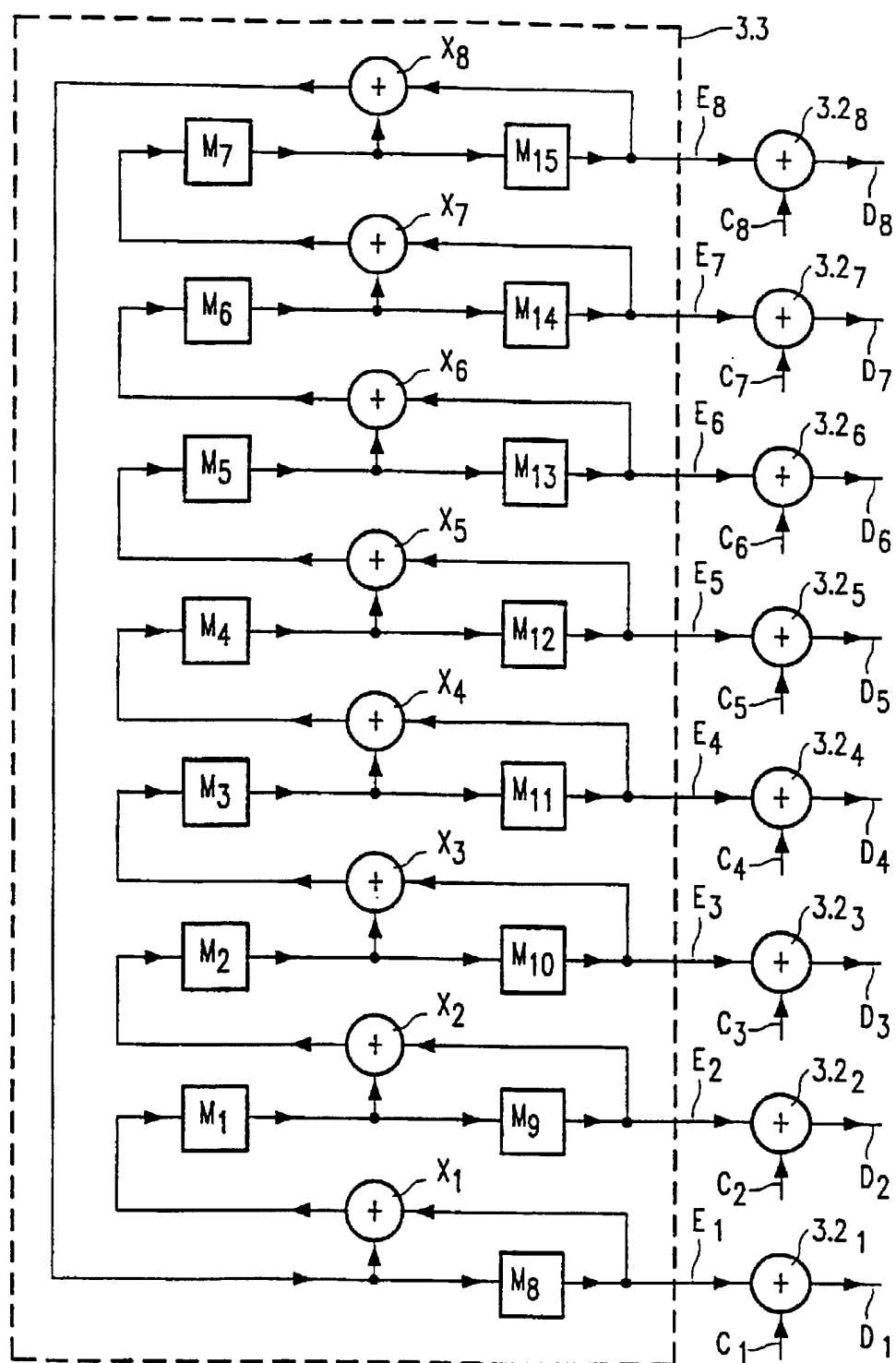


图 4