

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号

特許第7166319号  
(P7166319)

(45)発行日 令和4年11月7日(2022.11.7)

(24)登録日 令和4年10月27日(2022.10.27)

(51)国際特許分類

F I

H 0 1 L 21/336(2006.01)

H 0 1 L 29/78 6 1 7 S

H 0 1 L 29/786(2006.01)

H 0 1 L 29/78 6 1 7 U

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 9 A

請求項の数 2 (全45頁)

(21)出願番号 特願2020-200830(P2020-200830)  
 (22)出願日 令和2年12月3日(2020.12.3)  
 (62)分割の表示 特願2019-53490(P2019-53490)の  
 分割  
 原出願日 平成21年11月2日(2009.11.2)  
 (65)公開番号 特開2021-36620(P2021-36620A)  
 (43)公開日 令和3年3月4日(2021.3.4)  
 審査請求日 令和2年12月28日(2020.12.28)  
 (31)優先権主張番号 特願2008-286577(P2008-286577)  
 (32)優先日 平成20年11月7日(2008.11.7)  
 (33)優先権主張国・地域又は機関  
 日本国(JP)

(73)特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷3 9 8 番地  
 (72)発明者 秋元 健吾  
 神奈川県厚木市長谷3 9 8 番地 株式会  
 社半導体エネルギー研究所内  
 (72)発明者 津吹 将志  
 神奈川県厚木市長谷3 9 8 番地 株式会  
 社半導体エネルギー研究所内  
 審査官 田付 徳雄

最終頁に続く

(54)【発明の名称】 表示装置

## (57)【特許請求の範囲】

## 【請求項1】

基板上方のゲート電極層と、  
 前記ゲート電極層上方の第1の絶縁層と、  
 前記第1の絶縁層上方のソース電極層と、  
 前記第1の絶縁層上方のドレイン電極層と、  
 前記第1の絶縁層上方の酸化物半導体層と、  
 前記ソース電極層上方、前記ドレイン電極層上方及び前記酸化物半導体層上方の第2の  
 絶縁層と、  
 前記第2の絶縁層上方の第3の絶縁層と、  
 前記第3の絶縁層上方の画素電極と、を有し  
 前記ゲート電極層と前記第1の絶縁層と前記ソース電極層とが互いに重なる第1の領域  
 と、  
 前記ゲート電極層と前記第1の絶縁層と前記ドレイン電極層とが互いに重なる第2の領  
 域と、  
 前記ゲート電極層と前記ソース電極層と前記ドレイン電極層との間の領域に位置する前  
 記第1の絶縁層と前記酸化物半導体層とが互いに重なる第3の領域と、を有し、  
 前記第1の領域における前記第1の絶縁層の厚さよりも、前記第3の領域における前記  
 第1の絶縁層の厚さの方が薄く、  
 前記第2の領域における前記第1の絶縁層の厚さよりも、前記第3の領域における前記

10

20

第 1 の絶縁層の厚さの方が薄く、

前記酸化物半導体層は、In と、Ga と、Zn と、を有し、

前記第 2 の絶縁層は、第 1 の膜と、前記第 1 の膜上方の第 2 の膜と、を有し、

前記第 1 の膜は、酸素と、珪素と、を有し、

前記第 2 の膜は、窒素と、珪素と、を有し、

前記第 3 の絶縁層は、有機材料を有する表示装置。

#### 【請求項 2】

基板上方のゲート電極層と、

前記ゲート電極層上方の第 1 の絶縁層と、

前記第 1 の絶縁層上方のソース電極層と、

前記第 1 の絶縁層上方のドレイン電極層と、

前記第 1 の絶縁層上方の酸化物半導体層と、

前記ソース電極層上方、前記ドレイン電極層上方及び前記酸化物半導体層上方の第 2 の絶縁層と、

前記第 2 の絶縁層上方の第 3 の絶縁層と、

前記第 3 の絶縁層上方の画素電極と、を有し

前記ゲート電極層と前記第 1 の絶縁層と前記ソース電極層とが互いに重なる第 1 の領域と、

前記ゲート電極層と前記第 1 の絶縁層と前記ドレイン電極層とが互いに重なる第 2 の領域と、

前記ゲート電極層と前記ソース電極層と前記ドレイン電極層との間の領域に位置する前記第 1 の絶縁層と前記酸化物半導体層とが互いに重なる第 3 の領域と、を有し、

前記第 1 の領域における前記第 1 の絶縁層の厚さよりも、前記第 3 の領域における前記第 1 の絶縁層の厚さの方が薄く、

前記第 2 の領域における前記第 1 の絶縁層の厚さよりも、前記第 3 の領域における前記第 1 の絶縁層の厚さの方が薄く、

前記酸化物半導体層は、In と、Ga と、Zn と、を有し、

前記第 1 の絶縁層は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜又は酸化タンタル膜の積層を有し、

前記第 2 の絶縁層は、第 1 の膜と、前記第 1 の膜上方の第 2 の膜と、を有し、

前記第 1 の膜は、酸素と、珪素と、を有し、

前記第 2 の膜は、窒素と、珪素と、を有し、

前記第 3 の絶縁層は、有機材料を有する表示装置。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

半導体装置及び当該半導体装置の作製方法に関する。

#### 【背景技術】

#### 【0002】

近年、酸化物半導体を用いて薄膜トランジスタ（TFT と呼ぶ）を作製し、電子デバイス等に応用する技術が注目されている。例えば、特許文献 1 や特許文献 2 には、酸化物半導体層として酸化亜鉛や In - Ga - Zn - O 系酸化物半導体などを用いて、画像表示装置のスイッチング素子などを作製する技術が開示されている。

#### 【0003】

また、酸化物半導体層を用いたトランジスタの構造として、様々な構造が提案されており、例えば、上述した特許文献 2 や、特許文献 3 では、ゲート絶縁層上に設けられたソース電極層及びドレイン電極層上に酸化物半導体層を形成するボトムゲート・ボトムコンタクト型の構造が示されている。

#### 【先行技術文献】

#### 【特許文献】

10

20

30

40

50

【 0 0 0 4 】

【文献】特開 2 0 0 7 - 1 2 3 8 6 1 号公報

特開 2 0 0 7 - 9 6 0 5 5 号公報

特開 2 0 0 7 - 3 0 5 6 5 8 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

一般的に、トランジスタの駆動電圧を低減し、高速動作を行うためには、ゲート絶縁層の膜厚を小さくすることが有効である。しかし、ボトムゲート・ボトムコンタクト型の構造において、ゲート電極層と、ソース電極層及びドレイン電極層とがゲート絶縁層を介して一部重畳する場合には、ゲート絶縁層の膜厚が小さくなるにつれて、ゲート電極層とソース電極層及びドレイン電極層間に寄生容量が形成され、素子特性に影響を及ぼすおそれがある。その結果、素子特性にばらつきが生じ、素子の信頼性が低下するおそれがある。

10

【 0 0 0 6 】

また、ゲート絶縁層を介してゲート電極層の端部を覆うようにソース電極層やドレイン電極層が設けられている場合、ゲート電極層の端部を被覆するゲート絶縁層の厚さが小さくなると、ゲート電極層とソース電極層やドレイン電極層との間でリークしやすくなる問題が生じる。

【 0 0 0 7 】

上記問題に鑑み、半導体層をゲート電極層、ソース電極層及びドレイン電極層上に設ける場合であっても、素子特性を向上させると共に、素子の信頼性を向上させることを目的の一とする。

20

【課題を解決するための手段】

【 0 0 0 8 】

ゲート電極層と、ゲート電極層上に設けられたゲート絶縁層と、当該ゲート絶縁層を介してゲート電極層の一部と重なるように設けられたソース電極層及びドレイン電極層と、ゲート絶縁層、ソース電極層及びドレイン電極層上に設けられた半導体層を有する構造において、ソース電極層とドレイン電極層の間の領域に位置するゲート絶縁層の膜厚を、ゲート電極層とソース電極層の間に設けられたゲート絶縁層またはゲート電極層とドレイン電極層の間に設けられたゲート絶縁層の膜厚より小さくするように設ける。この場合、ソース電極層及びドレイン電極層と、ゲート電極層との間に生じる寄生容量を低減すると共に、素子特性を向上させることができる。

30

【 0 0 0 9 】

また、開示する発明の一態様は、基板上に設けられたゲート電極層と、ゲート電極層上に設けられたゲート絶縁層と、ゲート絶縁層を介してゲート電極層の一部と重なるように設けられたソース電極層及びドレイン電極層と、ゲート電極層上であってソース電極層とドレイン電極層の間の領域に位置するゲート絶縁層と接して設けられ、且つソース電極層及びドレイン電極層上に設けられた酸化物半導体層を有し、ゲート電極層上であってソース電極層とドレイン電極層の間の領域に位置するゲート絶縁層の膜厚が、ゲート電極層とソース電極層の間に設けられたゲート絶縁層またはゲート電極層とドレイン電極層の間に設けられたゲート絶縁層の膜厚より小さいことを特徴としている。

40

【 0 0 1 0 】

また、開示する発明の一態様は、基板上に設けられたゲート電極層と、ゲート電極層上に設けられた第 1 の絶縁層と、第 1 の絶縁層上であって、ゲート電極層の一部と重なるように設けられた第 2 の絶縁層と、第 1 の絶縁層及び第 2 の絶縁層を介してゲート電極層の一部と重なるように設けられたソース電極層及びドレイン電極層と、ゲート電極層上であってソース電極層とドレイン電極層の間の領域に位置する第 1 の絶縁層と接して設けられ、且つソース電極層及びドレイン電極層上に設けられた酸化物半導体層を有することを特徴としている。なお、ゲート電極層上であってソース電極層とドレイン電極層の間の領域に位置する第 1 の絶縁層の膜厚を、ゲート電極層とソース電極層の間に設けられた第 1 の絶

50

縁層またはゲート電極層とドレイン電極層の間に設けられた第1の絶縁層の膜厚より小さくしてもよい。

【0011】

また、開示する発明の一態様は、基板上に設けられたゲート電極層と、ゲート電極層上に順に積層して設けられた第1の絶縁層と第2の絶縁層と、第1の絶縁層及び第2の絶縁層を介してゲート電極層の一部と重なるように設けられたソース電極層及びドレイン電極層と、ゲート電極層上であってソース電極層とドレイン電極層の間の領域に位置する第2の絶縁層と接して設けられ、且つソース電極層及びドレイン電極層上に設けられた酸化物半導体層を有し、ゲート電極層上であってソース電極層とドレイン電極層の間の領域に位置する第2の絶縁層の膜厚が、ゲート電極層とソース電極層の間に設けられた第2の絶縁層及びゲート電極層とドレイン電極層の間に設けられた第2の絶縁層の膜厚より小さいことを特徴としている。

10

【0012】

また、開示する発明の一態様は、基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上にソース電極層及びドレイン電極層を形成し、ソース電極層とドレイン電極層の間の領域に設けられたゲート絶縁層の上層部をエッチングすることにより、ソース電極層とドレイン電極層の間の領域に位置するゲート絶縁層の膜厚を、ゲート電極層とソース電極層の間に設けられたゲート絶縁層またはゲート電極層とドレイン電極層の間に設けられたゲート絶縁層の膜厚より小さくし、ゲート絶縁層、ソース電極層及びドレイン電極層上に酸化物半導体層を形成することを特徴としている。

20

【0013】

また、開示する発明の一態様は、基板上にゲート電極層を形成し、ゲート電極層上に第1の絶縁層を形成し、第1の絶縁層上に第2の絶縁層を形成し、第2の絶縁層上にソース電極層及びドレイン電極層を形成し、ソース電極層とドレイン電極層の間の領域に設けられた第2の絶縁層をエッチングすることにより第1の絶縁層を露出させ、第1の絶縁層、ソース電極層及びドレイン電極層上に酸化物半導体層を形成することを特徴としている。

【0014】

なお、本明細書中で用いることができる酸化物半導体の一例としては、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ,  $m$ は整数とは限らない。)で表記されるものがある。ここで、 $M$ は、ガリウム( $\text{Ga}$ )、鉄( $\text{Fe}$ )、ニッケル( $\text{Ni}$ )、マンガン( $\text{Mn}$ )及びコバルト( $\text{Co}$ )から選ばれた一の金属元素又は複数の金属元素を示す。例えば $M$ として $\text{Ga}$ が選択される場合には、 $\text{Ga}$ のみの場合の他に、 $\text{Ga}$ と $\text{Ni}$ や、 $\text{Ga}$ と $\text{Fe}$ など、 $\text{Ga}$ 以外の上記金属元素が選択される場合を含む。また、上記酸化物半導体において、 $M$ として含まれる金属元素の他に、不純物元素として $\text{Fe}$ 、 $\text{Ni}$ その他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においては、上記酸化物半導体のうち、 $M$ として少なくともガリウムを含むものを $\text{In-Ga-Zn-O}$ 系酸化物半導体と呼び、当該材料を用いた薄膜を $\text{In-Ga-Zn-O}$ 系非単結晶膜と呼ぶ。

30

【0015】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置に含まれる。また、本明細書中において表示装置とは、発光装置や液晶表示装置を含む。発光装置は発光素子を含み、液晶表示装置は液晶素子を含む。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL( $\text{Electro Luminescence}$ )素子、有機EL素子等が含まれる。

40

【発明の効果】

【0016】

ゲート電極層と、ゲート電極層上に設けられたゲート絶縁層と、当該ゲート絶縁層を介してゲート電極層の一部と重なるように設けられたソース電極層及びドレイン電極層と、ゲート絶縁層、ソース電極層及びドレイン電極層上に設けられた半導体層を有する構造において、ソース電極層とドレイン電極層の間の領域に位置するゲート絶縁層の膜厚を、ゲ

50

ト電極層とソース電極層の間に設けられたゲート絶縁層またはゲート電極層とドレイン電極層の間に設けられたゲート絶縁層の膜厚より小さくなるように設けることにより、ソース電極層及びドレイン電極層と、ゲート電極層との間に生じる寄生容量を低減すると共に、素子特性を向上させることができる。

【図面の簡単な説明】

【 0 0 1 7 】

【図 1】実施の形態 1 又は実施の形態 2 に係る半導体装置の一例を説明する図。

【図 2】実施の形態 1 に係る半導体装置の作製方法の一例を説明する図。

【図 3】実施の形態 2 に係る半導体装置の作製方法の一例を説明する図。

【図 4】実施の形態 2 に係るプラズマ処理に用いる装置の一例を説明する図。

10

【図 5】実施の形態 3 に係る半導体装置の一例を説明する図。

【図 6】実施の形態 3 に係る半導体装置の作製方法の一例を説明する図。

【図 7】実施の形態 4 に係る半導体装置の一例を説明する図。

【図 8】実施の形態 4 に係る半導体装置の作製方法の一例を説明する図。

【図 9】実施の形態 5 に係る半導体装置の作製方法の一例を説明する図。

【図 10】実施の形態 5 に係る半導体装置の作製方法の一例を説明する図。

【図 11】実施の形態 5 に係る半導体装置の作製方法の一例を説明する図。

【図 12】実施の形態 5 に係る半導体装置の作製方法の一例を説明する図。

【図 13】実施の形態 5 に係る半導体装置の作製方法の一例を説明する図。

【図 14】実施の形態 5 に係る半導体装置の作製方法の一例を説明する図。

20

【図 15】実施の形態 5 に係る半導体装置の作製方法の一例を説明する図。

【図 16】実施の形態 6 に係る半導体装置の一例を説明する図。

【図 17】実施の形態 6 に係る半導体装置の一例を説明する図。

【図 18】実施の形態 7 に係る半導体装置の一例を説明する図。

【図 19】実施の形態 8 に係る半導体装置の画素等価回路の一例を説明する図。

【図 20】実施の形態 8 に係る半導体装置の一例を説明する図。

【図 21】実施の形態 8 に係る半導体装置の一例を説明する図。

【図 22】電子ペーパーの使用形態の一例を説明する図。

【図 23】電子書籍の一例を示す外観図。

【図 24】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

30

【図 25】遊技機の例を示す外観図。

【図 26】携帯電話機の一例を示す外観図。

【発明を実施するための形態】

【 0 0 1 8 】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下に示す実施の形態の記載内容に限定されず、発明の趣旨から逸脱することなく形態及び詳細を様々に変更し得ることは当業者にとって自明である。また、異なる実施の形態に係る構成は、適宜組み合わせる実施することができる。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する。

【 0 0 1 9 】

40

(実施の形態 1)

はじめに、図 1 (A) を参照して本実施の形態で示す薄膜トランジスタの構成に関して説明する。

【 0 0 2 0 】

本実施の形態で示す薄膜トランジスタ 250 は、基板 200 上に設けられたゲート電極層 202 と、ゲート電極層 202 及び基板 200 上に設けられたゲート絶縁層 204 と、ゲート絶縁層 204 上に設けられたソース電極層 206 a 及びドレイン電極層 206 b と、ソース電極層 206 a 及びドレイン電極層 206 b 上に設けられ且つソース電極層 206 a 及びドレイン電極層 206 b の間に位置するゲート絶縁層 204 と接して設けられた酸化物半導体層 210 を有している。さらに、ソース電極層 206 a 及びドレイン電極層 2

50

06bは、ゲート絶縁層204を介してゲート電極層202の一部と重なるように設けられ、ソース電極層206aとドレイン電極層206bの間の領域に位置するゲート絶縁層204の膜厚 $t_2$ が、ゲート電極層202とソース電極層206aの間に設けられたゲート絶縁層204及びゲート電極層202とドレイン電極層206bの間に設けられたゲート絶縁層204の膜厚 $t_1$ より小さくなるように設けられている(図1(A)参照)。

#### 【0021】

つまり、ゲート絶縁層204がゲート電極層202と重なる領域において凹部(窪み(以下、「凹部207」と記す))を有しており、ゲート絶縁層204の凹部207に酸化物半導体層210が設けられている。なお、ここでいうゲート絶縁層204の凹部207とは、ソース電極層とドレイン電極層を結ぶ断面方向から観察した際に、ゲート絶縁層204に形成される窪みをさす。

10

#### 【0022】

このように、図1(A)に示す構成とすることによって、ゲート電極層202上にゲート絶縁層204を介してソース電極層206a及びドレイン電極層206bを当該ゲート電極層202と一部が重畳するように設け、ソース電極層206a及びドレイン電極層206b上に酸化物半導体層210を設ける場合であっても、ソース電極層206a及びドレイン電極層206bとゲート電極層202との間に生じる寄生容量を低減すると共に、トランジスタの駆動電圧を低減し素子特性を向上することができる。

#### 【0023】

なお、図1(A)では、ソース電極層206aとドレイン電極層206bの双方がゲート絶縁層204を介してゲート電極層202の一部と重なる場合を示したが、本実施の形態はこれに限られない。ソース電極層206aとドレイン電極層206bのいずれか一方がゲート絶縁層204を介してゲート電極層202と重なる場合には、当該重なる電極層とゲート電極層202の間に設けられたゲート絶縁層204の膜厚 $t_1$ を、ソース電極層206aとドレイン電極層206bの間の領域に位置するゲート絶縁層204の膜厚 $t_2$ より厚くなるように設ければよい。

20

#### 【0024】

次に、図2を参照して、図1(A)に示す薄膜トランジスタ250の作製方法の一形態に関して説明する。

#### 【0025】

30

まず、基板200上にゲート電極層202を形成し、続いて当該ゲート電極層202上にゲート絶縁層204を形成する(図2(A)参照)。

#### 【0026】

基板200としては、絶縁表面を有する基板であればよく、例えば、ガラス基板を用いることができる。ガラス基板は無アルカリガラス基板であることが好ましい。無アルカリガラス基板としては、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラス等のガラス材料が用いられている。他にも、基板200として、セラミック基板、石英基板やサファイア基板等の絶縁体でなる絶縁性基板、シリコン等の半導体材料でなる半導体基板の表面を絶縁材料で被覆したもの、金属やステンレス等の導電体でなる導電性基板の表面を絶縁材料で被覆したものをを用いることができる。また、作製工程の熱処理に耐えられるのであれば、プラスチック基板を用いることもできる。

40

#### 【0027】

ゲート電極層202は、導電層を基板200全面に形成した後、フォトリソグラフィ法を用いて、導電層をエッチングすることにより形成することができる。ゲート電極層202にはゲート配線等、上記導電層によって形成される電極や配線が含まれる。

#### 【0028】

ゲート電極層202は、アルミニウム(Al)、銅(Cu)、モリブデン(Mo)、タングステン(W)、チタン(Ti)等の導電性材料で形成することが望ましい。なお、配線及び電極としてアルミニウムを用いる場合、アルミニウム単体では耐熱性が低く、腐蝕しやすい等の問題点があるため、耐熱性導電性材料と組み合わせ形成することが好ましい

50

。

## 【 0 0 2 9 】

耐熱性導電性材料は、チタン ( T i )、タンタル ( T a )、タングステン ( W )、モリブデン ( M o )、クロム ( C r )、ネオジム ( N d )、スカンジウム ( S c ) から選ばれた元素、上述した元素を成分とする合金、上述した元素を組み合わせた合金、又は上述した元素を成分とする窒化物で形成することができる。これらの耐熱性導電性材料からなる膜とアルミニウム ( 又は銅 ) を積層させて、配線や電極を形成すればよい。

## 【 0 0 3 0 】

なお、ゲート電極層 2 0 2 を、液滴吐出法やスクリーン印刷法等を用いて基板 2 0 0 上に選択的に形成することも可能である。

## 【 0 0 3 1 】

ゲート絶縁層 2 0 4 は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜又は酸化タンタル膜等で形成することができる。また、これらの膜を積層させて設けてもよい。これらの膜は、スパッタ法等を用いて膜厚を 5 0 n m 以上 2 5 0 n m 以下で形成することができる。例えば、ゲート絶縁層 2 0 4 として、スパッタ法により酸化シリコン膜を 2 0 0 n m の厚さで形成することができる。

## 【 0 0 3 2 】

なお、本明細書中において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法 ( R B S : R u t h e r f o r d B a c k s c a t t e r i n g S p e c t r o m e t r y ) 及び水素前方散乱法 ( H F S : H y d r o g e n F o r w a r d s c a t t e r i n g S p e c t r o m e t r y ) を用いて測定した場合に、濃度範囲として酸素が 5 0 ~ 7 0 原子 %、窒素が 0 . 5 ~ 1 5 原子 %、シリコンが 2 5 ~ 3 5 原子 %、水素が 0 . 1 ~ 1 0 原子 % の範囲で含まれるものをいう。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、R B S 及び H F S を用いて測定した場合に、濃度範囲として酸素が 5 ~ 3 0 原子 %、窒素が 2 0 ~ 5 5 原子 %、シリコンが 2 5 ~ 3 5 原子 %、水素が 1 0 ~ 3 0 原子 % の範囲で含まれるものをいう。ただし、酸化窒化シリコン又は窒化酸化シリコンを構成する原子の合計を 1 0 0 原子 % としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

## 【 0 0 3 3 】

次に、ゲート絶縁層 2 0 4 上にソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b を形成する ( 図 2 ( B ) 参照 ) 。

## 【 0 0 3 4 】

ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b は、ゲート絶縁層 2 0 4 上に導電層を形成した後、フォトリソグラフィ法を用いて、当該導電層をエッチングすることにより形成することができる。ここでは、一例として、ソース電極層 2 0 6 a とドレイン電極層 2 0 6 b の一部がゲート絶縁層 2 0 4 を介してゲート電極層 2 0 2 と重なるように形成する場合を示している。

## 【 0 0 3 5 】

ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b は、スパッタ法や真空蒸着法等を用いて、アルミニウム ( A l )、銅 ( C u )、チタン ( T i )、タンタル ( T a )、タングステン ( W )、モリブデン ( M o )、クロム ( C r )、ネオジム ( N d )、スカンジウム ( S c ) から選ばれた元素を含む金属、上述の元素を成分とする合金、または、上述の元素を成分とする窒化物等からなる材料で形成することができる。

## 【 0 0 3 6 】

例えば、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b を、モリブデン膜やチタン膜の単層構造で形成することができる。また、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b を積層構造で形成してもよく、例えば、アルミニウム膜とチタン膜との積層構造とすることができる。また、チタン膜と、アルミニウム膜と、チタン膜とを順に積層した 3 層構造としてもよい。また、モリブデン膜とアルミニウム膜とモリブデン膜とを順に積層

10

20

30

40

50

した3層構造としてもよい。また、これらの積層構造に用いるアルミニウム膜として、ネオジムを含むアルミニウム(A1-Nd)膜を用いてもよい。さらに、ソース電極層206a及びドレイン電極層206bを、シリコンを含むアルミニウム膜の単層構造としてもよい。

【0037】

なお、ソース電極層206a及びドレイン電極層206bを、液滴吐出法やスクリーン印刷法等を用いて基板200上に選択的に形成することも可能である。

【0038】

図2(B)において形成されたソース電極層206aはトランジスタのソースとして機能し、ドレイン電極層206bはトランジスタのドレインとして機能する。なお、トランジスタの駆動方法によっては、ソース電極層206aがドレインとして機能し、ドレイン電極層206bがソースとして機能する場合もあり得る。

10

【0039】

次に、ソース電極層206aとドレイン電極層206bの間の領域に設けられたゲート絶縁層204(露出したゲート絶縁層204)の上層部にエッチング処理を行うことにより、ゲート絶縁層204に凹部207を形成する(図2(C)参照)。

【0040】

エッチング処理を行うことによって、ソース電極層206a及びドレイン電極層206bの間の領域に位置するゲート絶縁層204の膜厚 $t_2$ が、ゲート電極層202とソース電極層206aの間に設けられたゲート絶縁層204及びゲート電極層202とドレイン電極層206bの間に設けられたゲート絶縁層204の膜厚 $t_1$ より小さくすることができる。好ましくは、ゲート絶縁層204の膜厚 $t_2$ を、 $t_1$ の膜厚の $1/5 \sim 4/5$ ( $t_2 = t_1/5 \sim 4t_1/5$ )とする。

20

【0041】

エッチング処理としては、不活性ガス及び/又は反応性ガスを用いたプラズマ処理、ウェットエッチング処理等を用いることができる。

【0042】

また、エッチング処理において、ソース電極層206a及びドレイン電極層206bをマスクとして用いることができる。他にも、ソース電極層206a及びドレイン電極層206bの形成の際(図2(B))に用いたフォトリソマスクを用いてゲート絶縁層204のエッチングを行うこともできる。この場合、ソース電極層206a及びドレイン電極層206bと重ならないゲート絶縁層204がエッチングされる。

30

【0043】

エッチング処理を行うことによって、ゲート絶縁層204の膜厚を領域毎に異なる値とすると共に、露出したゲート絶縁層204の表面に付着した不純物や、不純物元素が取り込まれた表層部を除去することができる(図2(C)参照)。

【0044】

次に、ゲート絶縁層204、ソース電極層206a及びドレイン電極層206bを覆うように酸化物半導体層209を形成する(図2(D)参照)。

【0045】

40

酸化物半導体層209は、In-Ga-Zn-O系非単結晶膜で形成することができる。例えば、In、Ga、及びZnを含む酸化物半導体ターゲット( $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ )を用いたスパッタ法で、酸化物半導体層209を形成することができる。スパッタの条件としては、例えば、基板200とターゲットとの距離を30mm~500mm、圧力を0.1Pa~2.0Pa、直流(DC)電源を0.25kW~5.0kW、温度を20~100、雰囲気アルゴン雰囲気、酸素雰囲気、又はアルゴンと酸素との混合雰囲気とすることができる。

【0046】

なお、パルス直流(DC)電源を用いると、ごみが軽減でき、膜厚分布も均一となるため好ましい。また、上述したプラズマ処理を行った後、大気に曝すことなく酸化物半導体層

50



209を形成することにより、ゲート絶縁層204と酸化物半導体層209の界面にゴミや水分が付着することを抑制することができる。また、酸化物半導体層209の膜厚は、5nm～200nm程度とすればよい。

【0047】

上記のスパッタ法としては、スパッタ用電源に高周波電源を用いるRFスパッタ法や、直流電源を用いるDCスパッタ法、パルスの直流バイアスを加えるパルスDCスパッタ法などを用いることができる。

【0048】

また、エッチング処理としてプラズマ処理を用いる場合、プラズマ処理と酸化物半導体層209の形成を、同一チャンバー内で連続して行うことが好ましい。プラズマ処理後のゲート絶縁層204、ソース電極層206a及びドレイン電極層206bの表面を大気に曝すことなく酸化物半導体層209を形成することによって、ゲート絶縁層204、ソース電極層206a及びドレイン電極層206bの表面への不純物の付着や、酸化膜等が形成されることを抑制することができる。

10

【0049】

なお、本実施の形態では、薄膜トランジスタ250のチャンネル形成領域となる半導体層として酸化物半導体層を用いる場合を示しているが、適用できる半導体層はこれに限られない。他にも、半導体層として、有機半導体材料を用いた半導体層等を用いることができる。また、半導体層として、In-Ga-Zn-O系非単結晶膜の他に、少なくともインジウム、ガリウム、亜鉛のうちの一つを含む酸化物半導体、例えばZnO、IZO、ITO、またはSnO等の酸化物半導体、SiGe、GaAs等の化合物半導体を用いてもよい。

20

【0050】

次に、酸化物半導体層209をエッチングして島状の酸化物半導体層210を形成する(図2(E)参照)。

【0051】

以上の工程により、酸化物半導体層210をチャンネル形成領域として用いる薄膜トランジスタ250を形成することができる。

【0052】

また、酸化物半導体層210を形成した後、100～600、代表的には200～400の熱処理を行うと良い。例えば、窒素雰囲気下で350、1時間の熱処理を行うことができる。この熱処理により島状の酸化物半導体層210を構成するIn-Ga-Zn-O系酸化物半導体の原子レベルの再配列が行われる。この熱処理(光アニール等も含む)は、島状の酸化物半導体層210中におけるキャリアの移動を阻害する歪みを解放できる点で重要である。なお、上記の熱処理を行うタイミングは、酸化物半導体層209の形成後であれば特に限定されない。

30

【0053】

また、島状の酸化物半導体層210に対して酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことにより酸化物半導体層210をチャンネル形成領域とする薄膜トランジスタをノーマリーオフとすることができる。また、ラジカル処理を行うことにより、島状の酸化物半導体層210のエッチングによるダメージを回復することができる。ラジカル処理は、O<sub>2</sub>、N<sub>2</sub>O、酸素を含むN<sub>2</sub>、He、Arなどの雰囲気下で行うことができる。また、上記雰囲気中にCl<sub>2</sub>、CF<sub>4</sub>を加えた雰囲気下で行ってもよい。なお、ラジカル処理は、基板200側にバイアス電圧を印加せずに行うことが好ましい。

40

【0054】

また、酸化物半導体層210、ソース電極層206a及びドレイン電極層206b等を含む薄膜トランジスタ250を覆うように、保護絶縁層を形成してもよい。保護絶縁層としては、CVD法やスパッタ法等を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。

50

## 【 0 0 5 5 】

その後、各種電極や配線を形成することで薄膜トランジスタ 2 5 0 を有する半導体装置が完成する。

## 【 0 0 5 6 】

以上のように、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b を形成した後に、露出したゲート絶縁層 2 0 4 にエッチング処理を行うことによって、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b の間に位置するゲート絶縁層 2 0 4 の膜厚  $t_2$  を、ゲート電極層 2 0 2 とソース電極層 2 0 6 a の間に設けられたゲート絶縁層 2 0 4 及びゲート電極層 2 0 2 とドレイン電極層 2 0 6 b の間に設けられたゲート絶縁層 2 0 4 の膜厚  $t_1$  より小さくすることができる。その結果、ソース電極層及びドレイン電極層と、ゲート電極層との間に生じる寄生容量を低減すると共に、素子特性を向上させることができる。

10

## 【 0 0 5 7 】

( 実施の形態 2 )

本実施の形態では、図 1 ( B ) を参照して上記実施の形態と異なるトランジスタの構成に関して説明する。

## 【 0 0 5 8 】

図 1 ( B ) に示す薄膜トランジスタ 2 6 0 は、図 1 ( A ) に示す薄膜トランジスタ 2 5 0 において、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b をテーパ形状とし、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b の上端部が曲面を有するように設ける場合を示している。なお、その他の構造 ( ゲート電極層 2 0 2 、ゲート絶縁層 2 0 4 、ソース電極層 2 0 6 a 、ドレイン電極層 2 0 6 b 、酸化物半導体層 2 1 0 の位置関係等 ) は図 1 ( A ) と同様に設けることができる。

20

## 【 0 0 5 9 】

ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b をテーパ形状とし、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b の上端部が曲面を有するように設けることによって、ゲート絶縁層 2 0 4 、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b に対する酸化物半導体層 2 1 0 の被覆性を向上し、段切れを抑制することができる。特に、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b の間の領域に位置するゲート絶縁層 2 0 4 の膜厚  $t_2$  を、ソース電極層 2 0 6 a やドレイン電極層 2 0 6 b の下方に設けられたゲート絶縁層の膜厚  $t_1$  に対して十分に小さくした場合であっても、酸化物半導体層 2 1 0 の段切れを効果的に抑制することができる。

30

## 【 0 0 6 0 】

以下に、図 3 を参照して、図 1 ( B ) に示す薄膜トランジスタ 2 6 0 の作製方法の一例に関して説明する。なお、図 3 における作製工程は多くの部分で図 1 ( B ) と共通している。したがって、以下の説明においては、重複する部分の説明は省略し、異なる点について詳細に説明する。また、図 3 では、ゲート絶縁層 2 0 4 のエッチング処理としてプラズマ処理を用いる場合を示す。

## 【 0 0 6 1 】

まず、絶縁表面を有する基板 2 0 0 上にゲート電極層 2 0 2 を形成し、続いて当該ゲート電極層 2 0 2 上にゲート絶縁層 2 0 4 を形成する ( 図 3 ( A ) 参照 ) 。また、ゲート電極層 2 0 2 を形成する際、後に形成されるゲート絶縁層 2 0 4 の被覆性を向上し、段切れを防止するために、ゲート電極層 2 0 2 の端部がテーパ形状となるようエッチングすることが好ましい。例えば、テーパ角  $\theta_1$  が  $20^\circ$  以上  $90^\circ$  未満、好ましくは  $30^\circ$  以上  $80^\circ$  以下となるような形状とすることが好ましい。なお、「テーパ角  $\theta_1$  」とは、テーパ形状を有する層 ( ここでは、ゲート電極層 2 0 2 ) を、断面方向 ( 基板 2 0 0 の表面と直交する面 ) から観察した際に、当該層の側面と底面がなす当該層内部側の傾斜角を示す。つまり、断面方向から観察した際の、基板 2 0 0 と接するゲート電極層 2 0 2 下端部の角度に相当する。

40

## 【 0 0 6 2 】

なお、ゲート電極層 2 0 2 、ゲート絶縁層 2 0 4 の材料や作製方法については、実施の形

50

態 1 を参照することができる。

【 0 0 6 3 】

次に、ゲート絶縁層 2 0 4 上にソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b を形成する（図 3（B）参照）。なお、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b の材料や作製方法については、実施の形態 1 を参照することができる。

【 0 0 6 4 】

次に、ゲート絶縁層 2 0 4 にエッチング処理を行う。ここでは、基板 2 0 0 が設置されたチャンバー内でプラズマを発生させ、露出したゲート絶縁層 2 0 4、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b の表面にプラズマ 2 0 8 を作用させることによりゲート絶縁層 2 0 4 に凹部 2 0 7 を形成する場合を示している（図 3（C）参照）。 10

【 0 0 6 5 】

プラズマ処理は、例えば、真空状態のチャンバーにアルゴン（A r）ガス等の不活性ガスを導入し、被処理物（ここでは、基板 2 0 0）にバイアス電圧を印加してプラズマ状態として行うことができる。チャンバーに A r ガスを導入した場合、プラズマ中には電子と A r の陽イオンが存在し、陰極方向（基板 2 0 0 側）に A r の陽イオンが加速される。加速された A r の陽イオンが基板 2 0 0 上に形成されたゲート絶縁層 2 0 4、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b の表面に衝突することによって、当該表面がスパッタエッチングされ、ゲート絶縁層 2 0 4、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b の表面をエッチングすることができる。なお、このようなプラズマ処理を「逆スパッタ」と呼ぶこともある。 20

【 0 0 6 6 】

基板 2 0 0 側にバイアス電圧を印加してプラズマ処理を行うことによって、ゲート絶縁層 2 0 4、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b の表面のスパッタエッチングを効果的に行うことができる。

【 0 0 6 7 】

また、ゲート絶縁層 2 0 4 の表面に凹凸が形成されている場合には、プラズマ処理を行うことにより、ゲート絶縁層 2 0 4 の凸部から優先的にスパッタエッチングされ、当該ゲート絶縁層 2 0 4 の表面の平坦性を向上することができる。

【 0 0 6 8 】

また、上記プラズマ処理で用いるガスとして、アルゴンガスに代えてヘリウムガスを用いてもよい。また、アルゴン雰囲気酸素、水素、窒素等を加えた雰囲気で行ってもよい。また、アルゴン雰囲気に C l<sub>2</sub>、C F<sub>4</sub> などを加えた雰囲気で行ってもよい。 30

【 0 0 6 9 】

例えば、本実施の形態では、図 4 に示すようなスパッタ装置を用いてプラズマ処理を行うことができる。

【 0 0 7 0 】

図 4 に示すスパッタ装置は、チャンバー 1 9 0 内に、被処理物 1 9 5（ここでは、基板 2 0 0）を保持する第 1 の電極 1 9 1 と、対向する第 2 の電極 1 9 2 が設けられている。また、第 1 の電極 1 9 1 は、R F 電源（高周波電源）1 9 7 に接続され、第 2 の電極 1 9 2 は R F 電源 1 9 8、D C 電源 1 9 9 に接続されている。第 1 の電極 1 9 1 と R F 電源 1 9 7 の間、及び第 2 の電極 1 9 2 と R F 電源 1 9 8 の間には、インピーダンス整合させるためのマッチングボックス 1 9 3、マッチングボックス 1 9 4 がそれぞれ設けられている。 40

【 0 0 7 1 】

図 4 に示すスパッタ装置を用いて、被処理物 1 9 5 にプラズマ処理（逆スパッタともいう）を行う場合には、導入口 1 9 6 からアルゴンガス等の不活性ガスを導入し、第 1 の電極 1 9 1 に高周波電圧を印加して第 1 の電極 1 9 1 と第 2 の電極 1 9 2 間に不活性ガスのプラズマを生成し、第 1 の電極 1 9 1 上に設けられた被処理物 1 9 5 側に負の自己バイアスを発生させる（バイアス電圧を印加した状態とする）ことにより、プラズマ中の陽イオンを加速して被処理物 1 9 5 に衝突させる。このとき、ゲート絶縁層 2 0 4 の表面に凹凸が形成されている場合には、凸部が優先的にスパッタエッチングされ、ゲート絶縁層 2 0 4 50

の表面を平坦化することができる。

【0072】

なお、図4に示すスパッタ装置を用いて、被処理物195に膜を成膜する（スパッタ成膜）する場合には、第2の電極192側に成膜したい材料から構成されるターゲットを設置し、第2の電極192に直流電圧又は高周波電圧を印加して、第1の電極191と第2の電極192間にプラズマを生成し、プラズマ中の陽イオンを加速してターゲットに衝突させればよい。

【0073】

したがって、プラズマ処理を行った後に、被処理物195に膜を成膜する場合には、被処理物195を大気に曝すことなくプラズマ処理後、続けてスパッタ法を用いて被処理物195に膜を形成することができる。

10

【0074】

なお、本実施の形態では、プラズマ処理の際に基板200側にバイアス電圧を印加する場合について説明したが、ゲート絶縁層204に凹部207を形成できるのであれば、バイアス電圧を印加せずにプラズマ処理を行ってもよい。

【0075】

また、プラズマ処理を行うことにより、ゲート絶縁層204の表面、ソース電極層206a及びドレイン電極層206bの表面に付着した不純物を除去できるという利点を有している。

【0076】

また、図3では、ゲート絶縁層204だけでなく、ソース電極層206a及びドレイン電極層206bにプラズマ処理を行うことにより、ソース電極層206a及びドレイン電極層206bの端部をテーパ形状とする場合を示している。例えば、テーパ角 $\theta_2$ が $20^\circ$ 以上 $90^\circ$ 未満、好ましくは $30^\circ$ 以上 $80^\circ$ 以下となるような形状とすることが好ましい。なお、「テーパ角 $\theta_2$ 」とは、テーパ形状を有する層（ここでは、ソース電極層206aまたはドレイン電極層206b）を、断面方向（基板200の表面と直交する面）から観察した際に、当該層の側面と底面がなす当該層内部側の先端部分の傾斜角を示す。つまり、断面方向から観察した際の、ゲート絶縁層204に接するソース電極層206aまたはドレイン電極層206bの下端部の角度に相当する。ソース電極層206a及びドレイン電極層206bの端部をテーパ形状とすることにより、後に形成される酸化物半導体層の被覆性を向上し、段切れを抑制することができる。

20

30

【0077】

また、図3では、ゲート絶縁層204だけでなく、ソース電極層206a及びドレイン電極層206bにプラズマ処理を行うことにより、ソース電極層206a及びドレイン電極層206bの上端部が曲面を有するように（曲面形状とするように）形成する場合を示している。例えば、ソース電極層206a及びドレイン電極層206bの上端部の曲率半径Rが、プラズマ処理後のソース電極層206a及びドレイン電極層206bの厚さの $1/100$ 以上 $1/2$ 以下、好ましくはソース電極層206a及びドレイン電極層206bの厚さの $3/100$ 以上 $1/5$ 以下となるように形成する。

【0078】

例えば、プラズマ処理後のソース電極層206a及びドレイン電極層206bの厚さが $100\text{nm}$ である場合には、ソース電極層206a及びドレイン電極層206bの上端部の曲率半径Rを、 $1\text{nm}$ 以上 $50\text{nm}$ 以下、好ましくは $3\text{nm}$ 以上 $20\text{nm}$ 以下とする。また、ソース電極層206a及びドレイン電極層206bの上端部の曲率半径Rがこの範囲で連続して変化する形状としてもよい。ソース電極層206a及びドレイン電極層206bの上端部を曲面が有するように設けることにより、後に形成される酸化物半導体層の被覆性を向上し、段切れを抑制することができる。特に酸化物半導体層の厚さが、ソース電極層206aもしくはドレイン電極層206bの厚さと窪み部の深さを合わせた長さ（段差）よりも薄い場合に、段切れを抑制する効果が顕著となる。

40

【0079】

50

また、ソース電極層 206 a 及びドレイン電極層 206 b の端部をテーパ形状とすると共に、ゲート絶縁層 204 の凹部 207 をテーパ形状となるように形成することが好ましい。この場合、ゲート絶縁層 204 とソース電極層 206 a 又はドレイン電極層 206 b とが接する部分に形成される酸化物半導体層の被覆性を向上し、段切れを効果的に防止することができる。なお、ゲート絶縁層 204 の凹部 207 をテーパ形状とするとは、ゲート絶縁層 204 の窪みの部分の側面と底面とのなす窪み部分側の傾斜角  $\theta_3$  (又は窪み部分の側面と基板 200 表面とのなす窪み部分側の傾斜角) を  $90^\circ$  以上とすることをいう。

#### 【0080】

このように、ゲート絶縁層 204 だけでなく、ソース電極層 206 a 及びドレイン電極層 206 b にもプラズマ処理を行うことによって、ゲート絶縁層 204 に凹部 207 を形成すると共に、ソース電極層 206 a 及びドレイン電極層 206 b をテーパ形状とし、ソース電極層 206 a 及びドレイン電極層 206 b の上端部が曲面を有するように設けることができる。

10

#### 【0081】

次に、ゲート絶縁層 204、ソース電極層 206 a 及びドレイン電極層 206 b を覆うように酸化物半導体層を形成した後、当該酸化物半導体層を選択的にエッチングすることにより酸化物半導体層 210 を形成する(図 3 (D) 参照)。なお、酸化物半導体層 210 の材料や作製方法については、実施の形態 1 を参照することができる。

#### 【0082】

20

本実施の形態により、高い特性を有するトランジスタから構成される半導体装置を提供することができる。なお、本実施の形態は、他の実施の形態と適宜組み合わせる用いることができる。

#### 【0083】

(実施の形態 3)

本実施の形態では、図 5 を参照して上記実施の形態と異なるトランジスタの構成に関して説明する。

#### 【0084】

図 5 (A) に示す薄膜トランジスタ 270 は、基板 200 上に設けられた第 1 の絶縁層 251 と、第 1 の絶縁層 251 上に設けられた第 2 の絶縁層 252 と、第 1 の絶縁層 251 及び第 2 の絶縁層 252 を介してゲート電極層 202 の一部と重なるように設けられたソース電極層 206 a 及びドレイン電極層 206 b と、ソース電極層 206 a 及びドレイン電極層 206 b 上に設けられ且つソース電極層 206 a 及びドレイン電極層 206 b の間の領域に位置する第 1 の絶縁層 251 と接して設けられた酸化物半導体層 210 を有している。

30

#### 【0085】

つまり、第 2 の絶縁層 252 が、ゲート電極層 202 と重なる領域において、ソース電極層 206 a とドレイン電極層 206 b と重ならない領域で除去された構成となっている。この場合、ソース電極層 206 a 及びドレイン電極層 206 b の間に位置する絶縁層が第 1 の絶縁層 251 から構成され、ゲート電極層 202 とソース電極層 206 a の間に設けられた絶縁層及びゲート電極層 202 とドレイン電極層 206 b の間に設けられた絶縁層が第 1 の絶縁層 251 と第 2 の絶縁層 252 の積層構造から構成されている。

40

#### 【0086】

また、ソース電極層 206 a 及びドレイン電極層 206 b の間に位置する絶縁層の膜厚  $t_2$  が、ゲート電極層 202 とソース電極層 206 a の間に設けられた絶縁層及びゲート電極層 202 とドレイン電極層 206 b の間に設けられた絶縁層の膜厚  $t_1$  より小さくなる。図 5 (A) では、膜厚  $t_1$  が第 1 の絶縁層 251 と第 2 の絶縁層 252 の膜厚を加えた値に相当し、膜厚  $t_2$  が第 1 の絶縁層 251 の膜厚の値に相当する。

#### 【0087】

このように、図 5 (A) に示す構成とすることによって、ゲート電極層 202 上に第 1 の

50

絶縁層 251 及び第 2 の絶縁層 252 を介してソース電極層 206a 及びドレイン電極層 206b を設け、当該ソース電極層 206a 及びドレイン電極層 206b 上に酸化物半導体層 210 を設ける場合であっても、ソース電極層 206a 及びドレイン電極層 206b とゲート電極層 202 との間に生じる寄生容量を低減すると共に、トランジスタの駆動電圧を低減し、素子特性を向上することができる。

【0088】

また、図 5 (A) に示す構成において、第 1 の絶縁層 251 と第 2 の絶縁層 252 に用いる材料を異ならせることが好ましい。好ましくは、第 1 の絶縁層 251 に用いる材料の誘電率を第 2 の絶縁層 252 に用いる材料の誘電率より高くする。第 1 の絶縁層 251 の誘電率を第 2 の絶縁層 252 の誘電率より高くすることにより、トランジスタの駆動電圧を低減することができるため、ソース電極層 206a 及びドレイン電極層 206b とゲート電極層 202 との間に生じる寄生容量の影響を効果的に低減することができる。

10

【0089】

第 1 の絶縁層 251 と第 2 の絶縁層 252 に用いる材料を異ならせることにより、第 2 の絶縁層 252 をエッチングする際にエッチングの選択比をとりやすくすることができる。なお、エッチング選択比がとれるとは、例えば、A 層と B 層をエッチングする場合に、A 層のエッチングレートと B 層のエッチングレートに十分な差を有することを意味する。また、「エッチングレート」とは、単位時間あたりのエッチングされる量（被エッチング量）を意味する。したがって、「エッチングレートが大きい」とは、よりエッチングされやすいことを意味し、「エッチングレートが小さい」とは、よりエッチングされにくいことを意味する。

20

【0090】

また、第 1 の絶縁層 251 の膜厚と第 2 の絶縁層 252 の膜厚は、用いる材料により適宜設定することができる。例えば、第 1 の絶縁層 251 として、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜又はこれらの膜を組み合わせた絶縁層を膜厚 5 nm ~ 200 nm で形成し、第 2 の絶縁層 252 として、酸化アルミニウム膜、ポリイミド膜又はこれらの膜を組み合わせた絶縁層等を膜厚 5 nm ~ 200 nm で形成することができる。また、駆動電圧をより低減しソース電極層 206a 及びドレイン電極層 206b とゲート電極層 202 との間に生じる寄生容量を低減する場合には、第 1 の絶縁層 251 の膜厚を第 2 の絶縁層 252 の膜厚より小さくすることが好ましい。

30

【0091】

なお、本実施の形態で示すトランジスタは、図 5 (A) の構成に限られない。他にも、図 5 (B)、図 5 (C) に示す構造としてもよい。

【0092】

図 5 (B) に示す薄膜トランジスタ 271 は、基板 200 上に設けられた第 1 の絶縁層 251 と、第 1 の絶縁層 251 上に設けられた第 2 の絶縁層 252 と、第 1 の絶縁層 251 及び第 2 の絶縁層 252 を介してゲート電極層 202 の一部と重なるように設けられたソース電極層 206a 及びドレイン電極層 206b と、ソース電極層 206a 及びドレイン電極層 206b 上に設けられ且つソース電極層 206a とドレイン電極層 206b の間の領域に位置する第 2 の絶縁層 252 と接して設けられた酸化物半導体層 210 を有し、ソース電極層 206a とドレイン電極層 206b の間の領域に位置する第 2 の絶縁層 252 の上層部が除去されている。

40

【0093】

つまり、第 2 の絶縁層 252 がゲート電極層 202 と重なる領域において凹部 207 を有しており、第 2 の絶縁層 252 の凹部 207 に酸化物半導体層 210 が設けられている。

【0094】

図 5 (C) に示すトランジスタ 272 は、図 5 (A) に示す構成において、第 2 の絶縁層 252 がゲート電極層 202 と重なる領域であって、ソース電極層 206a とドレイン電極層 206b の間に位置する領域において、第 1 の絶縁層 251 が凹部 207 を有しており、第 1 の絶縁層 251 の凹部 207 に酸化物半導体層 210 が設けられている。

50

## 【 0 0 9 5 】

図 5 ( B ) 又は図 5 ( C ) に示す構成とした場合であっても、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b の間に位置する絶縁層の膜厚  $t_2$  を、ゲート電極層 2 0 2 とソース電極層 2 0 6 a の間に設けられた絶縁層及びゲート電極層 2 0 2 とドレイン電極層 2 0 6 b の間に設けられた絶縁層の膜厚  $t_1$  より小さくすることができる。

## 【 0 0 9 6 】

また、図 5 では、ゲート電極層 2 0 2 と、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b との間に設ける絶縁層として、第 1 の絶縁層 2 5 1 と第 2 の絶縁層 2 5 2 との 2 層構造を設ける場合を示したが、本実施の形態は 2 層構造に限られず 3 層構造としてもよい。

## 【 0 0 9 7 】

次に、図 6 を参照して、図 5 ( A ) に示すトランジスタ 2 7 0 の作製方法の一例に関して説明する。なお、図 6 における作製工程は多くの部分で図 1 と共通している。したがって、以下の説明においては、重複する部分の説明は省略し、異なる点について詳細に説明する。

## 【 0 0 9 8 】

まず、絶縁表面を有する基板 2 0 0 上にゲート電極層 2 0 2 を形成し、続いて当該ゲート電極層 2 0 2 上に第 1 の絶縁層 2 5 1 と第 2 の絶縁層 2 5 2 を順に積層して形成する ( 図 6 ( A ) 参照 ) 。

## 【 0 0 9 9 】

第 1 の絶縁層 2 5 1 、第 2 の絶縁層 2 5 2 は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、酸化タンタル膜、酸化ハフニウム膜等を用いて形成することができる。

## 【 0 1 0 0 】

また、第 1 の絶縁層 2 5 1 と第 2 の絶縁層 2 5 2 は、異なる材料を用いて形成することが好ましい。特に、第 1 の絶縁層 2 5 1 の誘電率を第 2 の絶縁層 2 5 2 の誘電率より高くなるように、材料及び膜厚を決定することが好ましい。例えば、第 1 の絶縁層 2 5 1 として、酸化シリコン膜と窒化シリコン膜を順に積層させた膜を 5 nm ~ 2 0 0 nm の厚さで形成し、第 2 の絶縁層 2 5 2 として、酸化シリコン膜を 5 nm ~ 2 0 0 nm の厚さで形成することができる。

## 【 0 1 0 1 】

また、上述したように、第 1 の絶縁層 2 5 1 として、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜又はこれらの膜を組み合わせた絶縁層を膜厚 5 nm ~ 2 0 0 nm で形成し、第 2 の絶縁層 2 5 2 として、酸化アルミニウム膜、ポリイミド膜又はこれらの膜を組み合わせた絶縁層等を膜厚 5 nm ~ 2 0 0 nm で形成することができる。

## 【 0 1 0 2 】

なお、ゲート電極層 2 0 2 の材料や作製方法については、実施の形態 1 を参照することができる。

## 【 0 1 0 3 】

次に、第 2 の絶縁層 2 5 2 上にソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b を形成する ( 図 6 ( B ) 参照 ) 。なお、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b の材料や作製方法については、実施の形態 1 を参照することができる。

## 【 0 1 0 4 】

次に、ソース電極層 2 0 6 a とドレイン電極層 2 0 6 b の間に形成された第 2 の絶縁層 2 5 2 ( 露出した第 2 の絶縁層 2 5 2 ) にエッチング処理を行うことにより、第 2 の絶縁層 2 5 2 を除去し、第 1 の絶縁層 2 5 1 を露出させる ( 図 6 ( C ) 参照 ) 。

## 【 0 1 0 5 】

エッチング処理を行うことによって、ソース電極層 2 0 6 a とドレイン電極層 2 0 6 b の間の領域に位置する絶縁層 ( ここでは、第 1 の絶縁層 2 5 1 ) の膜厚  $t_2$  が、ゲート電極層 2 0 2 とソース電極層 2 0 6 a の間に設けられた絶縁層及びゲート電極層 2 0 2 とドレイン電極層 2 0 6 b の間に設けられた絶縁層 ( ここでは、第 1 の絶縁層 2 5 1 と第 2 の絶

10

20

30

40

50

縁層 252 の積層膜) の膜厚  $t_1$  より小さくなる。

【0106】

エッチング処理としては、ドライエッチング又はウエットエッチングを用いることができる。例えば、エッチング処理として、 $C_4F_8$  と  $Ar$  の混合ガスを用いてドライエッチングを行うことにより、酸化シリコン膜と窒化シリコン膜とのエッチングの選択比をとり、第2の絶縁層 252 を効果的に除去することができる。

【0107】

なお、エッチング処理の条件を制御することにより、ソース電極層 206a とドレイン電極層 206b の間に形成された第2の絶縁層 252 の一部を残存させてもよいし(図5(B)に相当)、ソース電極層 206a とドレイン電極層 206b の間に形成された第2の絶縁層 252 を除去すると共に第1の絶縁層 251 の上層部をエッチングして第1の絶縁層 251 に凹部を形成してもよい(図5(C)に相当)。

10

【0108】

また、エッチング処理において、ソース電極層 206a 及びドレイン電極層 206b をマスクとして用いることができる。他にも、ソース電極層 206a 及びドレイン電極層 206b の形成の際(図6(B))に用いたフォトマスクを用いて第2の絶縁層 252 のエッチングを行うこともできる。

【0109】

次に、第1の絶縁層 251、第2の絶縁層 252、ソース電極層 206a 及びドレイン電極層 206b を覆うように酸化物半導体層 209 を形成した後(図6(D)参照)、当該酸化物半導体層 209 を選択的にエッチングすることにより酸化物半導体層 210 を形成する(図6(E)参照)。なお、酸化物半導体層 209 (酸化物半導体層 210) の材料や作製方法については、実施の形態1を参照することができる。

20

【0110】

本実施の形態により、高い特性を有するトランジスタから構成される半導体装置を提供することができる。なお、本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0111】

(実施の形態4)

本実施の形態では、図7を参照して上記実施の形態と異なるトランジスタの構成に関して説明する。

30

【0112】

図7(A)に示す薄膜トランジスタ 280 は、基板 200 上に設けられたゲート絶縁層 204 と、ゲート絶縁層 204 を介してゲート電極層 202 の一部と重なるように設けられたソース電極層 206a 及びドレイン電極層 206b と、ソース電極層 206a 及びドレイン電極層 206b 上にバッファ層 217a、217b を介して設けられ且つソース電極層 206a 及びドレイン電極層 206b の間に位置するゲート絶縁層 204 と接して設けられた酸化物半導体層 210 を有している。さらに、ソース電極層 206a とドレイン電極層 206b の間の領域に位置するゲート絶縁層 204 の膜厚  $t_2$  が、ゲート電極層 202 とソース電極層 206a の間に設けられたゲート絶縁層 204 及びゲート電極層 202 とドレイン電極層 206b の間に設けられたゲート絶縁層 204 の膜厚  $t_1$  より小さくなるように設けられている(図7(A)参照)。

40

【0113】

つまり、図7(A)に示すトランジスタは、図1(A)に示すトランジスタにバッファ層 217a、217b を追加した構成となっている。

【0114】

バッファ層 217a、217b は、作製工程においてソース電極層 206a 及びドレイン電極層 206b の表面が酸化されることを抑制すると共に、チャネル形成領域として機能する酸化物半導体層 210 と、ソース電極層 206a 及びドレイン電極層 206b との電気的な接続を良好に行うための層として機能する。

50



## 【0115】

バッファ層217a、217bとしては、酸化物半導体層210の導電率と同じか又はそれより導電率が高い酸化物半導体層を用いて形成することができる。例えば、バッファ層217a、217bを、In-Ga-Zn-O系非単結晶膜で形成し、酸化物半導体層210をバッファ層217a、217bより導電率の低いIn-Ga-Zn-O系非単結晶膜で形成することができる。

## 【0116】

このように、ソース電極層206a及びドレイン電極層206bと、酸化物半導体層210との間にバッファ層217a、217bを設けることにより、コンタクト抵抗を低減し、トランジスタの素子特性を向上させることができる。

10

## 【0117】

次に、図8を参照して、図7(A)に示す薄膜トランジスタ280の作製方法の一例に関して説明する。なお、図8における作製工程は多くの部分で図1と共通している。したがって、以下の説明においては、重複する部分の説明は省略し、異なる点について詳細に説明する。

## 【0118】

まず、絶縁表面を有する基板200上にゲート電極層202を形成し、続いて当該ゲート電極層202上にゲート絶縁層204を形成する(図8(A)参照)。なお、ゲート電極層202、ゲート絶縁層204の材料や作製方法については、実施の形態1を参照することができる。

20

## 【0119】

次に、ゲート絶縁層204上に導電層206を形成した後、導電層206上に酸化物半導体層217を形成する(図8(B)参照)。

## 【0120】

導電層206は、スパッタ法や真空蒸着法等を用いて、アルミニウム(Al)、銅(Cu)、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジウム(Nd)、スカンジウム(Sc)から選ばれた元素を含む金属、上述の元素を成分とする合金、または、上述の元素を成分とする窒化物等からなる材料で形成することができる。

## 【0121】

例えば、導電層206を、モリブデン膜やチタン膜の単層構造で形成することができる。また、導電層206を積層構造で形成してもよく、例えば、アルミニウム膜とチタン膜との積層構造とすることができる。また、チタン膜と、アルミニウム膜と、チタン膜とを順に積層した3層構造としてもよい。また、モリブデン膜とアルミニウム膜とモリブデン膜とを順に積層した3層構造としてもよい。また、これらの積層構造に用いるアルミニウム膜として、ネオジウムを含むアルミニウム(Al-Nd)膜を用いてもよい。さらに、導電層206を、シリコンを含むアルミニウム膜の単層構造としてもよい。

30

## 【0122】

酸化物半導体層217は、In-Ga-Zn-O系非単結晶膜で形成することができる。例えば、In、Ga及びZnを含む酸化物半導体ターゲット(In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1)を用いたスパッタ法で、導電層206上に酸化物半導体層217を形成することができる。スパッタの条件としては、例えば、基板200とターゲットとの距離を30mm~500mm、圧力を0.1Pa~2.0Pa、直流(DC)電源を0.25kW~5.0kW、温度を20~100、雰囲気アルゴン雰囲気、酸素雰囲気、又はアルゴンと酸素との混合雰囲気とすることができる。

40

## 【0123】

酸化物半導体層217は、後に形成されるソース電極層及びドレイン電極層の表面が酸化されることを抑制すると共に、後に形成されるチャネル形成領域として機能する酸化物半導体層と、ソース電極層及びドレイン電極層との電気的な接続を良好に行うためのバッファ層として機能する。

50

## 【 0 1 2 4 】

また、図 8 ( B ) の工程において、導電層 2 0 6 を形成した後、当該導電層 2 0 6 を大気に曝すことなく酸化物半導体層 2 1 7 を連続して形成することが好ましい。導電層 2 0 6 を大気に曝すことなく酸化物半導体層 2 1 7 を形成することにより、導電層 2 0 6 の表面に不純物の付着や酸化膜が形成されることを抑制し、導電層 2 0 6 と酸化物半導体層 2 1 7 のコンタクト抵抗を小さくすることができるためである。

## 【 0 1 2 5 】

また、酸化物半導体層 2 1 7 の成膜時に用いるガスとして導電層 2 0 6 の表面が酸化されにくいガスを用いることが好ましい。例えば、酸化物半導体層 2 1 7 の成膜条件において、酸素ガスの流量に対するアルゴンガスの流量の比を大きくする（好ましくは、酸素ガスを導入しない）。具体的には、酸化物半導体層 2 1 7 の成膜を、アルゴン又はヘリウム等の希ガス雰囲気下、または、酸素ガス 1 0 % 以下であって希ガス 9 0 % 以上の雰囲気下で行うことができる。アルゴンガスの流量に対する酸素ガスの流量の比を小さくすることにより、導電層 2 0 6 の表面に酸化膜が形成されることを抑制することができる。その結果、導電層 2 0 6 と酸化物半導体層 2 1 7 とのコンタクト抵抗を小さくすることができる。

## 【 0 1 2 6 】

また、アルゴンガスの流量に対する酸素ガスの流量の比を小さくすることにより、得られる酸化物半導体層の導電率を高くすることができる。この場合、後に形成されるチャネル形成領域として機能する酸化物半導体層と、ソース電極層及びドレイン電極層との電気的な接続を良好に行うことができる。

## 【 0 1 2 7 】

次に、フォトリソグラフィ法を用いて、導電層 2 0 6 と酸化物半導体層 2 1 7 をエッチングすることにより、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b と、バッファ層 2 1 7 a 及びバッファ層 2 1 7 b を形成する。

## 【 0 1 2 8 】

次に、ソース電極層 2 0 6 a とドレイン電極層 2 0 6 b の間に設けられたゲート絶縁層 2 0 4 （露出したゲート絶縁層 2 0 4 ）にエッチング処理を行うことにより、ゲート絶縁層 2 0 4 に凹部 2 0 7 を形成する（図 8 ( C ) 参照）。

## 【 0 1 2 9 】

次に、ゲート絶縁層 2 0 4 、ソース電極層 2 0 6 a 及びドレイン電極層 2 0 6 b 、バッファ層 2 1 7 a 及びバッファ層 2 1 7 b を覆うように酸化物半導体層 2 0 9 を形成した後（図 8 ( D ) 参照）、当該酸化物半導体層 2 0 9 を選択的にエッチングすることにより酸化物半導体層 2 1 0 を形成する（図 8 ( E ) 参照）。この時、バッファ層 2 1 7 a 及びバッファ層 2 1 7 b の一部もエッチングされる。なお、酸化物半導体層 2 0 9 （酸化物半導体層 2 1 0 ）の材料や作製方法については、実施の形態 1 を参照することができる。

## 【 0 1 3 0 】

なお、図 7 ( A ) では、図 1 ( A ) に示すトランジスタにバッファ層 2 1 7 a 、 2 1 7 b を設けた構成を示したが、これに限られない。例えば、図 7 ( B ) に示すように、図 5 ( A ) に示すトランジスタにバッファ層 2 1 7 a 、 2 1 7 b を設けてもよい。他にも、図 1 ( B ) 、図 5 ( B ) 、図 5 ( C ) に示した構成にバッファ層 2 1 7 a 、 2 1 7 b を設けることもできる。

## 【 0 1 3 1 】

本実施の形態により、高い特性を有するトランジスタから構成される半導体装置を提供することができる。なお、本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

## 【 0 1 3 2 】

（実施の形態 5 ）

本実施の形態では、トランジスタを具備する半導体装置の使用形態の一例である表示装置の作製工程について、図面を用いて説明する。なお、本実施の形態で示す作製工程は多くの部分で実施の形態 1 と共通している。したがって、以下においては、重複する部分の説

10

20

30

40

50

明は省略し、異なる点について詳細に説明する。なお、以下の説明において、図 9、図 10 は断面図を示しており、図 11 ~ 図 14 は上面図を示している。

【0133】

はじめに、絶縁表面を有する基板 200 上に配線及び電極（ゲート電極層 202 を含むゲート配線、容量配線 308、第 1 の端子 321）を形成する（図 9（A）、図 11 参照）。

【0134】

容量配線 308、第 1 の端子 321 はゲート電極層 202 と同一の材料を用いて同時に形成することができる。なお、ゲート電極層 202 の材料や作製方法については、実施の形態 1 を参照することができる。

【0135】

次に、ゲート電極層 202 上にゲート絶縁層 204 形成し、その後、ゲート絶縁層 204 上に導電層 206 を形成する（図 9（B）参照）。

【0136】

導電層 206 は、スパッタ法や真空蒸着法等を用いて、アルミニウム（Al）、銅（Cu）、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジウム（Nd）、スカンジウム（Sc）から選ばれた元素を含む金属、上述の元素を成分とする合金、または、上述の元素を成分とする窒化物等からなる材料で形成することができる。

【0137】

例えば、導電層 206 を、チタン膜の単層構造で形成することができる。また、導電層 206 を積層構造で形成してもよく、例えば、アルミニウム膜とチタン膜との積層構造とすることができる。また、チタン膜と、ネオジウムを含むアルミニウム（Al - Nd）膜と、チタン膜の 3 層構造としてもよい。さらに、導電層 206 を、シリコンを含むアルミニウム膜の単層構造としてもよい。

【0138】

図 9（B）においては、ゲート絶縁層 204 を形成した後、当該ゲート絶縁層 204 にコンタクトホール 213 を形成した後に導電層 206 を形成することにより、第 1 の端子 321 と導電層 206 が電氣的に接続するようにする。

【0139】

次に、導電層 206 をエッチングすることにより、ソース電極層 206 a、ドレイン電極層 206 b、接続電極 320、第 2 の端子 322 を形成する（図 9（C）、図 12 参照）。

【0140】

第 2 の端子 322 は、ソース配線（ソース電極層 206 a を含むソース配線）と電氣的に接続する構成とすることができる。また、接続電極 320 は、ゲート絶縁層 204 に形成されたコンタクトホール 213 を介して第 1 の端子 321 と直接接続する構成とすることができる。

【0141】

次に、ソース電極層 206 a とドレイン電極層 206 b の間に設けられたゲート絶縁層 204（露出したゲート絶縁層 204）にエッチング処理を行うことにより、ゲート絶縁層 204 に凹部 207 を形成する（図 9（D）参照）。

【0142】

エッチング処理を行うことによって、ソース電極層 206 a とドレイン電極層 206 b の間の領域に位置するゲート絶縁層 204 の膜厚  $t_2$  が、ゲート電極層 202 とソース電極層 206 a の間に設けられたゲート絶縁層 204 及びゲート電極層 202 とドレイン電極層 206 b の間に設けられたゲート絶縁層 204 の膜厚  $t_1$  より小さくなる。

【0143】

エッチング処理としては、不活性ガス及び／又は反応性ガスを用いたプラズマ処理、ウェットエッチング処理等を用いることができる。

10

20

30

40

50

## 【0144】

ここでは、エッチング処理として、ゲート絶縁層204、ソース電極層206a、ドレイン電極層206b、接続電極320、第2の端子322の表面にプラズマ処理を行う場合を示している。この場合、ソース電極層206a、ドレイン電極層206b、接続電極320、第2の端子322の端部をテーパ形状とし、上端部が曲面を有するように形成することができる。なお、プラズマ処理の方法については、上記実施の形態2を参照することができる。

## 【0145】

また、容量配線308上に形成されたゲート絶縁層204の膜厚を小さくすることにより、後に形成される容量素子の容量を大きくすることができる。

10

## 【0146】

次に、ゲート絶縁層204、ソース電極層206a、ドレイン電極層206b、接続電極320、第2の端子322を覆うように酸化物半導体層209を形成する(図10(A)参照)。

## 【0147】

プラズマ処理と酸化物半導体層209の形成を、同一チャンバー内で連続して行うことが好ましい。プラズマ処理と酸化物半導体層209の形成を連続して行うことにより、ゲート絶縁層204、ソース電極層206a及びドレイン電極層206bの表面への不純物の付着や、ソース電極層206a及びドレイン電極層206bの表面に酸化膜等が形成されることを抑制することができる。なお、酸化物半導体層209の材料や作製方法については、実施の形態1を参照することができる。

20

## 【0148】

次に、酸化物半導体層209を選択的にエッチングして島状の酸化物半導体層210を形成し、薄膜トランジスタ290を形成する(図10(B)、図13参照)。

## 【0149】

次に、100 ~ 600、代表的には200 ~ 400の熱処理を行うことが好ましい。例えば、窒素雰囲気下で250、1時間の熱処理を行う。この熱処理により島状の酸化物半導体層210を構成するIn-Ga-Zn-O系非単結晶膜の原子レベルの再配列が行われる。この熱処理によりキャリアの移動を阻害する歪が解放されるため、ここでの熱処理(光アニールも含む)は効果的である。なお、熱処理を行うタイミングは、酸化物半導体層209の成膜後であれば特に限定されず、例えば、画素電極形成後に行ってもよい。

30

## 【0150】

また、露出している島状の酸化物半導体層210に、酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことにより島状の酸化物半導体層210をチャンネル形成領域とする薄膜トランジスタをノーマリーオフとすることができる。また、ラジカル処理を行うことにより、島状の酸化物半導体層210のエッチングによるダメージを回復することができる。ラジカル処理はO<sub>2</sub>、N<sub>2</sub>O、好ましくは酸素を含むN<sub>2</sub>、He、Ar雰囲気下で行うことが好ましい。また、上記雰囲気にCl<sub>2</sub>、CF<sub>4</sub>を加えた雰囲気下で行ってもよい。

40

## 【0151】

次に、薄膜トランジスタ290を覆う保護絶縁層340を形成し、当該保護絶縁層340を選択的にエッチングしてドレイン電極層206bに達するコンタクトホール325、接続電極320に達するコンタクトホール326及び第2の端子322に達するコンタクトホール327を形成する(図10(C)参照)。

## 【0152】

次に、ドレイン電極層206bと電氣的に接続する透明導電層310、接続電極320に電氣的に接続する透明導電層328及び第2の端子322に電氣的に接続する透明導電層329を形成する(図10(D)、図14参照)。

## 【0153】

50

透明導電層 310 は画素電極として機能し、透明導電層 328、329 は FPC との接続に用いられる電極または配線となる。より具体的には、接続電極 320 上に形成された透明導電層 328 をゲート配線の入力端子として機能する接続用の端子電極として用い、第 2 の端子 322 上に形成された透明導電層 329 をソース配線の入力端子として機能する接続用の端子電極として用いることができる。

【0154】

また、容量配線 308、ゲート絶縁層 204、保護絶縁層 340 及び透明導電層 310 により保持容量を形成することができる。この場合、容量配線 308 と透明導電層 310 が電極となり、ゲート絶縁層 204 と保護絶縁層 340 が誘電体となる。

【0155】

透明導電層 310、328、329 は、酸化インジウム ( $\text{In}_2\text{O}_3$ )、酸化インジウム酸化スズ合金 ( $\text{In}_2\text{O}_3$   $\text{SnO}_2$ 、ITO と略記する)、酸化インジウム酸化亜鉛合金 ( $\text{In}_2\text{O}_3$   $\text{ZnO}$ ) 等をスパッタ法や真空蒸着法等を用いて形成することができる。例えば、透明導電層を成膜した後、当該透明導電層上にレジストマスクを形成し、エッチングにより不要な部分を除去することにより透明導電層 310、328、329 を形成することができる。

【0156】

以上の工程により、ボトムゲート型の n チャンネル型薄膜トランジスタや保持容量等の素子を完成させることができる。そして、これらの素子を個々の画素に対応してマトリクス状に配置することにより、アクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0157】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定すればよい。

【0158】

また、本実施の形態で示す構成は、図 14 の画素構成に限られない。他の構成の一例を図 15 に示す。図 15 は容量配線 308 を設けず、画素電極として機能する透明導電層 310 と、隣接する画素のゲート配線 302 とを電極とし、保護絶縁層 340 及びゲート絶縁層 204 を誘電体として保持容量を形成する構成を示している。

【0159】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0160】

(実施の形態 6)

本実施の形態では、薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置 (表示装置ともいう) を作製する場合について説明する。また、薄膜トランジスタで作製した駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0161】

表示装置は表示素子を含む。表示素子としては液晶素子 (液晶表示素子ともいう)、発光素子 (発光表示素子ともいう) を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機 EL ( $\text{Electro Luminescence}$ )、有機 EL 等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0162】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含む IC 等を実装した状態にあるモジュールとを含む。さらに表示装置は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は

10

20

30

40

50

、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電層を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0163】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

10

【0164】

本実施の形態では、本発明の一形態である半導体装置として液晶表示装置の例を示す。まず、半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図16を用いて説明する。図16（A1）（A2）は、第1の基板4001上に形成されたIn-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図16（B）は、図16（A1）（A2）のM-Nにおける断面図に相当する。

【0165】

20

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0166】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図16（A1）は、COG方法により信号線駆動回路4003を実装する例であり、図16（A2）は、TAB方法により信号線駆動回路4003を実装する例である。

30

【0167】

また、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図16（B）では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

【0168】

薄膜トランジスタ4010、4011は、In-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

40

【0169】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0170】

50

なお、第1の基板4001、第2の基板4006としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

#### 【0171】

また、4035は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

10

#### 【0172】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10\mu s \sim 100\mu s$ と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

20

#### 【0173】

なお、本実施の形態で示す液晶表示装置は透過型液晶表示装置の例であるが、液晶表示装置は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

#### 【0174】

また、本実施の形態で示す液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

30

#### 【0175】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、薄膜トランジスタを保護層や平坦化絶縁層として機能する絶縁層（絶縁層4020、絶縁層4021）で覆う構成となっている。なお、保護層は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護層は、スパッタ法を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護層をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

40

#### 【0176】

ここでは、保護層として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化シリコン膜を形成する。保護層として酸化シリコン膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

#### 【0177】

また、保護層の二層目として絶縁層を形成する。ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化シリコン膜を形成する。保護層として窒化シリコン膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化さ

50

せることを抑制することができる。

【0178】

また、保護層を形成した後に、半導体層のアニール（300 ～ 400 ）を行ってもよい。

【0179】

また、平坦化絶縁層として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low - k 材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁層を複数積層させることで、絶縁層4021を形成してもよい。

10

【0180】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi - O - Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0181】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、半導体層のアニール（300 ～ 400 ）を行ってもよい。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

20

【0182】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

30

【0183】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

【0184】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

40

【0185】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0186】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電層から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電層で形成されている。

【0187】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

50



## 【 0 1 8 8 】

また図 1 6 においては、信号線駆動回路 4 0 0 3 を別途形成し、第 1 の基板 4 0 0 1 に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

## 【 0 1 8 9 】

図 1 7 は、半導体装置の一形態に相当する液晶表示モジュールに T F T 基板 2 6 0 0 を用いて構成する一例を示している。

## 【 0 1 9 0 】

図 1 7 は液晶表示モジュールの一例であり、T F T 基板 2 6 0 0 と対向基板 2 6 0 1 がシール材 2 6 0 2 により固着され、その間に T F T 等を含む画素部 2 6 0 3、液晶層を含む表示素子 2 6 0 4、着色層 2 6 0 5 が設けられ表示領域を形成している。着色層 2 6 0 5 はカラー表示を行う場合に必要であり、R G B 方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。T F T 基板 2 6 0 0 と対向基板 2 6 0 1 の外側には偏光板 2 6 0 6、偏光板 2 6 0 7、拡散板 2 6 1 3 が配設されている。光源は冷陰極管 2 6 1 0 と反射板 2 6 1 1 により構成され、回路基板 2 6 1 2 は、フレキシブル配線基板 2 6 0 9 により T F T 基板 2 6 0 0 の配線回路部 2 6 0 8 と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

## 【 0 1 9 1 】

液晶表示モジュールには、T N ( T w i s t e d N e m a t i c ) モード、I P S ( I n - P l a n e - S w i t c h i n g ) モード、F F S ( F r i n g e F i e l d S w i t c h i n g ) モード、M V A ( M u l t i - d o m a i n V e r t i c a l A l i g n m e n t ) モード、P V A ( P a t t e r n e d V e r t i c a l A l i g n m e n t ) モード、A S M ( A x i a l l y S y m m e t r i c a l i g n e d M i c r o - c e l l ) モード、O C B ( O p t i c a l C o m p e n s a t e d B i r e f r i n g e n c e ) モード、F L C ( F e r r o e l e c t r i c L i q u i d C r y s t a l ) モード、A F L C ( A n t i F e r r o e l e c t r i c L i q u i d C r y s t a l ) モードなどを用いることができる。

## 【 0 1 9 2 】

以上の工程により、半導体装置として信頼性の高い液晶表示装置を作製することができる。

## 【 0 1 9 3 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

## 【 0 1 9 4 】

( 実施の形態 7 )

本実施の形態では、本発明の一形態である半導体装置の一例として電子ペーパーを示す。

## 【 0 1 9 5 】

図 1 8 は、半導体装置の一例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ 5 8 1 としては、上記実施の形態 1 ~ 3 で示す薄膜トランジスタと同様に作製できる。

## 【 0 1 9 6 】

図 1 8 の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第 1 の電極層及び第 2 の電極層の間に配置し、第 1 の電極層及び第 2 の電極層に電位差を生じさせることによって、球形粒子の向きを制御し、表示を行う方法である。

## 【 0 1 9 7 】

基板 5 8 0 上に設けられた薄膜トランジスタ 5 8 1 はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層が第 1 の電極層 5 8 7 と、絶縁層 5 8 3、5

10

20

30

40

50

84、585に形成されたコンタクトホールを介して電氣的に接続している。第1の電極層587と第2の電極層588との間には、黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595が設けられている(図18参照)。図18においては、第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。第2の電極層588は、薄膜トランジスタ581と同一基板上に設けられる共通電位線と電氣的に接続される。上記実施の形態に示す共通接続部を用いて、一対の基板間に配置される導電性粒子を介して、基板596に設けられた第2の電極層588と共通電位線とを電氣的に接続することができる。

【0198】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。その場合、透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 $\mu\text{m}$ ~200 $\mu\text{m}$ 程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置(単に表示装置、又は表示装置を具備する半導体装置ともいう)を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【0199】

以上のように、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【0200】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0201】

(実施の形態8)

本実施の形態では、本発明の一形態である半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0202】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア(電子および正孔)が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0203】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

【0204】

図19は、本発明の一形態である半導体装置の一例としてデジタル時間階調駆動を適用可

10

20

30

40

50

能な画素構成の一例を示す図である。

【0205】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層（In-Ga-Zn-O系非単結晶膜）をチャネル形成領域に用いるnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。

【0206】

画素6400は、スイッチング用トランジスタ6401、駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ6402のゲートに接続されている。駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極（画素電極）に接続されている。発光素子6404の第2電極は共通電極6408に相当する。

10

【0207】

なお、発光素子6404の第2電極（共通電極6408）には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

20

【0208】

なお、容量素子6403は駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【0209】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、（電源線電圧+駆動用トランジスタ6402の $V_{th}$ ）以上の電圧をかける。

30

【0210】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図19と同じ画素構成を用いることができる。

【0211】

アナログ階調駆動を行う場合、駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+駆動用トランジスタ6402の $V_{th}$ 以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

40

【0212】

なお、図19に示す画素構成は、これに限定されない。例えば、図19に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0213】

次に、発光素子の構成について、図20を用いて説明する。ここでは、駆動用TF Tがn

50

型の場合を例に挙げて、画素の断面構造について説明する。図20(A)(B)(C)の半導体装置に用いられる駆動用TFTであるTFT7001、7011、7021は、上記実施の形態で示す薄膜トランジスタと同様に作製でき、In-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタである。

#### 【0214】

発光素子は発光を取り出すために陽極又は陰極の少なくとも一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

#### 【0215】

上面射出構造の発光素子について図20(A)を用いて説明する。

#### 【0216】

図20(A)に、駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図20(A)では、発光素子7002の陰極7003と駆動用TFTであるTFT7001が電氣的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々な材料を用いることができる。例えば、Ca、Al、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電層を用いても良い。

#### 【0217】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図20(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

#### 【0218】

次に、下面射出構造の発光素子について図20(B)を用いて説明する。駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図20(B)では、駆動用TFT7011と電氣的に接続された透光性を有する導電層7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図20(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図20(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図20(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

#### 【0219】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012に相当する。図20(B)に示した画素の場合、発光素子7012から発せられる光は、

10

20

30

40

50

矢印で示すように陰極 7 0 1 3 側に射出する。

【 0 2 2 0 】

次に、両面射出構造の発光素子について、図 2 0 ( C ) を用いて説明する。図 2 0 ( C ) では、駆動用 T F T 7 0 2 1 と電氣的に接続された透光性を有する導電層 7 0 2 7 上に、発光素子 7 0 2 2 の陰極 7 0 2 3 が成膜されており、陰極 7 0 2 3 上に発光層 7 0 2 4、陽極 7 0 2 5 が順に積層されている。陰極 7 0 2 3 は、図 2 0 ( A ) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 2 0 n m の膜厚を有する A l を、陰極 7 0 2 3 として用いることができる。そして発光層 7 0 2 4 は、図 2 0 ( A ) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7 0 2 5 は、図 2 0 ( A ) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

10

【 0 2 2 1 】

陰極 7 0 2 3 と、発光層 7 0 2 4 と、陽極 7 0 2 5 とが重なっている部分が発光素子 7 0 2 2 に相当する。図 2 0 ( C ) に示した画素の場合、発光素子 7 0 2 2 から発せられる光は、矢印で示すように陽極 7 0 2 5 側と陰極 7 0 2 3 側の両方に射出する。

【 0 2 2 2 】

なお、ここでは、発光素子として有機 E L 素子について述べたが、発光素子として無機 E L 素子を設けることも可能である。

【 0 2 2 3 】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用 T F T ）と発光素子が電氣的に接続されている例を示したが、駆動用 T F T と発光素子との間に電流制御用 T F T が接続されている構成であってもよい。

20

【 0 2 2 4 】

なお本実施の形態で示す半導体装置は、図 2 0 に示した構成に限定されるものではなく、各種の変形が可能である。

【 0 2 2 5 】

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図 2 1 を用いて説明する。図 2 1 ( A ) は、第 1 の基板 4 5 0 1 上に形成された I n - G a - Z n - O 系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタ 4 5 0 9、4 5 1 0 及び発光素子 4 5 1 1 を、第 2 の基板 4 5 0 6 との間にシール材 4 5 0 5 によって封止した、パネルの上面図であり、図 2 1 ( B ) は、図 2 1 ( A ) の H - I における断面図に相当する。

30

【 0 2 2 6 】

第 1 の基板 4 5 0 1 上に設けられた画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b を囲むようにして、シール材 4 5 0 5 が設けられている。また画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b の上に第 2 の基板 4 5 0 6 が設けられている。よって画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、第 1 の基板 4 5 0 1 とシール材 4 5 0 5 と第 2 の基板 4 5 0 6 とによって、充填材 4 5 0 7 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

40

【 0 2 2 7 】

また第 1 の基板 4 5 0 1 上に設けられた画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、薄膜トランジスタを複数有しており、図 2 1 ( B ) では、画素部 4 5 0 2 に含まれる薄膜トランジスタ 4 5 1 0 と、信号線駆動回路 4 5 0 3 a に含まれる薄膜トランジスタ 4 5 0 9 とを例示している。

【 0 2 2 8 】

薄膜トランジスタ 4 5 0 9、4 5 1 0 は、I n - G a - Z n - O 系非単結晶膜を半導体層

50

として含む信頼性の高い薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ 4509、4510 は n チャンネル型薄膜トランジスタである。

【0229】

また 4511 は発光素子に相当し、発光素子 4511 が有する画素電極である第 1 の電極層 4517 は、薄膜トランジスタ 4510 のソース電極層またはドレイン電極層と電気的に接続されている。なお発光素子 4511 の構成は、第 1 の電極層 4517、電界発光層 4512、第 2 の電極層 4513 の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子 4511 から取り出す光の方向などに合わせて、発光素子 4511 の構成は適宜変えることができる。

【0230】

隔壁 4520 は、有機樹脂層、無機絶縁層または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第 1 の電極層 4517 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0231】

電界発光層 4512 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0232】

発光素子 4511 に酸素、水素、水分、二酸化炭素等が侵入しないように、第 2 の電極層 4513 及び隔壁 4520 上に保護層を形成してもよい。保護層としては、窒化シリコン膜、窒化酸化シリコン膜、DLC 膜等を形成することができる。

【0233】

また、信号線駆動回路 4503a、4503b、走査線駆動回路 4504a、4504b、または画素部 4502 に与えられる各種信号及び電位は、FPC 4518a、4518b から供給されている。

【0234】

本実施の形態では、接続端子電極 4515 が、発光素子 4511 が有する第 1 の電極層 4517 と同じ導電層から形成され、端子電極 4516 は、薄膜トランジスタ 4509、4510 が有するソース電極層及びドレイン電極層と同じ導電層から形成されている。

【0235】

接続端子電極 4515 は、FPC 4518a が有する端子と、異方性導電膜 4519 を介して電気的に接続されている。

【0236】

発光素子 4511 からの光の取り出し方向に位置する第 2 の基板 4506 は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0237】

また、充填材 4507 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。本実施の形態は充填材 4507 として窒素を用いた。

【0238】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$  板、 $\lambda/2$  板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0239】

信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回

10

20

30

40

50

路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図 2 1 の構成に限定されない。

【 0 2 4 0 】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【 0 2 4 1 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 2 4 2 】

（実施の形態 9）

本発明の一形態である半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図 2 2、図 2 3 に示す。

【 0 2 4 3 】

図 2 2（A）は、電子ペーパーで作られたポスター 2 6 3 1 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【 0 2 4 4 】

また、図 2 2（B）は、電車などの乗り物の車内広告 2 6 3 2 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、車内広告は無線で情報を送受信できる構成としてもよい。

【 0 2 4 5 】

また、図 2 3 は、電子書籍 2 7 0 0 の一例を示している。例えば、電子書籍 2 7 0 0 は、筐体 2 7 0 1 および筐体 2 7 0 3 の 2 つの筐体で構成されている。筐体 2 7 0 1 および筐体 2 7 0 3 は、軸部 2 7 1 1 により一体とされており、該軸部 2 7 1 1 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【 0 2 4 6 】

筐体 2 7 0 1 には表示部 2 7 0 5 が組み込まれ、筐体 2 7 0 3 には表示部 2 7 0 7 が組み込まれている。表示部 2 7 0 5 および表示部 2 7 0 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 2 3 では表示部 2 7 0 5）に文章を表示し、左側の表示部（図 2 3 では表示部 2 7 0 7）に画像を表示することができる。

【 0 2 4 7 】

また、図 2 3 では、筐体 2 7 0 1 に操作部などを備えた例を示している。例えば、筐体 2 7 0 1 において、電源 2 7 2 1、操作キー 2 7 2 3、スピーカ 2 7 2 5などを備えている。操作キー 2 7 2 3 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子、または AC アダプタおよび USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 7 0 0 は、電子辞書としての機能を持たせた構成としてもよい。

【 0 2 4 8 】

また、電子書籍 2 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすること

10

20

30

40

50

も可能である。

【 0 2 4 9 】

( 実施の形態 1 0 )

本発明の一形態である半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【 0 2 5 0 】

図 2 4 ( A ) は、テレビジョン装置 9 6 0 0 の一例を示している。テレビジョン装置 9 6 0 0 は、筐体 9 6 0 1 に表示部 9 6 0 3 が組み込まれている。表示部 9 6 0 3 により、映像を表示することが可能である。また、ここでは、スタンド 9 6 0 5 により筐体 9 6 0 1 を支持した構成を示している。

【 0 2 5 1 】

テレビジョン装置 9 6 0 0 の操作は、筐体 9 6 0 1 が備える操作スイッチや、別体のリモコン操作機 9 6 1 0 により行うことができる。リモコン操作機 9 6 1 0 が備える操作キー 9 6 0 9 により、チャンネルや音量の操作を行うことができ、表示部 9 6 0 3 に表示される映像を操作することができる。また、リモコン操作機 9 6 1 0 に、当該リモコン操作機 9 6 1 0 から出力する情報を表示する表示部 9 6 0 7 を設ける構成としてもよい。

【 0 2 5 2 】

なお、テレビジョン装置 9 6 0 0 は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【 0 2 5 3 】

図 2 4 ( B ) は、デジタルフォトフレーム 9 7 0 0 の一例を示している。例えば、デジタルフォトフレーム 9 7 0 0 は、筐体 9 7 0 1 に表示部 9 7 0 3 が組み込まれている。表示部 9 7 0 3 は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【 0 2 5 4 】

なお、デジタルフォトフレーム 9 7 0 0 は、操作部、外部接続用端子（USB 端子、USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9 7 0 3 に表示させることができる。

【 0 2 5 5 】

また、デジタルフォトフレーム 9 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【 0 2 5 6 】

図 2 5 ( A ) は携帯型遊技機であり、筐体 9 8 8 1 と筐体 9 8 9 1 の 2 つの筐体で構成されており、連結部 9 8 9 3 により、開閉可能に連結されている。筐体 9 8 8 1 には表示部 9 8 8 2 が組み込まれ、筐体 9 8 9 1 には表示部 9 8 8 3 が組み込まれている。また、図 2 5 ( A ) に示す携帯型遊技機は、その他、スピーカ部 9 8 8 4、記録媒体挿入部 9 8 8 6、LED ランプ 9 8 9 0、入力手段（操作キー 9 8 8 5、接続端子 9 8 8 7、センサ 9 8 8 8（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に お い 又 は 赤 外 線 を 測 定 す る 機 能 を 含 む も の ） 、 マ イ ク ロ フ ォ ン 9 8 8 9 ） 等 を 備 え ている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも半導体装

10

20

30

40

50



置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図 25 (A) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 25 (A) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0257】

図 25 (B) は大型遊技機であるスロットマシン 9900 の一例を示している。スロットマシン 9900 は、筐体 9901 に表示部 9903 が組み込まれている。また、スロットマシン 9900 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9900 の構成は上述のものに限定されず、少なくとも本発明の一形態に関わる半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【0258】

図 26 (A) は、携帯電話機 1000 の一例を示している。携帯電話機 1000 は、筐体 1001 に組み込まれた表示部 1002 の他、操作ボタン 1003、外部接続ポート 1004、スピーカ 1005、マイク 1006などを備えている。

【0259】

図 26 (A) に示す携帯電話機 1000 は、表示部 1002 を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部 1002 を指などで触れることにより行うことができる。

【0260】

表示部 1002 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字等の情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示 + 入力モードである。

【0261】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 1002 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 1002 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

【0262】

また、携帯電話機 1000 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1000 の向き（縦か横か）を判断して、表示部 1002 の画面表示を自動的に切り替えるようにすることができる。

【0263】

また、画面モードの切り替えは、表示部 1002 を触れること、又は筐体 1001 の操作ボタン 1003 の操作により行われる。また、表示部 1002 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

【0264】

また、入力モードにおいて、表示部 1002 の光センサで検出される信号を検知し、表示部 1002 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0265】

表示部 1002 は、イメージセンサとして機能させることもできる。例えば、表示部 1002 に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【0266】

図 26 (B) も携帯電話機の一例である。図 26 (B) の携帯電話機は、筐体 9411 に、表示部 9412、及び操作ボタン 9413 を含む表示装置 9410 と、筐体 9401 に

10

20

30

40

50

操作ボタン 9402、外部入力端子 9403、マイク 9404、スピーカ 9405、及び着信時に発光する発光部 9406を含む通信装置 9400とを有しており、表示機能を有する表示装置 9410は電話機能を有する通信装置 9400と矢印の2方向に脱着可能である。よって、表示装置 9410と通信装置 9400の短軸同士を取り付けることも、表示装置 9410と通信装置 9400の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置 9400より表示装置 9410を取り外し、表示装置 9410を単独で用いることもできる。通信装置 9400と表示装置 9410とは無線通信又は有線通信により画像又は入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

#### 【符号の説明】

10

#### 【0267】

190 チャンバー  
 191 電極  
 192 電極  
 193 マッチングボックス  
 194 マッチングボックス  
 195 被処理物  
 196 導入口  
 197 R F 電源  
 198 R F 電源  
 199 D C 電源  
 200 基板  
 202 ゲート電極層  
 204 ゲート絶縁層  
 206 導電層  
 207 凹部  
 208 プラズマ  
 209 酸化物半導体層  
 210 酸化物半導体層  
 213 コンタクトホール  
 217 酸化物半導体層  
 250 薄膜トランジスタ  
 251 絶縁層  
 252 絶縁層  
 260 薄膜トランジスタ  
 270 薄膜トランジスタ  
 271 薄膜トランジスタ  
 272 薄膜トランジスタ  
 280 薄膜トランジスタ  
 290 薄膜トランジスタ  
 302 ゲート配線  
 308 容量配線  
 310 透明導電層  
 320 接続電極  
 321 端子  
 322 端子  
 325 コンタクトホール  
 326 コンタクトホール  
 327 コンタクトホール  
 328 透明導電層

20

30

40

50

3 2 9	透明導電層	
3 4 0	保護絶縁層	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	絶縁層	
5 8 4	絶縁層	
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	10
5 9 4	キャビティ	
5 9 5	充填材	
5 9 6	基板	
1 0 0 0	携帯電話機	
1 0 0 1	筐体	
1 0 0 2	表示部	
1 0 0 3	操作ボタン	
1 0 0 4	外部接続ポート	
1 0 0 5	スピーカ	
1 0 0 6	マイク	20
2 0 6 a	ソース電極層	
2 0 6 b	ドレイン電極層	
2 1 7 a	バッファ層	
2 1 7 b	バッファ層	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	30
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	
2 6 3 1	ポスター	
2 6 3 2	車内広告	40
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	50

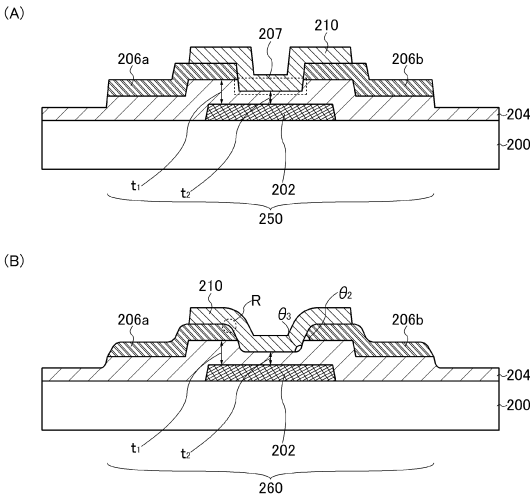
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	10
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	
4 5 0 1	基板	20
4 5 0 2	画素部	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	30
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	駆動用トランジスタ	
6 4 0 3	容量素子	40
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 1	T F T	
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	発光層	
7 0 0 5	陽極	50

7 0 1 1	駆動用 T F T	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電層	
7 0 2 1	駆動用 T F T	
7 0 2 2	発光素子	
7 0 2 3	陰極	10
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電層	
9 4 0 0	通信装置	
9 4 0 1	筐体	
9 4 0 2	操作ボタン	
9 4 0 3	外部入力端子	
9 4 0 4	マイク	
9 4 0 5	スピーカ	
9 4 0 6	発光部	20
9 4 1 0	表示装置	
9 4 1 1	筐体	
9 4 1 2	表示部	
9 4 1 3	操作ボタン	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	30
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカ部	
9 8 8 5	操作キー	
9 8 8 6	記録媒体挿入部	40
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	
9 9 0 0	スロットマシン	
9 9 0 1	筐体	
9 9 0 3	表示部	
4 5 0 3 a	信号線駆動回路	50

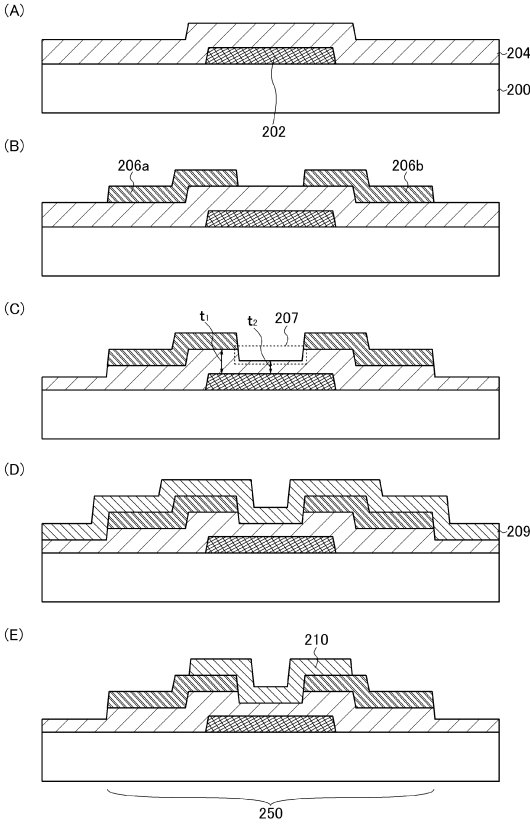
- 4 5 0 3 b 信号線駆動回路
- 4 5 0 4 a 走査線駆動回路
- 4 5 0 4 b 走査線駆動回路
- 4 5 1 8 a F P C
- 4 5 1 8 b F P C

【図面】

【図 1】



【図 2】



10

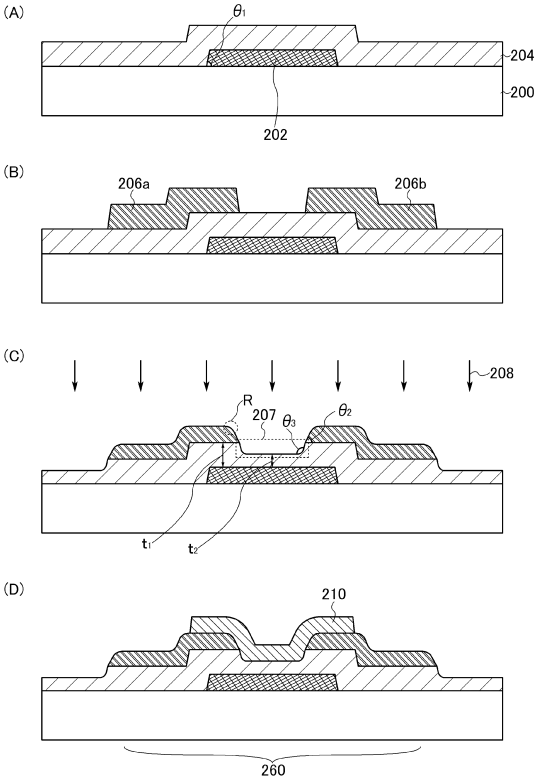
20

30

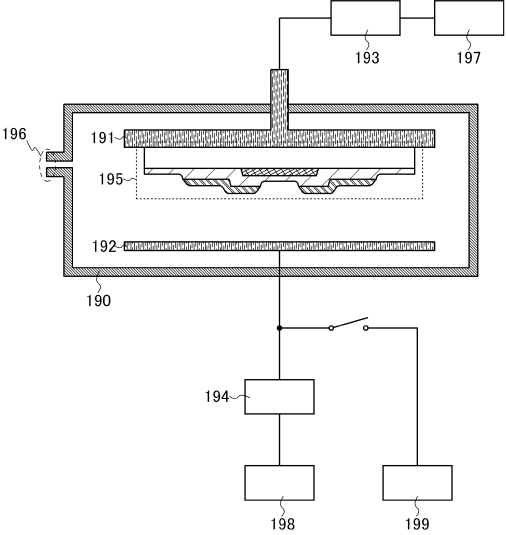
40

50

【図 3】



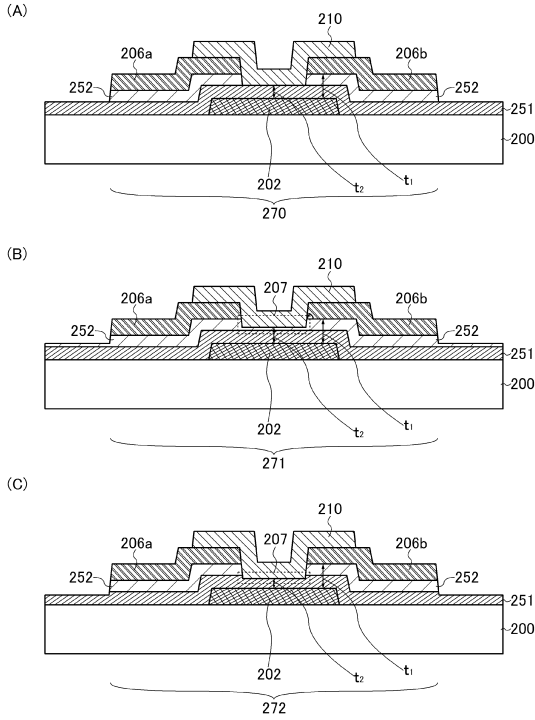
【図 4】



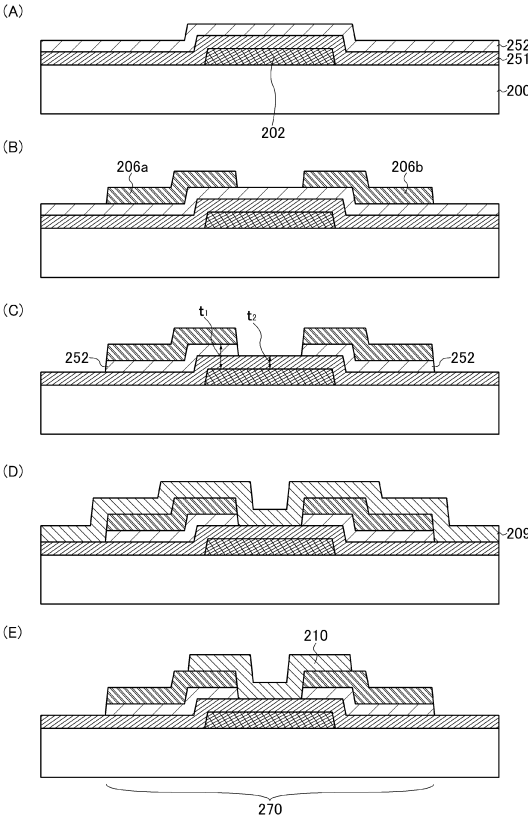
10

20

【図 5】



【図 6】

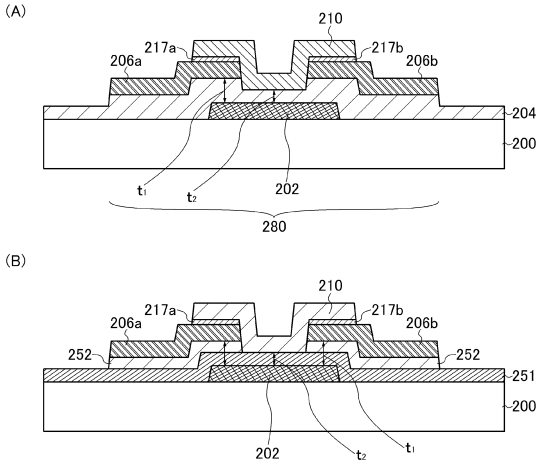


30

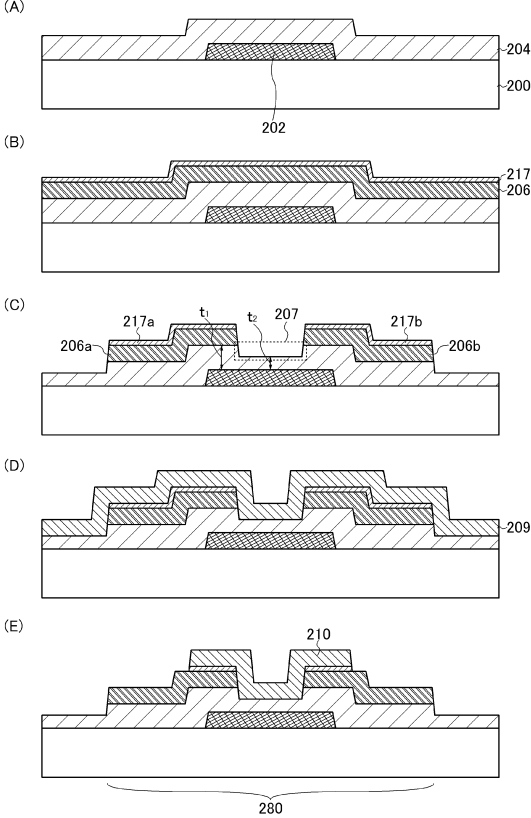
40

50

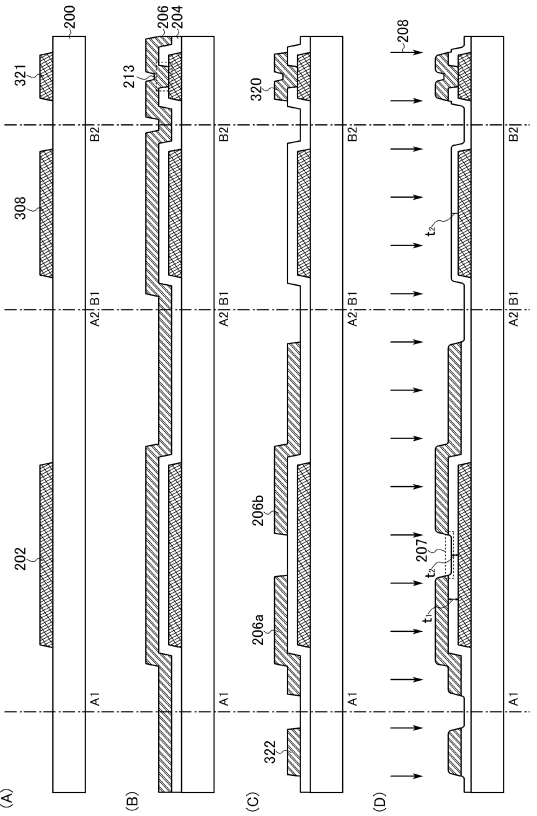
【図 7】



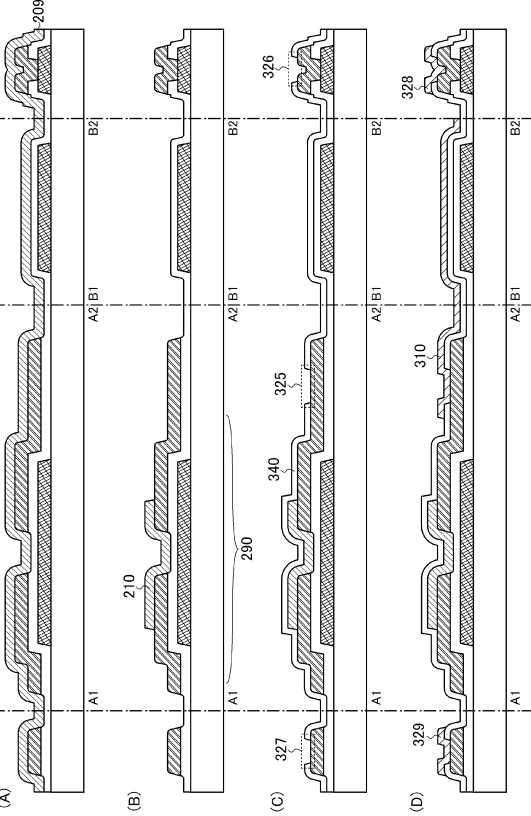
【図 8】



【図 9】



【図 10】



10

20

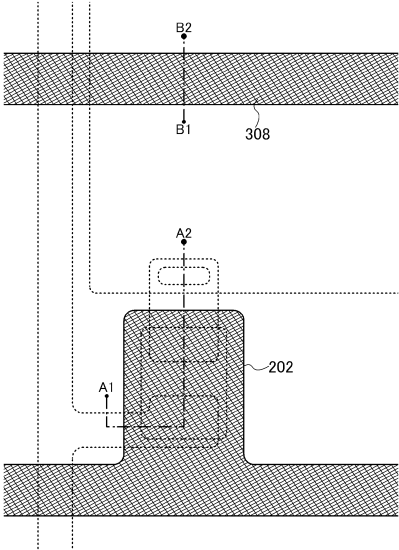
30

40

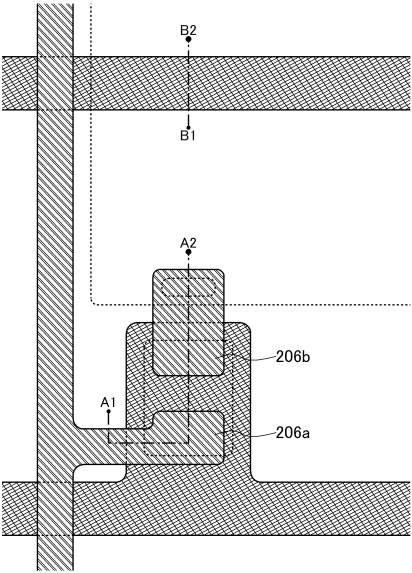
50



【 図 1 1 】

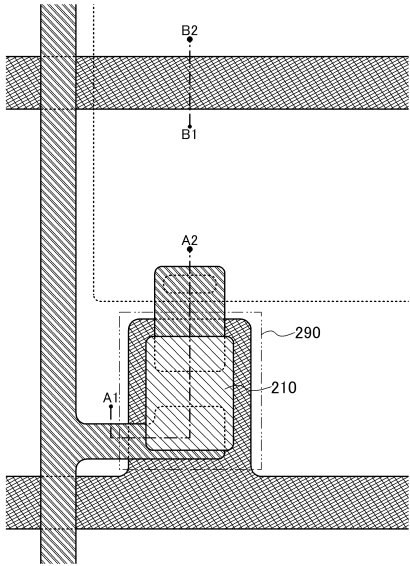


【 図 1 2 】

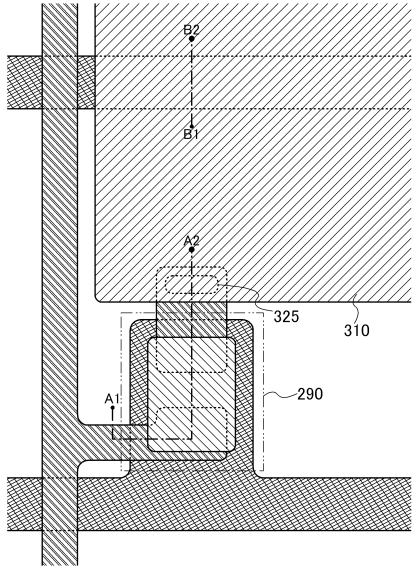


10

【 図 1 3 】



【 図 1 4 】



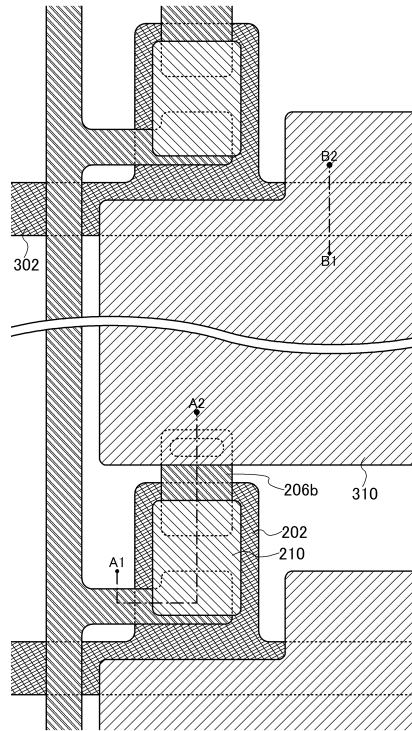
20

30

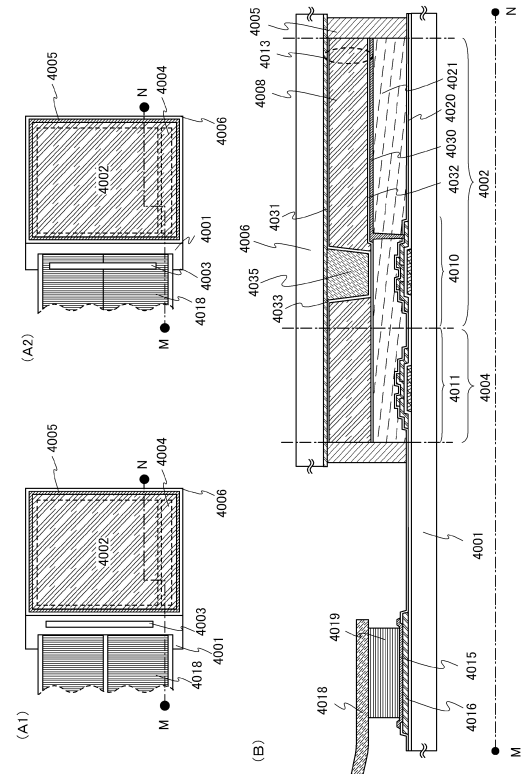
40

50

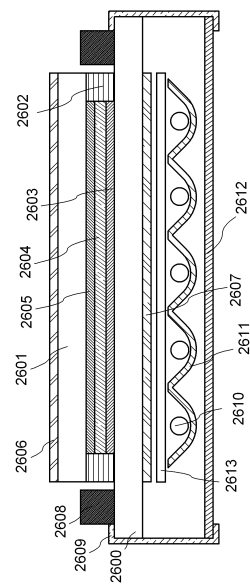
【 図 1 5 】



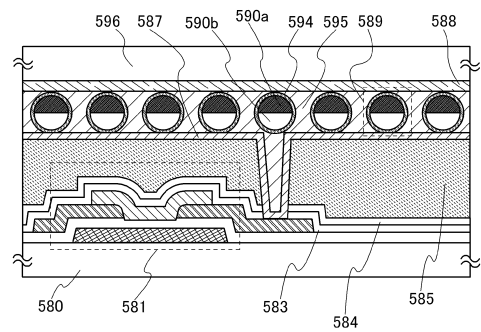
【圖 16】



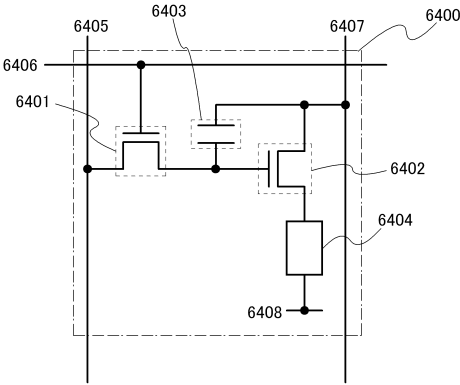
【 図 1 7 】



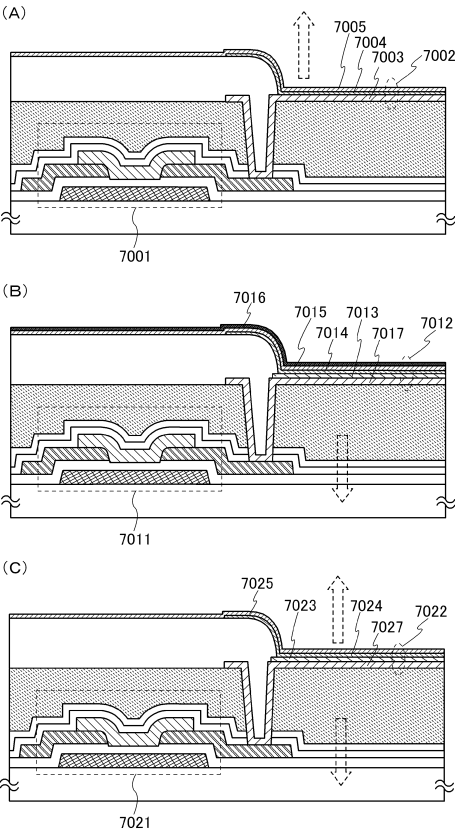
【 図 1 8 】



【図 19】



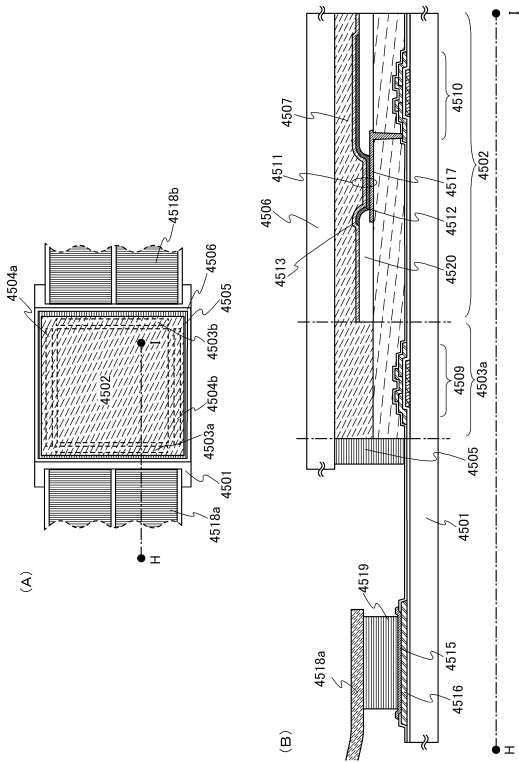
【図 20】



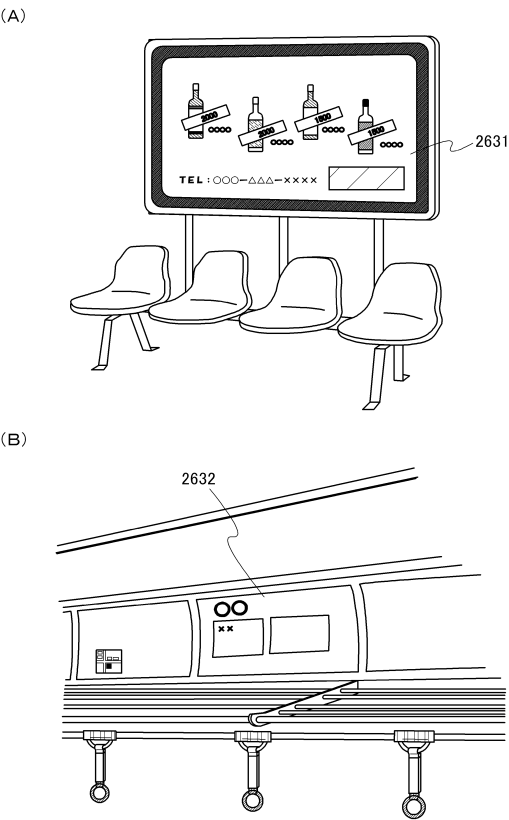
10

20

【図 21】



【図 22】

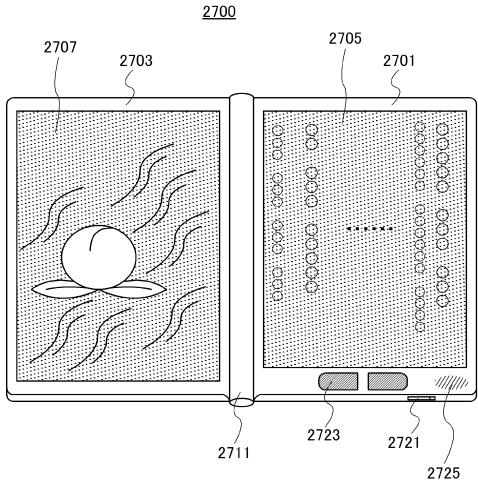


30

40

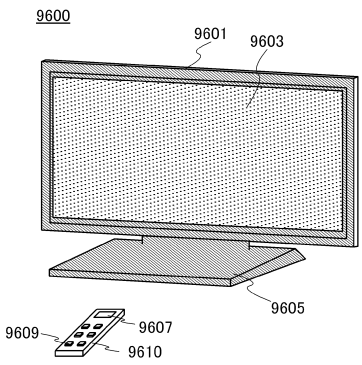
50

【図 2 3】



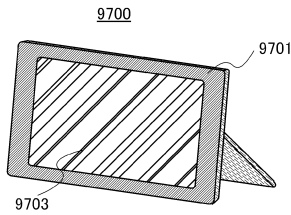
【図 2 4】

(A)



10

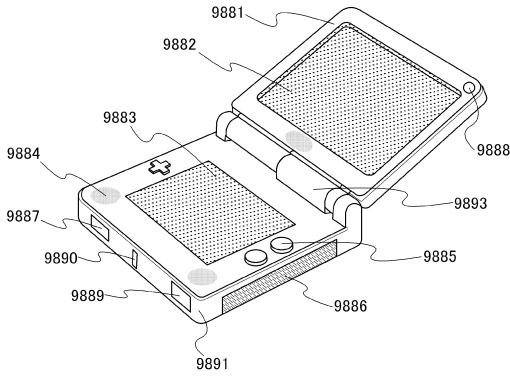
(B)



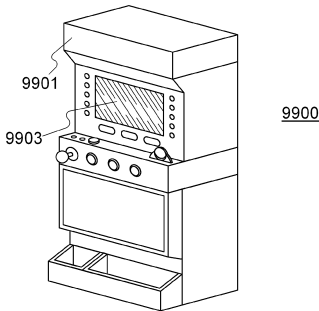
20

【図 2 5】

(A)

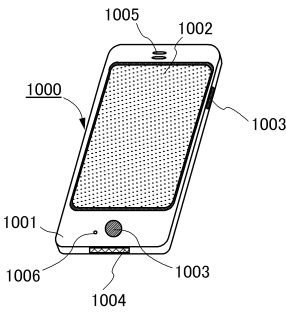


(B)

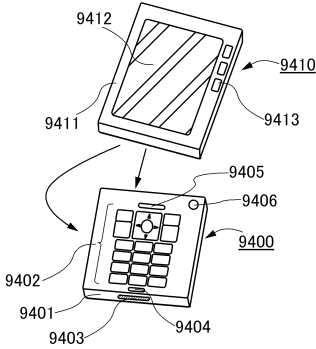


【図 2 6】

(A)



(B)



30

40

50

---

フロントページの続き

- (56)参考文献 特開 2 0 0 7 - 1 2 3 8 6 1 ( J P , A )  
特開 2 0 0 7 - 2 9 8 6 2 7 ( J P , A )  
国際公開第 2 0 0 6 / 0 0 6 3 6 9 ( W O , A 1 )  
特開平 0 8 - 2 3 6 7 7 5 ( J P , A )  
特開 2 0 0 4 - 1 9 3 2 4 8 ( J P , A )  
特開 2 0 0 7 - 0 9 6 0 5 5 ( J P , A )  
特開 2 0 0 8 - 2 1 1 1 9 1 ( J P , A )  
米国特許出願公開第 2 0 0 7 / 0 0 7 2 4 3 9 ( U S , A 1 )
- (58)調査した分野 (Int.Cl., D B 名)  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 9 / 7 8 6