

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月22日(22.08.2024)



(10) 国際公開番号

WO 2024/171887 A1

(51) 国際特許分類:

H01L 23/36 (2006.01) *H01L 23/48* (2006.01)
H01L 21/60 (2006.01) *H01L 23/58* (2006.01)

(21) 国際出願番号: PCT/JP2024/003873

(22) 国際出願日: 2024年2月6日(06.02.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-023382 2023年2月17日(17.02.2023) JP
特願 2023-025800 2023年2月22日(22.02.2023) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).

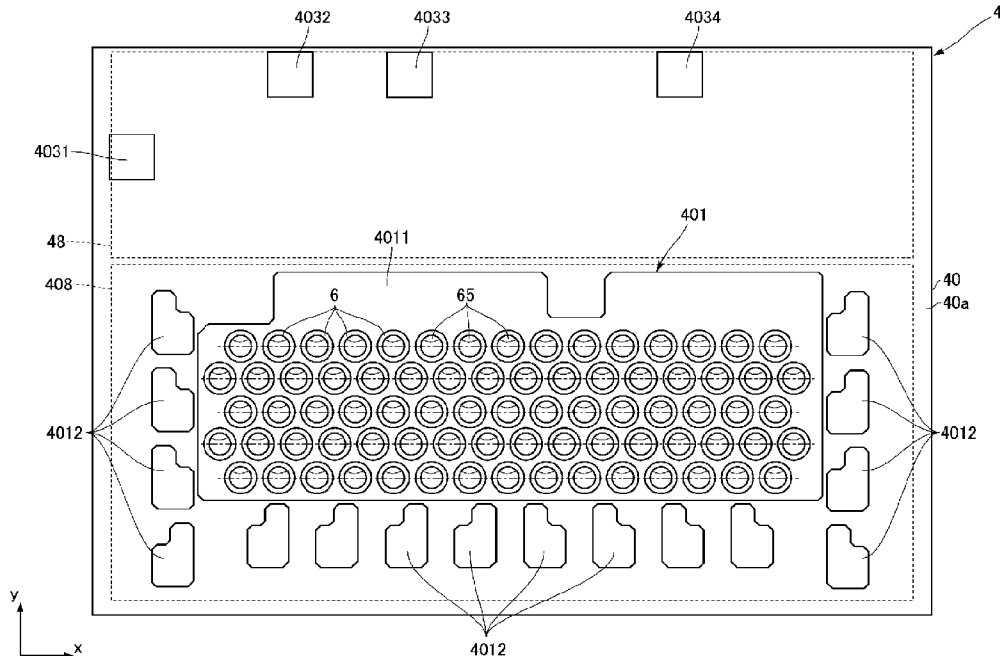
(72) 発明者: 三上 瞬也(MIKAMI Shunya); 〒6158585
京都府京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP). 白井 克宗
(SHIRAI Katsutoki); 〒6158585 京都府京都市
右京区西院溝崎町2-1番地 ローム株式
会社内 Kyoto (JP). 大隅 悠史(OSUMI Yuji);
〒6158585 京都府京都市右京区西院溝崎町2
-1番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町
2番32-1301 Osaka (JP).

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法

FIG.8



(57) Abstract: This semiconductor device comprises a semiconductor element and at least one metal block. The semiconductor element has a first electrode. The metal block is bonded to the first electrode. The metal block has a break section that breaks away from the first electrode in the thickness direction of the semiconductor element. When viewed in the thickness direction, the centre of the break section is not aligned with the centre of the metal block. The metal block has a large diameter section that contacts the first electrode, and a small diameter section that has a smaller diameter than

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

the large diameter section. The small diameter section is located on the side opposite to the first electrode in relation to the large diameter section.

(57) 要約: 半導体装置は、半導体素子と、少なくとも1つの金属塊とを備える。前記半導体素子は、第1電極を有している。前記金属塊は、前記第1電極に接合されている。前記金属塊は、前記半導体素子の厚さ方向において前記第1電極から離隔する破断部を有している。前記厚さ方向に視て、前記破断部の中心は、前記金属塊の中心に対してずれている。前記金属塊は、前記第1電極に接する大径部と、前記大径部よりも小径である小径部とを含む。前記小径部は、前記大径部を基準として、前記第1電極とは反対側にある。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 様々な産業機器や自動車における電流制御に、スイッチング素子が用いられている。特許文献1には、従来のスイッチング素子の一例が開示されている。スイッチング素子は、電流を遮断する際に生じる起電力により、エネルギーが生じる。アクティブクランプは、このエネルギーをスイッチング素子で吸収する機能である。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-212930号公報

発明の概要

発明が解決しようとする課題

[0004] スwitching動作の高速化や大容量化を図るには、アクティブクランプをより適切に機能させることが好ましい。

[0005] 本開示は、従来より改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記した事情に鑑み、アクティブクランプをより適切に機能させることが可能な半導体装置を提供することを一の課題とする。

課題を解決するための手段

[0006] 本開示の第1の側面によって提供される半導体装置は、第1電極を有する半導体素子と、前記第1電極に接合された金属塊と、を備え、前記金属塊は、前記半導体素子の厚さ方向において前記第1電極から離れる側である第1側に位置する破断部を有し、前記厚さ方向に視て、前記破断部の中心は、前記金属塊の中心に対してずれている。

[0007] 本開示の第2の側面によって提供される半導体装置の製造方法は、直径が

均一である基部を含むワイヤ材料をキャピラリの挿通孔に挿通し、前記ワイヤ材料の先端にボール部を形成する工程と、半導体素子の第 1 電極に前記ボール部を付着させる工程と、前記キャピラリと前記ワイヤ材料との相対動を許容した状態で、前記半導体素子の厚さ方向において前記ボール部から前記キャピラリを離す工程と、前記厚さ方向と交差するスライド方向に前記キャピラリをスライドさせる工程と、前記キャピラリと前記ワイヤ材料との相対動を阻止した状態で、前記キャピラリを前記厚さ方向の前記第 1 側に移動させることにより、前記ワイヤ材料を破断させ、且つ前記第 1 電極に接合された金属塊を形成する工程と、を備える。

[0008] 本開示の第 3 の側面によって提供される半導体装置は、第 1 電極を有する半導体素子と、前記第 1 電極に接合された複数の金属塊と、前記複数の金属塊の配置基準となる配置基準部と、を備える。

発明の効果

[0009] 上記構成によれば、たとえば半導体装置においてアクティブクランプをより適切に機能させることができる。

[0010] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

[0011] [図1]図 1 は、本開示の第 1 実施形態に係る半導体装置を示す平面図である。

[図2]図 2 は、本開示の第 1 実施形態に係る半導体装置を示す部分平面図である。

[図3]図 3 は、本開示の第 1 実施形態に係る半導体装置の半導体素子を示す回路図である。

[図4]図 4 は、本開示の第 1 実施形態に係る半導体装置を示す正面図である。

[図5]図 5 は、本開示の第 1 実施形態に係る半導体装置を示す側面図である。

[図6]図 6 は、図 2 の V I - V I 線に沿う断面図である。

[図7]図 7 は、図 2 の V I I - V I I 線に沿う断面図である。

[図8]図 8 は、本開示の第 1 実施形態に係る半導体装置の半導体素子を示す平

面図である。

[図9]図9は、本開示の第1実施形態に係る半導体装置の金属塊を示す平面図である。

[図10]図10は、図9のX-X線に沿う断面図である。

[図11]図11は、本開示の第1実施形態に係る半導体装置の製造方法を示す部分断面図である。

[図12]図12は、本開示の第1実施形態に係る半導体装置の製造方法を示す部分断面図である。

[図13]図13は、本開示の第1実施形態に係る半導体装置の製造方法を示す部分断面図である。

[図14]図14は、本開示の第1実施形態に係る半導体装置の製造方法を示す部分断面図である。

[図15]図15は、本開示の第1実施形態に係る半導体装置の製造方法を示す部分断面図である。

[図16]図16は、本開示の第1実施形態に係る半導体装置の製造方法を示す部分断面図である。

[図17]図17は、本開示の第1実施形態に係る半導体装置の金属塊の第1変形例を示す断面図である。

[図18]図18は、本開示の第1実施形態に係る半導体装置の製造方法の第1変形例を示す部分断面図である。

[図19]図19は、本開示の第1実施形態に係る半導体装置の金属塊の第2変形例を示す平面図である。

[図20]図20は、本開示の第1実施形態に係る半導体装置の製造方法の第2変形例を示す部分断面図である。

[図21]図21は、本開示の第2実施形態に係る半導体装置を示す平面図である。

[図22]図22は、本開示の第3実施形態に係る半導体装置を示す部分平面図である。

[図23]図23は、図22のXXIII-XXXIII線に沿う断面図である。

[図24]図24は、本開示の第4実施形態に係る半導体装置を示す部分平面図である。

[図25]図25は、図24のXXV-XXV線に沿う断面図である。

[図26]図26は、本開示の第5実施形態に係る半導体装置を示す平面図である。

[図27]図27は、本開示の第5実施形態に係る半導体装置を示す部分平面図である。

[図28]図28は、本開示の第5実施形態に係る半導体装置の半導体素子を示す回路図である。

[図29]図29は、本開示の第5実施形態に係る半導体装置を示す正面図である。

[図30]図30は、本開示の第5実施形態に係る半導体装置を示す側面図である。

[図31]図31は、図27のXXXI-XXXI線に沿う断面図である。

[図32]図32は、図27のXXXII-XXXII線に沿う断面図である。

[図33]図33は、本開示の第5実施形態に係る半導体装置の半導体素子を示す平面図である。

[図34]図34は、図33のXXXIV-XXXIV線に沿う部分拡大断面図である。

[図35]図35は、本開示の第5実施形態に係る半導体装置の第1変形例の半導体素子を示す平面図である。

[図36]図36(a)～(d)は、本開示の第5実施形態に係る半導体装置の配置基準部の変形例を示す平面図である。

[図37]図37は、本開示の第5実施形態に係る半導体装置の金属塊の変形例を示す平面図である。

[図38]図38は、本開示の第6実施形態に係る半導体装置の半導体素子を示す平面図である。

[図39]図39は、本開示の第7実施形態に係る半導体装置の半導体素子を示す平面図である。

[図40]図40は、本開示の第8実施形態に係る半導体装置の半導体素子を示す平面図である。

[図41]図41は、本開示の第8実施形態に係る半導体装置の第1変形例の半導体素子を示す平面図である。

[図42]図42は、本開示の第9実施形態に係る半導体装置の半導体素子を示す平面図である。

[図43]図43は、本開示の第9実施形態に係る半導体装置の第1変形例の半導体素子を示す平面図である。

[図44]図44は、本開示の第10実施形態に係る半導体装置を示す部分平面図である。

[図45]図45は、図44のX-LV-X-LV線に沿う断面図である。

[図46]図46は、本開示の第11実施形態に係る半導体装置を示す部分平面図である。

[図47]図47は、図46のX-LV-I-I-X-LV-I-I線に沿う断面図である。

発明を実施するための形態

[0012] 以下、本開示の好ましい実施の形態につき、図面を参照して具体的に説明する。

[0013] 本開示における「第1」、「第2」、「第3」等の用語は、単に識別のために用いたものであり、それらの対象物に順列を付することを意図していない。

[0014] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B上に配置されている」とは、特段の断りのない限り、「あ

る物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B上に位置していること」を含む。「ある物Aがある物Bにある方向に見て重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。本開示において「ある面Aが方向B（の一方側または他方側）を向く」とは、面Aの方向Bに対する角度が90°である場合に限定されず、面Aが方向Bに対して傾いている場合を含む。

[0015] 第1実施形態：

図1～図10は、本開示の第1実施形態に係る半導体装置A1を示している。本実施形態の半導体装置A1は、第1リード1、複数の第2リード2、複数の第3リード3、半導体素子4、複数の第1ワイヤ51、複数の第2ワイヤ52、複数の金属塊6および封止樹脂8を備えている。

[0016] 図1は、半導体装置A1を示す平面図である。図2は、半導体装置A1を示す部分平面図である。図4は、半導体装置A1を示す正面図である。図5は、半導体装置A1を示す側面図である。図6は、図2のVⅠ－VⅠ線に沿う断面図である。図7は、図2のVⅠⅠ－VⅠⅠ線に沿う断面図である。図8は、半導体素子4を示す平面図である。図9は、金属塊6を示す平面図である。図10は、図9のX－X線に沿う断面図である。これらの図において、互いに直交する3つの方向を適宜参照する。一例として、z方向は、本開示の「厚さ方向」に相当する。x方向は、本開示の「第1方向」に相当する。y方向は、本開示の「第2方向」に相当する。

[0017] 半導体装置A1の形状および大きさは、何ら限定されない。半導体装置A1の大きさの一例を挙げると、x方向の大きさが4mm～7mm程度、y方向の大きさが4mm～8mm程度、z方向の大きさが、0.7mm～2.0

mm程度である。

[0018] 第1リード1：

第1リード1は、半導体素子4を支持し、且つ半導体素子4への導通経路を構成する部材である。第1リード1の材質は何ら限定されず、たとえばCu、Ni、Fe等に代表される金属およびこれらの合金からなる。第1リード1は、Ag、Ni、Pd、Au等に代表される金属からなるめっき層を、適所に形成されていてもよい。第1リード1の厚さは何ら限定されず、たとえば0.12mm〜0.2mm程度である。

[0019] 本実施形態の第1リード1は、ダイパッド部11および2つの延出部12を有する。

[0020] ダイパッド部11は、半導体素子4を支持する部位である。ダイパッド部11の形状は何ら限定されず、本実施形態においては、z方向に視て矩形形状である。ダイパッド部11は、ダイパッド主面111およびダイパッド裏面112を有する。ダイパッド主面111は、z方向を向く面である。ダイパッド裏面112は、厚さ方向においてダイパッド主面111とは反対側を向く面である。図示された例においては、ダイパッド主面111およびダイパッド裏面112は、平面である。

[0021] 2つの延出部12は、ダイパッド部11からx方向の両側に延出した部位である。本実施形態においては、延出部12は、ダイパッド部11からx方向に沿って延びる部位、当該部位に対してz方向においてダイパッド主面111が向く側に傾斜して延びる部位、および当該部位からx方向に沿って延びる部位、を有しており、全体として屈曲した形状である。

[0022] 複数の第2リード2：

複数の第2リード2は、第1リード1から離れており、半導体素子4への導通経路を構成する部位である。本実施形態においては、複数の第2リード2は、半導体素子4によってスイッチングされる電流の導通経路を構成する。複数の第2リード2は、第1リード1に対してy方向の一方側に配置されている。複数の第2リード2は、x方向に互いに離間して配置されている。

[0023] 第2リード2の材質は何ら限定されず、たとえばCu、Ni、Fe等に代表される金属およびこれらの合金からなる。第2リード2は、Ag、Ni、Pd、Au等に代表される金属からなるめっき層を、適所に形成されていてもよい。第2リード2の厚さは何ら限定されず、たとえば0.12mm～0.2mm程度である。

[0024] 本実施形態の第2リード2は、パッド部21および端子部22を有する。

[0025] パッド部21は、第1ワイヤ51が接続される部位である。本実施形態においては、パッド部21は、z方向においてダイパッド部11よりもダイパッド主面111が向く側に位置している。

[0026] 端子部22は、パッド部21からy方向の外方に延びた帯状の部位である。端子部22は、x方向に視て屈曲形状であり、先端部分がz方向においてダイパッド部11と同じ（あるいは略同じ）位置にある。図示された例においては、端子部22は、電源端子である。

[0027] 複数の第3リード3：

複数の第3リード3は、第1リード1から離れており、半導体素子4への導通経路を構成する部位である。本実施形態においては、複数の第3リード3は、半導体素子4を制御するための制御信号電流の導通経路を構成する。複数の第3リード3は、第1リード1に対してy方向の他方側に配置されている。複数の第3リード3は、x方向に互いに離間して配置されている。

[0028] 第3リード3の材質は何ら限定されず、たとえばCu、Ni、Fe等に代表される金属およびこれらの合金からなる。第3リード3は、Ag、Ni、Pd、Au等に代表される金属からなるめっき層を、適所に形成されていてもよい。第3リード3の厚さは何ら限定されず、たとえば0.12mm～0.2mm程度である。

[0029] 本実施形態の第3リード3は、パッド部31および端子部32を有する。

[0030] パッド部31は、第2ワイヤ52が接続される部位である。本実施形態においては、パッド部31は、z方向においてダイパッド部11よりもダイパッド主面111が向く側に位置している。

[0031] 端子部32は、パッド部31からy方向の外方に延びた帯状の部位である。端子部32は、x方向に視て屈曲形状であり、先端部分がz方向においてダイパッド部11と同じ（あるいは略同じ）位置にある。

[0032] 図2に示すように、本実施形態においては、複数の第3リード3の端子部32が、端子部321、322、323、324と区別されている。端子部321は、出力端子であり後述の第3電極4031と導通している。端子部322は、グランド端子であり、後述の第3電極4032と導通している。端子部323は、自己診断出力端子であり、後述の第3電極4033と導通している。端子部324は、入力端子であり、後述の第3電極4034と導通している。

[0033] 半導体素子4：

半導体素子4は、半導体装置A1の電氣的機能を発揮する要素である。半導体素子4の具体的構成は、何ら限定されない。本実施形態では、半導体素子4は、スイッチング機能を果たす。図2および図6～図8に示すように、半導体素子4は、素子本体40、第1電極401、第2電極402、複数の第3電極403を有する。半導体素子4は、スイッチング機能を果たすトランジスタを構成する部位であるスイッチング部408と、スイッチング部408のトランジスタを制御、監視および保護等する部位である制御部48と、を有する。制御部48に含まれるトランジスタは、たとえば横型構造のトランジスタである。

[0034] 素子本体40は、素子主面40aおよび素子裏面40bを有する。素子主面40aは、z方向においてダイパッド主面111と同じ側を向く面である。素子裏面40bは、z方向において素子主面40aとは反対側を向く面である。素子本体40の材質は何ら限定されない。素子本体40の材質としては、たとえばSi（シリコン）、SiC（シリコンカーバイド）、GaN（窒化ガリウム）等の半導体材料が挙げられる。

[0035] 素子本体40は、スイッチング部408を有する。スイッチング部408は、たとえばMOSFET（Metal Oxide Semiconductor Field Effect Tran

sistor)、M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) 等に代表されるトランジスタ構造が作り込まれている。図 1、図 2 および図 8 に示すように、スイッチング部 408 は、z 方向に視て、制御部 48 と y 方向に並んで配置されている。ただし、スイッチング部 408 および制御部 48 の具体的な配置等は何ら限定されない。

[0036] 第 1 電極 401 は、素子本体 40 の素子主面 40a に配置されている。図示された例においては、第 1 電極 401 は、素子主面 40a のうち y 方向において複数の第 2 リード 2 側の部分に配置されている。第 1 電極 401 は、z 方向に視て、スイッチング部 408 と重なる。本実施形態においては、第 1 電極 401 は、z 方向に視て、制御部 48 から離れている。本実施形態においては、第 1 電極 401 は、ソース電極である。第 1 電極 401 の材質は何ら限定されず、たとえば、Al (アルミニウム)、Al-Si、Cu (銅) 等に代表される金属またはこれらを含む合金が挙げられる。第 1 電極 401 は、これらの金属から選択された複数の材質からなる層が積層された構造であってもよい。

[0037] 図 8 に示すように、本実施形態の第 1 電極 401 は、第 1 領域 4011 および複数の第 2 領域 4012 を有する。第 1 領域 4011 および複数の第 2 領域 4012 は、z 方向に視て互いに離れている。第 1 領域 4011 および複数の第 2 領域 4012 の具体的構成は何ら限定されず、たとえば、第 1 電極 401 を構成する金属層が、絶縁層 (図示略) によって覆われている。当該絶縁層は、たとえばポリイミド樹脂を含む。当該絶縁層には、複数の開口部が形成されている。金属層のうち複数の開口部から露出した部分によって、第 1 領域 4011 および複数の第 2 領域 4012 が構成されている。

[0038] 第 1 領域 4011 は、第 2 領域 4012 と比べて面積が大きい領域である。第 1 領域 4011 の形状は何ら限定されず、図示された例においては、x 方向を長手方向とする形状である。図示された例においては、第 1 領域 4011 は、x 方向を長手方向とする長矩形状の部分と、当該長矩形状の部分から y 方向に突出する 2 つの部分と、を有する形状である。

- [0039] 複数の第2領域4012は、各々が第1領域4011と比べて面積が小さい領域である。複数の第2領域4012の形状および配置は、何ら限定されない。図示された例においては、複数の第2領域4012は、第1領域4011に対してy方向の一方側に位置し且つx方向に配列されたもの、第1領域4011のx方向の両側においてy方向に配列されたもの、を含む。
- [0040] 第2電極402は、素子本体40の素子裏面40bに配置されている。第2電極402は、z方向に視て、スイッチング部408および制御部48と重なり、本実施形態においては、素子裏面40bの全面を覆っている。本実施形態においては、第2電極402は、ドレイン電極である。第2電極402の材質は何ら限定されず、たとえば、Al（アルミニウム）、Al-Si、Cu（銅）等に代表される金属またはこれらを含む合金が挙げられる。第2電極402は、これらの金属から選択された複数の材質からなる層が積層された構造であってもよい。
- [0041] 制御部48の具体的構成は何ら限定されない。制御部48は、たとえば電流センサ回路、温度センサ回路、過電流保護回路、加熱保護回路、低電圧誤動作防止回路等を含む。
- [0042] 複数の第3電極403は、素子主面40aに配置されている。図示された例においては、複数の第3電極403は、素子主面40aのうちy方向において複数の第3リード3側の部分に配置されている。複数の第3電極403は、z方向に視て、制御部48と重なる。本実施形態においては、複数の第3電極403は、主に制御部48に導通する。複数の第3電極403の個数は、何ら限定されない。第3電極403の個数は、1であってもよい。図示された例においては、半導体素子4は、4つの第3電極403を有する。
- [0043] 図示された例においては、4つの第3電極403は、第3電極4031、4032、4033、4034を含む。第3電極4031は、出力電極であり、負荷が短絡状態となり、過電流検出値を超える電流が流れると出力電流が制限される。第3電極4032は、グランド電極である。第3電極4033は、自己診断出力電極であり、過電流、過熱状態であるか否かによって電

位が異なる。第3電極4034は、入力電極であり、内部にプルダウン抵抗が接続されている。

[0044] 図3は、スイッチング部408および制御部48の回路構成例を示している。スイッチング部は、トランジスタを含んでいる。制御部48は、エネルギー吸収回路481と保護回路482とを含んでいる。エネルギー吸収回路481は、過渡電圧等に起因する電気エネルギーを吸収する回路であり、たとえばツェナーダイオードと抵抗器とを含む。保護回路482は、制御部48を保護する回路であり、たとえば加熱保護部4821および過電流保護部4822を含む。

[0045] 複数の第1ワイヤ51：

複数の第1ワイヤ51は、半導体素子4の第1電極401と複数の第2リード2とを導通させるものである。第1ワイヤ51の材質は何ら限定されず、たとえばAu（金）、Cu（銅）、Al（アルミニウム）等に代表される金属からなる。第1ワイヤ51は、第1電極401に含まれる金属とは異なる金属を含んでいてもよい。第1ワイヤ51は、ボンディング部511、ボンディング部512およびループ部513を有する。第1ワイヤ51の具体的な構成は、何ら限定されない。図示された例においては、第1ワイヤ51は、Cu（銅）を含む材質からなり、たとえばキャピラリによって形成される。本実施形態においては、複数の第1ワイヤ51には、半導体素子4によってスイッチングされる電流が流れる。

[0046] 本開示に係る半導体装置は、第1電極401に第1ワイヤ51が接合された構成に限定されない。たとえば、第1ワイヤ51以外の金属板材料からなる導通部材が第1電極401に接合された構成であってもよい。あるいは、半導体素子4内に形成された導通経路を介して第1電極401に導通する他の電極を備え、この電極に第1ワイヤ51をはじめとする導通部材が接する構成であってもよい。

[0047] ボンディング部511は、半導体素子4の第1電極401に導通しており、z方向に視て第1電極401と重なる位置に配置されている。本実施形態

においては、ボンディング部511は、第1電極401に接合されており、いわゆるファーストボンディング部である。

[0048] ボンディング部512は、第2リード2のパッド部21に接合される部位である。ボンディング部512は、いわゆるセカンドボンディング部である。

[0049] ループ部513は、ボンディング部511とボンディング部512とに繋がっており、たとえば全体として湾曲状である。

[0050] 図示された例においては、複数のボンディング部511は、第1電極401の複数の第2領域4012に接合されている。このため、複数のボンディング部511は、素子本体40の外端縁に含まれる3辺に沿って配置されている。複数のボンディング部511は、第1電極401の外端縁に沿って一列に配置されている。

[0051] 複数の第2ワイヤ52：

複数の第2ワイヤ52は、半導体素子4の第3電極403と複数の第3リード3とを導通させるものである。第2ワイヤ52の材質は何ら限定されず、たとえばAu（金）、Cu（銅）、Al（アルミニウム）等に代表される金属からなる。第2ワイヤ52は、ボンディング部521、ボンディング部522およびループ部523を有する。第2ワイヤ52の具体的な構成は、何ら限定されない。図示された例においては、第2ワイヤ52は、たとえばキャピラリによって形成される。

[0052] 本実施形態においては、複数の第2ワイヤ52には、半導体素子4を制御するための制御信号電流等が流れる。図2に示す例においては、第3電極4031と端子部321を有する第3リード3のパッド部31とが、第2ワイヤ52によって接続されている。第3電極4032と端子部322を有する第3リード3のパッド部31とが、第2ワイヤ52によって接続されている。第3電極4033と端子部323を有する第3リード3のパッド部31とが、第2ワイヤ52によって接続されている。第3電極4034と端子部324を有する第3リード3のパッド部31とが、第2ワイヤ52によって接

続されている。

[0053] ボンディング部521は、半導体素子4の第2電極402に接合されている。ボンディング部521は、いわゆるファーストボンディング部である。

[0054] ボンディング部522は、第3リード3のパッド部31に接合される部位である。ボンディング部522は、いわゆるセカンドボンディング部である。

[0055] ループ部523は、ボンディング部521とボンディング部522とに繋がっており、たとえば全体として湾曲状である。

[0056] 複数の金属塊6：

複数の金属塊6は、各々が金属を含み、第1電極401に接合されている。金属塊6の具体的構成は何ら限定されない。本実施形態においては、金属塊6は、第1ワイヤ51のボンディング部511と同様の構成とされている。すなわち、キャピラリを用いて第1ワイヤ51を形成する手法のうち、ボンディング部511の形成処理を行った後にワイヤ材料を切断することによって形成されている。本実施形態の金属塊6は、Cu（銅）を含む。金属塊6の個数は、何ら限定されない。

[0057] 図8に示すように、本実施形態においては、複数の金属塊6は、第1電極401の第1領域4011に配置されており、第1領域4011に接合されている。複数の金属塊6の配置は、何ら限定されない。図示された例においては、複数の金属塊6は、x方向に沿った複数列に配列されている。y方向において隣り合う列に含まれる複数の金属塊6どうしは、x方向における位置が互いにずれている。すなわち、複数の金属塊6は、千鳥配置とされている。これと異なり、複数の金属塊6は、たとえばx方向およびy方向に沿ったマトリクス状に配置されていてもよい。

[0058] 図9および図10に示すように、金属塊6は、大径部61、小径部62、第1テーパ部63、頂面64および破断部65を有する。大径部61は、第1電極401（第1領域4011）に接する部位である。図示された例においては、大径部61は、扁平な円柱形状（あるいは略円柱形状）である。小

径部 6 2 は、z 方向において大径部 6 1 に対して第 1 電極 4 0 1（第 1 領域 4 0 1 1）とは反対側に位置する部位である。図示された例においては、小径部 6 2 は、扁平な円柱形状（あるいは略円柱形状）である。小径部 6 2 は、大径部 6 1 よりも小径である。図示された例においては、z 方向に視て、大径部 6 1 の中心および小径部 6 2 の中心は、いずれも金属塊 6 の中心 O 1 と一致する。

[0059] 第 1 テーパ部 6 3 は、大径部 6 1 と小径部 6 2 との間に介在している部位である。第 1 テーパ部 6 3 は、z 方向において大径部 6 1 から小径部 6 2 に向かうほど小径となっている。本開示の金属塊 6 は、第 1 テーパ部 6 3 を有さない構成であってもよい。

[0060] 破断部 6 5 は、z 方向において第 1 電極 4 0 1（第 1 領域 4 0 1 1）から離れる側（第 1 側）に位置している。破断部 6 5 は、後述の半導体装置 A 1 の製造方法において、ワイヤ材料 W が破断した箇所である。破断部の中心 O 2 は、金属塊 6 の中心 O 1 に対してずれている。本実施形態においては、中心 O 2 は、中心 O 1 に対して、y 方向にずれている。さらに、図示された例においては、図 9 に示すように、破断部 6 5 のすべてが中心 O 1 から離れている。図 8 に示すように、すべての金属塊 6 の中心 O 1 は、それぞれの金属塊 6 の中心 O 1 に対して y 方向において制御部 4 8 に近づく側にずれている。

[0061] 頂面 6 4 は、z 方向の第 1 側に位置しており、z 方向に視て破断部 6 5 と隣り合う面である。頂面 6 4 は、z 方向に対して交差している。図示された例においては、頂面 6 4 は、z 方向に対して実質的に直交している。「z 方向に対して実質的に直交している」とは、たとえば、後述の半導体装置 A 1 の製造方法において、キャピラリ C p を y 方向にスライドさせることにより、頂面 6 4 が形成された場合に、製造方法における不可避免的な誤差等によって生じうる角度差が存在しうることを意味する。

[0062] 封止樹脂 8 :

封止樹脂 8 は、第 1 リード 1、複数の第 2 リード 2 および複数の第 3 リー

ド3の一部ずつと、半導体素子4、複数の第1ワイヤ51、複数の第2ワイヤ52および複数の金属塊6を覆っている。封止樹脂8は、絶縁性の樹脂からなり、たとえばフィラーが混入されたエポキシ樹脂を含む。

[0063] 封止樹脂8の形状は何ら限定されない。図示された例においては、封止樹脂8は、樹脂主面81、樹脂裏面82、2つの第1樹脂側面83および2つの第2樹脂側面84を有する。

[0064] 樹脂主面81は、z方向においてダイパッド主面111と同じ側を向いており、たとえば平面である。樹脂裏面82は、z方向において樹脂主面81とは反対側を向く面であり、たとえば平面である。

[0065] 2つの第1樹脂側面83は、z方向において樹脂主面81と樹脂裏面82との間に位置しており、x方向の両側を向いている。2つの第2樹脂側面84は、z方向において樹脂主面81と樹脂裏面82との間に位置しており、y方向の両側を向いている。

[0066] 次に、半導体装置A1の製造方法（特に、複数の金属塊6の形成方法）について、図11～図18を参照しつつ、以下に説明する。

[0067] まず、図11に示すように、ワイヤ材料WをキャピラリCpの挿通孔91に挿通する。そして、ワイヤ材料Wの先端にボール部69を形成する。ここで、ワイヤ材料Wの構成材料は、上述の金属塊6の構成材料である。ワイヤ材料Wは、基部60を有している。基部60は、供給された状態のワイヤ材料Wの殆どを占める部位であり、直径が均一である。ボール部69は、たとえば、キャピラリCpから突出させたボール部69を加熱することにより形成される。

[0068] 次に、図12に示すように、キャピラリCpおよびワイヤ材料Wをz方向において下降させ、第1電極401（第1領域4011）に接近させる。そして、ボール部69を第1電極401（第1領域4011）に付着させる。この際、ボール部69のうち第1電極401（第1領域4011）とキャピラリCpとの間に位置する部分が、大径部61となる。

[0069] さらに、図示された例においては、キャピラリCpの挿通孔91は、一定

径部 9 1 1 およびテーパ部 9 1 2 を有する。一定径部 9 1 1 は、ワイヤ材料 W の基部 6 0 の直径よりも若干大きい内径を有する。テーパ部 9 1 2 は、挿通孔 9 1 の先端付近に設けられており、一定径部 9 1 1 から離れるほど（先端部 9 2 に向かうほど）、内径が大きくなる部位である。ボール部 6 9 のうち、一定径部 9 1 1 に進入した部分が小径部 6 2 となる。ボール部 6 9 のうちテーパ部 9 1 2 に接した部分が、第 1 テーパ部 6 3 となる。図示された例においては、基部 6 0 と小径部 6 2 との間に介在する第 2 テーパ部 6 6 が形成されている。

[0070] 次いで、図 1 3 に示すように、キャピラリ C p とワイヤ材料 W との相対動を許容した状態で、z 方向において、キャピラリ C p を第 1 電極 4 0 1 （第 1 領域 4 0 1 1）から離す。キャピラリ C p とワイヤ材料 W との相対動を許容した状態とは、たとえばキャピラリ C p によってワイヤ材料 W がクランプ等をしていない状態である。この際、キャピラリ C p の先端部 9 2 が、z 方向と直交する方向（たとえば x 方向または y 方向）に視て、小径部 6 2 と重なる位置まで、キャピラリ C p を z 方向に移動させる。すなわち、図示された例においては、キャピラリ C p の先端部 9 2 が、z 方向において第 1 テーパ部 6 3 を超えるまで、キャピラリ C p を z 方向に移動させる。

[0071] 次いで、図 1 4 に示すように、z 方向と交差するスライド方向にキャピラリ C p をスライドさせる。このスライドにおいては、キャピラリ C p によってワイヤ材料 W をクランプしていることが好ましいが、これに限定されない。図示された例においては、キャピラリ C p の先端部 9 2 が、中心 O 1 を超えるまで、キャピラリ C p をスライドさせている。キャピラリ C p のスライドにより、ワイヤ材料 W は、せん断変形する。これにより、ワイヤ材料 W には、くびれ部 6 7 が形成される。キャピラリ C p の先端部 9 2 がワイヤ材料 W と交差した部位が、頂面 6 4 となる。スライド方向は、ワイヤ材料 W にくびれ部 6 7 を生じさせる方向であればよい。図示された例においては、スライド方向は、y 方向であり、z 方向に対して直交している。

[0072] 次いで、図 1 5 に示すように、キャピラリ C p とワイヤ材料 W との相対動

を許容した状態で、キャピラリC pをz方向において第1電極401（第1領域4011）から離れる側（第1側）に移動させる。

[0073] 次いで、図16に示すように、キャピラリC pとワイヤ材料Wとの相対動を阻止した状態、すなわちキャピラリC pによってワイヤ材料Wをクランプ等した状態で、キャピラリC pをz方向の第1側に移動させる。これにより、ワイヤ材料Wがくびれ部67において破断し、金属塊6が形成される。くびれ部67の破断部分が、破断部65となる。

[0074] この後は、図11～図16に示す工程を繰り返すことにより、複数の金属塊6を形成する。図8に示す複数の金属塊6の形成においては、y方向において制御部48から最も離れている列から順に形成する。すなわち、y方向において制御部48から離れている順に第1列、第2列、・・・、第5列とした場合、第1列の複数の金属塊6を形成し、次に第2列の複数の金属塊6を形成し、最後に第5列の複数の金属塊6を形成する。この順に形成した場合、各金属塊6の形成においてキャピラリC pを図14に示すようにスライドさせる際に、キャピラリC pを移動させる先には、金属塊6は存在しない。

[0075] 次に、半導体装置A1の作用について説明する。

[0076] 本実施形態によれば、図9および図10に示すように、破断部65の中心O1が金属塊6の中心O1に対してずれている。これは、図14に示すように、キャピラリC pをスライドさせることによってくびれ部67を形成し、図16に示すように、くびれ部67においてワイヤ材料Wを破断させることによって破断部65が形成されていることによる。くびれ部67は、断面積が小さいため、図16においてより小さい力で破断が実現可能である。これにより、金属塊6の形状が意図しない歪な形状になることを抑制することができる。ワイヤ材料Wを破断させる際の力によって、金属塊6と第1電極401との接合が弱まることを回避可能である。したがって、所望の形状の金属塊6をより確実に第1電極401に接合することが可能であり、アクティブクランプをより適切に機能させることができる。

[0077] 図示された例においては、図9に示すように、破断部65のすべてが中心O1から離れている。これは、図14に示すキャピラリCpのスライドにおいて、キャピラリCpの先端部92のすべてが中心O1から離れるまでキャピラリCpをスライドさせたことによる。この場合、くびれ部67の断面積をより小さくすることが可能である。図16においてワイヤ材料Wを破断させる際に、ワイヤ材料Wのうち金属塊6となる部位には、y方向に大きく偏った位置に力が作用する。このため、金属塊6と第1電極401との接合力が弱まってしまふことをより確実に回避することができる。

[0078] 図14に示すキャピラリCpのスライドにおいては、先端部92を小径部62に交差させている。このような手法とは異なり、先端部92をたとえば大径部61に交差させると、ワイヤ材料Wにより大きなせん断力が作用してしまう。このようなことでは、ワイヤ材料Wのうち金属塊6となる部位と第1電極401との接合強度が弱まることが懸念される。本実施形態によれば、キャピラリCpをスライドさせることによってワイヤ材料Wに作用するせん断力を低減することが可能である。ワイヤ材料Wが第1テーパ部63を有する場合に、図13に示すキャピラリCpの移動において、先端部92が第1テーパ部63を超えるまでキャピラリCpを移動させることが好ましい。

[0079] 図10に示すように、頂面64は、z方向に対して実質的に直交している。これは、図14に示すキャピラリCpのスライドにおいて、キャピラリCpをz方向に対して直交する方向にスライドさせたことによる。このようなキャピラリCpのスライドによれば、金属塊6を所望の形状に再現性よく形成することができる。

[0080] 図8に示すように、各金属塊6の形成においてキャピラリCpをスライドさせる際に、キャピラリCpを移動させる先には、金属塊6は存在しない。これにより、キャピラリCpのスライドにおいて、すでに形成済みの金属塊6とキャピラリCpとが干渉することを回避することができる。

[0081] 図17～図25は、本開示の変形例および他の実施形態を示している。これらの図において、上記実施形態と同一または類似の要素には、上記実施形

態と同一の符号を付している。各変形例および各実施形態における各部の構成は、技術的な矛盾を生じない範囲において相互に適宜組み合わせ可能である。

[0082] 第1実施形態 第1変形例：

図17および図18は、半導体装置A1および半導体装置A1の製造方法それぞれの第1変形例を示している。図17に示すように、本変形例においては、頂面64がy方向に対して若干傾いている。具体的には、頂面64は、y方向において破断部65に近づくほど、z方向において第1電極401（第1領域4011）に近づくように傾斜している。

[0083] 図18は、本変形例の製造方法におけるキャピラリCpをスライドさせる工程を示している。本変形例においては、キャピラリCpをy方向にスライドさせつつ、z方向において第1電極401（第1領域4011）に近づくように移動させている。

[0084] 本変形例によっても、アクティブクランプをより適切に機能させることができる。本変形例から理解されるように、頂面64の角度は何ら限定されない。本変形例によれば、図18に示すように、キャピラリCpをスライドさせる際に、キャピラリCpによって大径部61および小径部62等を第1電極401（第1領域4011）に押し付ける挙動となる。これにより、金属塊6と第1電極401（第1領域4011）との接合強度を高めることができる。

[0085] 第1実施形態 第2変形例：

図19および図20は、半導体装置A1および半導体装置A1の製造方法それぞれの第2変形例を示している。図19に示すように、本変形例においては、z方向に視て破断部65が中心O1と重なっている。このような金属塊6は、図20に示すように、キャピラリCpをスライドさせる際に、先端部92の全体が中心O1を超えないようにキャピラリCpをスライドさせる。

[0086] 本変形例によっても、アクティブクランプをより適切に機能させることが

できる。本変形例から理解されるように、キャピラリC_pをスライドさせる量は、適宜設定可能である。

[0087] 第2実施形態：

図21は、本開示の第2実施形態に係る半導体装置を示している。本実施形態の半導体装置A2は、第1電極401、複数の金属塊6および複数の第1ワイヤ51の構成が、上述した実施形態と異なっている。

[0088] 本実施形態においては、複数の金属塊6および複数の第1ワイヤ51のボンディング部511は、すべてが第1電極401の1つの領域に接合されている。第1電極401は、1つのみの領域を含む。

[0089] 複数の第1ワイヤ51のボンディング部511は、複数の金属塊6のx方向の両側およびy方向の片側にそれぞれ並んで配置されている。

[0090] 本実施形態によっても、アクティブクランプをより適切に機能させることができる。本実施形態から理解されるように、複数の6および複数の第1ワイヤ51のボンディング部511は、第1電極401の1つの領域に接合されてもよい。

[0091] 第3実施形態：

図22および図23は、本開示の第3実施形態に係る半導体装置を示している。本実施形態の半導体装置A3は、主に、半導体素子4の構成と、半導体素子42および複数の第3ワイヤ53を備える点が、上述の実施形態と異なる。

[0092] 本実施形態の半導体素子4は、上述の実施形態におけるスイッチング部408を有しており、スイッチング機能を果たす一方、上述の実施形態における制御部48を有していない。

[0093] 半導体素子42は、たとえば半導体素子4を制御、監視および保護等する機能を果たす。半導体素子4と半導体素子42とは、いずれもダイパッド部11のダイパッド主面111に接合材49を介して搭載されている。図示された例においては、半導体素子4と半導体素子42とは、y方向に並んで配置されている。

[0094] 半導体素子 4 2 は、複数の電極 4 2 1 および複数の電極 4 2 2 を有する。複数の電極 4 2 1 および複数の電極 4 2 2 は、いずれも z 方向において同じ側に配置されている。図示された例においては、複数の電極 4 2 1 は、y 方向において半導体素子 4 が位置する側に配置されている。複数の電極 4 2 2 は、y 方向において複数の第 3 リード 3 が位置する側に配置されている。複数の電極 4 2 2 は、電極 4 2 2 1, 4 2 2 2, 4 2 2 3, 4 2 2 4 を含む。電極 4 2 2 1 は、上述の半導体装置 A 1 における第 3 電極 4 0 3 1 に相当する。電極 4 2 2 2 は、上述の半導体装置 A 1 における第 3 電極 4 0 3 2 に相当する。電極 4 2 2 3 は、上述の半導体装置 A 1 における第 3 電極 4 0 3 3 に相当する。電極 4 2 2 4 は、上述の半導体装置 A 1 における第 3 電極 4 0 3 4 に相当する。

[0095] 本実施形態においては、複数の第 2 ワイヤ 5 2 は、半導体素子 4 2 の複数の電極 4 2 2 と複数の第 3 リード 3 とに、個別に接続されている。ボンディング部 5 2 1 は、電極 4 2 2 に接合されている。ボンディング部 5 2 2 は、第 3 リード 3 のパッド部 3 1 に接合されている。

[0096] 半導体装置 A 4 は、複数の第 3 ワイヤ 5 3 を備える。複数の第 3 ワイヤ 5 3 は、半導体素子 4 の複数の第 3 電極 4 0 3 と半導体素子 4 2 の複数の電極 4 2 1 とに、個別に接続されている。第 3 ワイヤ 5 3 は、たとえば、ボンディング部 5 3 1、ボンディング部 5 3 2 およびループ部 5 3 3 を有しており、たとえば第 2 ワイヤ 5 2 と同様の構成である。ボンディング部 5 3 1 は、第 3 電極 4 0 3 に接合されている。ボンディング部 5 3 2 は、電極 4 2 1 に接合されている。

[0097] 本実施形態によっても、アクティブクランプをより適切に機能させることができる。本実施形態から理解されるように、半導体素子 4 の具体的構成は、何ら限定されない。ダイパッド部 1 1 には、半導体素子 4 だけでなく、半導体素子 4 に加えて半導体素子 4 2 等の他の半導体素子が搭載されていてもよい。半導体素子 4 以外の半導体素子の機能は、何ら限定されない。

[0098] 第 4 実施形態：

図24および図25は、本開示の第4実施形態に係る半導体装置を示している。本実施形態の半導体装置A4は、半導体装置A3同様に、半導体素子4および半導体素子42を備える。

[0099] 本実施形態においては、半導体素子42は、半導体素子4の素子主面40aに搭載されている。すなわち、半導体素子42は、z方向において半導体素子4に対してダイパッド部11とは反対側に配置されている。半導体素子4と半導体素子42とは、互いに積層されている。

[0100] 半導体素子42は、たとえば接合材49によって半導体素子4の素子主面40aに接合されている。図示された例においては、半導体素子42は、z方向に視て、第1電極401からy方向に離れた位置に搭載されている。図示された例とは異なり、半導体素子42は、第1電極401上に配置されていてもよい。

[0101] 図示された例においては、第1電極401および半導体素子42は、いずれもx方向を長手方向とする長矩形状である。複数の第3電極403は、y方向において第1電極401と半導体素子42との間に位置しており、x方向に並んで配置されている。

[0102] 本実施形態によっても、アクティブクランプをより適切に機能させることができる。本実施形態から理解されるように、半導体素子42の配置や搭載形態は何ら限定されない。

[0103] 本開示に係る半導体装置および半導体装置の製造方法は、上述した実施形態に限定されるものではない。本開示に係る半導体装置および半導体装置の製造方法の具体的な構成は、種々に設計変更自在である。

[0104] 第5実施形態：

次に図26～図34を参照して、本開示の第5実施形態に係る半導体装置A5について説明する。本実施形態の半導体装置A5は、第1リード1、複数の第2リード2、複数の第3リード3、半導体素子4、複数の第1ワイヤ51、複数の第2ワイヤ52、複数の金属塊6および封止樹脂8を備えている。

[0105] 図26は、半導体装置A5を示す平面図である。図27は、半導体装置A5を示す部分平面図である。図29は、半導体装置A5を示す正面図である。図30は、半導体装置A5を示す側面図である。図31は、図27のXXXI—XXXI線に沿う断面図である。図32は、図27のXXXII—XXXII線に沿う断面図である。図33は、半導体素子4を示す平面図である。図34は、図33のXXXIV—XXXIV線に沿う部分拡大断面図である。本実施形態における金属塊6は、たとえば第1実施形態における金属塊6と同じ構成としうる（図9の平面図、および図10の断面図参照）。

[0106] 半導体装置A5の形状および大きさは、何ら限定されない。半導体装置A5の大きさの一例を挙げると、x方向の大きさが4mm～7mm程度、y方向の大きさが4mm～8mm程度、z方向の大きさが、0.7mm～2.0mm程度である。

[0107] 第1リード1：

第1リード1は、半導体素子4を支持し、且つ半導体素子4への導通経路を構成する部材である。第1リード1の材質は何ら限定されず、たとえばCu（銅）、Ni（ニッケル）、Fe（鉄）等に代表される金属およびこれらの合金からなる。第1リード1は、Ag（銀）、Ni（ニッケル）、Pd（パラジウム）、Au（金）等に代表される金属からなるめっき層を、適所に形成されていてもよい。第1リード1の厚さは何ら限定されず、たとえば0.12mm～0.2mm程度である。

[0108] 本実施形態の第1リード1は、ダイパッド部11および2つの延出部12を有する。

[0109] ダイパッド部11は、半導体素子4を支持する部位である。ダイパッド部11の形状は何ら限定されず、本実施形態においては、z方向に視て矩形状である。ダイパッド部11は、ダイパッド主面111およびダイパッド裏面112を有する。ダイパッド主面111は、z方向を向く面である。ダイパッド裏面112は、厚さ方向においてダイパッド主面111とは反対側を向く面である。図示された例においては、ダイパッド主面111およびダイパ

ッド裏面 1 1 2 は、平面である。

[0110] 2つの延出部 1 2 は、ダイパッド部 1 1 から x 方向の両側に延出した部位である。本実施形態においては、延出部 1 2 は、ダイパッド部 1 1 から x 方向に沿って延びる部位、当該部位に対して z 方向においてダイパッド主面 1 1 1 が向く側に傾斜して延びる部位、および当該部位から x 方向に沿って延びる部位、を有しており、全体として屈曲した形状である。

[0111] 複数の第 2 リード 2 :

複数の第 2 リード 2 は、第 1 リード 1 から離れており、半導体素子 4 への導通経路を構成する部位である。本実施形態においては、複数の第 2 リード 2 は、半導体素子 4 によってスイッチングされる電流の導通経路を構成する。複数の第 2 リード 2 は、第 1 リード 1 に対して y 方向の一方側に配置されている。複数の第 2 リード 2 は、x 方向に互いに離間して配置されている。

[0112] 第 2 リード 2 の材質は何ら限定されず、たとえば Cu (銅)、Ni (ニッケル)、Fe (鉄) 等に代表される金属およびこれらの合金からなる。第 2 リード 2 は、Ag (銀)、Ni (ニッケル)、Pd (パラジウム)、Au (金) 等に代表される金属からなるめっき層を、適所に形成されていてもよい。第 2 リード 2 の厚さは何ら限定されず、たとえば 0.12 mm ~ 0.2 mm 程度である。

[0113] 本実施形態の第 2 リード 2 は、パッド部 2 1 および端子部 2 2 を有する。

[0114] パッド部 2 1 は、第 1 ワイヤ 5 1 が接続される部位である。本実施形態においては、パッド部 2 1 は、z 方向においてダイパッド部 1 1 よりもダイパッド主面 1 1 1 が向く側に位置している。

[0115] 端子部 2 2 は、パッド部 2 1 から y 方向の外方に延びた帯状の部位である。端子部 2 2 は、x 方向に視て屈曲形状であり、先端部分が z 方向においてダイパッド部 1 1 と同じ（あるいは略同じ）位置にある。図示された例においては、端子部 2 2 は、電源端子である。

[0116] 複数の第 3 リード 3 :

複数の第 3 リード 3 は、第 1 リード 1 から離れており、半導体素子 4 への

導通経路を構成する部位である。本実施形態においては、複数の第3リード3は、半導体素子4を制御するための制御信号電流の導通経路を構成する。複数の第3リード3は、第1リード1に対してy方向の他方側に配置されている。複数の第3リード3は、x方向に互いに離間して配置されている。

[0117] 第3リード3の材質は何ら限定されず、たとえばCu（銅）、Ni（ニッケル）、Fe（鉄）等に代表される金属およびこれらの合金からなる。第3リード3は、Ag（銀）、Ni（ニッケル）、Pd（パラジウム）、Au（金）等に代表される金属からなるめっき層を、適所に形成されていてもよい。第3リード3の厚さは何ら限定されず、たとえば0.12mm～0.2mm程度である。

[0118] 本実施形態の第3リード3は、パッド部31および端子部32を有する。

[0119] パッド部31は、第2ワイヤ52が接続される部位である。本実施形態においては、パッド部31は、z方向においてダイパッド部11よりもダイパッド主面111が向く側に位置している。

[0120] 端子部32は、パッド部31からy方向の外方に延びた帯状の部位である。端子部32は、x方向に視て屈曲形状であり、先端部分がz方向においてダイパッド部11と同じ（あるいは略同じ）位置にある。

[0121] 図27に示すように、本実施形態においては、複数の第3リード3の端子部32が、端子部321、322、323、324と区別されている。端子部321は、出力端子であり後述の第3電極4031と導通している。端子部322は、グランド端子であり、後述の第3電極4032と導通している。端子部323は、自己診断出力端子であり、後述の第3電極4033と導通している。端子部324は、入力端子であり、後述の第3電極4034と導通している。

[0122] 半導体素子4：

半導体素子4は、半導体装置A5の電氣的機能を発揮する要素である。半導体素子4の具体的構成は、何ら限定されない。本実施形態では、半導体素子4は、スイッチング機能を果たす。図27および図31～図33に示すよ

うに、半導体素子4は、素子本体40、第1電極401、第2電極402、複数の第3電極403および複数の配置基準部45を有する。半導体素子4は、スイッチング機能を果たすトランジスタを構成する部位であるスイッチング部408と、スイッチング部408のトランジスタを制御、監視および保護等する部位である制御部48と、を有する。制御部48に含まれるトランジスタは、たとえば横型構造のトランジスタである。

[0123] 素子本体40は、素子主面40aおよび素子裏面40bを有する。素子主面40aは、z方向においてダイパッド主面111と同じ側を向く面である。素子裏面40bは、z方向において素子主面40aとは反対側を向く面である。素子本体40の材質は何ら限定されない。素子本体40の材質としては、たとえばSi（シリコン）、SiC（シリコンカーバイド）、GaN（窒化ガリウム）等の半導体材料が挙げられる。

[0124] 素子本体40は、スイッチング部408を有する。スイッチング部408は、たとえばMOSFET（Metal Oxide Semiconductor Field Effect Transistor）、MISFET（Metal Insulator Semiconductor Field Effect Transistor）等に代表されるトランジスタ構造が作り込まれている。図26、図27および図33に示すように、スイッチング部408は、z方向に視て、制御部48とy方向に並んで配置されている。ただし、スイッチング部408および制御部48の具体的な配置等は何ら限定されない。

[0125] 第1電極401は、素子本体40の素子主面40aに配置されている。図示された例においては、第1電極401は、素子主面40aのうちy方向において複数の第2リード2側の部分に配置されている。第1電極401は、z方向に視て、スイッチング部408と重なる。本実施形態においては、第1電極401は、z方向に視て、制御部48から離れている。本実施形態においては、第1電極401は、ソース電極である。第1電極401の材質は何ら限定されず、たとえば、Al（アルミニウム）、Al-Si、Cu（銅）等に代表される金属またはこれらを含む合金が挙げられる。第1電極401は、これらの金属から選択された複数の材質からなる層が積層された構造

であってもよい。

[0126] 図33に示すように、本実施形態の第1電極401は、第1領域4011および複数の第2領域4012を有する。第1領域4011および複数の第2領域4012は、z方向に視て互いに離れている。

[0127] 第1領域4011は、第2領域4012と比べて面積が大きい領域である。第1領域4011の形状は何ら限定されず、図示された例においては、x方向を長手方向とする形状である。図示された例においては、第1領域4011は、x方向を長手方向とする長矩形状の部分と、当該長矩形状の部分からy方向に突出する2つの部分と、を有する形状である。第1領域4011は、1つの繋がった部位のみを含む構成に限定されない。第1領域4011は、互いに離れた複数の部位を含む構成であってもよい。たとえば、複数の金属塊6が個別に配置される複数の部位を含む構成であってもよい。この場合、x方向およびy方向に隣り合う部位の間隔は、たとえば20 μ m程度である。

[0128] 複数の第2領域4012は、各々が第1領域4011と比べて面積が小さい領域である。複数の第2領域4012の形状および配置は、何ら限定されない。図示された例においては、複数の第2領域4012は、第1領域4011に対してy方向の一方側に位置し且つx方向に配列されたもの、第1領域4011のx方向の両側においてy方向に配列されたもの、を含む。

[0129] 複数の配置基準部45は、複数の金属塊6の配置基準となるものである。

「複数の金属塊6の配置基準となる」とは、半導体装置A5の製造方法において金属塊6を形成する際に、金属塊6が配置される位置を決定する処理に寄与するものをいう。たとえば、複数の金属塊6が、後述の製造方法のようにキャピラリを用いたボールボンディングの手法を利用して配置される場合、キャピラリの動作を初期設定するために用いられる。初期設定においては、たとえばカメラを用いて配置基準部45を含む領域を撮影する。そして、撮影画面上に設けられた基準線が所望の配置基準部45と一致するまたは交差する状態にカメラを相対移動させ、当該位置を製造装置に記憶させる。こ

の記憶された位置が、半導体装置 A 5 の製造方法において、複数の金属塊 6 を形成するためのキャピラリの動作の基準位置となる。複数の配置基準部 4 5 は、実際に複数の金属塊 6 を形成する際に、キャピラリ等を位置制御するための画像解析システムによって位置解析されることにより、複数の金属塊 6 の配置基準となる構成であってもよい。

[0130] 配置基準部 4 5 の具体的構成は、何ら限定されない。図示された例においては、配置基準部 4 5 は、第 1 領域 4 0 1 1 から離れている。ただし、配置基準部 4 5 は、第 1 領域 4 0 1 1 から離れた構成に限定されず、第 1 領域 4 0 1 1 に繋がる構成であってもよい。配置基準部 4 5 の形状は何ら限定されない。図示された例においては、配置基準部 4 5 は、x 方向に延びる帯状部分と y 方向に延びる帯状部分とが互いに交差した形状である。配置基準部 4 5 の大きさは何ら限定されず、たとえば x 方向および y 方向の大きさが $2\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下である。

[0131] 第 1 領域 4 0 1 1、複数の第 2 領域 4 0 1 2 および複数の配置基準部 4 5 の具体的構成は何ら限定されない。本実施形態においては、図 3 4 に示すように、半導体素子 4 が、金属層 4 0 1 0 および絶縁膜 4 6 を有している。金属層 4 0 1 0 は、素子本体 4 0 上に積層された金属を含む層であり、たとえば Al（アルミニウム）を含む。金属層 4 0 1 0 は、素子本体 4 0 のソース領域に導通している。金属層 4 0 1 0 の厚さは何ら限定されず、たとえば $2\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下である。絶縁膜 4 6 は、金属層 4 0 1 0 を部分的に覆っている。絶縁膜 4 6 は、たとえばポリイミド樹脂を含む。絶縁膜 4 6 の厚さは何ら限定されず、たとえば $2\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下である。絶縁膜 4 6 は、複数の開口部 4 6 1 を有する。開口部 4 6 1 は、金属層 4 0 1 0 を露出させている。金属層 4 0 1 0 のうち複数の開口部 4 6 1 から露出した部分によって、第 1 領域 4 0 1 1、複数の第 2 領域 4 0 1 2 および複数の配置基準部 4 5 が構成されている。配置基準部 4 5 は、このような構成の他に、開口部 4 6 1 から金属層 4 0 1 0 以外の部材が露出することによって形成されてもよいし、絶縁膜 4 6 の一部が薄肉化されることによって形成されてもよい。

し、さらに追加の層をパターン形成することによって形成されてもよい。

[0132] 第2電極402は、素子本体40の素子裏面40bに配置されている。第2電極402は、z方向に視て、スイッチング部408および制御部48と重なり、本実施形態においては、素子裏面40bの全面を覆っている。本実施形態においては、第2電極402は、ドレイン電極である。第2電極402の材質は何ら限定されず、たとえば、Au（金）、Ag（銀）、Ni（ニッケル）、Ti（チタン）等に代表される金属またはこれらを含む合金が挙げられる。第2電極402は、これらの金属から選択された複数の材質からなる層が積層された構造であってもよい。

[0133] 制御部48の具体的構成は何ら限定されない。制御部48は、たとえば電流センサ回路、温度センサ回路、過電流保護回路、加熱保護回路、低電圧誤動作防止回路等を含む。

[0134] 複数の第3電極403は、素子主面40aに配置されている。図示された例においては、複数の第3電極403は、素子主面40aのうちy方向において複数の第3リード3側の部分に配置されている。複数の第3電極403は、z方向に視て、制御部48と重なる。本実施形態においては、複数の第3電極403は、主に制御部48に導通する。複数の第3電極403の個数は、何ら限定されない。第3電極403の個数は、1であってもよい。図示された例においては、半導体素子4は、4つの第3電極403を有する。

[0135] 図示された例においては、4つの第3電極403は、第3電極4031，4032，4033，4034を含む。第3電極4031は、出力電極であり、負荷が短絡状態となり、過電流検出値を超える電流が流れると出力電流が制限される。第3電極4032は、グランド電極である。第3電極4033は、自己診断出力電極であり、過電流、過熱状態であるか否かによって電位が異なる。第3電極4034は、入力電極であり、内部にプルダウン抵抗が接続されている。

[0136] 図28は、スイッチング部408および制御部48の回路構成例を示している。スイッチング部は、トランジスタを含んでいる。制御部48は、エネ

ルギー吸収回路４８１と保護回路４８２とを含んでいる。エネルギー吸収回路４８１は、過渡電圧等に起因する電気エネルギーを吸収する回路であり、たとえばツェナーダイオードと抵抗器とを含む。保護回路４８２は、制御部４８を保護する回路であり、たとえば加熱保護部４８２１および過電流保護部４８２２を含む。

[0137] 複数の第１ワイヤ５１：

複数の第１ワイヤ５１は、半導体素子４の第１電極４０１と複数の第２リード２とを導通させるものである。第１ワイヤ５１の材質は何ら限定されず、たとえばＡｕ（金）、Ｃｕ（銅）、Ａｌ（アルミニウム）等に代表される金属からなる。第１ワイヤ５１は、第１電極４０１に含まれる金属とは異なる金属を含んでいてもよい。第１ワイヤ５１は、ボンディング部５１１、ボンディング部５１２およびループ部５１３を有する。第１ワイヤ５１の具体的な構成は、何ら限定されない。図示された例においては、第１ワイヤ５１は、Ｃｕ（銅）を含む材質からなり、たとえばキャピラリによって形成される。本実施形態においては、複数の第１ワイヤ５１には、半導体素子４によってスイッチングされる電流が流れる。

[0138] 本開示に係る半導体装置は、第１電極４０１に第１ワイヤ５１が接合された構成に限定されない。たとえば、第１ワイヤ５１以外の金属板材料からなる導通部材が第１電極４０１に接合された構成であってもよい。あるいは、半導体素子４内に形成された導通経路を介して第１電極４０１に導通する他の電極を備え、この電極に第１ワイヤ５１をはじめとする導通部材が接する構成であってもよい。

[0139] ボンディング部５１１は、半導体素子４の第１電極４０１に導通しており、ｚ方向に視て第１電極４０１と重なる位置に配置されている。本実施形態においては、ボンディング部５１１は、第１電極４０１に接合されており、いわゆるファーストボンディング部である。

[0140] ボンディング部５１２は、第２リード２のパッド部２１に接合される部位である。ボンディング部５１２は、いわゆるセカンドボンディング部である。

。

[0141] ループ部5 1 3は、ボンディング部5 1 1とボンディング部5 1 2とに繋がっており、全体として湾曲状である。

[0142] 図示された例においては、複数のボンディング部5 1 1は、第1電極4 0 1の複数の第2領域4 0 1 2に接合されている。このため、複数のボンディング部5 1 1は、素子本体4 0の外端縁に含まれる3辺に沿って配置されている。複数のボンディング部5 1 1は、第1電極4 0 1の外端縁に沿って一列に配置されている。

[0143] 複数の第2ワイヤ5 2：

複数の第2ワイヤ5 2は、半導体素子4の第3電極4 0 3と複数の第3リード3とを導通させるものである。第2ワイヤ5 2の材質は何ら限定されず、たとえばAu（金）、Cu（銅）、Al（アルミニウム）等に代表される金属からなる。第2ワイヤ5 2は、ボンディング部5 2 1、ボンディング部5 2 2およびループ部5 2 3を有する。第2ワイヤ5 2の具体的な構成は、何ら限定されない。図示された例においては、第2ワイヤ5 2は、たとえばキャピラリによって形成される。

[0144] 本実施形態においては、複数の第2ワイヤ5 2には、半導体素子4を制御するための制御信号電流等が流れる。図27に示す例においては、第3電極4 0 3 1と端子部3 2 1を有する第3リード3のパッド部3 1とが、第2ワイヤ5 2によって接続されている。第3電極4 0 3 2と端子部3 2 2を有する第3リード3のパッド部3 1とが、第2ワイヤ5 2によって接続されている。第3電極4 0 3 3と端子部3 2 3を有する第3リード3のパッド部3 1とが、第2ワイヤ5 2によって接続されている。第3電極4 0 3 4と端子部3 2 4を有する第3リード3のパッド部3 1とが、第2ワイヤ5 2によって接続されている。

[0145] ボンディング部5 2 1は、半導体素子4の第2電極4 0 2に接合されている。ボンディング部5 2 1は、いわゆるファーストボンディング部である。

[0146] ボンディング部5 2 2は、第3リード3のパッド部3 1に接合される部位

である。ボンディング部522は、いわゆるセカンドボンディング部である。

[0147] ループ部523は、ボンディング部521とボンディング部522とに繋がっており、全体として湾曲状である。

[0148] 複数の金属塊6：

複数の金属塊6は、各々が金属を含み、第1電極401に接合されている。金属塊6の具体的構成は何ら限定されない。本実施形態においては、金属塊6は、第1ワイヤ51のボンディング部511と同様の構成とされている。すなわち、キャピラリを用いて第1ワイヤ51を形成する手法のうち、ボンディング部511の形成処理を行った後にワイヤ材料を切断することによって形成されている。本実施形態の金属塊6は、Cu（銅）を含む。金属塊6の個数は、何ら限定されない。

[0149] 図33に示すように、本実施形態においては、複数の金属塊6は、第1電極401の第1領域4011に配置されており、第1領域4011に接合されている。複数の金属塊6の配置は、何ら限定されない。図示された例においては、複数の金属塊6は、x方向に沿った複数列に配列されている。同図においては、複数の金属塊6は、x方向に沿った5列に配列されている。それぞれの列の中心線を基準線 $Lx1 \sim Lx5$ で示している。

[0150] 図示された例においては、複数の金属塊6は、y方向に沿ってさらに複数列に配置されている。具体的には、基準線 $Lx1$ 、 $Lx3$ 、 $Lx5$ に沿って配置された複数の金属塊6が、y方向に沿ってさらに複数列に配置されている。基準線 $Lx2$ 、 $Lx4$ に沿って配列された複数の金属塊6が、y方向に沿ってさらに複数列に配置されている。同図においては、y方向に沿って配列された複数の金属塊6の一部の列の中心線を基準線 $Ly11$ 、 $Ly12$ 、 $Ly21$ 、 $Ly22$ で示している。図示された例においては、x方向に沿った配列数よりも、y方向に沿った配列数の方が多い。図示された例においては、複数の金属塊6は、千鳥配置とされている。これと異なり、複数の金属塊6は、たとえばx方向およびy方向に沿ったマトリクス状に配置されてい

てもよい。

[0151] 複数の配置基準部45は、複数の第1配置基準部451および複数の第2配置基準部452を含む。複数の第1配置基準部451は、複数の金属塊6のうちx方向に沿って配列された複数の金属塊6の配置基準となるものである。図示された例においては、基準線 $L \times 1 \sim L \times 5$ に対応して、5つずつの第1配置基準部451が、第1領域4011のx方向の両側に配置されている。すなわち、第1領域4011に対してx方向の片側に配置される複数の第1配置基準部451の個数は、x方向に沿って配列された複数の金属塊6の列数と同数である。

[0152] 複数の第2配置基準部452は、複数の金属塊6のうちy方向に沿って配列された複数の金属塊6の配置基準となるものである。図示された例においては、基準線 $L y 1 1, L y 1 2, L y 2 1, L y 2 2$ に対応して、4つずつの第2配置基準部452が、第1領域4011のy方向の両側に配置されている。すなわち、第1領域4011に対してy方向の片側に配置される複数の第2配置基準部452の個数は、y方向に沿って配列された複数の金属塊6の列数よりも少ない。複数の第2配置基準部452は、x方向に沿って配列された複数の金属塊6のうち最端に配置された金属塊6に対応する位置に配置されている。x方向の最端に配置された金属塊6とは、たとえばx方向の両端に位置する金属塊6をいう。このような構成は、たとえば上述のキャピラリの初期設定において、x方向に沿って配列された金属塊6の形成位置を設定する場合に、x方向において両端に配置される2つの金属塊6の位置を設定し、これら2つの金属塊6の位置から他の金属塊6の位置を内挿によって生成する場合に有効である。

[0153] 初期設定の手法等によっては、第1配置基準部451は、第1領域4011に対してx方向の片側のみに設けられてもよい。第2配置基準部452は、第1領域4011に対してy方向の片側のみに設けられてもよい。

[0154] 後述のワイヤ材料Wとして線径が $50 \mu m$ のものをを用いた場合、金属塊6の直径はたとえば $100 \mu m$ 以上 $120 \mu m$ 以下である。この場合、基準線

$L \times 1 \sim L \times 5$ のピッチは何ら限定されないが、たとえば $100 \mu m$ 以上 $150 \mu m$ 以下である。基準線 $L y 1 1$, $L y 1 2$ のピッチおよび基準線 $L y 2 1$, $L y 2 2$ のピッチは何ら限定されないが、たとえば $50 \mu m$ 以上 $75 \mu m$ 以下である。図示された例においては、複数の金属塊 6 の x 方向の配列ピッチは一定であるが、このような構成に限定されず、複数の大きさの配列ピッチが含まれていてもよい。たとえば、基準線 $L \times 1$, $L \times 2$ に沿った列の配列ピッチと、基準線 $L \times 3$, $L \times 4$, $L \times 5$ に沿った列の配列ピッチとが、互いに異なってもよい。

[0155] 本実施形態における金属塊 6 の形状は、第 1 実施形態における金属塊 6 の形状と同じとしうる。具体的には、図 9 および図 10 に示すように、金属塊 6 は、大径部 6 1、小径部 6 2、第 1 テーパ部 6 3、頂面 6 4 および破断部 6 5 を有する。大径部 6 1 は、第 1 電極 4 0 1 (第 1 領域 4 0 1 1) に接する部位である。図示された例においては、大径部 6 1 は、扁平な円柱形状 (あるいは略円柱形状) である。小径部 6 2 は、 z 方向において大径部 6 1 に対して第 1 電極 4 0 1 (第 1 領域 4 0 1 1) とは反対側に位置する部位である。図示された例においては、小径部 6 2 は、扁平な円柱形状 (あるいは略円柱形状) である。小径部 6 2 は、大径部 6 1 よりも小径である。図示された例においては、 z 方向に視て、大径部 6 1 の中心および小径部 6 2 の中心は、いずれも金属塊 6 の中心 $O 1$ と一致する。

[0156] 第 1 テーパ部 6 3 は、大径部 6 1 と小径部 6 2 との間に介在している部位である。第 1 テーパ部 6 3 は、 z 方向において大径部 6 1 から小径部 6 2 に向かうほど小径となっている。本開示の金属塊 6 は、第 1 テーパ部 6 3 を有さない構成であってもよい。

[0157] 破断部 6 5 は、 z 方向において第 1 電極 4 0 1 (第 1 領域 4 0 1 1) から離れる側 (第 1 側) に位置している。破断部 6 5 は、後述の半導体装置 A 5 の製造方法において、ワイヤ材料 W が破断した箇所である。破断部 6 5 の中心 $O 2$ は、金属塊 6 の中心 $O 1$ に対してずれている。本実施形態においては、中心 $O 2$ は、中心 $O 1$ に対して、 y 方向にずれている。さらに、図示され

た例においては、図9に示すように、破断部65のすべてが中心O1から離れている。図33に示すように、すべての金属塊6の中心O1は、それぞれの金属塊6の中心O1に対してy方向において制御部48に近づく側にずれている。

[0158] 頂面64は、z方向の第1側に位置しており、z方向に視て破断部65と隣り合う面である。頂面64は、z方向に対して交差している。図示された例においては、頂面64は、z方向に対して実質的に直交している。「z方向に対して実質的に直交している」とは、たとえば、後述の半導体装置A5の製造方法において、キャピラリCpをy方向にスライドさせることにより、頂面64が形成された場合に、製造方法における不可避免的な誤差等によって生じうる角度差が存在しうることを意味する。

[0159] 封止樹脂8：

封止樹脂8は、第1リード1、複数の第2リード2および複数の第3リード3の一部ずつと、半導体素子4、複数の第1ワイヤ51、複数の第2ワイヤ52および複数の金属塊6を覆っている。封止樹脂8は、絶縁性の樹脂からなり、たとえばフィラーが混入されたエポキシ樹脂を含む。

[0160] 封止樹脂8の形状は何ら限定されない。図示された例においては、封止樹脂8は、樹脂主面81、樹脂裏面82、2つの第1樹脂側面83および2つの第2樹脂側面84を有する。

[0161] 樹脂主面81は、z方向においてダイパッド主面111と同じ側を向っており、たとえば平面である。樹脂裏面82は、z方向において樹脂主面81とは反対側を向く面であり、たとえば平面である。

[0162] 2つの第1樹脂側面83は、z方向において樹脂主面81と樹脂裏面82との間に位置しており、x方向の両側を向いている。2つの第2樹脂側面84は、z方向において樹脂主面81と樹脂裏面82との間に位置しており、y方向の両側を向いている。

[0163] 次に、半導体装置A5の製造方法（特に、複数の金属塊6の形成方法）について、以下に説明する。本実施形態に係る製造方法は、第1実施形態に係

る製造方法と同じとしうる。以下では、図 1 1～図 1 6 を参照しつつ説明する。

[0164] まず、図 1 1 に示すように、ワイヤ材料WをキャピラリC p の挿通孔 9 1 に挿通する。そして、ワイヤ材料Wの先端にボール部 6 9 を形成する。ここで、ワイヤ材料Wの構成材料は、上述の金属塊 6 の構成材料である。ワイヤ材料Wは、基部 6 0 を有している。基部 6 0 は、供給された状態のワイヤ材料Wの殆どを占める部位であり、直径が均一である。ボール部 6 9 は、たとえば、キャピラリC p から突出させたボール部 6 9 を加熱することにより形成される。

[0165] 次いで、図 1 2 に示すように、キャピラリC p およびワイヤ材料Wを z 方向において下降させ、第 1 電極 4 0 1 (第 1 領域 4 0 1 1) に接近させる。そして、ボール部 6 9 を第 1 電極 4 0 1 (第 1 領域 4 0 1 1) に付着させる。この際、ボール部 6 9 のうち第 1 電極 4 0 1 (第 1 領域 4 0 1 1) とキャピラリC p との間に位置する部分が、大径部 6 1 となる。

[0166] さらに、図示された例においては、キャピラリC p の挿通孔 9 1 は、一定径部 9 1 1 およびテーパ部 9 1 2 を有する。一定径部 9 1 1 は、ワイヤ材料Wの基部 6 0 の直径よりも若干大きい内径を有する。テーパ部 9 1 2 は、挿通孔 9 1 の先端付近に設けられており、一定径部 9 1 1 から離れるほど(先端部 9 2 に向かうほど)、内径が大きくなる部位である。ボール部 6 9 のうち、一定径部 9 1 1 に進入した部分が小径部 6 2 となる。ボール部 6 9 のうちテーパ部 9 1 2 に接した部分が、第 1 テーパ部 6 3 となる。図示された例においては、基部 6 0 と小径部 6 2 との間に介在する第 2 テーパ部 6 6 が形成されている。

[0167] 次いで、図 1 3 に示すように、キャピラリC p とワイヤ材料Wとの相対動を許容した状態で、z 方向において、キャピラリC p を第 1 電極 4 0 1 (第 1 領域 4 0 1 1) から離す。キャピラリC p とワイヤ材料Wとの相対動を許容した状態とは、たとえばキャピラリC p によってワイヤ材料Wがクランプ等をしていない状態である。この際、キャピラリC p の先端部 9 2 が、z 方

向と直交する方向（たとえばx方向またはy方向）に視て、小径部62と重なる位置まで、キャピラリCpをz方向に移動させる。すなわち、図示された例においては、キャピラリCpの先端部92が、z方向において第1テーパ部63を超えるまで、キャピラリCpをz方向に移動させる。

[0168] 次いで、図14に示すように、z方向と交差するスライド方向にキャピラリCpをスライドさせる。このスライドにおいては、キャピラリCpによってワイヤ材料Wをクランプしていることが好ましいが、これに限定されない。図示された例においては、キャピラリCpの先端部92が、中心O1を超えるまで、キャピラリCpをスライドさせている。キャピラリCpのスライドにより、ワイヤ材料Wは、せん断変形する。これにより、ワイヤ材料Wには、くびれ部67が形成される。キャピラリCpの先端部92がワイヤ材料Wと交差した部位が、頂面64となる。スライド方向は、ワイヤ材料Wにくびれ部67を生じさせる方向であればよい。図示された例においては、スライド方向は、y方向であり、z方向に対して直交している。

[0169] 次いで、図15に示すように、キャピラリCpとワイヤ材料Wとの相対動を許容した状態で、キャピラリCpをz方向において第1電極401（第1領域4011）から離れる側（第1側）に移動させる。

[0170] 次いで、図16に示すように、キャピラリCpとワイヤ材料Wとの相対動を阻止した状態、すなわちキャピラリCpによってワイヤ材料Wをクランプ等した状態で、キャピラリCpをz方向の第1側に移動させる。これにより、ワイヤ材料Wがくびれ部67において破断し、金属塊6が形成される。くびれ部67の破断部分が、破断部65となる。

[0171] この後は、図11～図16に示す工程を繰り返すことにより、複数の金属塊6を形成する。図33に示す複数の金属塊6の形成においては、初期設定によって設定された配置位置にしたがって、キャピラリCpが金属塊6を順次形成する。たとえば、y方向において制御部48から最も離れている列から順に形成する。すなわち、基準線Lx1を配置基準とする複数の金属塊6を形成する。次に、基準線Lx2を配置基準とする複数の金属塊6を形成す

る。次に、基準線 $L \times 3$ を配置基準とする複数の金属塊6を形成する。次に、基準線 $L \times 4$ を配置基準とする複数の金属塊6を形成する。次に、基準線 $L \times 5$ を配置基準とする複数の金属塊6を形成する。各列の複数の金属塊6の形成順序は特に限定されないが、たとえば x 方向の最端に位置する金属塊6から x 方向に沿って順に形成してもよい。この順に複数の金属塊6を形成した場合、各金属塊6の形成においてキャピラリ C_p を図14に示すようにスライドさせる際に、キャピラリ C_p を移動させる先には、金属塊6は存在しない。

[0172] 次に、半導体装置A5の作用について説明する。

[0173] 本実施形態によれば、図33に示すように、半導体素子4は、複数の配置基準部45を有する。複数の配置基準部45を配置基準として複数の金属塊6を形成することにより、複数の金属塊6の配置精度を高めることができる。したがって、たとえば、より高密度に複数の金属塊6を配置することが可能であり、アクティブクランプをより適切に機能させることができる。

[0174] 本実施形態においては、図34に示すように、配置基準部45は、絶縁膜46の開口部461から露出した金属層4010によって形成されている。これにより、第1領域4011および第2領域4012を形成する処理において、複数の配置基準部45を一括して形成することができる。開口部461から金属層4010を露出させた構成は、画像において高いコントラストで写すことが可能であり、より正確な配置設定に好ましい。

[0175] 図33に示すように、複数の配置基準部45は、複数の第1配置基準部451および複数の第2配置基準部452を含む。これにより、 x 方向に沿って配列された複数の金属塊6と、 y 方向に沿って配列された複数の金属塊6との位置を、より正確に設定することができる。上述の初期設定の手法においては、複数の第2配置基準部452の個数は、 y 方向に沿った配列の列数よりも少ない。これは、複数の第2配置基準部452を配置するためのスペースを縮小可能であり、半導体素子4全体の小型化に好ましい。

[0176] 複数の配置基準部45は、第1領域4011および第2領域4012から

離れた構成とされている。これにより、初期設定等の画像において、複数の配置基準部45が第1領域4011等から離れた単独の目印として視認される。したがって、初期設定作業等をより確実に実行することが期待できる。

[0177] 本実施形態においては、図9および図10に示すように、破断部65の中心O1が金属塊6の中心O1に対してずれている。これは、図14に示すように、キャピラリCpをスライドさせることによってくびれ部67を形成し、図16に示すように、くびれ部67においてワイヤ材料Wを破断させることによって破断部65が形成されていることによる。くびれ部67は、断面積が小さいため、図16においてより小さい力で破断が実現可能である。これにより、金属塊6の形状が意図しない歪な形状になることを抑制することができる。ワイヤ材料Wを破断させる際の力によって、金属塊6と第1電極401との接合が弱まることを回避可能である。したがって、所望の形状の金属塊6をより確実に第1電極401に接合することが可能であり、アクティブクランプをより適切に機能させることができる。

[0178] 図33に示すように、各金属塊6の形成においてキャピラリCpをスライドさせる際に、キャピラリCpを移動させる先には、金属塊6は存在しない。これにより、キャピラリCpのスライドにおいて、すでに形成済みの金属塊6とキャピラリCpとが干渉することを回避することができる。

[0179] 図35～図47は、本開示の変形例および他の実施形態を示している。これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。各変形例および各実施形態における各部の構成は、技術的な矛盾を生じない範囲において相互に適宜組み合わせ可能である。

[0180] 第5実施形態 第1変形例：

図35は、半導体装置A5の第1変形例を示している。本変形例に係る半導体装置A51においては、第1領域4011に対してy方向の片側に配置された複数の第2配置基準部452の個数は、y方向に沿って配列された複数の金属塊6の列数と同数である。

[0181] 本変形例によっても、アクティブクランプをより適切に機能させることができる。本変形例から理解されるように、複数の第2配置基準部452の個数は何ら限定されず、たとえば初期設定の具体的な処理手法等に応じて適宜変更可能である。

[0182] 配置基準部45の変形例：

図36は、配置基準部45の変形例を示している。同図(a)～(d)における一点鎖線は、図33における基準線 $Lx1 \sim Lx5$ 、または基準線 $Ly11$, $Ly12$, $Ly21$, $Ly22$ に対応する基準線である。同図(a)の配置基準部45は、z方向に視て四角形であり、具体的には正方形である。この配置基準部45は、基準線に平行な二辺と、基準線に直交する二辺とを有する。同図(b)の配置基準部45は、基準線に沿って延びる帯状である。同図(c)の配置基準部45は、基準線に沿った対角線と基準線に直行する対角線とを有する四角形(ひし形)である。同図(d)の配置基準部45は、三角形であり、一つの頂角が基準線に交差する。たとえば当該基準線は、当該頂角を2等分しうる。

[0183] 本変形例によっても、アクティブクランプをより適切に機能させることができる。本変形例から理解されるように、配置基準部45の具体的な形状は何ら限定されず、基準線の特定が可能な形状であれば種々の形状を採用可能である。

[0184] 金属塊6の変形例：

図37は、金属塊6の変形例を示している。本変形例においては、破断部65のO2は、金属塊6の中心O1と一致(あるいは略一致)している。このような金属塊6は、たとえば図14を参照して説明したキャピラリCpのy方向への移動を行うことなく、図16に示すワイヤ材料Wの破断を行うことにより形成される。

[0185] 本変形例によっても、アクティブクランプをより適切に機能させることができる。本変形例から理解されるように、金属塊6の具体的な形状等は、何ら限定されない。

[0186] 第6実施形態：

図38は、本開示の第6実施形態に係る半導体装置の半導体素子4を示している。本実施形態の半導体装置A6においては、半導体素子4の配置基準部45の構成が上述した実施形態と異なっている。本実施形態においては、配置基準部45は、第1領域4011から離れた構成ではない。第1領域4011は、2つの第1辺4011xと2つの第2辺4011yとを有する。2つの第1辺4011xは、x方向に互いに離れた辺である。2つの第2辺4011yは、y方向に互いに離れた辺である。

[0187] 2つの第1辺4011xは、z方向から視て第1領域4011の内方に屈曲した複数の部位を有する。これらの部位によって複数の第1配置基準部451が構成されている。2つの第2辺4011yは、z方向から視て第1領域4011の内方に屈曲した複数の部位を有する。これらの部位によって複数の第2配置基準部452が構成されている。図示されたこれらの配置基準部45は、内方に向かう頂角を有する三角形状であるが、このような形状に限定されず、たとえば図36に示した例をはじめとする種々の形状に設定可能である。

[0188] 本実施形態によっても、アクティブクランプをより適切に機能させることができる。本実施形態においては、複数の配置基準部45が独立した形状部分として設けられておらず、第1領域4011（第1辺4011x、第2辺4011y）の一部として一体的に形成されている。このため、第1領域4011から独立した配置基準部45を備える構成と比べて、配置基準部45の配置スペースを縮小可能であり、半導体素子4の小型化に有利である。

[0189] 第7実施形態：

図39は、本開示の第7実施形態に係る半導体装置の半導体素子4を示している。本実施形態の半導体装置A7においては、半導体素子4の配置基準部45の構成が上述した実施形態と異なっている。本実施形態においては、2つの第1辺4011xは、z方向から視て第1領域4011の外方に屈曲した複数の部位を有する。これらの部位によって複数の第1配置基準部45

1 が構成されている。2つの第2辺4011yは、z方向から視て第1領域4011の外方に屈曲した複数の部位を有する。これらの部位によって複数の第2配置基準部452が構成されている。図示されたこれらの配置基準部45は、外方に向かう頂角を有する三角形形状であるが、このような形状に限定されず、たとえば図36に示した例をはじめとする種々の形状に設定可能である。

[0190] 本実施形態によっても、アクティブクランプをより適切に機能させることができる。本実施形態によっても、配置基準部45の配置スペースを縮小可能であり、半導体素子4の小型化に有利である。

[0191] 第8実施形態：

図40は、本開示の第8実施形態に係る半導体装置の半導体素子4を示している。本実施形態の半導体装置A8においては、半導体素子4の第1領域4011の構成が上述した実施形態と異なっている。本実施形態においては、2つの第1辺4011xが屈曲形状である。具体的には、第1辺4011xは、各々がx方向およびy方向に対して傾斜した複数の傾斜線を含んでいる。各傾斜線は、千鳥状に配置された複数の金属塊6に沿った配置および傾斜とされている。

[0192] 本実施形態によっても、アクティブクランプをより適切に機能させることができる。本実施形態によれば、第1領域4011の大きさを縮小することが可能であり、半導体素子4の小型化に有利である。

[0193] 第8実施形態 第1変形例：

図41は、半導体装置A8の第1変形例を示している。本変形例の半導体装置A81においては、半導体素子4の第1領域4011および複数の配置基準部45の構成が上述した実施形態と異なっている。本変形例においては、第1辺4011xに含まれる複数の傾斜線の境界部分が、複数の第1配置基準部451を構成している。隣り合う傾斜線の境界部分は、第1領域4011の内方に屈曲した部分と、第1領域4011の外方に屈曲した部分とがある。これらの幾何形状部分が、複数の第1配置基準部451を構成してい

る。

[0194] 本変形例によっても、アクティブクランプをより適切に機能させることができる。本変形例によれば、第1領域4011の大きさを縮小しつつ、複数の第1配置基準部451を配置するための専用のスペースが不要である。したがって、半導体素子4の小型化にさらに有利である。

[0195] 第9実施形態：

図42は、本開示の第9実施形態に係る半導体装置の半導体素子4を示している。本実施形態の半導体装置A9においては、半導体素子4の第1領域4011および複数の配置基準部45の構成が上述した実施形態と異なっている。本実施形態においては、2つの第1辺4011xおよび2つの第2辺4011yのそれぞれが、複数の段差形状の部位を有する。これらの複数の段差形状の部位が、複数の第1配置基準部451および複数の第2配置基準部452を構成している。第1辺4011xは、y方向の中心に向かうほど、x方向の大きさが大きくなるように、複数の段差形状が配置されている。

[0196] 本実施形態によっても、アクティブクランプをより適切に機能させることができる。本実施形態によれば、複数の第1配置基準部451および複数の第2配置基準部452を配置するための専用のスペースが不要である。したがって、半導体素子4の小型化にさらに有利である。

[0197] 第9実施形態 第1変形例：

図43は、半導体装置A9の第1変形例の半導体素子4を示している。本変形例の半導体装置A91においては、半導体素子4の第1領域4011および複数の配置基準部45の構成が上述した実施形態と異なっている。本実施形態においては、2つの第1辺4011xおよび2つの第2辺4011yのそれぞれには、矩形状の凹部が形成されている。複数の凹部の片側部分である段差形状の部分によって、複数の第1配置基準部451および複数の第2配置基準部452が構成されている。

[0198] 本実施形態によっても、アクティブクランプをより適切に機能させることができる。本変形例によれば、第1領域4011のx方向の大きさは、段差

形状に相当する大小が存在するものの、図42に示したように、y方向の中央部分が局所的に大きくなる形状とはなっていない。したがって、半導体素子4の小型化を図るのに好ましい。

[0199] 第10実施形態：

図44および図45は、本開示の第10実施形態に係る半導体装置を示している。本実施形態の半導体装置A10は、主に、半導体素子4の構成と、半導体素子42および複数の第3ワイヤ53を備える点が、上述の実施形態と異なる。

[0200] 本実施形態の半導体素子4は、上述の実施形態におけるスイッチング部408を有しており、スイッチング機能を果たす一方、上述の実施形態における制御部48を有していない。

[0201] 半導体素子42は、たとえば半導体素子4を制御、監視および保護等する機能を果たす。半導体素子4と半導体素子42とは、いずれもダイパッド部11のダイパッド主面111に接合材49を介して搭載されている。図示された例においては、半導体素子4と半導体素子42とは、y方向に並んで配置されている。

[0202] 半導体素子42は、複数の電極421および複数の電極422を有する。複数の電極421および複数の電極422は、いずれもz方向において同じ側に配置されている。図示された例においては、複数の電極421は、y方向において半導体素子4が位置する側に配置されている。複数の電極422は、y方向において複数の第3リード3が位置する側に配置されている。複数の電極422は、電極4221、4222、4223、4224を含む。電極4221は、上述の半導体装置A1における第3電極4031に相当する。電極4222は、上述の半導体装置A1における第3電極4032に相当する。電極4223は、上述の半導体装置A1における第3電極4033に相当する。電極4224は、上述の半導体装置A1における第3電極4034に相当する。

[0203] 本実施形態においては、複数の第2ワイヤ52は、半導体素子42の複数

の電極 4 2 2 と複数の第 3 リード 3 とに、個別に接続されている。ボンディング部 5 2 1 は、電極 4 2 2 に接合されている。ボンディング部 5 2 2 は、第 3 リード 3 のパッド部 3 1 に接合されている。

[0204] 半導体装置 A 1 0 は、複数の第 3 ワイヤ 5 3 を備える。複数の第 3 ワイヤ 5 3 は、半導体素子 4 の複数の第 3 電極 4 0 3 と半導体素子 4 2 の複数の電極 4 2 1 とに、個別に接続されている。第 3 ワイヤ 5 3 は、たとえば、ボンディング部 5 3 1、ボンディング部 5 3 2 およびループ部 5 3 3 を有しており、たとえば第 2 ワイヤ 5 2 と同様の構成である。ボンディング部 5 3 1 は、第 3 電極 4 0 3 に接合されている。ボンディング部 5 3 2 は、電極 4 2 1 に接合されている。

[0205] 本実施形態によっても、アクティブクランプをより適切に機能させることができる。本実施形態から理解されるように、半導体素子 4 の具体的構成は、何ら限定されない。ダイパッド部 1 1 には、半導体素子 4 だけでなく、半導体素子 4 に加えて半導体素子 4 2 等の他の半導体素子が搭載されていてもよい。半導体素子 4 以外の半導体素子の機能は、何ら限定されない。

[0206] 第 1 1 実施形態：

図 4 6 および図 4 7 は、本開示の第 1 1 実施形態に係る半導体装置を示している。本実施形態の半導体装置 A 1 1 は、半導体装置 A 1 0 同様に、半導体素子 4 および半導体素子 4 2 を備える。

[0207] 本実施形態においては、半導体素子 4 2 は、半導体素子 4 の素子主面 4 0 a に搭載されている。すなわち、半導体素子 4 2 は、z 方向において半導体素子 4 に対してダイパッド部 1 1 とは反対側に配置されている。半導体素子 4 と半導体素子 4 2 とは、互いに積層されている。

[0208] 半導体素子 4 2 は、たとえば接合材 4 9 によって半導体素子 4 の素子主面 4 0 a に接合されている。図示された例においては、半導体素子 4 2 は、z 方向に視て、第 1 電極 4 0 1 から y 方向に離れた位置に搭載されている。図示された例とは異なり、半導体素子 4 2 は、第 1 電極 4 0 1 上に配置されていてもよい。

[0209] 図示された例においては、第1電極401および半導体素子42は、いずれもx方向を長手方向とする長矩形状である。複数の第3電極403は、y方向において第1電極401と半導体素子42との間に位置しており、x方向に並んで配置されている。

[0210] 本実施形態によっても、アクティブクランプをより適切に機能させることができる。本実施形態から理解されるように、半導体素子42の配置や搭載形態は何ら限定されない。

[0211] 本開示に係る半導体装置および半導体装置は、上述した実施形態に限定されるものではない。本開示に係る半導体装置の具体的な構成は、種々に設計変更自在である。

[0212] 本開示は、以下の付記に記載された実施形態を含む。

[0213] 付記1A.

第1電極を有する半導体素子と、

前記第1電極に接合された少なくとも1つの金属塊と、を備え、

前記金属塊は、前記半導体素子の厚さ方向において前記第1電極から離れる側である第1側に位置する破断部を有し、

前記厚さ方向に視て、前記破断部の中心は、前記金属塊の中心に対してずれている、半導体装置。

付記2A.

前記厚さ方向に視て、前記破断部のすべてが、前記金属塊の中心から離れている、付記1Aに記載の半導体装置。

付記3A.

前記金属塊は、前記第1電極に接する大径部と、前記厚さ方向において前記大径部に対して前記第1電極とは反対側に位置し且つ前記大径部よりも小径である小径部と、を有する、付記1Aまたは2Aに記載の半導体装置。

付記4A.

前記厚さ方向に視て、前記大径部の中心および前記小径部の中心は、いずれも前記金属塊の中心と一致する、付記3Aに記載の半導体装置。

付記 5 A.

前記金属塊は、前記大径部と前記小径部との間に介在する第 1 テーパ部を有する、付記 3 A または 4 A に記載の半導体装置。

付記 6 A.

前記金属塊は、前記厚さ方向の前記第 1 側に位置し且つ前記厚さ方向に視て前記破断部と隣り合う頂面を有する、付記 1 A ないし 3 A のいずれかに記載の半導体装置。

付記 7 A.

前記厚さ方向に視て、前記頂面は、前記破断部よりも大きい、付記 6 A に記載の半導体装置。

付記 8 A.

前記少なくとも 1 つの金属塊は、複数の金属塊を含み、

前記複数の金属塊それぞれにおいて、前記破断部の中心が前記金属塊の中心に対して同じ方向にずれている、付記 1 A ないし 7 A のいずれかに記載の半導体装置。

付記 9 A.

前記複数の金属塊は、前記厚さ方向と直交する第 1 方向に沿った複数列に配列されており、

前記複数の金属塊において、前記破断部の中心が前記金属塊の中心に対して前記第 1 方向と交差する第 2 方向にずれている、付記 8 A に記載の半導体装置。

付記 10 A.

前記第 1 電極に接続されたワイヤをさらに備える、付記 1 A ないし 7 A のいずれかに記載の半導体装置。

付記 11 A.

前記第 1 電極は、前記金属塊が配置された第 1 領域と、前記ワイヤが接続された第 2 領域と、を含む、付記 10 A に記載の半導体装置。

付記 12 A.

直径が均一である基部を含むワイヤ材料をキャピラリの挿通孔に挿通し、
前記ワイヤ材料の先端にボール部を形成する工程と、

半導体素子の第 1 電極に前記ボール部を付着させる工程と、

前記キャピラリと前記ワイヤ材料との相対動を許容した状態で、前記半導体素子の厚さ方向において前記第 1 電極から前記キャピラリを離す工程と、

前記厚さ方向と交差するスライド方向に前記キャピラリをスライドさせる工程と、

前記キャピラリと前記ワイヤ材料との相対動を阻止した状態で、前記キャピラリを前記厚さ方向の前記第 1 側に移動させることにより、前記ワイヤ材料を破断させ、且つ前記第 1 電極に接合された金属塊を形成する工程と、を備える、半導体装置の製造方法。

付記 1 3 A.

前記キャピラリをスライドさせる工程においては、前記厚さ方向に視て、前記キャピラリの先端部のすべてが前記ボール部の中心から離れるまで前記キャピラリをスライドさせる、付記 1 2 A に記載の半導体装置の製造方法。

付記 1 4 A.

前記ボール部を付着させる工程においては、前記ボール部のうち前記キャピラリと前記第 1 電極との間に位置する大径部と、前記ボール部のうち前記挿通孔に進入した部位である小径部と、を形成する、付記 1 2 A または 1 3 A に記載の半導体装置の製造方法。

付記 1 5 A.

前記キャピラリを離す工程においては、前記厚さ方向と直交する方向から視て前記キャピラリの先端部が前記小径部と重なる位置まで前記キャピラリを移動させる、付記 1 4 A に記載の半導体装置の製造方法。

付記 1 6 A.

前記挿通孔は、前記先端部に繋がるテーパ部を有し、

前記ボール部を形成する工程においては、前記ボール部のうち前記テーパ部に接する部分であって、前記大径部と前記小径部との間に介在する第 1 テ

一パ部を形成する、付記 1 5 A に記載の半導体装置の製造方法。

付記 1 7 A.

前記キャピラリを離す工程においては、前記キャピラリの前記先端部が前記第 1 テーパ部を超える位置まで前記キャピラリを移動させる、付記 1 6 A に記載の半導体装置の製造方法。

付記 1 8 A.

前記キャピラリをスライドさせる工程において、前記スライド方向は、前記厚さ方向と直交する、付記 1 2 A ないし 1 7 A のいずれかに記載の半導体装置の製造方法。

[0214] 付記 1 B.

第 1 電極を有する半導体素子と、

前記第 1 電極に接合された複数の金属塊と、

前記複数の金属塊の配置基準となる少なくとも 1 つの配置基準部と、を備える、半導体装置。

付記 2 B.

金属層と、

前記金属層を部分的に覆う絶縁膜と、をさらに備え、

前記第 1 電極は、前記金属層のうち前記絶縁膜から露出した部位である、付記 1 B に記載の半導体装置。

付記 3 B.

前記配置基準部は、前記金属層のうち前記絶縁膜から露出した部位である、付記 2 B に記載の半導体装置。

付記 4 B.

前記配置基準部は、平面視において前記第 1 電極から離れている、付記 1 B ないし 3 B のいずれかに記載の半導体装置。

付記 5 B.

前記配置基準部は、前記第 1 電極の端縁の一部によって構成されている、付記 1 B ないし 3 B のいずれかに記載の半導体装置。

付記 6 B.

前記配置基準部は、前記第 1 電極の端縁のうち平面視において内方に屈曲した部位によって構成されている、付記 5 B に記載の半導体装置。

付記 7 B.

前記配置基準部は、前記第 1 電極の端縁のうち平面視において外方に屈曲した部位によって構成されている、付記 5 B に記載の半導体装置。

付記 8 B.

前記配置基準部は、前記第 1 電極の端縁のうち平面視において段差形状の部位によって構成されている、付記 5 B に記載の半導体装置。

付記 9 B.

前記少なくとも 1 つの配置基準部は、複数の配置基準部を備える、付記 1 B ないし 8 B のいずれかに記載の半導体装置。

付記 10 B.

前記複数の金属塊は、平面視において第 1 方向に沿って配列されており、
前記複数の配置基準部は、前記第 1 方向に沿って配列された前記複数の金属塊の配置基準となる第 1 配置基準部を含む、付記 9 B に記載の半導体装置。
。

付記 11 B.

前記複数の金属塊は、平面視において前記第 1 方向に沿って複数列に配列されており、

前記第 1 方向に沿って複数列に配列された前記複数の金属塊は、平面視において前記第 1 方向と交差する第 2 方向に沿ってさらに複数列に配列されており、

前記複数の配置基準部は、前記第 2 方向に沿った配列の配置基準となる第 2 配置基準部を含む、付記 10 B に記載の半導体装置。

付記 12 B.

前記複数の配置基準部は、前記第 1 方向に沿って複数列に配列された前記複数の金属塊の列数と同数の複数の前記第 1 配置基準部を含む、付記 11 B

に記載の半導体装置。

付記 1 3 B.

前記複数の配置基準部は、前記第 2 方向に沿って複数列に配列された前記複数の金属塊の列数よりも少ない個数の複数の前記第 2 配置基準部を含む、付記 1 2 B に記載の半導体装置。

付記 1 4 B.

前記複数の第 2 配置基準部は、前記第 1 方向に沿って配列された前記複数の金属塊のうち最端に配置された前記金属塊に対応する位置に配置されている、付記 1 3 B に記載の半導体装置。

付記 1 5 B.

前記複数の金属塊の各々は、前記半導体素子の厚さ方向において前記第 1 電極から離れる側である第 1 側に位置する破断部を有し、

各金属塊において、前記厚さ方向に視て、前記破断部の中心は、当該金属塊の中心に対してずれている、付記 1 1 B ないし 1 4 B のいずれかに記載の半導体装置。

付記 1 6 B.

前記複数の金属塊の各々において、前記破断部の中心が当該金属塊の中心に対して前記第 2 方向にずれている、付記 1 5 B に記載の半導体装置。

付記 1 7 B.

前記第 1 電極に接続されたワイヤをさらに備える、付記 1 B ないし 1 6 B のいずれかに記載の半導体装置。

符号の説明

[0215] A 1, A 2, A 3, A 4 : 半導体装置

A 5, A 5 1, A 6, A 7, A 8, A 8 1 : 半導体装置

A 9, A 9 1, A 1 0, A 1 1 : 半導体装置

1 : 第 1 リード 2 : 第 2 リード

3 : 第 3 リード 4 : 半導体素子

6 : 金属塊 8 : 封止樹脂

1 1 : ダイパッド部	1 2 : 延出部
2 1 : パッド部	2 2 : 端子部
3 1 : パッド部	3 2 : 端子部
4 0 : 素子本体	4 0 a : 素子主面
4 0 b : 素子裏面	4 2 : 半導体素子
4 5 : 配置基準部	4 6 : 絶縁膜
4 8 : 制御部	4 9 : 接合材
5 1 : 第1ワイヤ	5 2 : 第2ワイヤ
5 3 : 第3ワイヤ	6 0 : 基部
6 1 : 大径部	6 2 : 小径部
6 3 : 第1テーパ部	6 4 : 頂面
6 5 : 破断部	6 6 : 第2テーパ部
6 7 : くびれ部	6 9 : ボール部
8 1 : 樹脂主面	8 2 : 樹脂裏面
8 3 : 第1樹脂側面	8 4 : 第2樹脂側面
9 1 : 挿通孔	9 2 : 先端部
1 1 1 : ダイパッド主面	1 1 2 : ダイパッド裏面
3 2 1, 3 2 2, 3 2 3, 3 2 4 : 端子部	4 0 1 : 第1電極
4 0 2 : 第2電極	4 0 3 : 第3電極
4 0 8 : スイッチング部	4 2 1, 4 2 2 : 電極
4 5 1 : 第1配置基準部	4 5 2 : 第2配置基準部
4 6 1 : 開口部	
4 8 1 : エネルギー吸収回路	4 8 2 : 保護回路
5 1 1, 5 1 2, 5 2 1, 5 2 2, 5 3 1, 5 3 2 : ボンディング部	
5 1 3, 5 2 3, 5 3 3 : ループ部	
9 1 1 : 一定径部	9 1 2 : テーパ部
4 0 1 0 : 金属層	4 0 1 1 : 第1領域
4 0 1 1 x : 第1辺	4 0 1 1 y : 第2辺

4 0 1 2 : 第 2 領域

4 0 3 1, 4 0 3 2, 4 0 3 3, 4 0 3 4 : 第 3 電極

4 2 2 1, 4 2 2 2, 4 2 2 3, 4 2 2 4 : 電極

4 8 2 1 : 加熱保護部

4 8 2 2 : 過電流保護部 C p : キャピラリ

L x 1, L x 2, L x 3, L x 4, L x 5 : 基準線

L y 1 1, L y 1 2, L y 2 1, L y 2 2 : 基準線

O 1, O 2 : 中心 W : ワイヤ材料

請求の範囲

- [請求項1] 第1電極を有する半導体素子と、
前記第1電極に接合された少なくとも1つの金属塊と、を備え、
前記金属塊は、前記半導体素子の厚さ方向において前記第1電極から離れる側である第1側に位置する破断部を有し、
前記厚さ方向に視て、前記破断部の中心は、前記金属塊の中心に対してずれている、半導体装置。
- [請求項2] 前記厚さ方向に視て、前記破断部のすべてが、前記金属塊の中心から離れている、請求項1に記載の半導体装置。
- [請求項3] 前記金属塊は、前記第1電極に接する大径部と、前記厚さ方向において前記大径部に対して前記第1電極とは反対側に位置し且つ前記大径部よりも小径である小径部と、を有する、請求項1または2に記載の半導体装置。
- [請求項4] 前記厚さ方向に視て、前記大径部の中心および前記小径部の中心は、いずれも前記金属塊の中心と一致する、請求項3に記載の半導体装置。
- [請求項5] 前記金属塊は、前記大径部と前記小径部との間に介在する第1テーパ部を有する、請求項3または4に記載の半導体装置。
- [請求項6] 前記金属塊は、前記厚さ方向の前記第1側に位置し且つ前記厚さ方向に視て前記破断部と隣り合う頂面を有する、請求項1ないし3のいずれかに記載の半導体装置。
- [請求項7] 前記厚さ方向に視て、前記頂面は、前記破断部よりも大きい、請求項6に記載の半導体装置。
- [請求項8] 前記少なくとも1つの金属塊は、複数の金属塊を含み、
前記複数の金属塊それぞれにおいて、前記破断部の中心が前記金属塊の中心に対して同じ方向にずれている、請求項1ないし7のいずれかに記載の半導体装置。
- [請求項9] 前記複数の金属塊は、前記厚さ方向と直交する第1方向に沿った複

数列に配列されており、

前記複数の金属塊において、前記破断部の中心が前記金属塊の中心に対して前記第1方向と交差する第2方向にずれている、請求項8に記載の半導体装置。

[請求項10] 前記第1電極に接続されたワイヤをさらに備える、請求項1ないし7のいずれかに記載の半導体装置。

[請求項11] 前記第1電極は、前記金属塊が配置された第1領域と、前記ワイヤが接続された第2領域と、を含む、請求項10に記載の半導体装置。

[請求項12] 直径が均一である基部を含むワイヤ材料をキャピラリの挿通孔に挿通し、前記ワイヤ材料の先端にボール部を形成する工程と、

半導体素子の第1電極に前記ボール部を付着させる工程と、

前記キャピラリと前記ワイヤ材料との相対動を許容した状態で、前記半導体素子の厚さ方向において前記第1電極から前記キャピラリを離す工程と、

前記厚さ方向と交差するスライド方向に前記キャピラリをスライドさせる工程と、

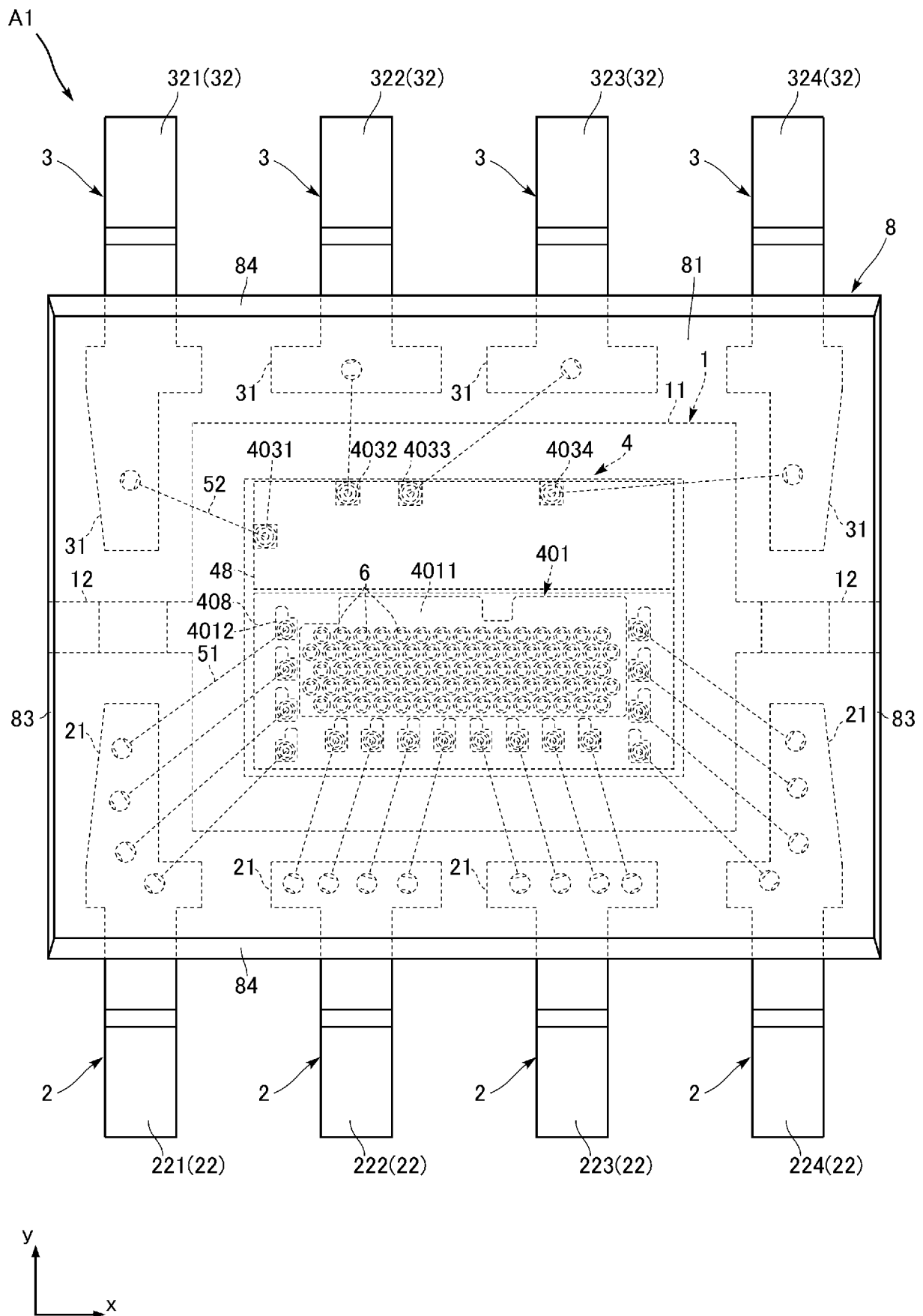
前記キャピラリと前記ワイヤ材料との相対動を阻止した状態で、前記キャピラリを前記厚さ方向の前記第1側に移動させることにより、前記ワイヤ材料を破断させ、且つ前記第1電極に接合された金属塊を形成する工程と、を備える、半導体装置の製造方法。

[請求項13] 前記キャピラリをスライドさせる工程においては、前記厚さ方向に視て、前記キャピラリの先端部のすべてが前記ボール部の中心から離れるまで前記キャピラリをスライドさせる、請求項12に記載の半導体装置の製造方法。

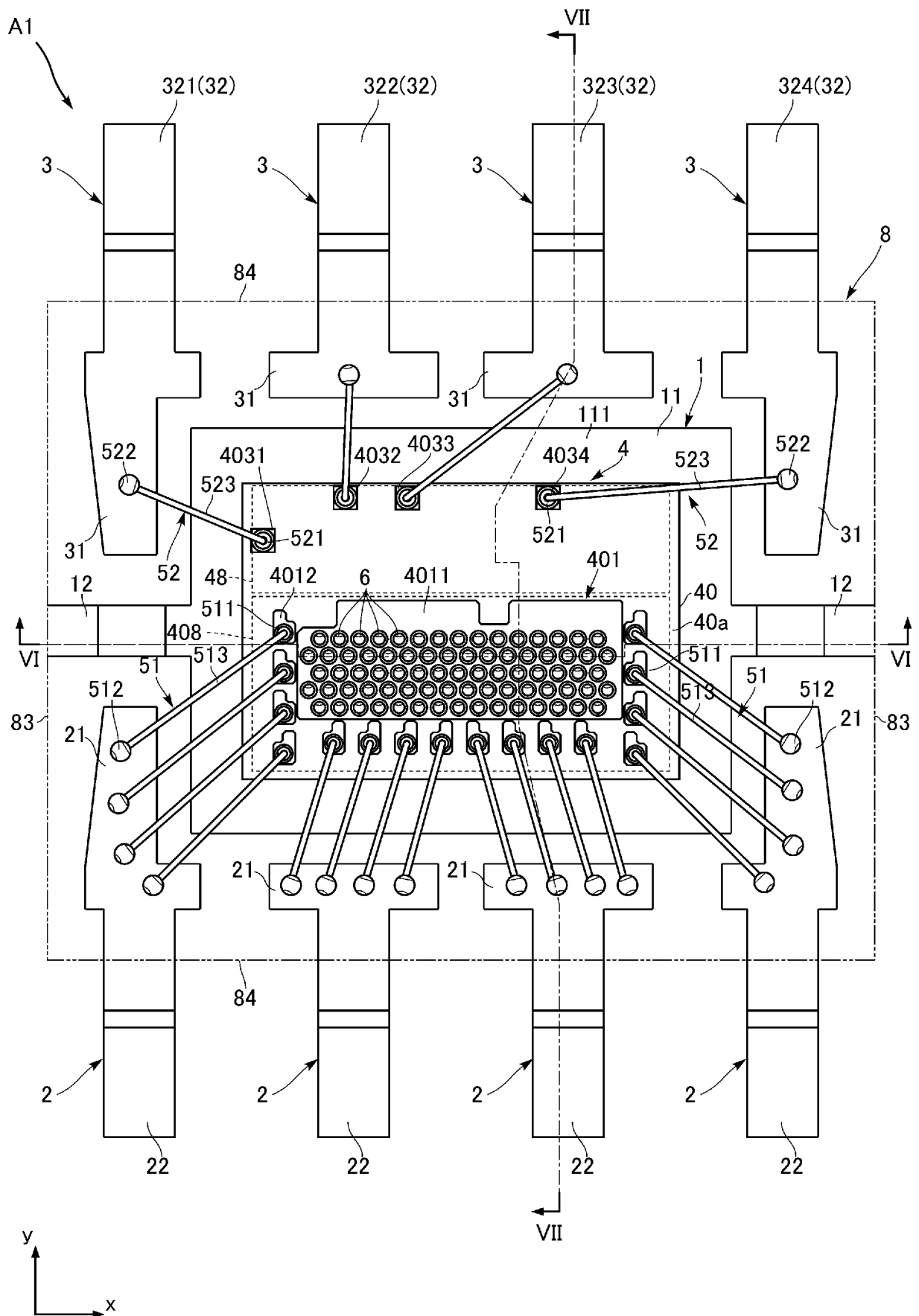
[請求項14] 前記ボール部を付着させる工程においては、前記ボール部のうち前記キャピラリと前記第1電極との間に位置する大径部と、前記ボール部のうち前記挿通孔に進入した部位である小径部と、を形成する、請求項12または13に記載の半導体装置の製造方法。

- [請求項15] 前記キャピラリを離す工程においては、前記厚さ方向と直交する方向から視て前記キャピラリの先端部が前記小径部と重なる位置まで前記キャピラリを移動させる、請求項14に記載の半導体装置の製造方法。
- [請求項16] 前記挿通孔は、前記先端部に繋がるテーパ部を有し、
前記ボール部を形成する工程においては、前記ボール部のうち前記テーパ部に接する部分であって、前記大径部と前記小径部との間に介在する第1テーパ部を形成する、請求項15に記載の半導体装置の製造方法。
- [請求項17] 前記キャピラリを離す工程においては、前記キャピラリの前記先端部が前記第1テーパ部を超える位置まで前記キャピラリを移動させる、請求項16に記載の半導体装置の製造方法。
- [請求項18] 前記キャピラリをスライドさせる工程において、前記スライド方向は、前記厚さ方向と直交する、請求項12ないし17のいずれかに記載の半導体装置の製造方法。
- [請求項19] 第1電極を有する半導体素子と、
前記第1電極に接合された複数の金属塊と、
前記複数の金属塊の配置基準となる少なくとも1つの配置基準部と、
を備える、半導体装置。
- [請求項20] 金属層と、
前記金属層を部分的に覆う絶縁膜と、をさらに備え、
前記第1電極は、前記金属層のうち前記絶縁膜から露出した部位である、請求項19に記載の半導体装置。

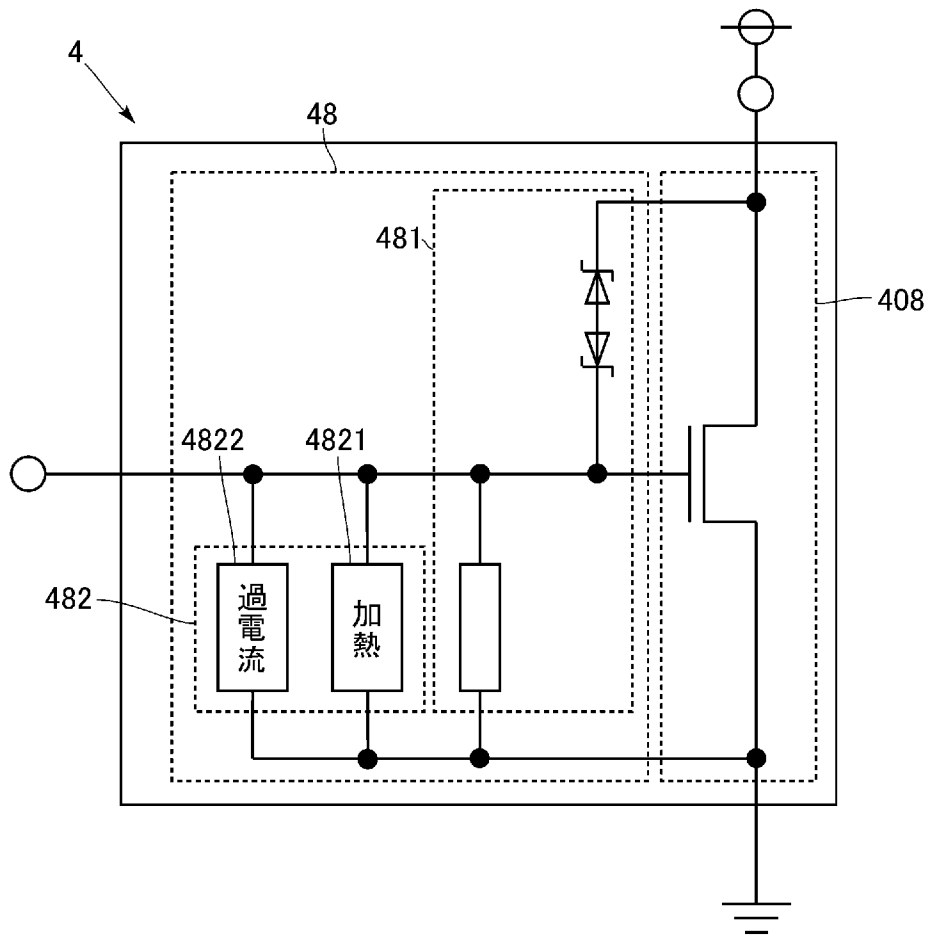
[図1]
FIG.1



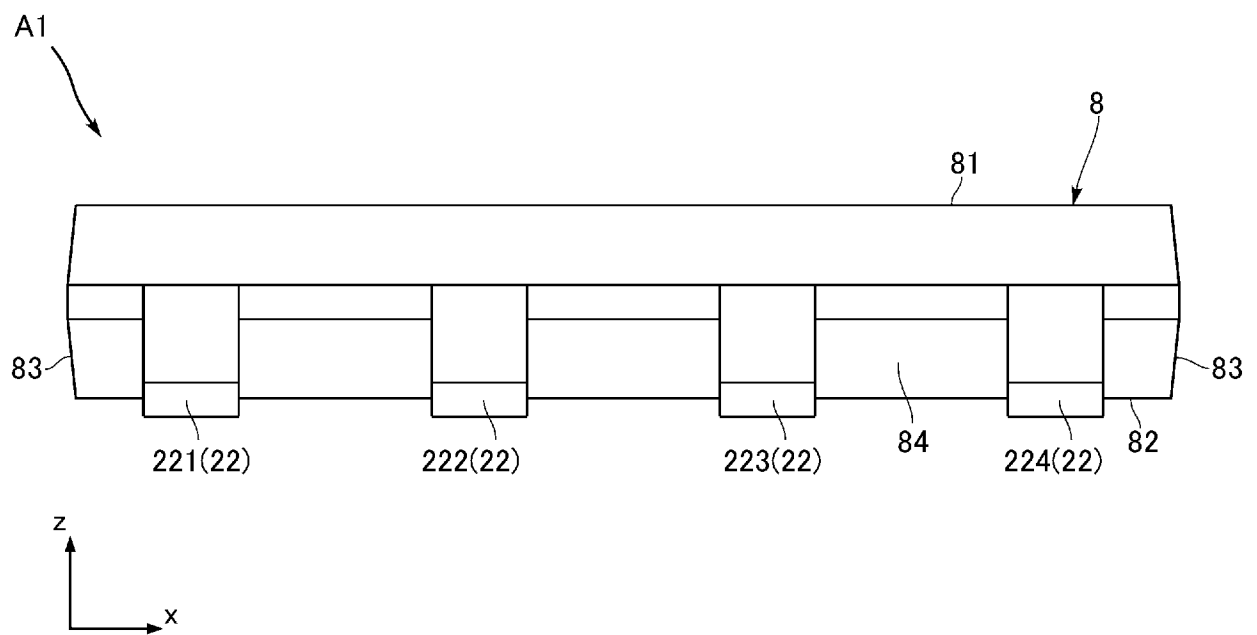
[図2]
FIG.2



[図3]
FIG.3



[図4]
FIG.4



[図5]

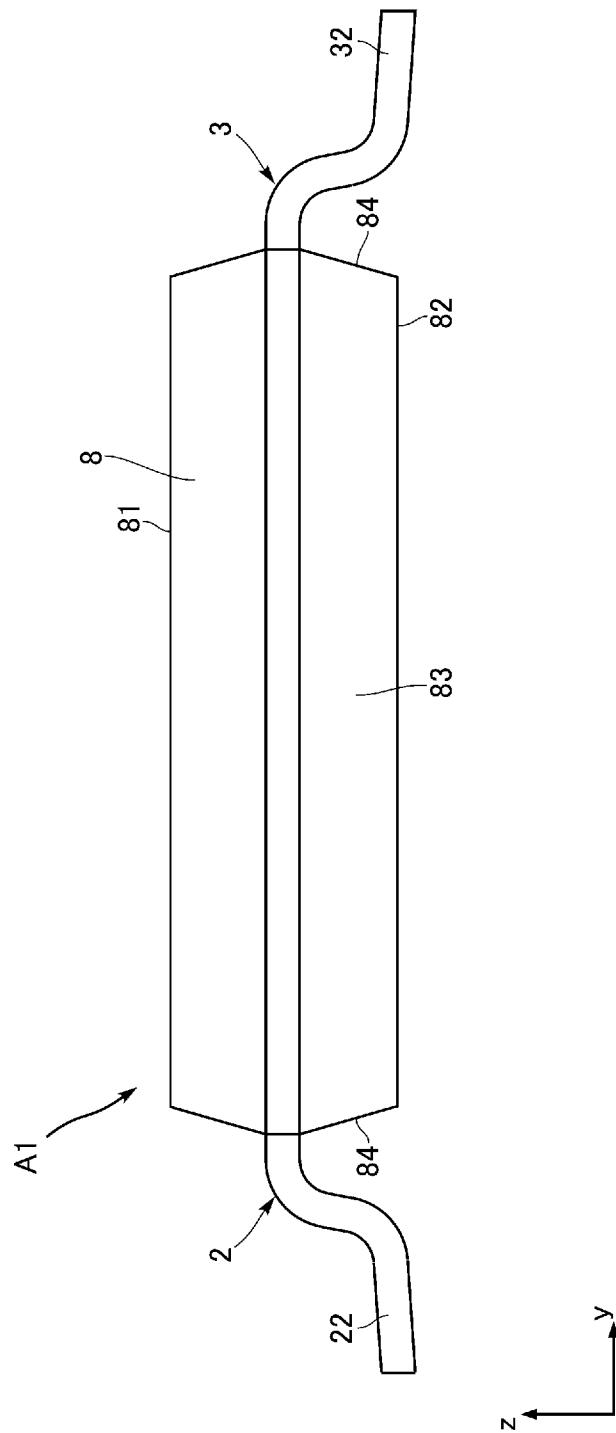


FIG. 5

[図6]
FIG.6

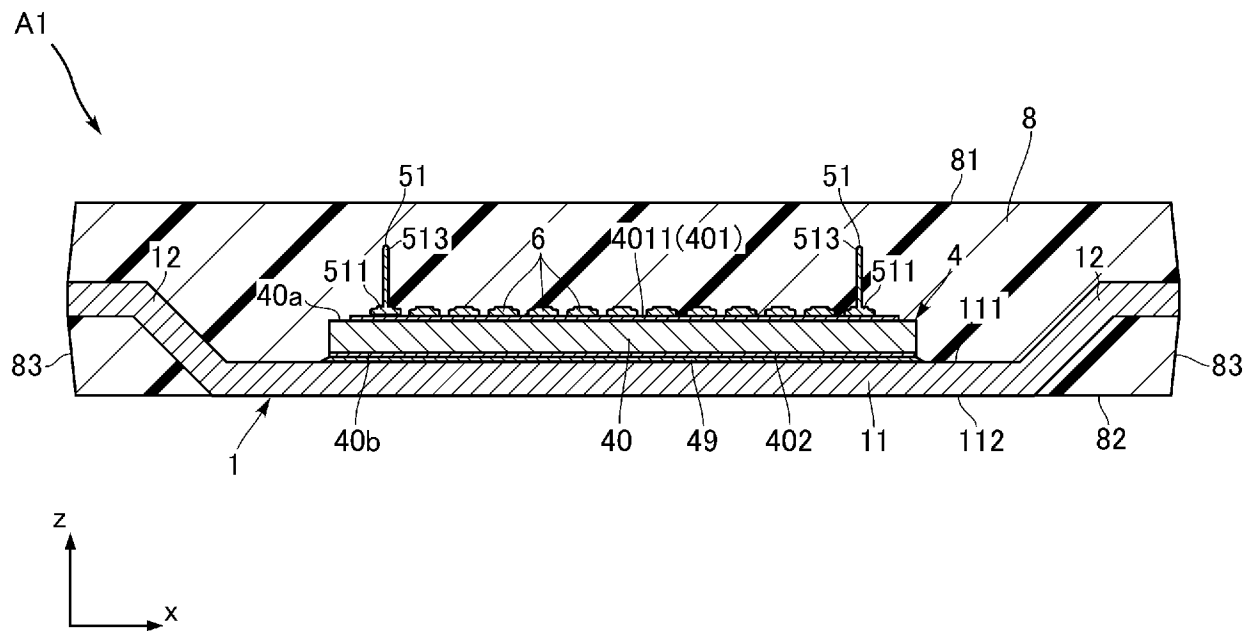
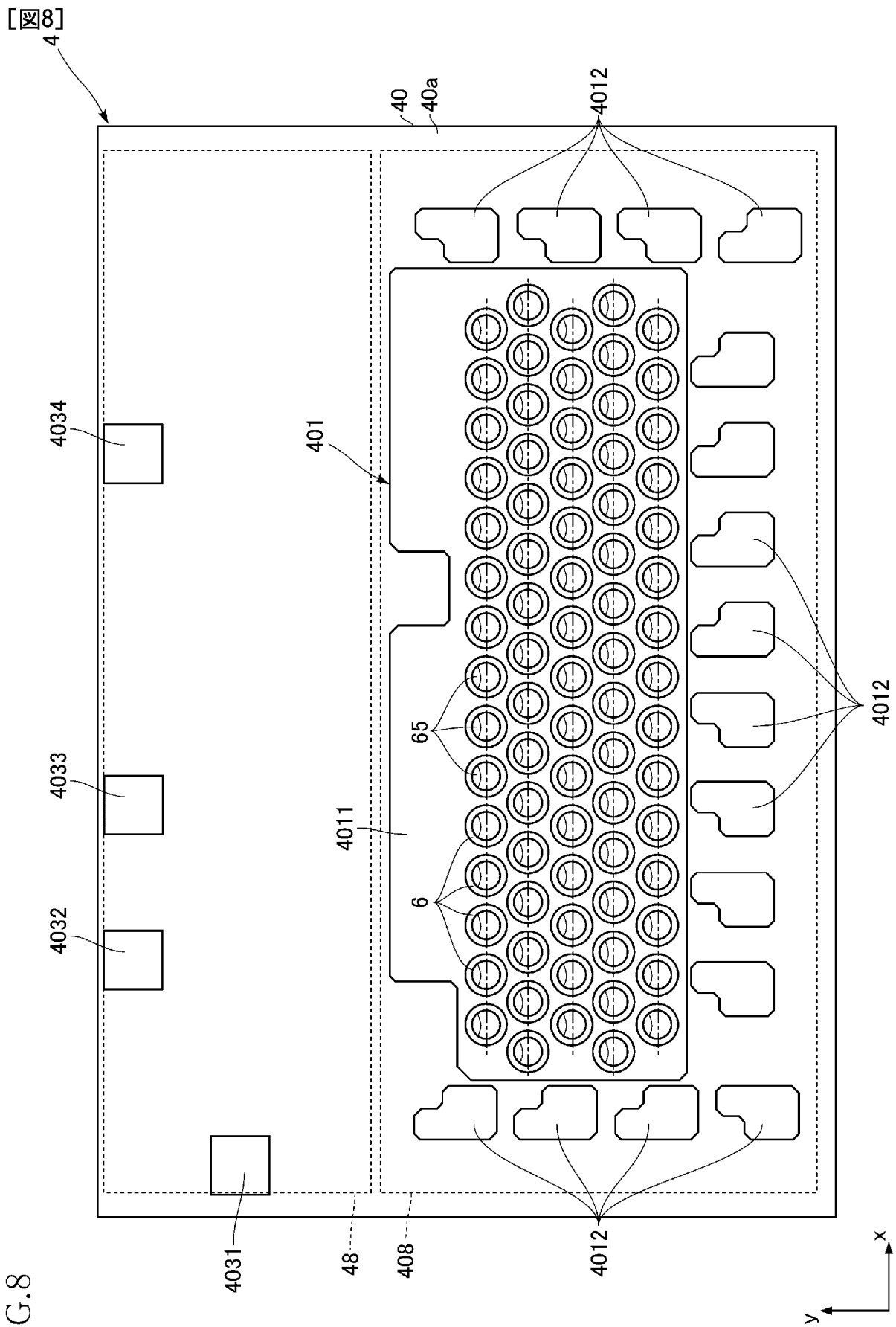
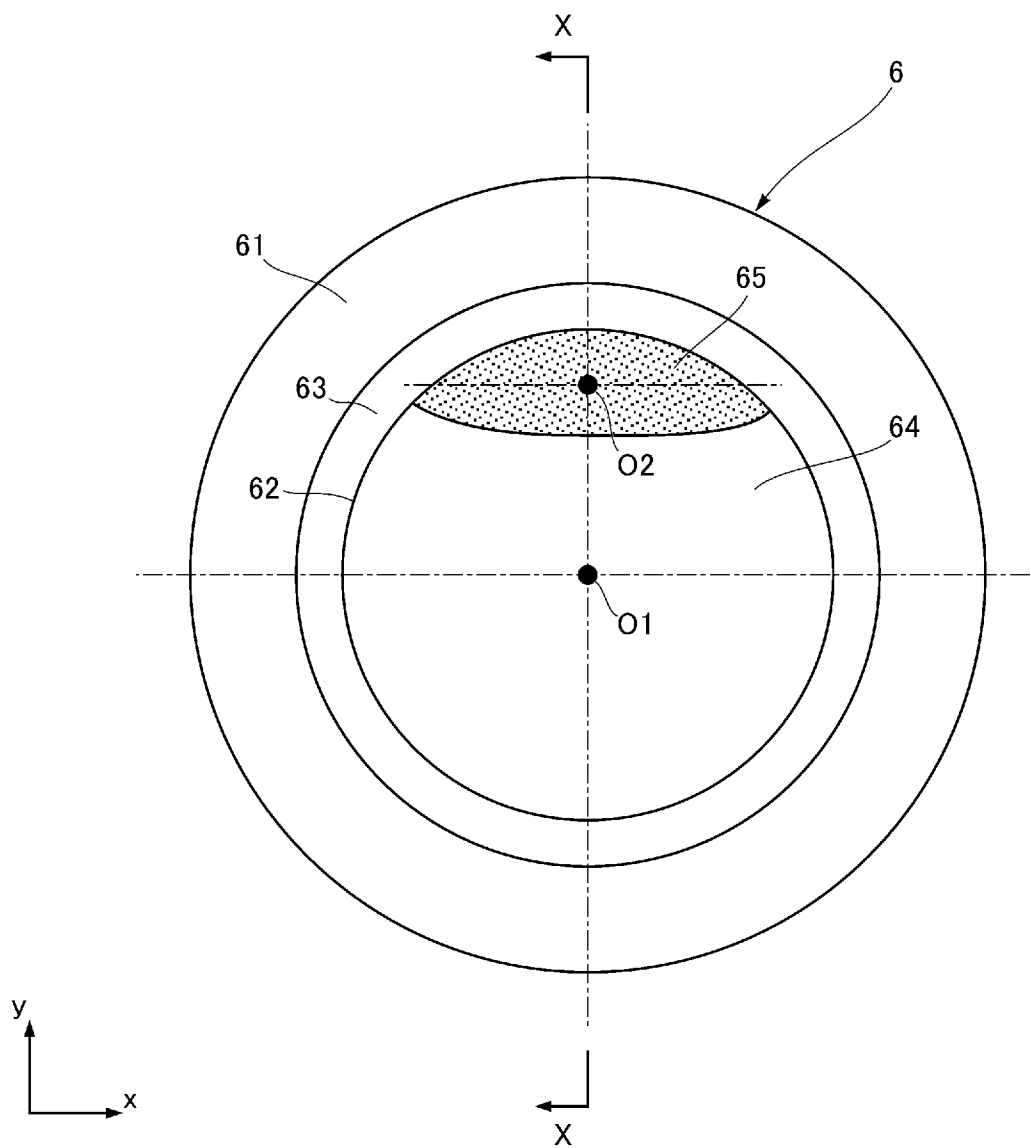


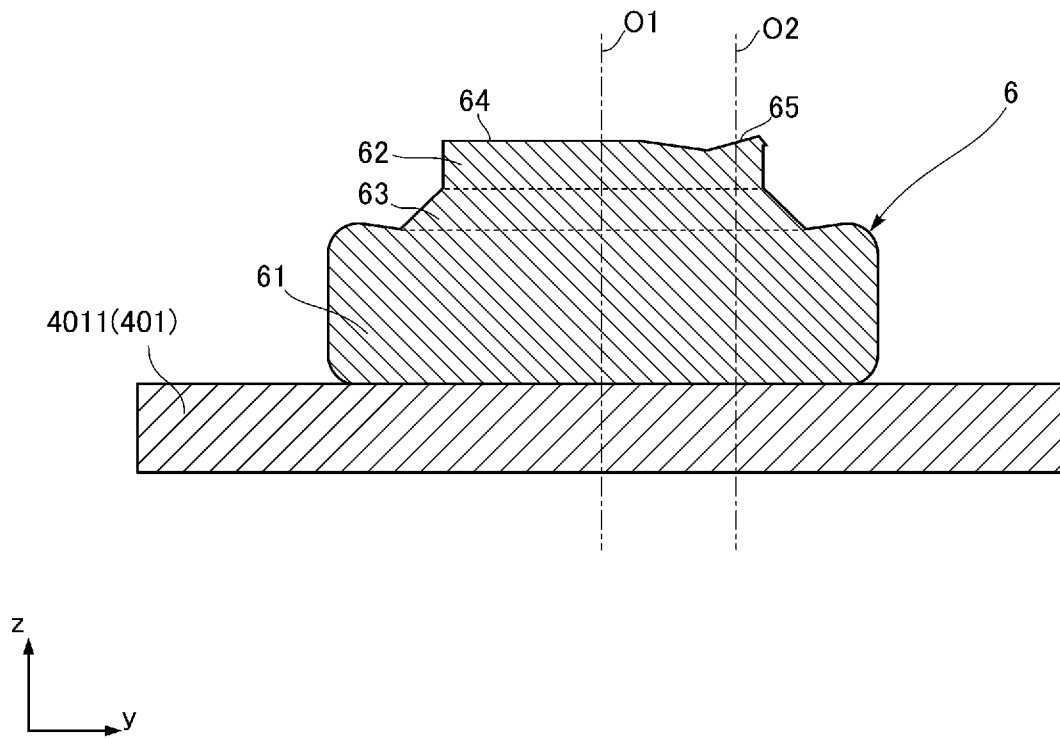
FIG. 8



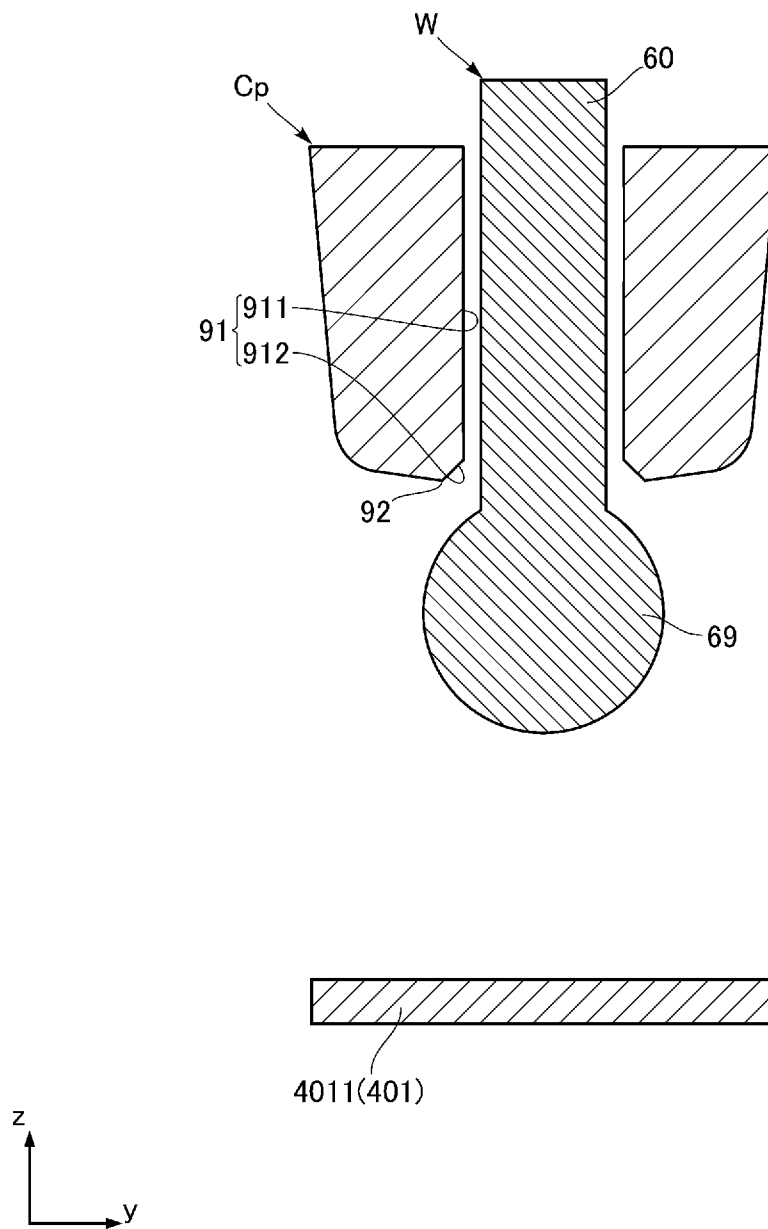
[図9]
FIG.9

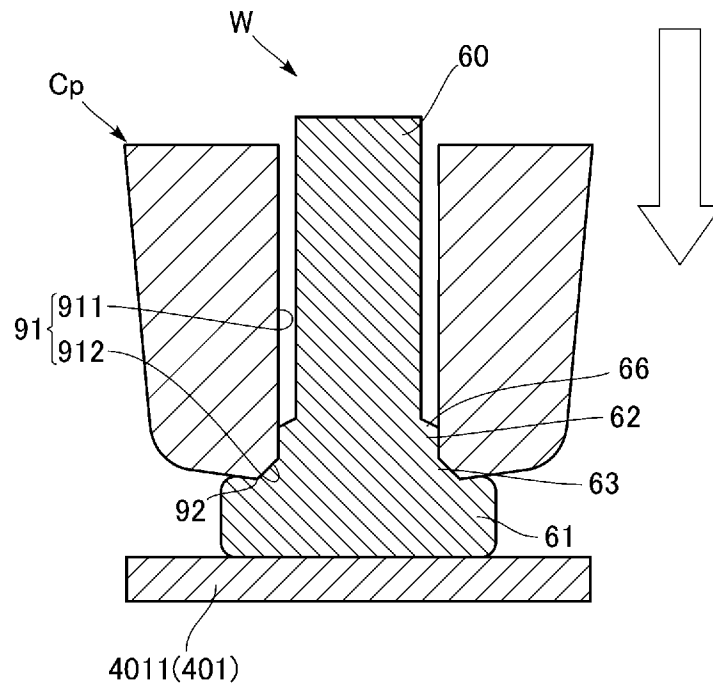
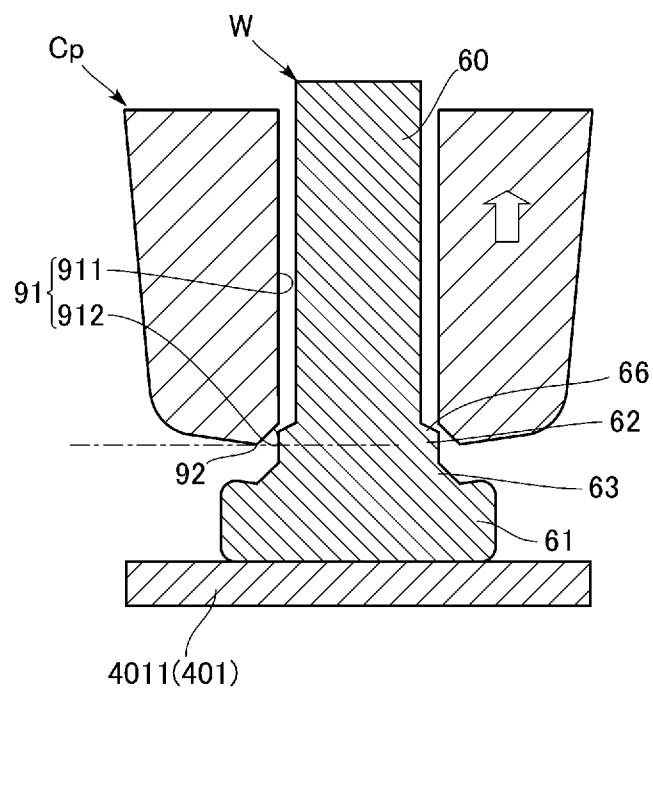


[図10]
FIG.10

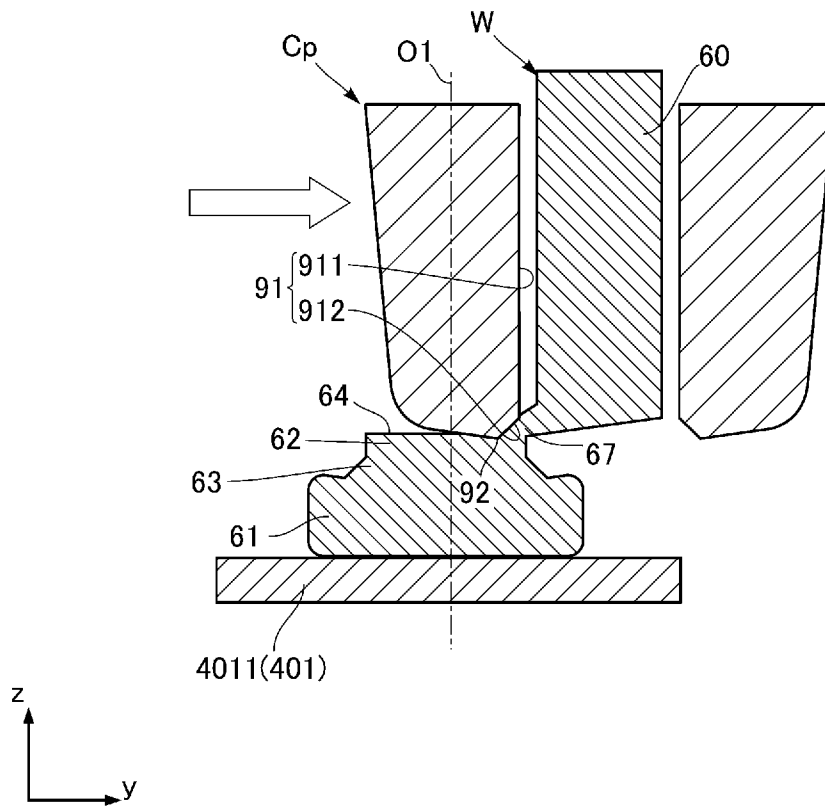


[図11]
FIG.11

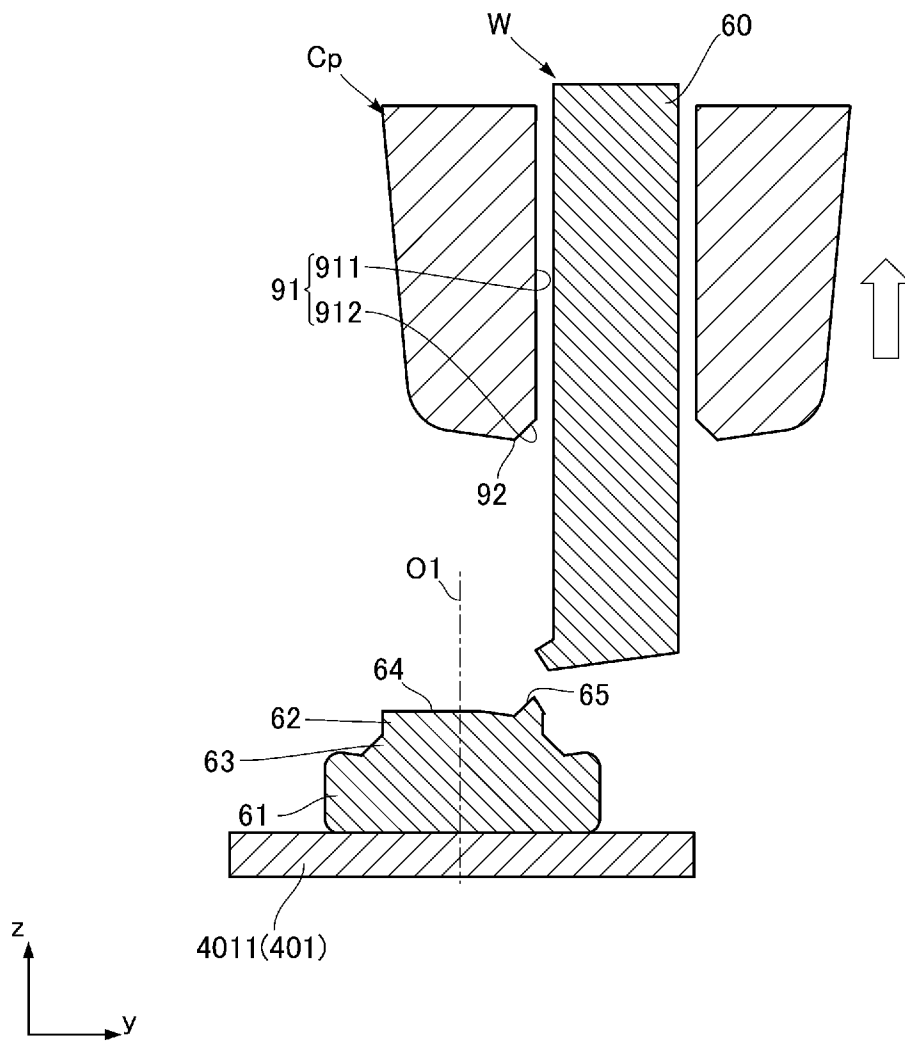


[図12]
FIG.12[図13]
FIG.13

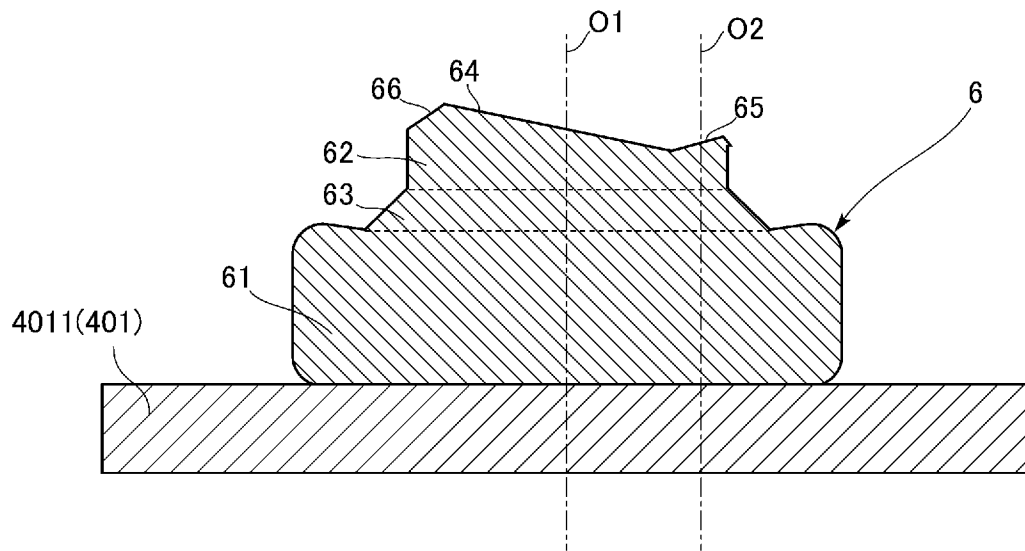
[図14]
FIG.14



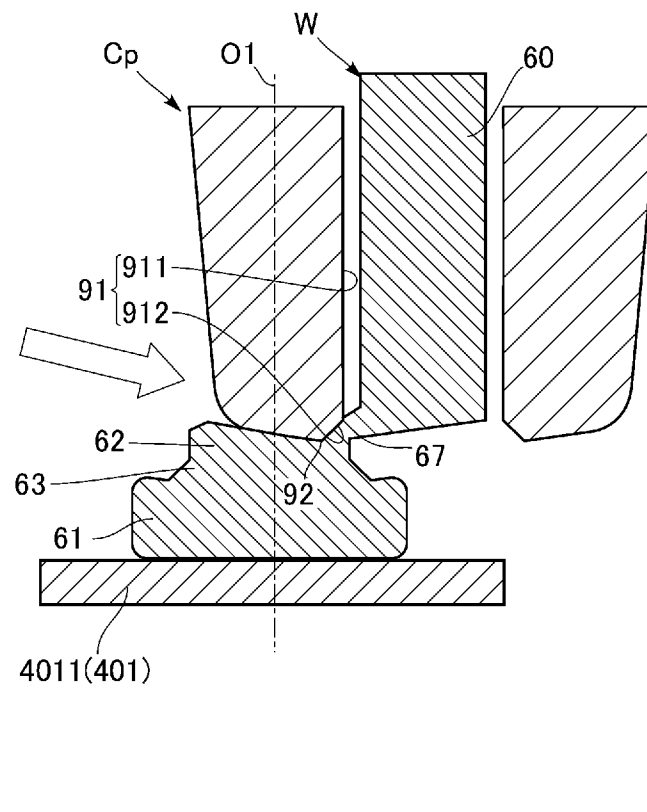
[図16]
FIG.16



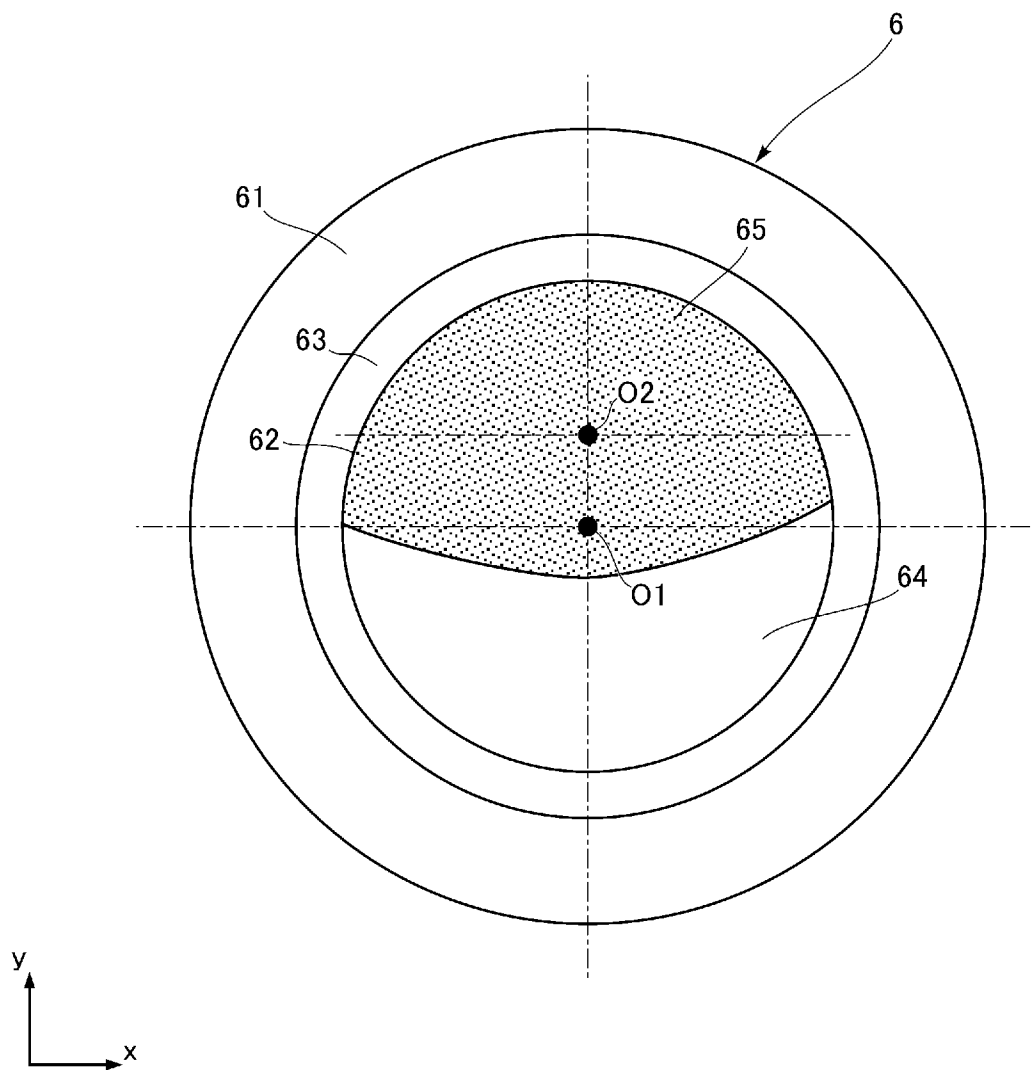
[図17]
FIG.17



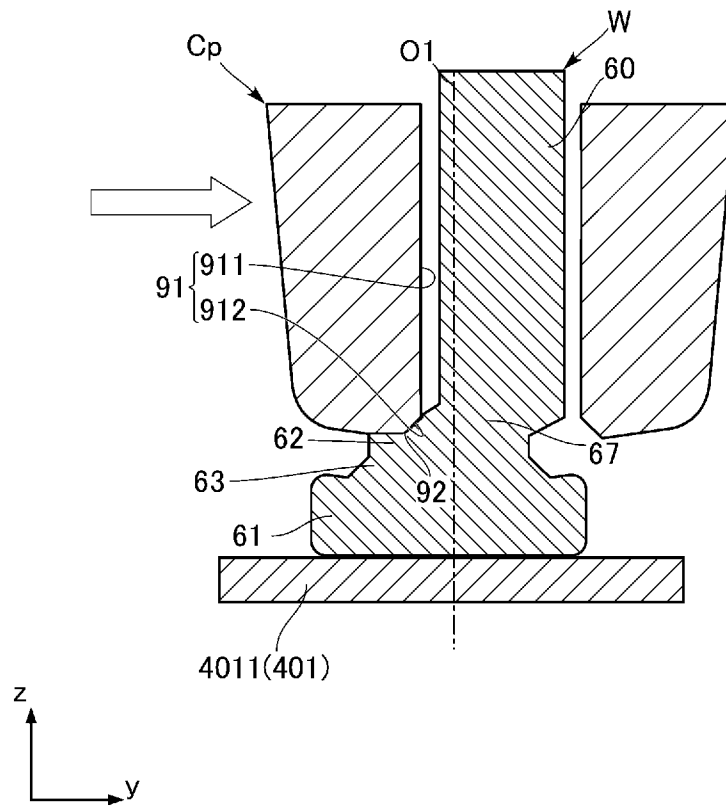
[図18]
FIG.18



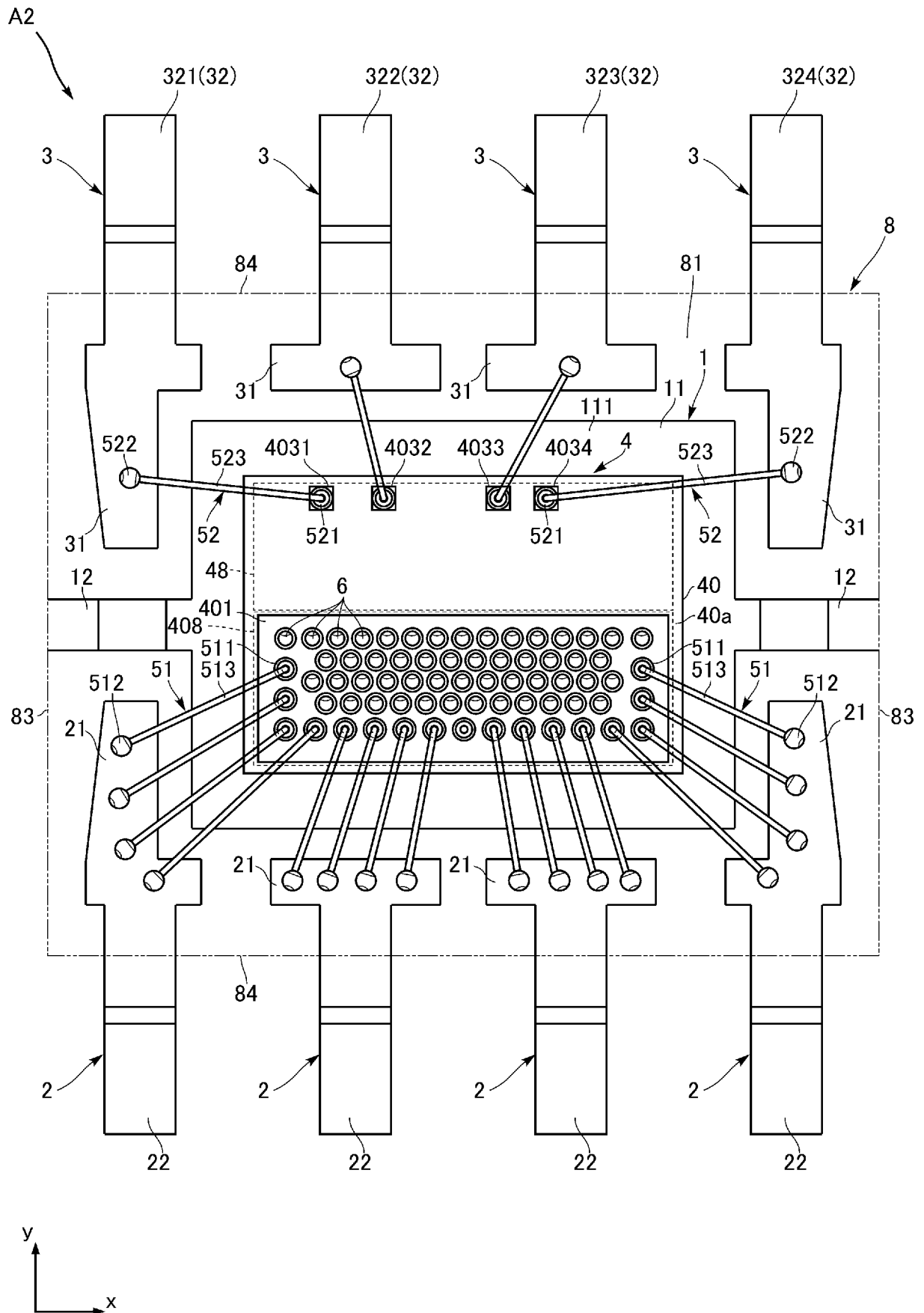
[図19]
FIG.19



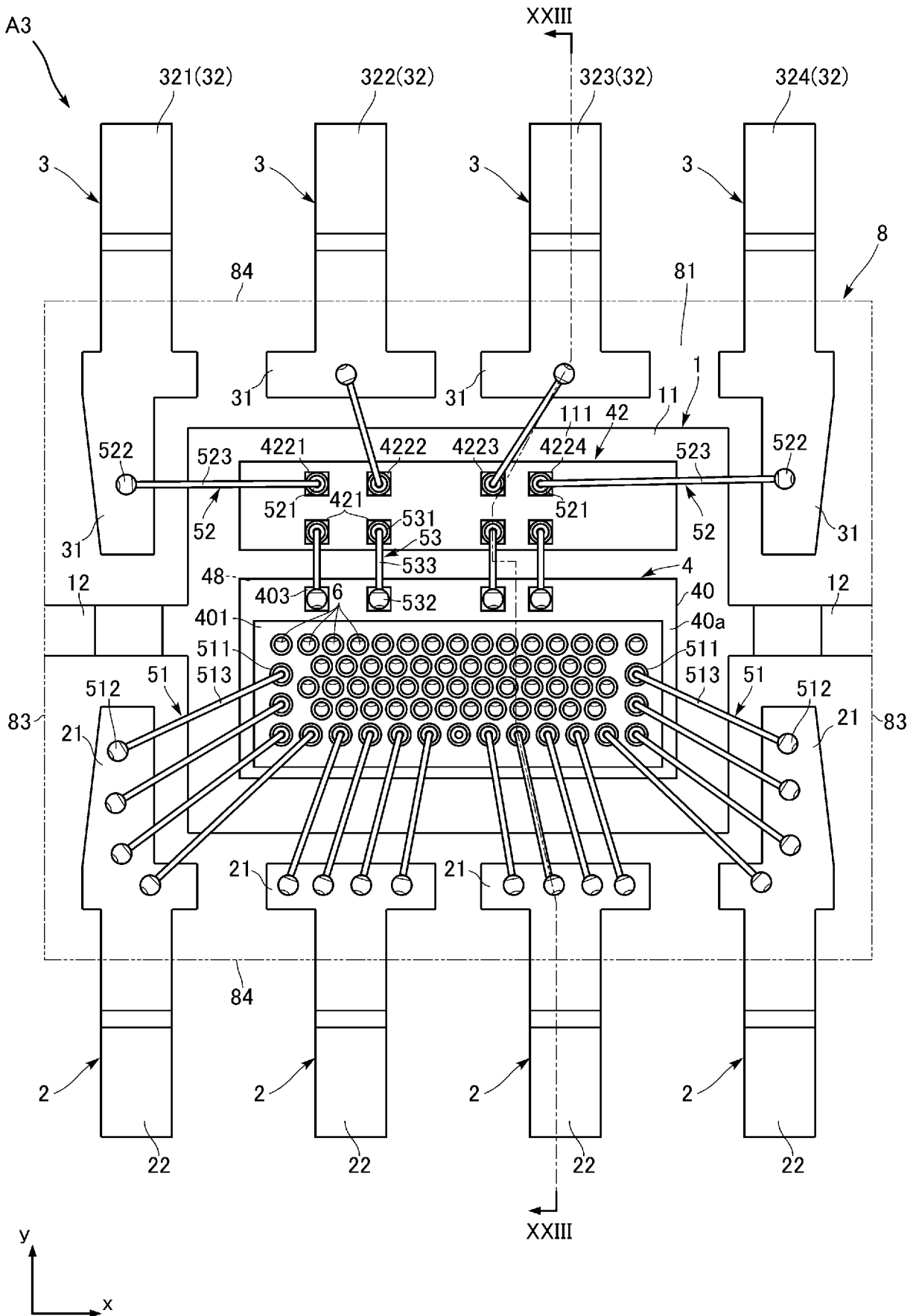
[図20]
FIG.20



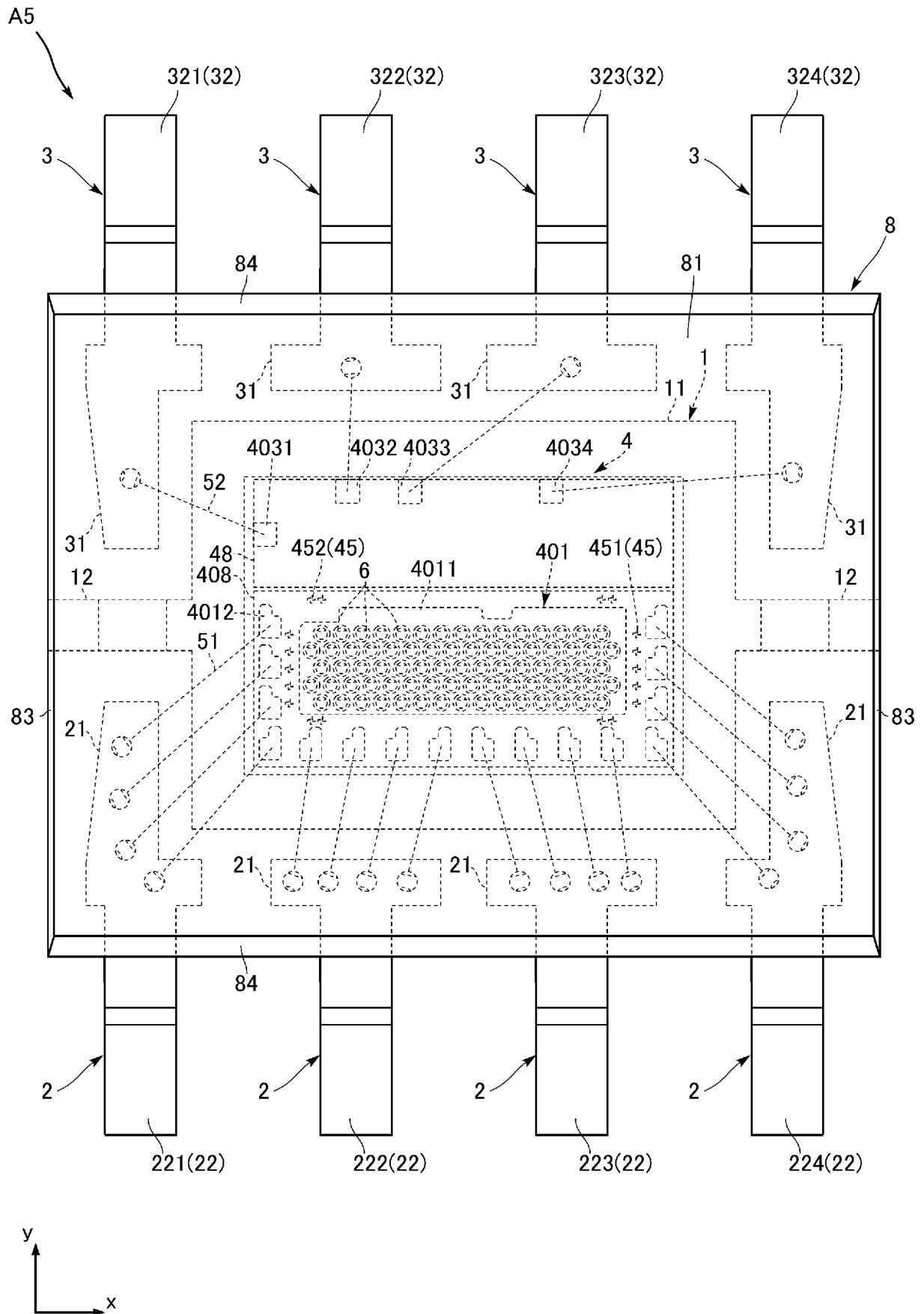
[図21]
FIG.21



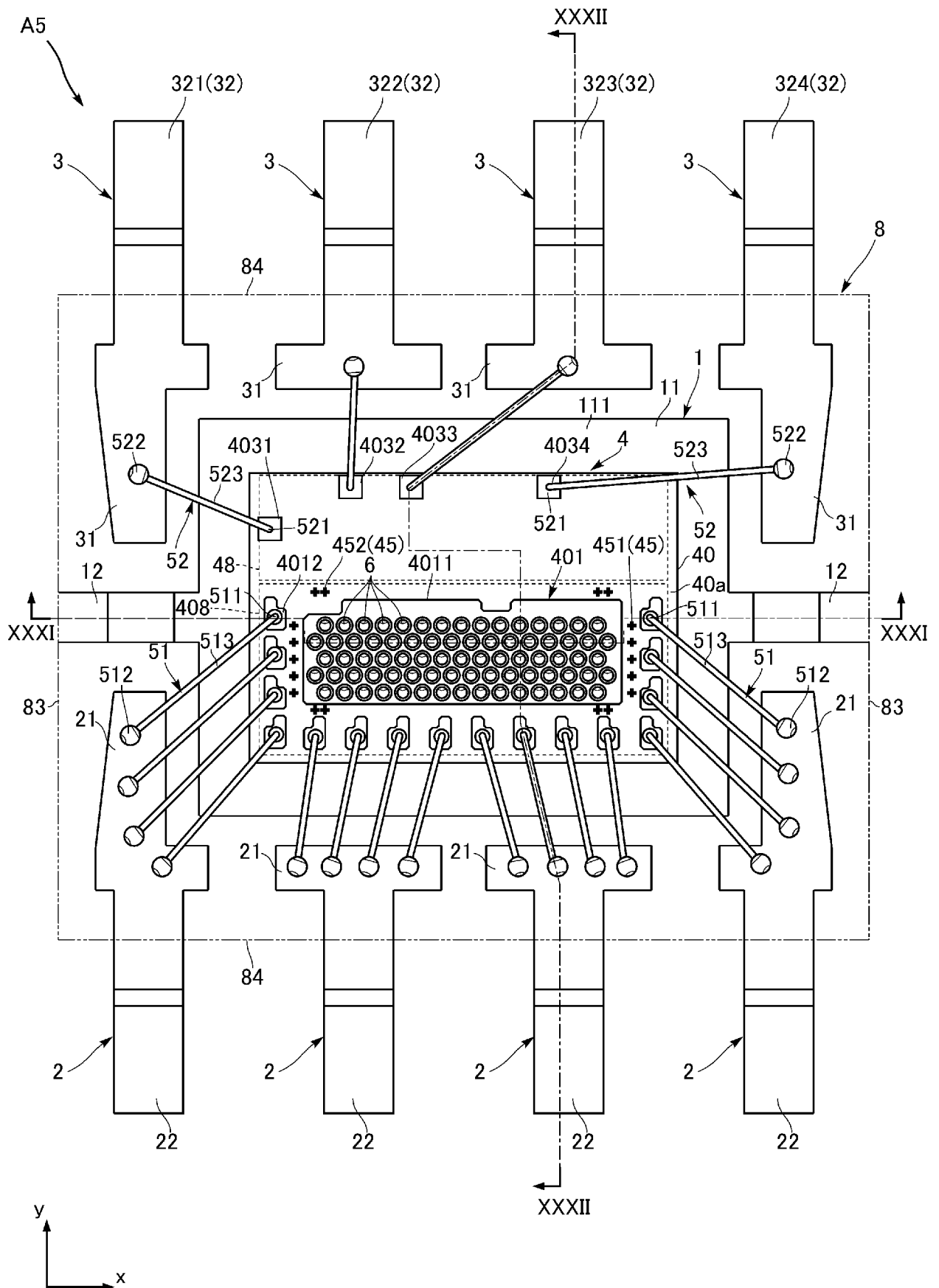
[図22]
FIG.22



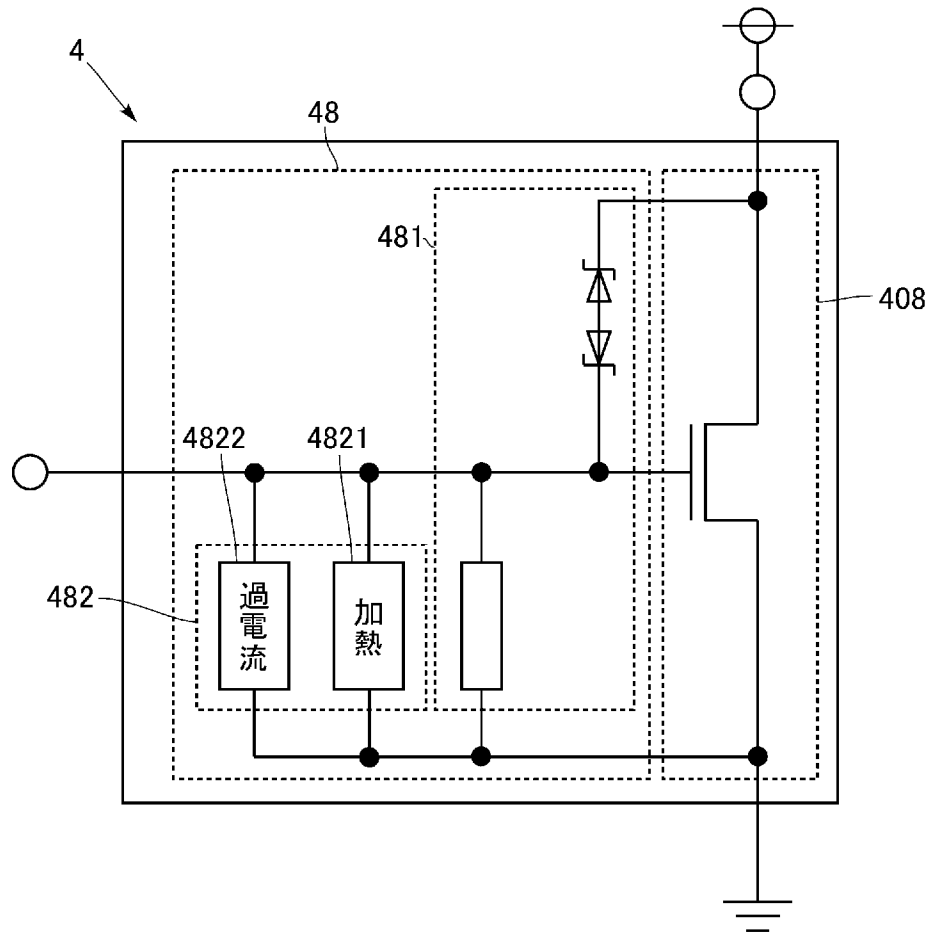
[図26]
FIG.26



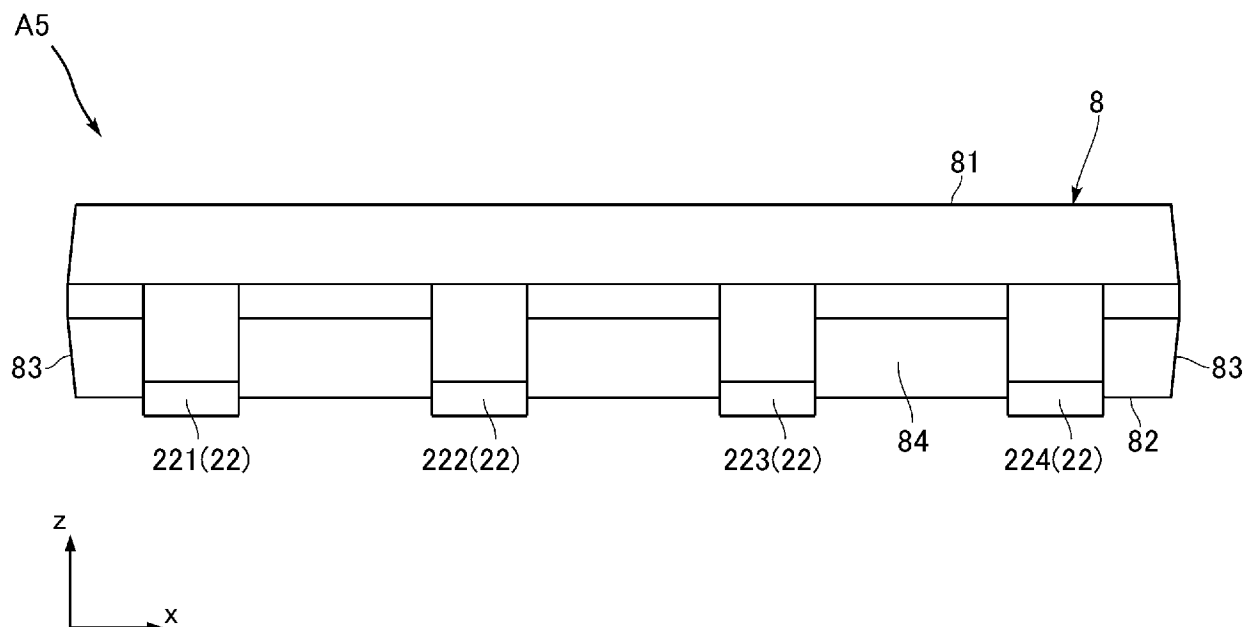
[図27]
FIG.27



[図28]
FIG.28



[図29]
FIG.29



[図30]

FIG.30

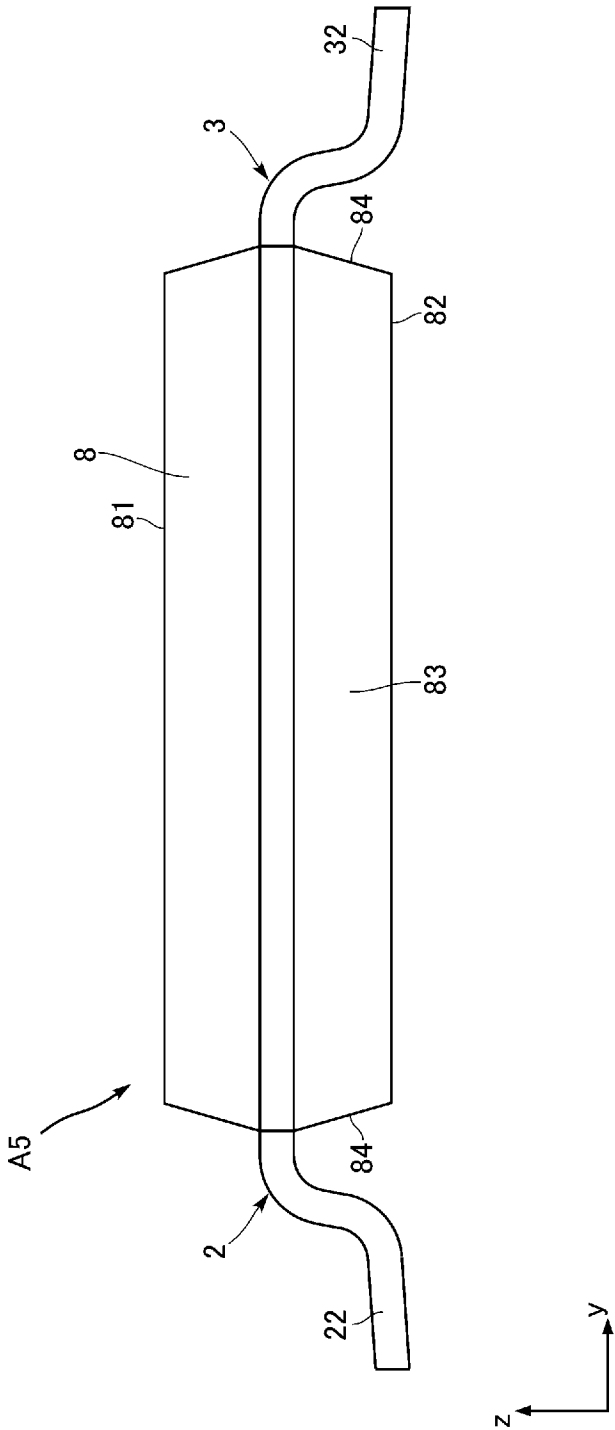
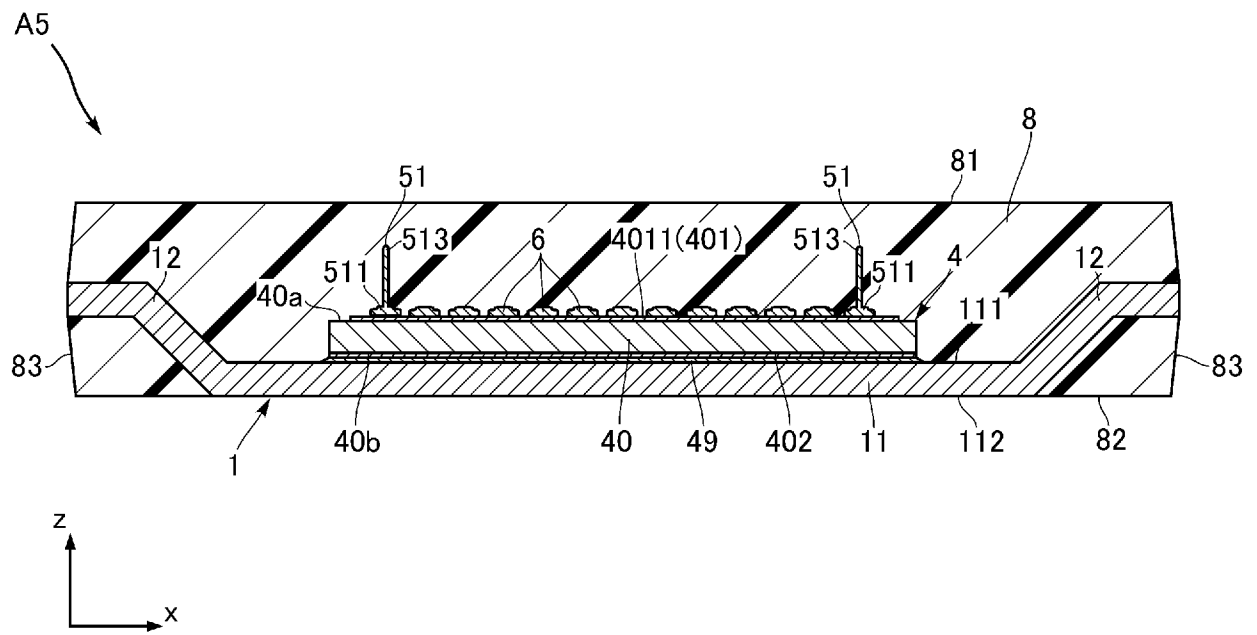
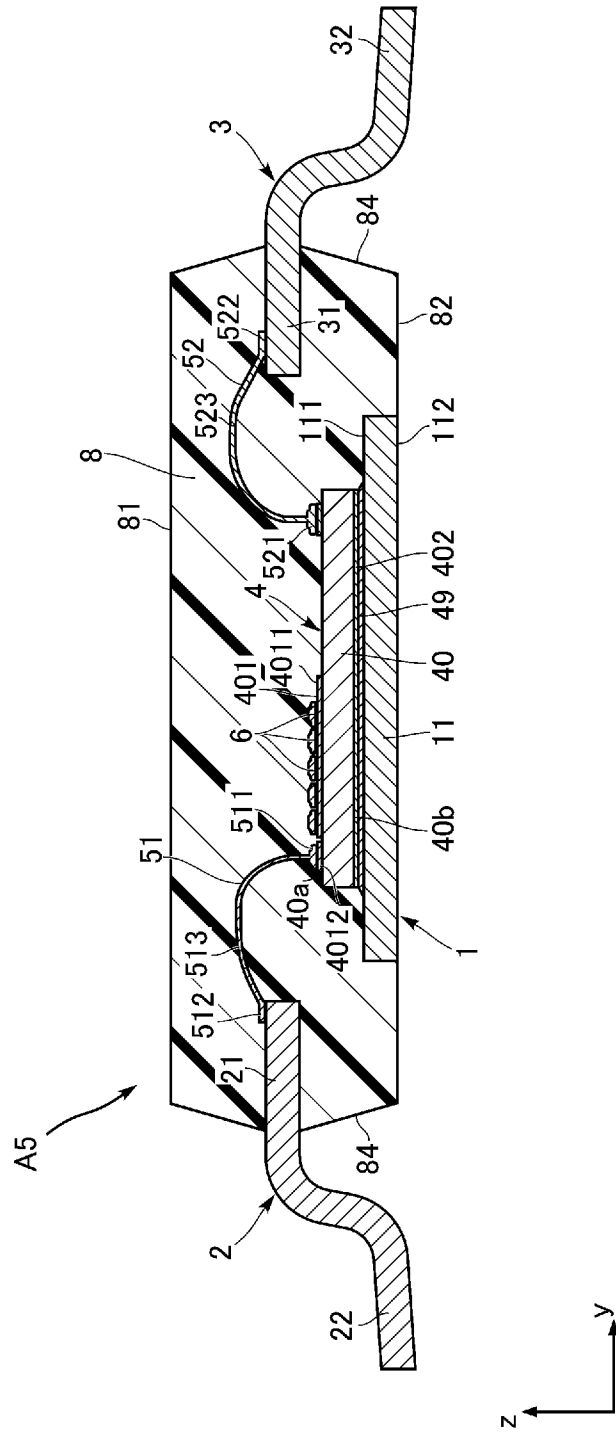


FIG.31



[図32]

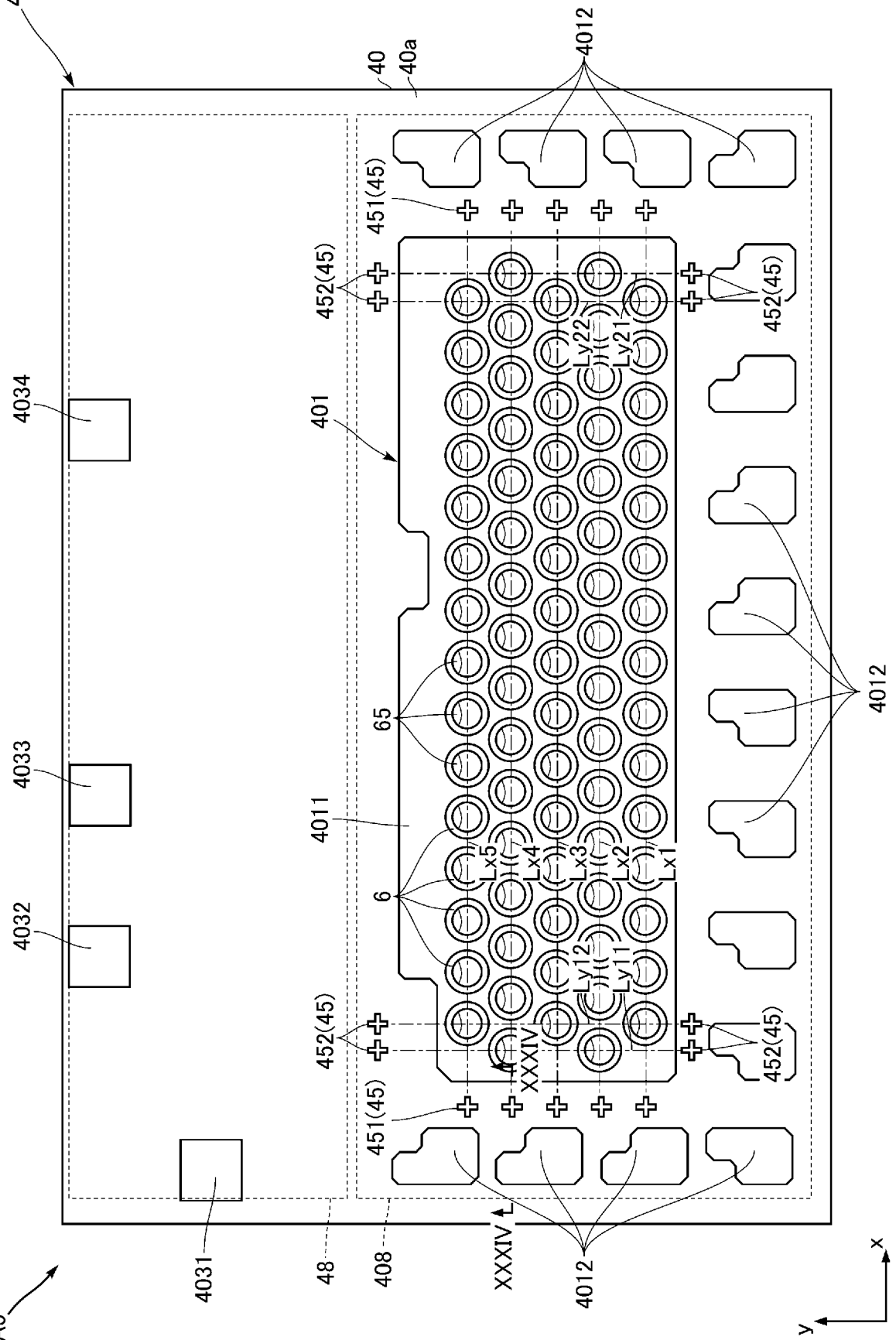
FIG.32



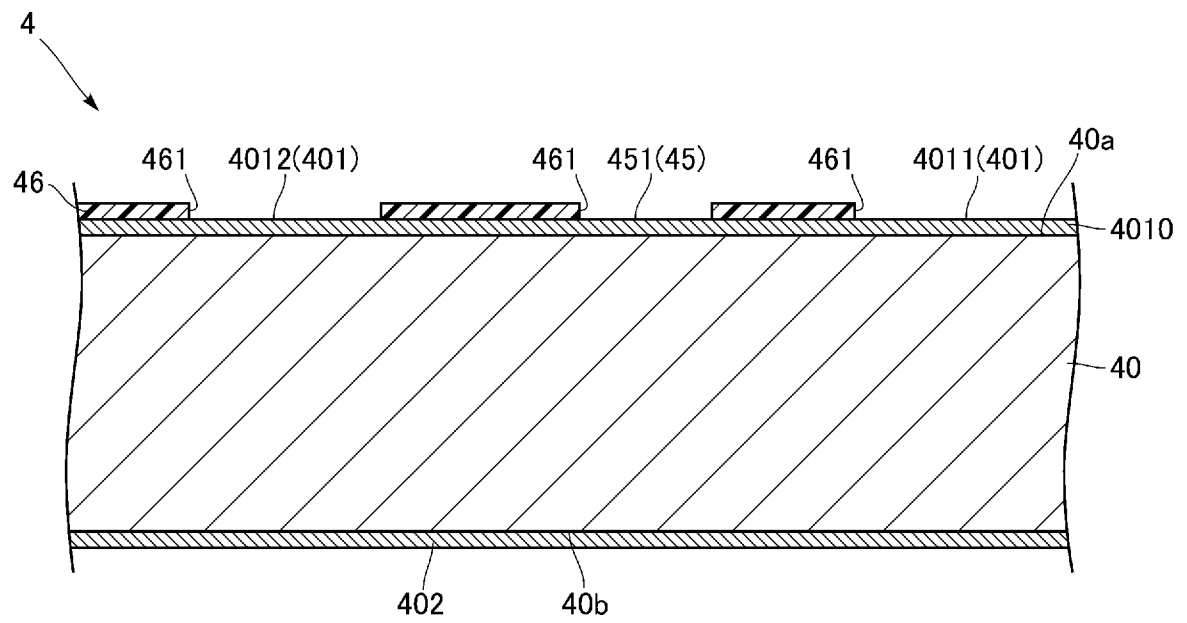
[図33]

FIG.33

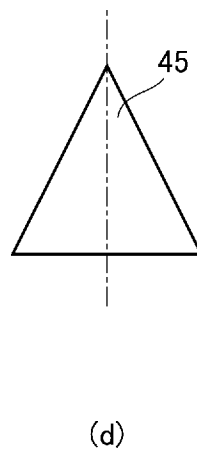
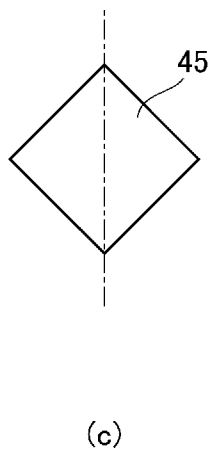
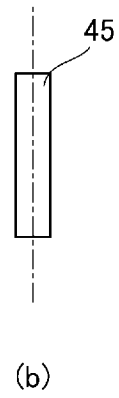
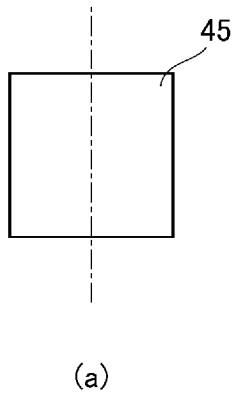
A5



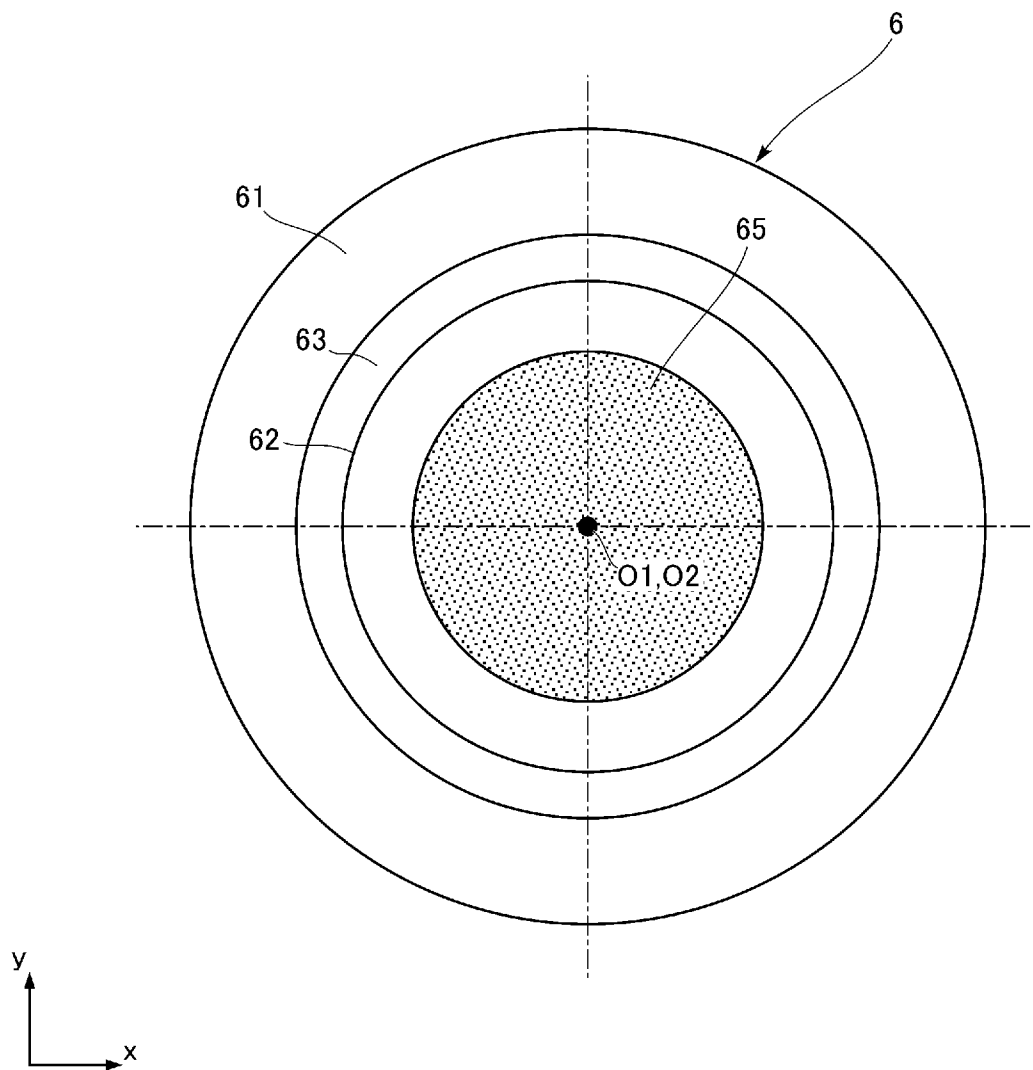
[図34]
FIG.34



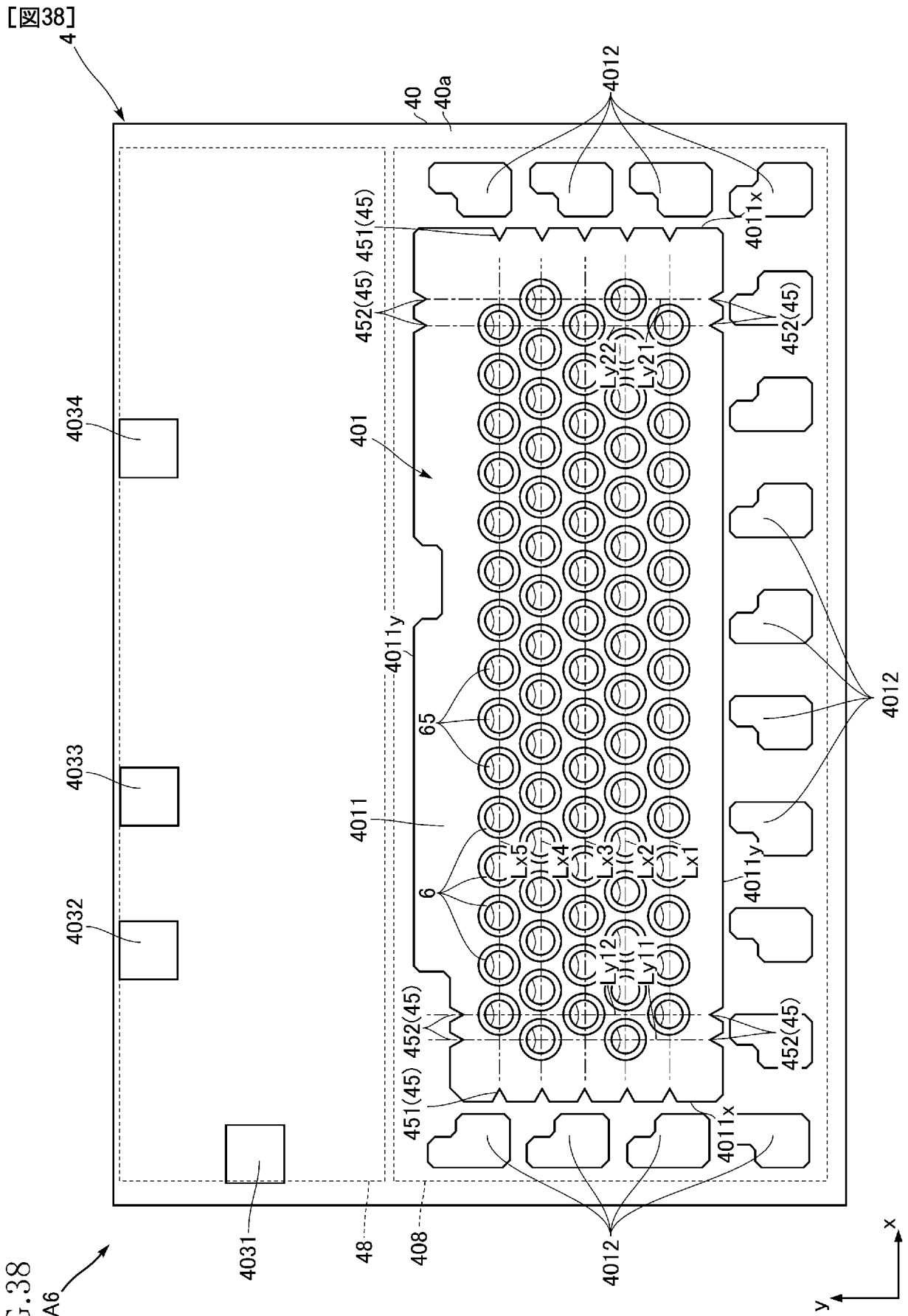
[図36]
FIG.36



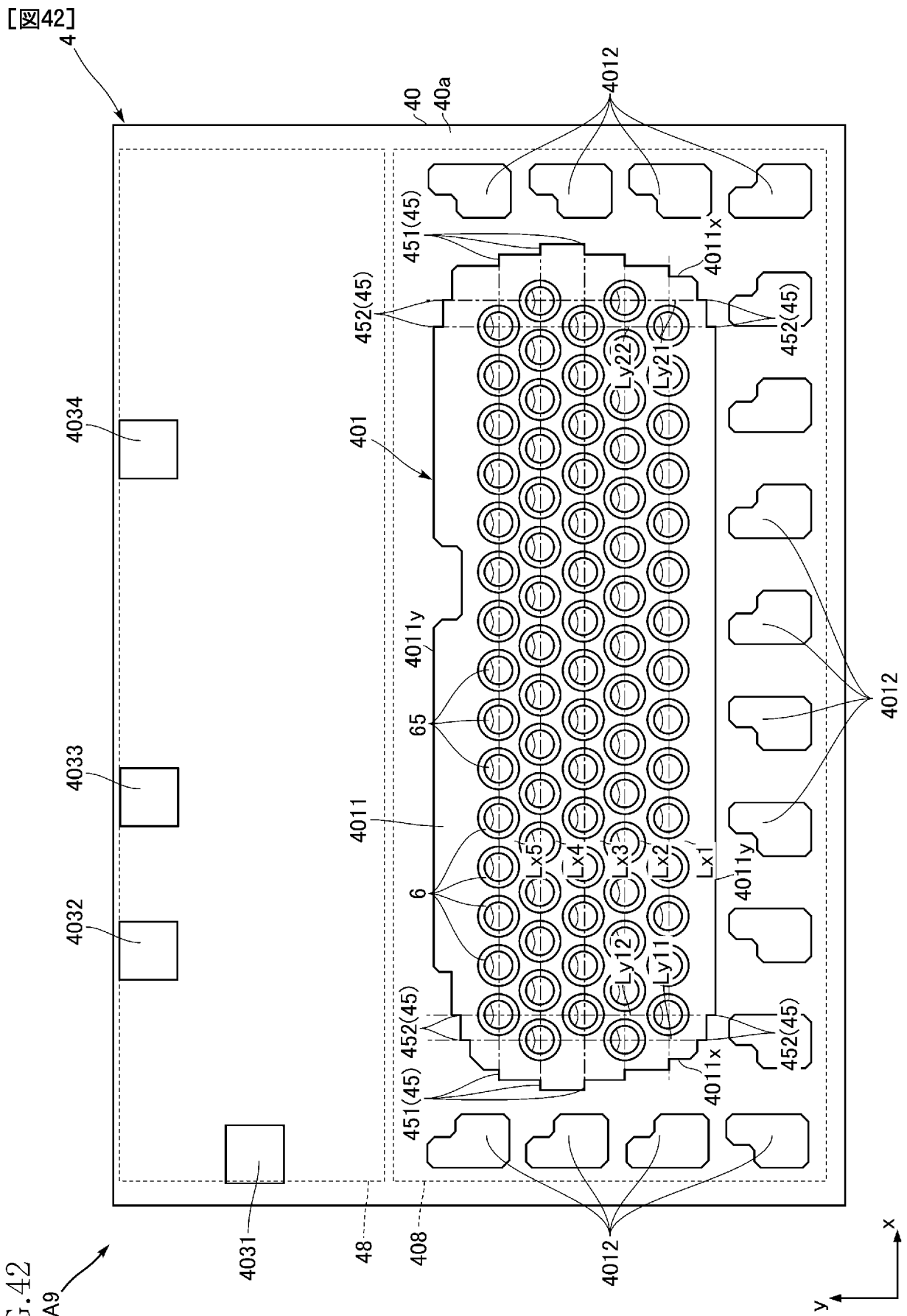
[図37]
FIG.37



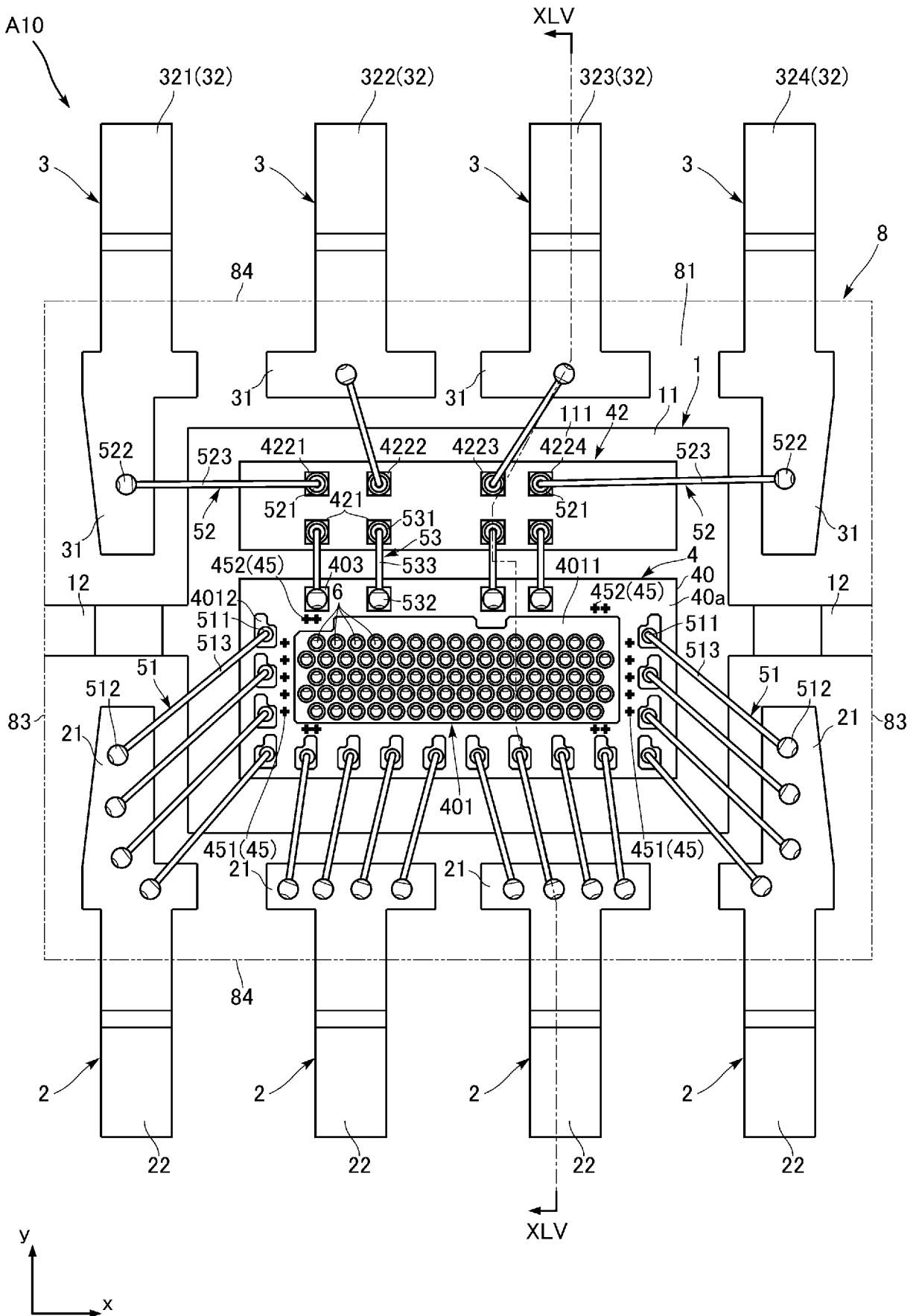
A6,



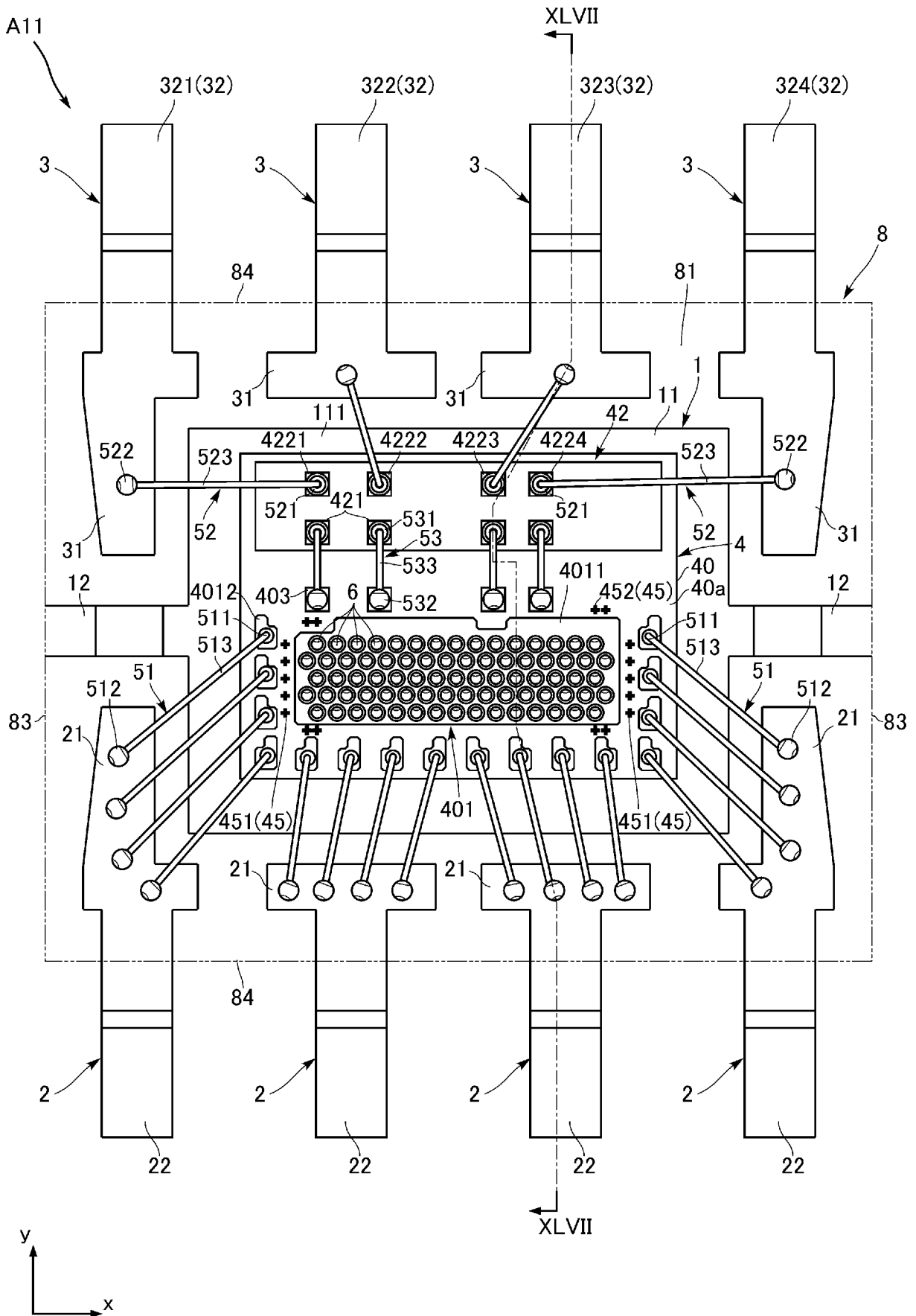
A9.



[図44]
FIG.44



[図46]
FIG.46



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/003873

A. CLASSIFICATION OF SUBJECT MATTER**H01L 23/36**(2006.01)i; **H01L 21/60**(2006.01)i; **H01L 23/48**(2006.01)i; **H01L 23/58**(2006.01)i

FI: H01L23/36 Z; H01L21/60 301D; H01L23/48 G; H01L21/60 301N; H01L23/56 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/60, H01L 23/36, H01L 23/48, H01L 23/58, H01L 25/07, H01L 25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2023/282013 A1 (ROHM CO., LTD.) 12 January 2023 (2023-01-12) paragraphs [0010]-[0110], fig. 1-19	1-20
Y	JP 2005-175175 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 30 June 2005 (2005-06-30) paragraphs [0003], [0004], fig. 15	1-18
Y	JP 1-12555 A (NEC CORPORATION) 17 January 1989 (1989-01-17) application, p. 2, upper left, line 13 to upper right, line 18, fig. 1(a)-2(a)	1-18
Y	JP 5-36697 A (NEC KANSAI LTD.) 12 February 1993 (1993-02-12) paragraphs [0005]-[0007], fig. 5, 6	1-11, 14-18
Y	JP 8-236563 A (FUJITSU LIMITED) 13 September 1996 (1996-09-13) paragraph [0010]	19, 20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 March 2024

Date of mailing of the international search report

02 April 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/003873

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2023/282013	A1	12 January 2023	CN 117616567 A	
JP	2005-175175	A	30 June 2005	(Family: none)	
JP	1-12555	A	17 January 1989	(Family: none)	
JP	5-36697	A	12 February 1993	(Family: none)	
JP	8-236563	A	13 September 1996	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 23/36(2006.01)i; H01L 21/60(2006.01)i; H01L 23/48(2006.01)i; H01L 23/58(2006.01)i
FI: H01L23/36 Z; H01L21/60 301D; H01L23/48 G; H01L21/60 301N; H01L23/56 C

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H01L 21/60, H01L 23/36, H01L 23/48, H01L 23/58, H01L 25/07, H01L 25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922—1996年

日本国公開実用新案公報

1971—2024年

日本国実用新案登録公報

1996—2024年

日本国登録実用新案公報

1994—2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2023/282013 A1（ローム株式会社）12.01.2023（2023 - 01 - 12） 段落0010—0110，図1—図19	1—20
Y	JP 2005-175175 A（松下電器産業株式会社）30.06.2005（2005 - 06 - 30） 段落0003—0004，図15	1—18
Y	JP 1-12555 A（日本電気株式会社）17.01.1989（1989 - 01 - 17） 公報2ページ左上13行—右上18行，第1図（a）—第2図（a）	1—18
Y	JP 5-36697 A（関西日本電気株式会社）12.02.1993（1993 - 02 - 12） 段落0005—0007，図5—図6	1—11， 14—18
Y	JP 8-236563 A（富士通株式会社）13.09.1996（1996 - 09 - 13） 段落0010	19，20

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

21.03.2024

国際調査報告の発送日

02.04.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

齊藤 健一 5F 9742

電話番号 03-3581-1101 内線 3551

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/003873

引用文献			公表日	パテントファミリー文献	公表日
WO	2023/282013	A1	12.01.2023	CN 117616567 A	
JP	2005-175175	A	30.06.2005	(ファミリーなし)	
JP	1-12555	A	17.01.1989	(ファミリーなし)	
JP	5-36697	A	12.02.1993	(ファミリーなし)	
JP	8-236563	A	13.09.1996	(ファミリーなし)	