(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118648114 A
(43)申请公布日 2024.09.13

(21)申请号 202380019841.4
(22)申请日 2023.01.23
(30)优先权数据
2022-023771 2022.02.18 JP
(85)PCT国际申请进入国家阶段日
2024.08.01
(86)PCT国际申请的申请数据
PCT/JP2023/001942 2023.01.23
(87)PCT国际申请的公布数据
WO2023/157571 JA 2023.08.24
(71)申请人 松下知识产权经营株式会社
地址 日本
(72)发明人 山冈义和 町田真一 宍戸三四郎
(74)专利代理机构 永新专利商标代理有限公司 72002
专利代理师 高迪
(51)Int.Cl.
H01L 27/146(2006.01)

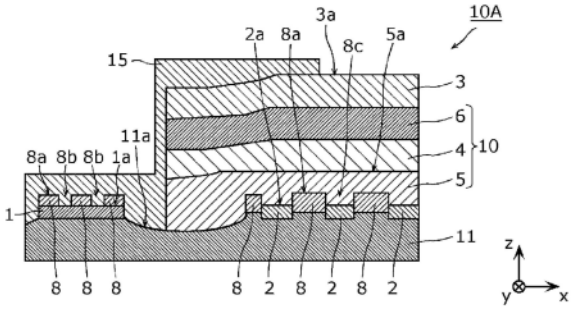
权利要求书2页 说明书20页 附图15页

(54)发明名称

功能元件及其制造方法

(57)摘要

功能元件的制造方法,包含如下工序:准备第一电极以及第二电极在上表面露出的基板;在基板的上方形成设置有使第一电极的上表面的至少一部分露出的间隙的第一膜;在第一电极、第二电极以及第一膜上,使用涂布法形成第二膜;通过去除第二膜中的第一电极上的部分,使第一电极的上表面露出;以及在第一电极的上表面上形成电接触件(15)。



CN 118648114 A

1.一种功能元件的制造方法,包含如下工序:

准备第一电极以及第二电极在上表面露出的基板;

在所述基板的上方形成设置有使所述第一电极的上表面的至少一部分露出的间隙的第一膜;

在所述第一电极、所述第二电极以及所述第一膜上,使用涂布法形成第二膜;

通过去除所述第二膜中的所述第一电极上的部分,使所述第一电极的所述上表面的所述至少一部分露出;以及,

在所述第一电极上形成电接触件。

2.根据权利要求1所述的功能元件的制造方法,

所述涂布法为旋涂。

3.根据权利要求1或2所述的功能元件的制造方法,

在形成所述第一膜的工序中,以覆盖所述第一电极的一部分的方式形成所述第一膜。

4.根据权利要求1至3中任一项所述的功能元件的制造方法,

所述间隙为至少一个开口。

5.根据权利要求4所述的功能元件的制造方法,

所述至少一个开口包含多个开口。

6.根据权利要求1至5中任一项所述的功能元件的制造方法,

去除所述第二膜中的所述第一电极上的所述部分的工序包含:通过使用了卤素类气体的蚀刻去除所述第二膜的所述部分。

7.根据权利要求1至6中任一项所述的功能元件的制造方法,其中,

所述第二膜中的所述第一电极上的所述部分包含第一部和第二部,

去除所述第二膜中的所述第一电极上的所述部分的工序包含:去除所述第一部的工序;以及去除在去除所述第一部的工序中未被去除的所述第二部的工序。

8.一种功能元件,具备:

基板;

第一电极,设置于所述基板的上表面;

至少一个第二电极,设置于所述基板的所述上表面;

第一膜,位于所述基板的上方,设置有俯视时与所述第一电极的上表面的至少一部分重叠的间隙;

功能层,位于所述至少一个第二电极上;

第三电极,位于所述功能层上;以及,

电接触件,穿过所述第一膜的所述间隙而与所述第一电极连接,并且将所述第一电极与所述第三电极电连接,

所述第一膜的表面距所述基板的所述上表面的高度比所述功能膜的表面距所述基板的所述上表面的高度低。

9.根据权利要求8所述的功能元件,

所述第一膜覆盖所述第一电极的一部分。

10.根据权利要求8或9所述的功能元件,

所述间隙为至少一个开口。

11.根据权利要求10所述的功能元件，

所述至少一个开口包含多个开口。

12.根据权利要求8至11中任一项所述的功能元件，

所述功能元件是光电转换元件，

所述功能层包含光电转换层。

13.根据权利要求8至11中任一项所述的功能元件，

所述功能元件是摄像元件，

所述至少一个第二电极包含多个第二电极，

所述功能层包含光电转换层，

所述多个第二电极是相互分离的多个像素电极。

14.根据权利要求13所述的功能元件，

所述第一膜覆盖所述基板的所述上表面中的所述多个像素电极中的相邻的2个像素电极之间的区域。

15.根据权利要求12至14中任一项所述的功能元件，

所述光电转换层包含胶体量子点。

功能元件及其制造方法

技术领域

[0001] 本发明涉及功能元件及其制造方法。

背景技术

[0002] 使用包含光电转换材料的光电转换层的光电转换元件的研究盛行。光电转换层中包含的光电转换材料例如使用利用了量子尺寸效应的量子点等半导体材料。

[0003] 在这样的光电转换元件等功能元件中,例如使用在表面露出有捕集由光电转换层生成的电荷的电极和用于控制向光电转换层施加的电压的电极的基板。在该基板上使用旋涂等涂布法使半导体材料成膜,由此层叠包含光电转换层的功能层。然后,去除用于控制施加到光电转换层的电压的电极上的功能层,使该电极露出,在该电极上使与功能层连接的导电层成膜,由此能够对光电转换层施加控制电压。

[0004] 例如,在专利文献1中,作为使用上述方法制造的功能元件,公开了摄像元件。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:国际公开第2019/239851号

[0008] 非专利文献

[0009] 非专利文献1:Patrick R.Brown et al.,“Energy Level Modification in Lead Sulfide Quantum Dot Thin Films through Ligand Exchange”,ACS Nano,American Chemical Society,2014年,Vol.8,No.6,pp 5863-5872

发明内容

[0010] 发明所要解决的课题

[0011] 然而,在以往的功能元件及其制造工序中存在成品率的改善余地。本发明的目的在于提供能够提高成品率的功能元件及其制造方法。

[0012] 用于解决课题的手段

[0013] 本发明的一个方式所涉及的功能元件的制造方法包含如下工序:准备第一电极以及第二电极在上表面露出的基板;在所述基板的上方形成设置有使所述第一电极的上表面的至少一部分露出的间隙的第一膜;在所述第一电极、所述第二电极以及所述第一膜上使用涂布法形成第二膜;通过去除所述第二膜中的所述第一电极上的部分,使所述第一电极的所述上表面的所述至少一部分露出;以及在所述第一电极上形成电接触件。

[0014] 本发明的一个方式所涉及的功能元件具备:基板;第一电极,设置于所述基板的上表面;至少一个第二电极,设置于所述基板的所述上表面;第一膜,位于所述基板的上方,且设置有在俯视时与所述第一电极的上表面的至少一部分重叠的间隙;功能层,位于所述至少一个第二电极上;第三电极,位于所述功能层上;电接触件,穿过所述第一膜的所述间隙而与所述第一电极连接,并且将所述第一电极与所述第三电极电连接。所述第一膜的表面距所述基板的所述上表面的高度比所述功能膜的表面距所述基板的所述上表面的高度低。

[0015] 发明效果

[0016] 根据本发明的一个方式,能够提高成品率。

附图说明

[0017] 图1是实施方式的光电转换元件的剖视图。

[0018] 图2A是表示实施方式的第一电极的俯视形状的例子的平面图。

[0019] 图2B是表示实施方式的形成于第一电极上的图案化膜的俯视形状的例子的平面图。

[0020] 图2C是表示实施方式的形成于第一电极上的图案化膜的俯视形状的另一例的平面图。

[0021] 图2D是表示形成在实施方式的第一电极上的图案化膜的俯视形状的又一例的平面图。

[0022] 图3A是表示实施方式的图案化膜的配置的另一例的剖视图。

[0023] 图3B是表示实施方式的图案化膜的配置的又一例的剖视图。

[0024] 图4是实施方式的光电转换元件的制造方法的流程图。

[0025] 图5是用于说明准备实施方式的基板的工序的图。

[0026] 图6A是用于说明形成实施方式的图案化膜的工序的一例的图。

[0027] 图6B是用于说明形成实施方式的图案化膜的工序的一例的图。

[0028] 图6C是用于说明形成实施方式的图案化膜的工序的一例的图。

[0029] 图6D是用于说明形成实施方式的图案化膜的工序的一例的图。

[0030] 图7A是用于说明形成实施方式的图案化膜的工序的另一例的图。

[0031] 图7B是用于说明形成实施方式的图案化膜的工序的另一例的图。

[0032] 图8是用于说明形成实施方式的功能层的工序和形成第三电极的工序的图。

[0033] 图9A是用于说明实施方式的去除功能层的工序的图。

[0034] 图9B是用于说明实施方式的去除功能层的工序的图。

[0035] 图10是用于说明形成实施方式的电接触件的工序的图。

[0036] 图11是实施方式的变形例的光电转换元件的剖视图。

[0037] 图12是实施方式的变形例的光电转换元件的俯视图。

[0038] 图13是表示实施方式的摄像元件的电路结构的一例的图。

[0039] 图14是示意性地表示实施方式的摄像元件中的像素的器件构造的剖视图。

具体实施方式

[0040] (本发明的概要)

[0041] 本发明的一个方式所涉及的功能元件的制造方法包含如下工序:准备第一电极以及第二电极在上表面露出的基板;在所述基板的上方形成设置有使所述第一电极的上表面的至少一部分露出的间隙的第一膜;在所述第一电极、所述第二电极以及所述第一膜上使用涂布法形成第二膜;通过去除所述第二膜中的所述第一电极上的部分,使所述第一电极的所述上表面的所述至少一部分露出;以及在所述第一电极上形成电接触件。

[0042] 通过在这样的第一电极上形成设置有间隙的第一膜,通过涂布法形成的第二膜积

存于第一电极上的第一膜的间隙而变厚。因此,在去除第二膜中的第一电极上的部分的工序中,抑制第一电极1被去除至第一电极而缩小或消失。其结果,能够抑制第一电极与电接触件的连接不良。因此,能够提高所制造的功能元件的成品率。

[0043] 另外,例如,所述涂布法可为旋涂。即,在形成所述第二膜时,也可以使用旋涂作为所述涂布法形成所述第二膜。

[0044] 在使用旋涂使第二膜成膜的情况下,特别是膜厚容易因成膜的面的凹凸而变化,但通过在第一膜的间隙积存第二膜,即使在第二膜的形成中使用旋涂的情况下,也能够抑制第一电极的缩小或消失。

[0045] 另外,例如,也可以在形成所述第一膜的工序中,以覆盖所述第一电极的一部分的方式形成所述第一膜。

[0046] 由此,通过第一膜覆盖第一电极,容易进一步提高第一膜的上表面距基板的高度,因此能够在第一电极上较厚地形成第二膜。

[0047] 另外,例如,所述间隙也可以是至少一个开口。即,在形成所述第一膜时,也可以作为所述间隙形成设置有至少一个开口的所述第一膜。

[0048] 由此,由于间隙为开口,因此在形成第二膜时第二膜不易从开口流出,能够在第一电极上较厚地形成第二膜。

[0049] 另外,例如,所述至少一个开口也可以包含多个开口。即,也可以通过形成所述第一膜来形成设置有多个开口的所述第一膜。

[0050] 由此,能够减小多个开口各自的大小,因此第二膜容易分别积存于多个开口。因此,能够在第一电极上形成更厚的第二膜。

[0051] 另外,例如,去除所述第二膜中的所述第一电极上的所述部分的工序也可以包含通过使用了卤素类气体的蚀刻去除所述第二膜的所述部分。

[0052] 由此,即使在使用去除力较高的卤素类气体的情况下,由于积存在第一膜的间隙中第一电极上的第二膜变厚,因此也能够抑制过蚀刻引起的第一电极的缩小或消失。

[0053] 另外,例如,也可以是,所述第二膜中的所述第一电极上的所述部分包含第一部和第二部,去除所述第二膜中的所述第一电极上的所述部分的工序包含:去除所述第一部的工序;以及去除在去除所述第一部的工序中未被去除的所述第二部。

[0054] 由此,保留第一电极上的第二膜的一部分而进行蚀刻,因此能够抑制过蚀刻引起的第一电极的缩小或消失。

[0055] 此外,本发明的一个方式所涉及的功能元件具备:基板;第一电极,设置于所述基板的上表面;至少一个第二电极,设置于所述基板的所述上表面;第一膜,位于所述基板的上方,设置有在俯视时与所述第一电极的上表面的至少一部分重叠的间隙;功能层,位于所述至少一个第二电极上;第三电极,位于所述功能层上;电接触件,穿过所述第一膜的所述间隙而与所述第一电极连接,并且将所述第一电极与所述第三电极电连接。所述第一膜的表面距所述基板的所述上表面的高度比所述功能膜的表面距所述基板的所述上表面的高度低。

[0056] 由此,通过以夹着第一电极的方式配置而设置有间隙的第一膜保护第一电极。例如,在制造中去除在第一电极上暂时形成的功能层时,通过第一膜的间隙而较厚地形成第一电极上的功能层,从而抑制第一电极被去除而缩小或消失的情况。其结果,能够抑制第一

电极与电接触件的连接不良。因此,能够提高功能元件的成品率。进而,即使在去除功能层时发生了第一电极的蚀刻,第一膜正下方的部分也被保护不受蚀刻的影响。因此,通过产生残留的第一电极的侧面与电接触件的连接而抑制连接不良。

[0057] 另外,例如,所述第一膜可以覆盖所述第一电极的一部分。

[0058] 由此,例如,在制造中去除在第一电极上暂时形成的功能层时,第一膜覆盖第一电极,由此容易进一步提高第一膜的上表面距基板的高度,因此能够在第一电极上较厚地形成第二膜。

[0059] 另外,例如,所述间隙也可以是至少一个开口。即,也可以是,在所述第一膜设置有至少一个开口作为所述间隙。

[0060] 由此,例如,在制造中去除在第一电极上暂时形成的功能层时,第一电极上的功能层容易因第一膜的间隙而形成得更厚。

[0061] 另外,例如,所述至少一个开口也可以包含多个开口。即,也可以是,在所述第一膜设置有多个开口。

[0062] 由此,多个开口分别变小,因此例如在制造中去除在第一电极上暂时形成的功能层时,容易通过第一膜的间隙将第一电极上的功能层形成得更厚。

[0063] 另外,例如,所述功能元件可以是光电转换元件,所述功能层可以包含光电转换层。

[0064] 由此,能够实现成品率提高的光电转换元件。

[0065] 另外,例如,所述功能元件可以是摄像元件,所述至少一个第二电极可以包含多个第二电极,所述功能层可以包含光电转换层,所述多个第二电极可以是相互分离的多个像素电极。

[0066] 由此,能够实现成品率提高的摄像元件。

[0067] 另外,例如,所述第一膜也可以覆盖所述基板的所述上表面中的所述多个像素电极中的相邻的两个像素电极之间的区域。

[0068] 由此,在相邻的像素电极之间也配置有第一膜。因此,即使在因相邻的像素间捕集到的电荷量的差异而产生电位差的情况下,也抑制第一膜相邻的像素电极间的电荷移动。因此,能够抑制相邻像素间的混色。因此,第一膜还能够利用在相邻的像素间的混色抑制,因此能够提高更高性能的摄像元件的成品率。

[0069] 另外,例如,所述光电转换层可以包含胶体量子点。

[0070] 由此,光电转换层包含胶体量子点,因此例如在制造中去除在第一电极上暂时形成的功能层时,使用卤素类气体进行去除力高的蚀刻。即使在这样的情况下,由于第一电极上的功能层形成得较厚,因此也能够抑制过蚀刻引起的第一电极的缩小或消失。

[0071] 以下,参照附图对本发明的实施方式进行说明。

[0072] 另外,以下说明的实施方式均表示总括性或具体的例子。以下的实施方式所示的数值、形状、构成要素、构成要素的配置位置以及连接方式、工序、工序的顺序等是一例,并不是限定本发明的主旨。另外,以下的本实施方式中的构成要素中的、独立权利要求中没有记载的构成要素,作为任意的构成要素进行说明。另外,各图不一定严格地图示。因此,例如,在各图中比例尺等未必一致。另外,在各图中,对于实质上相同的结构标注相同的附图标记,有时省略或简化重复的说明。

[0073] 另外,在本说明书中,表示要素间的关系性的用语、以及表示要素的形状的用语、以及数值范围并非仅表示严格的意思的表现,而是实质上也包含同等的范围、例如百分之几左右的差异的表现。

[0074] 另外,在本说明书中,“上方”和“下方”这样的用语不是指绝对的空间识别中的上方向(铅垂正上方)和下方向(铅垂正下方),而是作为基于层叠结构中的层叠顺序由相对的位置关系规定的用语来使用。此外,“上方”以及“下方”等用语只是为了指定部件间的相互的配置而使用的,并非意图限定摄像元件的使用时的姿势。另外,“上方”及“下方”这样的用语不仅适用于2个构成要素相互隔开间隔地配置而在2个构成要素之间存在其他构成要素的情况,也适用于2个构成要素相互密接配置而2个构成要素相接的情况。在本说明书中,将在基板上层叠功能层等的方向作为上方向。

[0075] 另外,在本说明书以及附图中,x轴、y轴以及z轴表示三维正交坐标系的三轴。x轴以及y轴分别是第二电极配置成矩阵状的情况下的行方向以及列方向。z轴是层叠于基板的功能层等的层叠方向。在本说明书中,z轴方向的正侧为“上方”,z轴方向的负侧为“下方”。另外,在本说明书中,只要没有特别说明,“俯视”是指从z轴方向的正侧观察时。

[0076] 另外,在本说明书中,只要没有特别说明,“第一”、“第二”等序数词并不意味着构成要素的数量或顺序,为了避免混淆同种的构成要素而使用。

[0077] 另外,在本说明书中,为了方便,将包含可见光、红外线以及紫外线的全部电磁波表达为“光”。

[0078] (实施方式)

[0079] 以下,对具备本实施方式的光电转换元件及光电转换元件的摄像元件进行说明。

[0080] [光电转换元件的结构]

[0081] 首先,对实施方式的摄像元件所具备的光电转换元件的结构进行说明。图1是本实施方式的光电转换元件10A的剖视图。图1示出了光电转换元件10A的一部分。具体而言,图1是表示光电转换元件10A中的在基板11设置有第一电极1以及多个第二电极2的一部分的区域的图。在后面说明具备图1所示的光电转换元件10A的摄像元件的具体结构。

[0082] 如图1所示,光电转换元件10A具备基板11、第一电极1、第二电极2、第三电极3、位于第二电极2与第三电极3之间的功能层10、图案化膜8、以及将第一电极1与第三电极3电连接的电接触件15。功能层10包括光电转换层4、位于第二电极2与光电转换层4之间的电子阻挡层5、以及位于第三电极3与光电转换层4之间的空穴阻挡层6。在光电转换元件10A中,第二电极2、电子阻挡层5、光电转换层4、空穴阻挡层6和第三电极3依次层叠在基板11的上表面11a上。

[0083] 基板11例如是ROIC(Read Out Integrated Circuit:读出集成电路)基板。在图1中,示出了基板11的上部的绝缘层,省略了下部的构造的图示。在基板11上以及基板11内部形成有用于使光电转换元件10A动作的电路等。基板11例如包含在绝缘层的下方形成晶体管等的半导体层。绝缘层例如为氧化硅膜、氮化硅膜或TEOS(正硅酸四乙酯)膜等单层结构或层叠结构,但没有特别限定。此外,基板11的种类没有特别限定,基板11可以使用布线基板等ROIC基板以外的各种基板。

[0084] 第一电极1、第二电极2以及第三电极3例如是膜状的电极。

[0085] 第一电极1是用于向第三电极3供电的供电端子。第一电极1例如是用于向功能层

10施加控制电压的控制电极。第一电极1设置于基板11的上表面11a。第一电极1的上表面1a位于比基板11的上表面11a、具体而言第一电极1的周边的上表面11a靠上方。即,在层叠方向上,第一电极1的上表面1a的高度比基板11的上表面11a高。因此,在设置有第一电极1的基板11中,第一电极1成为凸状。另外,基板11自身的形成有第一电极1的各处也为凸状。

[0086] 第一电极1配置于基板11中的与设置有多个第二电极2的区域不同的区域。另外,第一电极1配置在设置有功能层10的区域的周围。即,第一电极1在俯视时不与功能层10重叠。此外,在图1所示的例子中,第一电极1为一个,但第一电极1的个数也可以为两个以上。在配置2个以上的第一电极1的情况下,例如以夹着或包围功能层10的方式配置。在第一电极1上连接有用于供给电压的未图示的布线或插塞等。

[0087] 第一电极1的上表面1a的至少一部分与电接触件15相接。第一电极1经由电接触件15与第三电极3电连接。

[0088] 作为第一电极1的材料,使用Al、Cu、Ti、TiN、Ta、TaN、Mo、Ru、In、Mg、Ag、Au或Pt等导电性材料。

[0089] 第一电极1的厚度例如为10nm以上且200nm以下。

[0090] 第二电极2是用于捕集由光电转换层4生成的电荷的电极层。第二电极2是光电转换元件10A用于摄像元件的情况下的像素电极。第二电极2设置于基板11的上表面11a。第二电极2的上表面2a位于比基板11的上表面11a、具体而言第二电极2的周边的上表面11a靠上方。即,在层叠方向上,第二电极2的上表面2a的高度比基板11的上表面11a高。

[0091] 例如,在基板11中的设置有功能层10的区域内设置有多个第二电极2。即,多个第二电极2在俯视时与功能层10重叠。多个第二电极2例如在基板11上被配置成呈矩阵状排列配置。多个第二电极2相互分离,在相互分离的多个第二电极2之间配置有基板11的绝缘层。相邻的第二电极2之间的距离例如为1μm左右。此外,第二电极2的个数没有特别限定。第二电极2的数量也可以是一个。在各第二电极2连接有用于供给电压的未图示的布线或插塞等。

[0092] 相邻的第二电极2之间的距离例如比第一电极1与最接近第一电极1的第二电极2之间的距离短。

[0093] 第二电极2的厚度例如为10nm以上且200nm以下。另外,第二电极2的宽度例如为0.5μm以上且10μm以下。

[0094] 第三电极3是隔着功能层10与第二电极2对置设置的电极层。第三电极3位于功能层10上。第三电极3捕集与第二电极2捕集的电荷极性相反的电荷。规定电压经由第一电极1和电接触件15施加到第三电极3。由此,对第二电极2和第三电极3施加规定的偏置电压。通过施加偏置电压,能够通过第二电极2捕集通过光电转换在光电转换层4产生的空穴电子对中的空穴和电子中的任一方的电荷。被第二电极2捕集的电荷例如被用作信号电荷。例如,在使用空穴作为信号电荷的情况下,向第二电极2施加使第三电极3的电位为正的偏置电压。由此,空穴被第二电极2捕集,电子被第三电极3捕集。另外,也可以通过使第三电极3的功函数小于第二电极2的功函数,在第三电极3的电位相对于第二电极2为零或负电位的条件下,第二电极2捕集空穴,第三电极3捕集电子。以下,对第二电极2捕集空穴作为信号电荷的情况进行说明。此外,在利用电子作为信号电荷的情况下,对第二电极2施加使第三电极3的电位为负的偏置电压。另外,也可以通过使第三电极3的功函数大于第二电极2的功函数,

在第三电极3的电位相对于第二电极2为零或正电位的条件下,第二电极2捕集电子,第三电极3捕集空穴。

[0095] 第三电极3例如是在期望的波长范围内具有高透光性的透明电极。期望的波长范围例如包含光电转换层4进行光电转换的波长。在光电转换层4包含胶体量子点的情况下,所期望的波长范围例如是包含胶体量子点的吸收峰值波长的波长范围。另外,在本说明书中,在某波长下为高透光性是指例如在某波长下,光的透射率为50%以上,也可以是指80%以上。

[0096] 作为透明电极的材料,例如使用电阻值小的透明导电性氧化物(TCO:Transparent Conducting Oxide)。TCO没有特别限定,例如可以使用ITO、IZO(InZnO;Indium Zinc Oxide:铟锌氧化物)、AZO(AlZnO:Aluminum Zinc Oxide:铝锌氧化物)、FTO(Fluorine-doped Tin Oxide:掺氟锡氧化物)、SnO_2、TiO_2、ZnO等。另外,作为透明电极的材料,也可以使用石墨烯或碳纳米管等。

[0097] 第三电极3的厚度例如为10nm以上且200nm以下。

[0098] 图案化膜8是第一膜的一例,是具有规定的图案的保护膜。图案化膜8位于基板11的上方。图案化膜8的上表面8a位于比第一电极1和第二电极2靠上方。另外,在层叠方向上,图案化膜8的上表面8a的高度例如比功能层10中的作为最下层的电子阻挡层5的上表面5a的高度低。图案化膜8的厚度例如为1nm以上且200nm以下。另外,图案化膜8的上表面8a的高度可以高于电子阻挡层5的上表面5a的高度。

[0099] 图案化膜8例如配置于基板11上的设置有第一电极1的区域和设置有多个第二电极2的区域。设置有第一电极1的区域例如是俯视时不与功能层10重叠的区域。设置有多个第二电极2的区域例如是俯视时与功能层10重叠的区域。此外,图案化膜8也可以不配置于设置有第二电极的区域。

[0100] 就图案化膜8而言,以在俯视时不经由第二电极2而夹着第一电极1的方式配置,从而设置有与第一电极1的上表面1a的至少一部分重叠的间隙8b。在俯视时,间隙8b不与第二电极2的上表面2a重叠。例如,在图案化膜8设置有多个间隙8b。另外,图案化膜8覆盖第一电极1的上表面的一部分。例如,图案化膜8覆盖第一电极1的上表面的端部中的对置的两个部位。通过形成这样的图案化膜8,在光电转换元件10A的制造工序中,抑制第一电极1被过蚀刻而变小或者消失。稍后将描述效果的细节。

[0101] 电接触件15穿过间隙8b,间隙8b的周边的图案化膜8被电接触件15覆盖。

[0102] 间隙8b的宽度(例如最短的宽度)例如为0.1μm以上且100μm以下,也可以为1μm以上且10μm以下。另外,间隙8b的宽度例如为第一电极1的宽度的2%以上且110%以下。

[0103] 图案化膜8覆盖第一电极1的一部分。在图1所示的例子中,图案化膜8与第一电极1的上表面1a相接地覆盖。此外,图案化膜8也可以不覆盖第一电极1。例如,图案化膜8也可以在俯视时形成于第一电极1附近的基板11上。附近例如表示相邻的第二电极2之间的距离以下的范围。

[0104] 在此,使用图2A至图2D,对设置于形成有第一电极1的区域的图案化膜8的俯视形状进行详细说明。图2A是表示第一电极1的俯视形状的例子的平面图。图2B至图2D是表示形成于第一电极1上的图案化膜8的俯视形状的例子的平面图。另外,在图2A至图2D中,为了便于观察,对第一电极1和图案化膜8赋予了花纹,但并不意味着在第一电极1和图案化膜8的

上表面带有花纹。

[0105] 如图2A所示,第一电极1的俯视形状的外形例如是长条状的矩形。矩形的短边方向的长度例如为100μm左右。另外,矩形的长边方向的长度例如为几mm。在俯视时,第一电极1例如具有形成有多个狭缝1s的条纹状的区域1sa。此外,俯视时的第一电极1的形状以及大小没有特别限定。也可以不在第一电极1形成狭缝1s。

[0106] 如图2B所示,在图案化膜8中,例如作为多个间隙8b,设置有多个开口8b1。多个开口8b1例如在第一电极1上配置成矩阵状。由此,能够提高蚀刻时的图案化膜8对第一电极1的保护的功能。

[0107] 另外,如图2C所示,在图案化膜8中,作为多个间隙8b,也可以设置条纹状的多个狭缝8b2。

[0108] 另外,如图2D所示,在图案化膜8中,作为间隙8b,也可以设置格子状的狭缝8b3。

[0109] 另外,图案化膜8例如在第一电极1的条纹状的区域1sa中配置于与狭缝1s重叠的位置,间隙8b的至少一部分与区域1sa中的第一电极1重叠。

[0110] 另外,再次参照图1,图案化膜8也位于基板11与功能层10之间。图案化膜8与基板11的上表面11a中的多个第二电极2中的相邻的第二电极2之间的区域相接地覆盖。在俯视时,图案化膜8以夹着多个第二电极2的每个第二电极2的方式配置。因此,就图案化膜8而言,设置有俯视时与一个第二电极2的至少一部分重叠的间隙8c。功能层10(具体而言为电子阻挡层5)穿过间隙8c连接到第二电极2。功能层10(具体而言为电子阻挡层5)覆盖间隙8c的周围的图案化膜8。图案化膜8与第二电极2的侧面相接,将基板11上的相邻的第二电极2之间完全填埋。此外,在图案化膜8中,覆盖基板11的上表面11a中的相邻的第二电极2之间的部分也可以与第二电极2的侧面分离。

[0111] 通过这样配置图案化膜8,图案化膜8抑制相邻的第二电极2之间的电荷移动。具体而言,多个第二电极2有时因捕集到的电荷量而电位互不相同。例如,光的入射量多的区域的第二电极2所捕集的电荷量变多,光的入射量少的区域的第二电极2所捕集的电荷量变少。因此,在这样的两个第二电极2之间产生电位差,在捕集的电荷为空穴的情况下,空穴经由功能层10从电位高的第二电极2向电位低的第二电极2移动。其结果,在摄像元件的情况下,在相邻像素间产生混色,在图像的边缘产生模糊。通过在相邻的第二电极2之间存在覆盖基板11的上表面11a的图案化膜8,经由功能层10的相邻的第二电极2之间的电荷的移动距离变长,因此能够抑制这样的电荷的移动。

[0112] 另外,在图1所示的例子中,第二电极2的上表面2a未被图案化膜8覆盖。由此,第二电极2对电荷的捕集不会被图案化膜8阻碍,因此能够抑制电荷的捕集效率的降低。

[0113] 此外,用于抑制第二电极2间的电荷移动的图案化膜8的配置不限于图1所示的例子。图3A及图3B是表示图案化膜8的配置的另一例的剖视图。

[0114] 如图3A所示,在俯视时,图案化膜8以夹着多个第二电极的每个第二电极2的方式配置。另外,与图1所示的例子不同,图3A所示的图案化膜8未完全填埋相邻的第二电极2之间。图案化膜8也可以在相邻的第二电极2之间被分割为两个以上。

[0115] 另外,如图3B所示,图案化膜8也可以与相邻的第二电极2各自的上表面2a的端部相接地覆盖。特别是,容易引起电场集中的第二电极2的端部被图案化膜8覆盖,由此能够提高电荷的移动的抑制效果。

[0116] 作为图案化膜8的材料,使用绝缘性材料。绝缘材料的实例包括氧化硅、氮化硅、氧化钽和氧化钛。另外,作为绝缘性材料,也可以使用负型光致抗蚀剂或负型电子束抗蚀剂。

[0117] 再次参照图1,电接触件15是将第一电极1与第三电极3电连接的导电层。电接触件15穿过间隙8b与第一电极1连接。另外,电接触件15覆盖功能层10的侧面,与第三电极3的上表面3a连接。在图1所示的例子中,电接触件15覆盖上表面3a的一部分。在电接触件15为高透光性的情况下,电接触件15例如也可以如后述的图10所示那样覆盖整个上表面3a。

[0118] 作为电接触件15的材料,可以使用作为上述透明电极的材料列举的材料。另外,作为电接触件15的材料,也可以使用Al、Cu、Ti、TiN、Ta、TaN、Mo、Ru、In、Mg、Ag、Au或Pt等导电性材料。此外,第三电极3和电接触件15也可以由一个导电层构成。即,也可以在俯视时,第三电极3扩展至形成有功能层10的区域的外侧而与第一电极1连接,作为第三电极3中的比功能层10靠外侧的区域而形成有电接触件15。

[0119] 电接触件15的厚度例如为10nm以上且200nm以下。

[0120] 功能层10例如是进行光电转换及光电转换后的电荷的传输的复合层。功能层10例如是通过旋涂等涂布法形成的涂布膜的层叠体。此外,也可以存在通过功能层10的复合层中的涂布法以外的方法形成的层。另外,功能层10不限于复合层,也可以由1个层构成。

[0121] 在光电转换层4中,由于光的入射而产生作为激子的空穴电子对。光电转换层4包含吸收入射的光并生成空穴电子对作为信号电荷的光电转换材料。光电转换材料例如是半导体性的无机材料或半导体性的有机材料。光电转换层4例如如后所述通过涂布法形成。因此,作为光电转换材料,例如使用溶解或分散于溶剂的材料。

[0122] 光电转换层4例如包含胶体量子点作为光电转换材料。胶体量子点为表面经表面修饰配体修饰的量子点。光电转换层4例如通过涂布胶体量子点溶液并成膜而形成。

[0123] 量子点为具有2nm至10nm左右的直径的纳米晶体,由数十至数千个左右的原子构成。量子点的材料例如是Si或Ge等IV族半导体、PbS、PbSe或PbTe等IV-VI族半导体、InAs或InSb等III-V族半导体、或HgCdTe或PbSnTe等三元混晶。

[0124] 光电转换层4也可以具有包含粒径互不相同的量子点的2个以上量子点层的层叠结构。由于量子点的吸收波长根据粒径而变化,因此通过这样的结构能够扩大光电转换元件10A的灵敏度波段。另外,例如,通过使用在近红外线区域具有吸收峰的量子点作为量子点,能够实现在近红外线区域具有灵敏度的光电转换元件10A。

[0125] 表面修饰配体只要是吸附于量子点的表面的配体即可,例如可以从非专利文献1中记载的配体中选择。例如,根据表面修饰配体的种类,胶体量子点的价电子带上端的能量发生变化。因此,通过使用适当的表面修饰配体,能够调整胶体量子点的能带。

[0126] 为了提高合成时的分散性,可获得的量子点的表面大多被具有长链烷基的表面修饰配体修饰。具有长链烷基的表面修饰配体由于阻碍电荷的移动,因此被用于实现所期望的能带的表面修饰配体置换。作为置换的方法,已知有在将量子点设为膜(固相)后,暴露于进行置换的表面修饰配体的溶液中,从而以浓度差及配体彼此的键能差进行置换的固相置换法、及在溶液中(液相)置换表面修饰配体的液相置换法,可使用这些现有方法。

[0127] 光电转换层4的厚度例如为5nm以上且1500nm以下。

[0128] 在本实施方式中,在光电转换层4产生的空穴电子对中,空穴被第二电极2捕集,电子被第三电极3捕集。此时,有时将与第二电极2和第三电极3所捕集的电荷极性相反的电荷

从第二电极2和第三电极3注入光电转换层4。这样从电极注入的电荷成为与光向光电转换层4的入射无关地流动的暗电流的原因。

[0129] 因此,本实施方式的光电转换元件10A在第二电极2与光电转换层4之间具备电子阻挡层5作为用于抑制暗电流的电荷阻挡层。电子阻挡层5是成为来自第二电极2的电子注入的势垒的层。为了抑制由来自第二电极2的电子注入引起的暗电流,例如,电子阻挡层5的电子亲和力等于或小于光电转换层4的电子亲和力。另外,例如,为了不妨碍从光电转换层4向第二电极2的空穴的传导,电子阻挡层5的电离电势以大于光电转换层4的电离电势的0.5eV的值为上限,与其同等或比其小。

[0130] 例如,电子阻挡层5的材料是满足上述电子亲和力和电离电势的关系的材料,例如是p型半导体。电子阻挡层5的材料例如为[N4,N4'-Di(萘基-1-基)-N4,N4'-双(4-乙烯基苯基)联苯基,4'-二胺](VNPB)或Poly[N,N'-双(4-丁基苯基)-N,N'-双(苯基)-联苯胺](poly-TPD)等有机材料。由此,在后述的制造工序中,第一电极1上的电子阻挡层5的去除变得容易。电子阻挡层5的材料可以是NiO、CoO、Co_3O_4、Cr_2O_3、Cu_2O或CuO等金属氧化物。电子阻挡层5例如如后所述通过涂布法形成。因此,作为电子阻挡层5的材料,例如使用溶解或分散于溶剂的材料。

[0131] 电子阻挡层5的厚度例如为5nm以上且200nm以下。

[0132] 另外,本实施方式的光电转换元件10A在第三电极3与光电转换层4之间具备空穴阻挡层6作为电荷阻挡层。空穴阻挡层6是成为来自第三电极3的空穴注入的势垒的层。在这种情况下,为了抑制由于从第三电极3注入空穴而产生的暗电流,例如,空穴阻挡层6的电离电势等于或大于光电转换层4的电离电势。另外,例如,为了不妨碍电子从光电转换层4向第三电极3的传导,空穴阻挡层6的电子亲和力与光电转换层4的电子亲和力同等或比其大。

[0133] 例如,空穴阻挡层6的材料是满足上述电子亲和力和电离电势的关系的材料,例如是n型半导体。空穴阻挡层6的材料的实例包括浴铜灵(BCP)、红菲绕啉(BPhen)、富勒烯、氧化锌、铝掺杂的氧化锌、氧化钛和氧化锡。空穴阻挡层6例如如后所述通过涂布法形成。因此,作为空穴阻挡层6的材料,例如使用溶解或分散于溶剂的材料。

[0134] 空穴阻挡层6的厚度例如为5nm以上且200nm以下。

[0135] 电子阻挡层5为了输送空穴而具有空穴传导性。另外,空穴阻挡层6为了输送电子而具有电子传导性。因此,通过光电转换层4与电子阻挡层5接触,光电转换层4经由电子阻挡层5与第二电极2电连接。此外,通过光电转换层4与空穴阻挡层6接触,光电转换层4经由空穴阻挡层6与第三电极3电连接。

[0136] 需要说明的是,功能层10可以仅具有电子阻挡层5和空穴阻挡层6中的任一者,也可以均不具有。另外,在第二电极2捕集电子的情况下,也可以采用将光电转换元件10A中的电子阻挡层5与空穴阻挡层6的位置互换的结构。另外,功能层10也可以具备上述各层以外的其他层。其他层的实例包括电荷输送层和缓冲层。

[0137] [光电转换元件的制造方法]

[0138] 接着,对本实施方式的光电转换元件10A的制造方法进行说明。另外,以下说明的制造方法是一例,光电转换元件10A的制造方法不限于以下的例子。

[0139] 光电转换元件10A的制造方法包括:准备第一电极1和第二电极2在上表面11a露出的基板11的工序;形成图案化膜8的工序;形成功能层10的工序;去除功能层10中的第一电

极1上的部分的工序;以及形成电接触件15的工序。以下,使用附图对具体的光电转换元件10A的制造方法进行说明。图4是本实施方式的光电转换元件10A的制造方法的流程图。

[0140] 首先,如图4所示,准备基板11(步骤S11)。图5是用于说明准备基板11的工序的图。如图5所示,具体而言,准备以第一电极1和第二电极2在基板11的上表面11a露出的方式设置的基板11。在基板11的上侧,第一电极1、第二电极2以及基板11的上表面11a露出。形成有基板11的上表面11a的部分例如是TEOS薄膜等绝缘层。

[0141] 例如,在基板11上形成第一电极1和第二电极2,在包含第一电极1的上表面和第二电极2的上表面的基板11的整个上表面被TEOS薄膜覆盖之后,通过CMP(Chemical Mechanical Polishing:化学机械抛光)法对基板11的表面进行平坦化,由此准备图5所示的基板11。如图5所示,多个第二电极2例如以图案密度高的状态形成。另一方面,第一电极1以仅在形成有多个第二电极2的区域的外侧的一部分孤立的图案密度低的状态形成。在使用CMP法的情况下,由于第一电极1和第二电极2与基板11的材料的不同以及第一电极1与第二电极2的图案密度的不同,设置有第一电极1和第二电极2的基板11有时不完全平坦。具体而言,在利用CMP法进行平坦化后,由于第一电极1及第二电极2与基板11的材料的研磨容易度的不同,第一电极1的上表面1a及第二电极2的上表面2a形成在比基板11的上表面11a高的位置。另外,在利用CMP法进行平坦化后,由于第一电极1与第二电极2的图案密度的不同,层叠方向上的基板11的上表面11a的高度在第一电极1的周围比第二电极2的周围低。

[0142] 准备的基板11例如在用丙酮或丙醇等溶剂进行超声波清洗后,通过UV-臭氧处理进行干式清洗而使用。

[0143] 在准备基板11之后,如图4所示,在所准备的基板11的上方,形成设置有使第一电极1的上表面1a的至少一部分露出的间隙8b的图案化膜8(步骤S12)。参照图6A至图6D以及图7A和图7B对形成图案化膜8的工序进行说明。图6A至图6D是用于说明形成图案化膜8的工序的一例的图。

[0144] 如图6A所示,首先,在基板11、第一电极1以及第二电极2上成膜未图案化的绝缘膜88。由此,基板11的上表面11a、第一电极1的上表面1a以及第二电极2的上表面2a被绝缘膜88覆盖。绝缘膜88例如是氧化硅膜。绝缘膜88例如使用等离子体CVD(Chemical Vapor Deposition:化学气相沉积)法形成。绝缘膜88的厚度例如为1nm以上且200nm以下。此外,绝缘膜88的形成方法没有特别限制,例如,也可以使用SOG(Spin On Glass:旋涂玻璃)材料通过旋涂形成绝缘膜88。另外,绝缘膜88也可以是氮化硅膜、氧化钽膜或氧化钛膜等其他绝缘性材料的膜。

[0145] 接着,如图6B所示,在绝缘膜88上成膜抗蚀剂膜89并进行图案化。抗蚀剂膜89例如使用正型的i线用的光致抗蚀剂。抗蚀剂膜89例如通过使用旋涂等涂布法成膜后,通过光刻进行图案化而形成。抗蚀剂膜89的厚度例如为50nm以上且1000nm以下。俯视时的去除了抗蚀剂膜89的部分的图案与形成于图案化膜8的间隙8b以及间隙8c的位置对应。此外,抗蚀剂膜89也可以不使用正型而使用负型的光致抗蚀剂。另外,光刻不限于使用i线的方法,也可以是使用电子束等的其他方法。

[0146] 接着,如图6C所示,通过将抗蚀剂膜89作为掩模进行蚀刻来去除绝缘膜88的一部分。由此,露出俯视时的未设置抗蚀剂膜89的区域的基板11、第一电极1以及第二电极2。残留的绝缘膜88成为图案化膜8。蚀刻例如使用RIE(Reactive Ion Etching:反应性离子蚀

刻)装置,通过使用CF4等气体的等离子体蚀刻来进行。

[0147] 最后,如图6D所示,去除抗蚀剂膜89。抗蚀剂膜89的去除例如通过利用氧等离子体的灰化以及使用丙酮等溶剂的清洗来进行。

[0148] 另外,图案化膜8的形成也可以通过图7A和图7B所示的方法进行。图7A和图7B是用于说明形成图案化膜的工序的另一例的图。

[0149] 如图7A所示,首先,在准备的基板11的基板11、第一电极1和第二电极2上使未图案化的抗蚀剂膜88A成膜。抗蚀剂膜88A的材料例如使用负型光致抗蚀剂。作为负型光致抗蚀剂,从提高第一电极1的保护功能的观点出发,可以使用环氧树脂类的抗蚀剂。抗蚀剂膜88A例如使用旋涂等涂布法形成,通过预烘烤对所形成的膜进行加热。另外,抗蚀剂膜88A也可以使用负型电子束抗蚀剂。

[0150] 接着,通过曝光及显影处理,以形成间隙8b及间隙8c的方式对抗蚀剂膜88A进行图案化,由此如图7B所示形成图案化膜8。这样,通过将负型抗蚀剂材料用于图案化膜8,能够简化图案化膜8的形成工序。

[0151] 这样,通过上述两种方法等,在基板11的上方形成具有位于比第一电极1和第二电极2靠上方的上表面8a的图案化膜8。具体而言,在步骤S11中准备的基板11、第一电极1以及第二电极2上形成设置有间隙8b以及间隙8c的图案化膜8。另外,例如以覆盖第一电极1的一部分的方式形成图案化膜8。另外,例如,以图2B至图2D所示的俯视形状形成图案化膜8。另外,以覆盖基板11的上表面11a中的相邻的第二电极2之间的方式形成图案化膜8。

[0152] 在形成图案化膜8之后,如图4所示,形成功能层10(步骤S13)。接着,在功能层10上形成第三电极3(步骤S14)。图8是用于说明形成功能层10的工序以及形成第三电极3的工序的图。

[0153] 如图8所示,在功能层10的形成中,在基板11、第一电极1、第二电极2和图案化膜8上依次层叠电子阻挡层5、光电转换层4和空穴阻挡层6。首先,在基板11、第一电极1、第二电极2以及图案化膜8上,使用涂布法形成电子阻挡层5。在本实施方式中,电子阻挡层5是第二膜的一例。电子阻挡层5例如使用旋涂作为涂布法形成。在使用旋涂形成电子阻挡层5的情况下,在包含电子阻挡层5的材料的溶液通过旋涂扩展时,由于形成于基板11的凹凸的影响,第一电极1上的电子阻挡层5的膜厚容易变小。在未形成图案化膜8的情况下,例如,存在电子阻挡层5仅形成到图8的虚线H所示的高度处的情况。特别是在如图示的例子那样在基板11的设置有第一电极1的区域形成有凸部的情况下,第一电极1的周围的上表面11a相对地在层叠方向上的高度变低,所形成的电子阻挡层5的高度也容易变低。在本实施方式中,由于图案化膜8的间隙8b形成于第一电极1上,因此溶液容易积存于间隙8b,所形成的电子阻挡层5距第一电极1的上表面1a的高度变高。

[0154] 接着,在电子阻挡层5上,使用涂布法形成光电转换层4。在光电转换层4的形成中,例如也使用旋涂作为涂布法。在使用胶体量子点作为光电转换材料的情况下,可以在光电转换层4成膜后通过配体交换使期望的表面修饰配体与量子点配位。另外,也可以层叠包含粒径互不相同的量子点的多个量子点层。

[0155] 接着,在光电转换层4上,使用涂布法形成空穴阻挡层6。在空穴阻挡层6的形成中,例如也使用旋涂作为涂布法。

[0156] 在使用旋涂的情况下,各层的形成中的旋涂中的转速例如为500rpm以上且

7000rpm以下。

[0157] 接着,在空穴阻挡层6上,使用高频溅射法形成第三电极3。例如,形成TCO膜、例如ITO膜作为第三电极3。由此,如图8所示,在基板11上形成功能层10和第三电极3。

[0158] 此外,也可以不形成电子阻挡层5和空穴阻挡层6中的至少一方。例如,在未形成电子阻挡层5的情况下,在基板11、第一电极1、第二电极2和图案化膜8上,使用涂布法形成光电转换层4。在这种情况下,光电转换层4是第二膜的示例。

[0159] 在形成功能层10和第三电极3之后,如图4所示,去除第一电极1上的功能层30和第三电极3(步骤S15)。由此,去除功能层10中的第一电极1上的部分。另外,还去除被去除的功能层10的部分上的第三电极3。图9A和图9B是用于说明去除功能层10的工序的图。

[0160] 首先,通过旋涂等在第三电极3上使抗蚀剂膜90成膜,通过光刻对抗蚀剂膜90进行图案化。例如,如图9A所示,在俯视时,以在不与第一电极1重叠且与第二电极2重叠的区域、即想要保留功能层10以及第三电极3的区域配置抗蚀剂膜90的方式进行图案化。

[0161] 接着,将抗蚀剂膜90作为掩模,通过蚀刻去除功能层10中的形成于第一电极1上的部分的一部分。具体而言,在平面图中包含第一电极1,在不包含第二电极2的区域中,通过蚀刻去除从第三电极3到功能层10的最下层的电子阻挡层5的一部分。例如,在光电转换层4中使用胶体量子点的情况下,在NLD(magnetic Neutral Loop Discharge:磁中性环路放电)蚀刻装置中,使用氯系气体等卤素类气体,通过蚀刻去除功能层10的一部分。由此,以电子阻挡层5中的第一电极1上的部分的一部分残留的方式进行蚀刻。例如,以电子阻挡层5中的第一电极1上的间隙8b内的电子阻挡层5残留的方式进行蚀刻。需要说明的是,在包含胶体量子点的光电转换层4的情况下,为了去除胶体量子点,多将卤素类气体用于蚀刻,但蚀刻中使用的气体不限于此。根据光电转换层4中包含的材料,也可以将卤素类气体以外的气体(例如氧类气体等)用于蚀刻。

[0162] 如上所述,通过形成图案化膜8,第一电极1上的电子阻挡层5的厚度变厚。若未形成图案化膜8、电子阻挡层5的厚度薄,则如使用卤素类气体的蚀刻那样,若进行容易去除至第一电极1的去除力强的蚀刻,则第一电极1容易因过蚀刻而缩小或消失。例如,当蚀刻进行至基板11的上表面11a时,第一电极1消失。在本实施方式中,通过存在较厚地形成的电子阻挡层5,能够抑制第一电极1因过蚀刻而缩小或消失。

[0163] 另外,由于图案化膜8覆盖第一电极1的一部分,因此在第一电极1上形成图案化膜8,进而在其上形成电子阻挡层5。因此,图案化膜8的上表面8a的高度容易变高,能够在第一电极1上更厚地形成电子阻挡层5。因此,能够进一步抑制第一电极1因过蚀刻而缩小或消失。

[0164] 另外,例如,如图2B所示,在图案化膜8设置有多个开口8b的情况下,能够减小各开口8b的大小,因此电子阻挡层5容易积存于各开口8b。因此,第一电极上的电子阻挡层5变得更厚,进一步抑制第一电极1因过蚀刻而缩小或消失。

[0165] 接着,如图9B所示,通过与上述蚀刻不同的方法、例如O_2-RIE去除未被上述蚀刻去除的电子阻挡层5的另一部分。例如,去除间隙8b内的电子阻挡层5。另外,抗蚀剂膜90也通过O_2-RIE而去除。例如使用氧等离子体进行O_2-RIE。由此,第一电极1的上表面1a及第三电极3的上表面3a露出。这样,由于保留第一电极1上的电子阻挡层5的一部分进行蚀刻,因此能够抑制过蚀刻引起的第一电极1的缩小或消失。另外,通过同时进行抗蚀剂膜90的去除,能

够简化工序。

[0166] 在去除形成于第一电极1上的功能层10之后,如图4所示,在第一电极1上形成电接触件15(步骤S16)。图10是用于说明形成电接触件15的工序的图。

[0167] 如图10所示,电接触件15形成为与第一电极1的上表面1a和第三电极3的上表面3a连接。第一电极1和第三电极3通过电接触件15电连接。例如,使用高频溅射法形成电接触件15。例如,形成TCO膜、例如ITO膜作为电接触件15。也可以形成金属膜作为电接触件15。在该情况下,也可以通过蒸镀形成电接触件15。之后,根据需要通过光刻和蚀刻等去除不需要的区域的电接触件15,从而得到图1所示的光电转换元件10A。此外,也可以省略步骤S14,在步骤S16中,作为一个导电层形成电接触件15和第三电极3。

[0168] 并且,根据需要,也可以在光电转换元件10A上形成由SiON或AlO等构成的保护层。并且,也可以进行用于使用于连接的焊盘电极等露出的光刻以及蚀刻。

[0169] 如上所述,本实施方式的光电转换元件10A的制造方法包括:准备第一电极1及第二电极2在上表面11a露出的基板11的工序;在俯视时形成设有使第一电极1的上表面1a的至少一部分露出的间隙8b的图案化膜8的工序;在第一电极1、第二电极2及图案化膜8上,使用涂布法形成电子阻挡层5的工序;去除电子阻挡层5中的第一电极1上的部分的工序;以及在第一电极1上形成电接触件15的工序。

[0170] 基板11的表面例如使用CMP法进行平坦化,但由于第一电极1及第二电极2与基板11的材料的差异及第一电极1与第二电极2的图案密度的不同,容易在基板11的表面产生凹凸。具体而言,与存在于第一电极1的周围的基板11的绝缘层相比,第一电极1容易凸出。当为了形成功能层10而通过涂布法对该基板11进行成膜时,在凸部成膜的层的膜厚变薄。即,在第一电极1上成膜的层的膜厚容易变薄。在不形成图案化膜8而为了去除功能层10而进行第一电极1上的功能层10的蚀刻时,第一电极1比基板11先露出,容易对第一电极1进行过度的蚀刻。其结果,第一电极1缩小,根据情况第一电极1消失。因此,即使在去除了功能层10的区域形成电接触件15,有时也无法施加控制电压而成为不良品。即,成品率降低。另外,即使在第一电极1不比基板11的绝缘层凸出的情况下,若发生过度的蚀刻,则成品率降低。

[0171] 与此相对,在本实施方式的制造方法中,通过在第一电极1上形成设置有间隙8b的图案化膜8,通过涂布法形成的电子阻挡层5积存于第一电极1上的间隙8b而变厚。因此,在去除电子阻挡层5中的第一电极1上的部分的工序中,抑制被去除至第一电极1而第一电极1缩小或消失。其结果,能够抑制第一电极1与电接触件15的连接不良。因此,能够提高制造的光电转换元件10A的成品率。

[0172] [变形例]

[0173] 接着,对上述光电转换元件10A的变形例进行说明。在以下的说明中,以与实施方式的不同点为中心进行说明,省略或简化共同点的说明。

[0174] 图11是本变形例的光电转换元件110A的剖视图。图12是本变形例的光电转换元件110A的俯视图。图11表示图12的XI-XI线的剖面。图11和图12示出了光电转换元件110A的一部分。具体而言,图11及图12是表示在基板11上排列有多个第二电极2的区域的一部分的图。另外,在图12中,省略了功能层10、第三电极3以及电接触件15的图示。即,图12是表示透视功能层10、第三电极3以及电接触件15的情况下的第一电极101、第二电极2以及图案化膜108的平面布局的图。

[0175] 图11所示的光电转换元件110A与图1所示的光电转换元件10A相比,主要在代替第一电极1和图案化膜8而具备第一电极101和图案化膜108这一点上不同。第一电极101及图案化膜108在基板11上配置的位置及形状与第一电极1及图案化膜8不同。

[0176] 如图11和图12所示,在俯视时,第一电极101配置在配置成矩阵状的多个第二电极2之间。具体而言,第一电极101在俯视时配置于相邻的第二电极2之间。第一电极101例如在俯视时为格子状。另外,第一电极101与第二电极2分离,在第一电极101与第二电极2之间配置有基板11的绝缘层。第一电极101的宽度例如比第二电极2的宽度短。

[0177] 图案化膜108是第一膜的一例。图案化膜108位于基板11的上方。图案化膜108的上表面108a位于比第一电极101和第二电极2靠上方。

[0178] 图案化膜108以在俯视时不经由第二电极2而夹着第一电极101的方式配置,从而设置有与第一电极101的上表面101a的至少一部分重叠的间隙108b。在俯视时,间隙108b不与第二电极2的上表面2a重叠。间隙108b例如在俯视时为格子状。

[0179] 另外,由于第一电极101配置在相邻的第二电极2之间,因此图案化膜108通过在俯视时不经由第二电极2而夹着第一电极101地配置,从而配置在第一电极101与第二电极2之间且相邻的第二电极2之间。图案化膜108例如在俯视下以独立地包围各第一电极101的方式呈环状配置。通过这些配置,能够通过形成间隙108b的图案化膜108抑制第一电极101的缩小或消失,并且抑制相邻的第二电极2之间的电荷移动。另外,由于在相邻的第二电极2之间配置第一电极101,第一电极101与第二电极2的距离变短,容易产生由第一电极101与第二电极2的电位差引起的电荷移动。特别是,由于向第一电极101供电在第二电极2与第三电极3之间施加的偏置电压,因此第一电极101与第二电极2的电位差容易变大。通过将图案化膜108配置于第一电极101与第二电极2之间,也能够抑制第一电极101与第二电极2之间的电荷移动。

[0180] 另外,如图11所示,在光电转换元件110A中,针对多个第二电极2的每一个,功能层10被分离。即,在俯视时,在与多个第二电极重叠的位置,按每个第二电极2配置有相互分离的多个功能层10。由此,能够在物理上抑制经由功能层10的相邻的第二电极2之间的电荷移动。另外,在电接触件15和第三电极3通常使用电阻值比金属材料高的透明电极材料等的情况下,在对光电转换层4施加电压时,根据电阻值的高低,若利用于摄像元件,则有可能导致残像的产生以及进行全局快门动作时施加于电接触件15的电压脉冲的钝化,特性降低。通过由金属布线构成第一电极101,并使配置于第二电极2之间的第一电极101与电接触件15连接,电接触件15的距离变短而能够实现低电阻化,能够抑制摄像元件的特性的降低。

[0181] 在光电转换元件110A中,电接触件15穿过间隙108b与第一电极101连接。

[0182] 通过将上述光电转换元件10A的制造方法改变为第一电极101的配置和图案化膜108的图案,也能够制造光电转换元件110A。在制造工序中,通过图案化膜108,在第一电极101上形成的电子阻挡层5变厚,能够抑制由上述蚀刻引起的第一电极101的缩小或消失。因此,能够提高光电转换元件110A的成品率。

[0183] [摄像元件]

[0184] 接着,对本实施方式的摄像元件进行说明。

[0185] 首先,对本实施方式的摄像元件的整体结构进行说明。本实施方式的摄像元件具有在上述的光电转换元件10A的结构上附加有信号检测电路和周边电路等的结构。以下,对

具有光电转换元件10A的结构的摄像元件进行说明,但摄像元件也可以具有光电转换元件110A的结构。图13是示出本实施方式的摄像元件100的电路结构的一例的图。图13所示的摄像元件100具有多个像素20和周边电路。例如,多个像素20和周边电路形成在基板11上。周边电路包括向各个像素20供给规定的电压的电压供给电路30。

[0186] 像素20通过一维或二维地配置于基板11而形成感光区域、即所谓的像素区域。在图13所例示的结构中,像素20在行方向及列方向上排列。在本说明书中,行方向及列方向分别是指行及列延伸的方向。即,图13的纸面的纵方向为列方向,横方向为行方向。在图13中,示出了以2×2的矩阵状配置的4个像素20。图13所示的像素20的个数只不过是用于说明的例示,像素20的个数不限于4个。

[0187] 多个像素20分别具有光电转换部10C和检测由光电转换部10C生成的信号的信号检测电路40。信号检测电路40是信号读出电路的一例。光电转换部10C包括第二电极2和第三电极3以及配置在它们之间的功能层10。第二电极2作为电荷捕集部发挥功能。信号检测电路40与第二电极2连接。第三电极3经由蓄积控制线22与电压供给电路30连接。蓄积控制线22的一部分包括上述第一电极1和电接触件15。在摄像元件100的动作时,经由蓄积控制线22对第三电极3施加规定的偏置电压。在本实施方式中,第二电极2是捕集信号电荷的像素电极,第三电极3是与像素电极对置的对置电极。

[0188] 光电转换部10C构成为利用第二电极2捕集通过光电转换产生的电子空穴对中的空穴(换言之,正电荷)作为信号电荷。通过使用电压供给电路30生成的偏置电压来控制第三电极3的电位,能够通过第二电极2捕集空穴。电压供给电路30将第三电极3相对于第二电极2成为正电位的电压经由蓄积控制线22供给至第三电极3。具体而言,以第三电极3的电位比第二电极2高的方式,对蓄积控制线22施加例如10V左右的电压。此外,在第二电极2捕集电子的情况下,电压供给电路30将第三电极3相对于第二电极2成为负电位的电压经由蓄积控制线22向第三电极3供给。

[0189] 在图13所例示的结构中,信号检测电路40包括放大晶体管42、地址晶体管44和复位晶体管46。放大晶体管42也被称为电荷检测用晶体管,地址晶体管44也被称为行选择晶体管。放大晶体管42和地址晶体管44例如是形成于基板11的半导体层的场效应晶体管(FET)。以下,只要没有特别说明,就对使用N沟道MOSFET(Metal Oxide Semiconductor Field Effect Transistor:金属氧化物半导体场效应晶体管)作为晶体管的例子进行说明。基板11中的半导体层例如是p型硅层。放大晶体管42、地址晶体管44以及复位晶体管46具有控制端子、输入端子以及输出端子。控制端子例如是栅极。输入端子是漏极和源极中的一方,例如是漏极。输出端子是漏极和源极中的另一个,例如是源极。

[0190] 如图13所示,放大晶体管42的输入端子和输出端子中的一个与地址晶体管44的输入端子和输出端子中的一个连接。放大晶体管42的控制端子与光电转换部10C的第二电极2电连接。由第二电极2收集的信号电荷被蓄积在第二电极2和放大晶体管42的栅极之间的电荷蓄积节点41中。电荷蓄积节点41是电荷蓄积部的一例,也被称为“浮置扩散节点”。

[0191] 对放大晶体管42的栅极施加与蓄积于电荷蓄积节点41的信号电荷对应的电压。放大晶体管42放大该电压。即,放大晶体管42放大由光电转换部10C生成的信号。经由地址晶体管44选择性地读取由放大晶体管42放大的电压作为信号电压。

[0192] 复位晶体管46的源极和漏极中的一个连接到电荷蓄积节点41,复位晶体管46的源

极和漏极中的一个具有电连接到第二电极2。

[0193] 复位晶体管46将蓄积在电荷蓄积节点41中的信号电荷复位。换句话说,复位晶体管46复位放大晶体管42的栅极和第二电极2的电位。

[0194] 如图13所示,摄像元件100包括电源线23、垂直信号线24、地址信号线25和复位信号线26。这些线与各像素20连接。电源线23连接到放大晶体管42的源极和漏极中的一个,并且向每个像素20提供规定的电源电压。电源线23作为源极跟随器电源发挥功能。垂直信号线24连接到地址晶体管44的源极和漏极中的不与放大晶体管42的源极或漏极连接的一方。地址信号线25与地址晶体管44的栅极连接。复位信号线26与复位晶体管46的栅极连接。

[0195] 摄像元件100的周边电路包括垂直扫描电路52、水平信号读出电路54、多个列信号处理电路56、多个负载电路58和多个反相放大器59。垂直扫描电路52也被称为“行扫描电路”,水平信号读出电路54也被称为“列扫描电路”,列信号处理电路56也被称为“行信号蓄积电路”。列信号处理电路56、负载电路58以及反相放大器59与在行方向以及列方向上排列的多个像素20的各列对应地设置。列信号处理电路56分别经由与多个像素20的各列对应的垂直信号线24与配置于各列的像素20电连接。多个列信号处理电路56与水平信号读出电路54电连接。负载电路58分别与各垂直信号线24电连接,由负载电路58和放大晶体管42形成源极跟随电路。

[0196] 垂直扫描电路52连接到地址信号线25和复位信号线26。垂直扫描电路52经由地址信号线25向地址晶体管44的栅极施加用于控制地址晶体管44的导通和截止的行选择信号。通过对每个地址信号线25发送行选择信号,扫描及选择读出对象的行。从所选择的行的像素20向垂直信号线24读出信号电压。此外,垂直扫描电路52经由复位信号线26向复位晶体管46的栅极施加用于控制复位晶体管46的导通和截止的复位信号。通过对每个复位信号线26发送行选择信号,选择成为复位动作的对象的像素20的行。这样,垂直扫描电路52以行为单位选择多个像素20,进行信号电压的读出和第二电极2的电位的复位。

[0197] 从由垂直扫描电路52选择的像素20读出的信号电压经由垂直信号线24被发送到列信号处理电路56。列信号处理电路56进行以相关双采样为代表的噪声抑制信号处理和模拟-数字转换(AD转换)等。水平信号读出电路54从多个列信号处理电路56向未图示的水平共用信号线依次读出信号。

[0198] 此外,垂直扫描电路52也可以在一部分中包含上述的电压供给电路30。或者,电压供给电路30也可以具有与垂直扫描电路52的电连接。换言之,也可以经由垂直扫描电路52对第三电极3施加偏置电压。

[0199] 在图13所例示的结构中,多个反相放大器59与各列对应地设置。反相放大器59的负侧的输入端子与对应的垂直信号线24连接。反相放大器59的输出端子经由与各列对应设置的反馈线27与对应的列的各像素20连接。

[0200] 如图13所示,反馈线27与复位晶体管46的源极和漏极中的不与电荷蓄积节点41连接的一方(例如漏极)连接。因此,反相放大器59在地址晶体管44和复位晶体管46处于导通状态时,负端子接收地址晶体管44的输出。另一方面,从未图示的电源对反相放大器59的正侧的输入端子施加复位中的基准电压。反相放大器59执行反馈操作,使得放大晶体管42的栅极电压变为规定的反馈电压。反馈电压是指反相放大器59的输出电压。反相放大器59的输出电压例如是0V或0V附近的正电压。也可以将反相放大器59称为“反馈放大器”。

[0201] 图14是示意性地表示本实施方式的摄像元件100中的像素20的器件构造的剖视图。在摄像元件100中,图14所示的像素20的结构在俯视下呈矩阵状排列配置。在图14所例示的结构中,像素20包含光电转换元件10A中的形成有多个第二电极2的区域的结构。像素20例如包括支承光电转换部10C的基板11。基板11包括半导体层62和层间绝缘层63A、63B、63C。如图14所示,光电转换部10C配置在基板11的上方。在摄像元件100中,光从光电转换部10C的上方入射到光电转换部10C。在该例子中,在半导体层62上层叠有层间绝缘层63A、63B、63C,在层间绝缘层63C上依次配置有第二电极2、电子阻挡层5、光电转换层4、空穴阻挡层6以及第三电极3。第二电极2按每个像素被划分。通过在相邻的两个像素20之间在空间上分离地形成第二电极2,相邻的两个第二电极2被电分离。另外,在相邻的两个第二电极2之间配置有图案化膜8。此外,功能层10和第三电极3可以形成为跨越多个像素20。

[0202] 放大晶体管42、地址晶体管44和复位晶体管46形成在半导体层62中。

[0203] 放大晶体管42包含形成于半导体层62的杂质区域62a、62b、位于半导体层62上的栅极绝缘层42g、以及位于栅极绝缘层42g上的栅极电极42e。杂质区域62a、62b作为放大晶体管42的漏极或源极发挥功能。杂质区域62a、62b以及后述的杂质区域62c、62d、62e例如是n型杂质区域。

[0204] 地址晶体管44包含形成于半导体层62的杂质区域62a、62c、位于半导体层62上的栅极绝缘层44g、以及位于栅极绝缘层44g上的栅极电极44e。杂质区域62a、62c作为地址晶体管44的漏极或源极发挥功能。在该例子中,通过放大晶体管42和地址晶体管44共用杂质区域62a,放大晶体管42的源极(或漏极)与地址晶体管44的漏极(或源极)电连接。

[0205] 复位晶体管46包括形成在半导体层62内的杂质区域62d、62e、位于半导体层62上的栅极绝缘层46g、以及位于栅极绝缘层46g上的栅极电极46e。杂质区域62d、62e作为复位晶体管46的漏极或源极发挥功能。

[0206] 在半导体层62中,在彼此相邻的像素20之间以及放大晶体管42与复位晶体管46之间设置有元件分离区域62s。元件分离区域62s电分离彼此相邻的像素20。另外,通过在彼此相邻的像素20之间设置元件分离区域62s,能够抑制蓄积于电荷蓄积节点41的信号电荷的泄漏。

[0207] 在层间绝缘层63A内形成有与复位晶体管46的杂质区域62d连接的接触插塞65A、与放大晶体管42的栅极电极42e连接的接触插塞65B、以及将接触插塞65A与接触插塞65B连接的布线66A。由此,复位晶体管46的杂质区域62d(例如漏极)与放大晶体管42的栅极电极42e电连接。在图14所例示的结构中,在层间绝缘层63A内还形成有插塞67A及布线68A。另外,在层间绝缘层63B内形成插塞67B及布线68B,在层间绝缘层63C内形成插塞67C,由此布线66A与第二电极2电连接。接触插塞65A、接触插塞65B、布线66A、插塞67A、布线68A、插塞67B、布线68B及插塞67C例如由金属构成。

[0208] 在图14所例示的结构中,在第三电极3上配置有保护层72。该保护层72不是为了支承光电转换部10C而配置的基板。保护层72是用于保护光电转换部10C并与其他部分绝缘的层。保护层72也可以在光电转换层4所吸收的波长中为高透光性。保护层72的材料只要是具有透光性的绝缘体即可,例如为SiON或AlO等。如图14所示,也可以在保护层72上配置微透镜74。

[0209] 以上那样的摄像元件100能够使用上述的光电转换元件10A的制造方法和一般的

半导体制造工艺来制造。例如,在使用硅半导体作为半导体层62的情况下,能够通过利用各种硅半导体工艺来制造基板11及各电路。

[0210] (其他实施方式)

[0211] 以上,基于实施方式以及变形例对本发明所涉及的光电转换元件以及摄像元件进行了说明,但本发明并不限定于这些实施方式以及变形例。只要不脱离本发明的主旨,将本领域技术人员想到的各种变形实施于实施方式以及变形例的方式、以及将实施方式以及变形例中的一部分的构成要素组合而构建的其他方式也包含于本发明的范围。

[0212] 例如,本发明的光电转换元件也可以通过将由光产生的电荷作为能量取出来利用于太阳能电池。另外,本发明的光电转换元件也可以通过将由光产生的电荷作为信号取出来用于光传感器。另外,通过将光电转换层置换为其他功能膜,也可以用于光电转换元件以外的其他功能元件。作为本发明的功能元件,例如可以实现具备包含发光层的功能层的发光元件。

[0213] 另外,在上述实施方式中,在设置有第一电极以及第二电极的基板形成有凹凸,但基板的上表面、第一电极的上表面以及第二电极的上表面也可以实质上齐平。

[0214] 另外,在上述实施方式中,作为涂布法使用旋涂形成功能层的各层,但不限于此。涂布法可以是喷墨法、喷雾法、丝网印刷法或凹版印刷法等其他方法。

[0215] 工业上的可用性

[0216] 本发明的光电转换元件以及摄像元件等功能元件能够应用于太阳能电池、光电二极管、图像传感器等各种用途。

[0217] 符号说明

[0218] 1、101第一电极

[0219] 1a、2a、3a、5a、8a、11a、101a、108a上表面

[0220] 1s、8b2、8b3狭缝

[0221] 1sa区域

[0222] 2第二电极

[0223] 3第三电极

[0224] 4光电转换层

[0225] 5电子阻挡层

[0226] 6空穴阻挡层

[0227] 8、108图案化膜

[0228] 8b、8c、108b间隙

[0229] 8b1开口

[0230] 10功能层

[0231] 10A、110A光电转换元件

[0232] 10C光电转换部

[0233] 11基板

[0234] 15电接触件

[0235] 20像素

[0236] 22蓄积控制线

[0237] 23电源线

[0238] 24垂直信号线

[0239] 25地址信号线

[0240] 26复位信号线

[0241] 27反馈线

[0242] 30电压供给电路

[0243] 40信号检测电路

[0244] 41电荷蓄积节点

[0245] 42放大晶体管

[0246] 42e、44e、46e栅极电极

[0247] 42g、44g、46g栅极绝缘层

[0248] 44地址晶体管

[0249] 46复位晶体管

[0250] 52垂直扫描电路

[0251] 54水平信号读出电路

[0252] 56列信号处理电路

[0253] 58负载电路

[0254] 59反相放大器

[0255] 62半导体层

[0256] 62a、62b、62c、62d、62e杂质区域

[0257] 62s元件分离区域

[0258] 63A、63B、63C层间绝缘层

[0259] 65A、65B接触插塞

[0260] 66A布线

[0261] 67A、67B、67C插塞

[0262] 68A、68B布线

[0263] 72保护层

[0264] 74微透镜

[0265] 88绝缘膜

[0266] 88A、89、90抗蚀剂膜

[0267] 100摄像元件

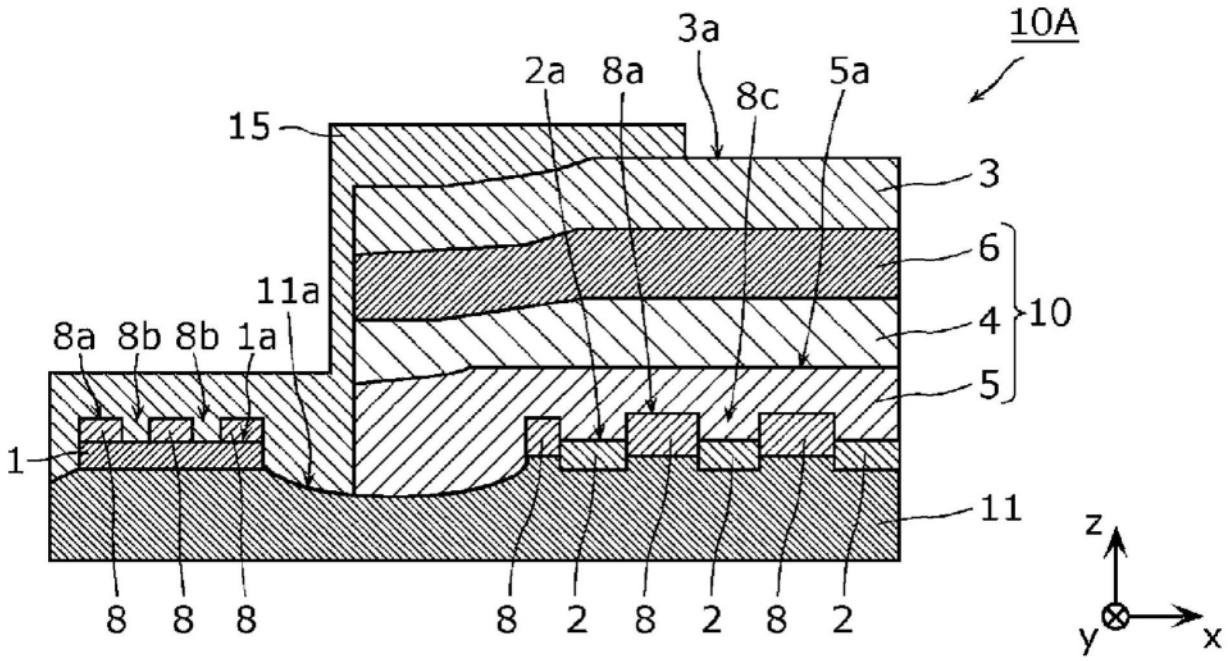


图1

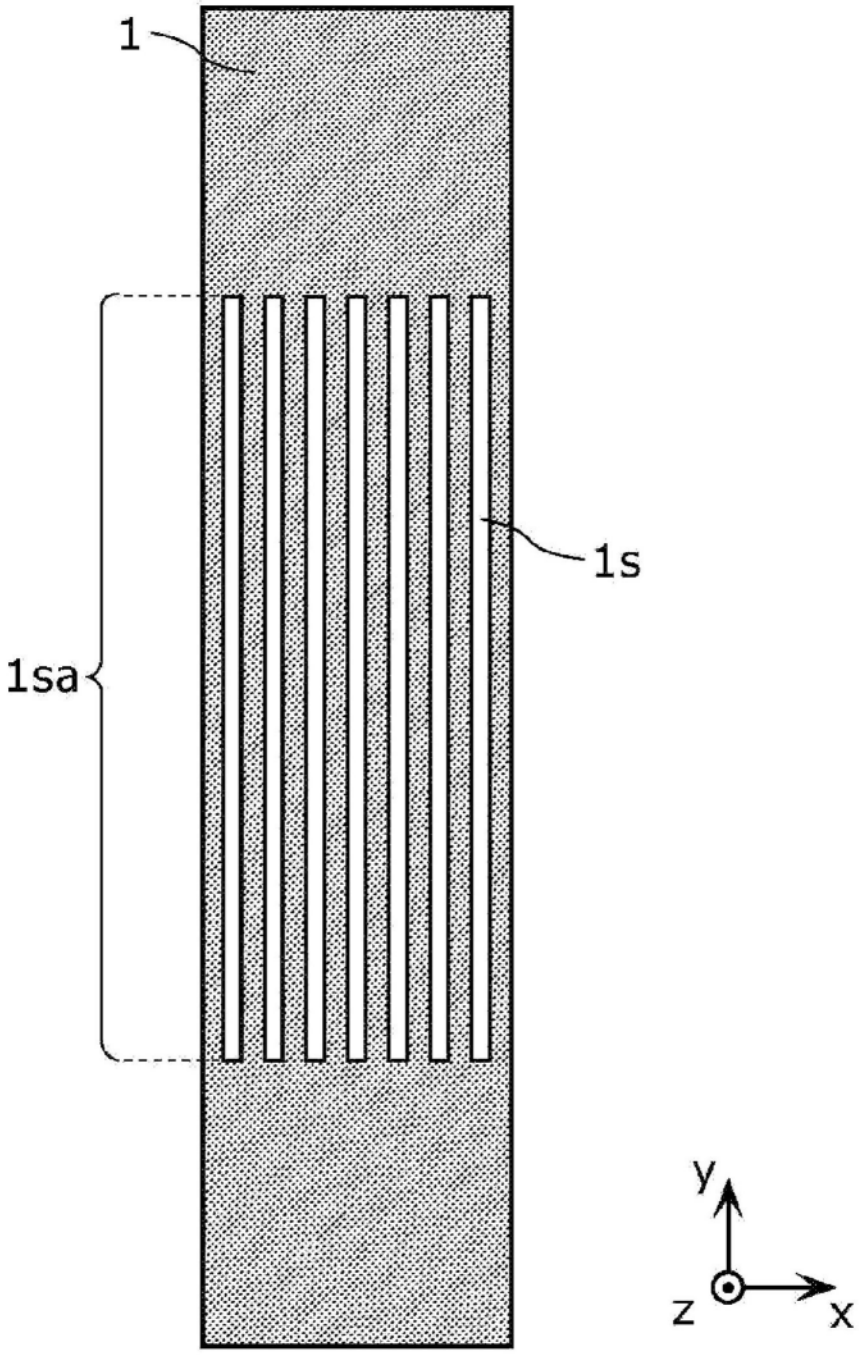


图2A

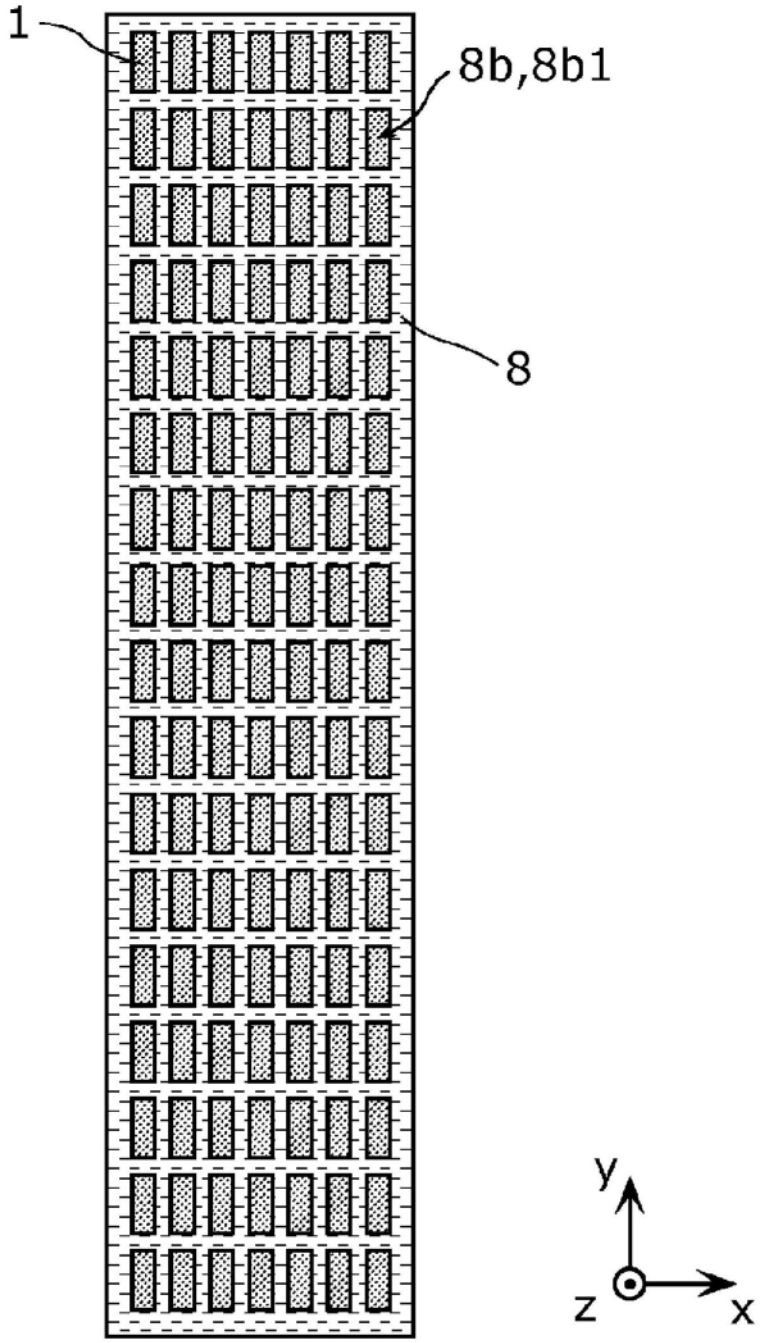


图2B

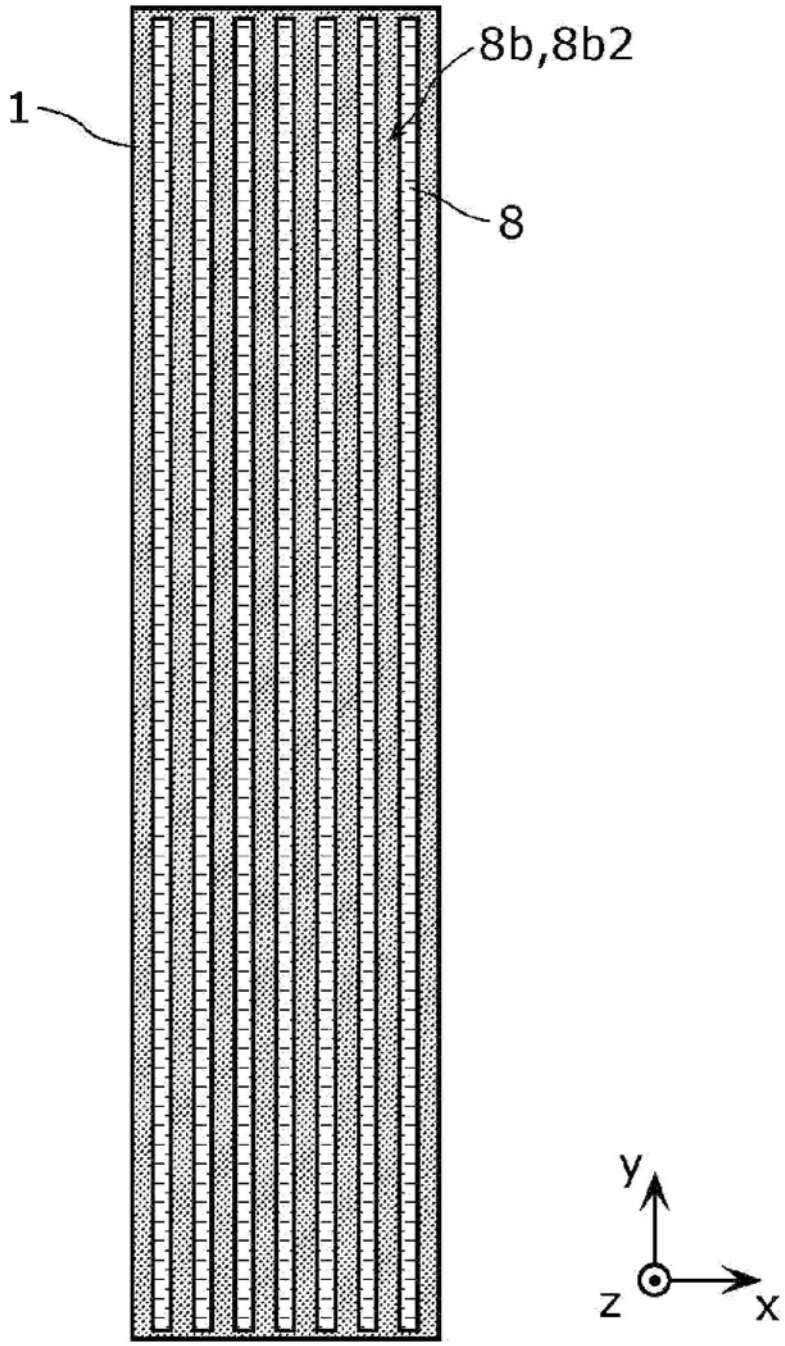


图2C

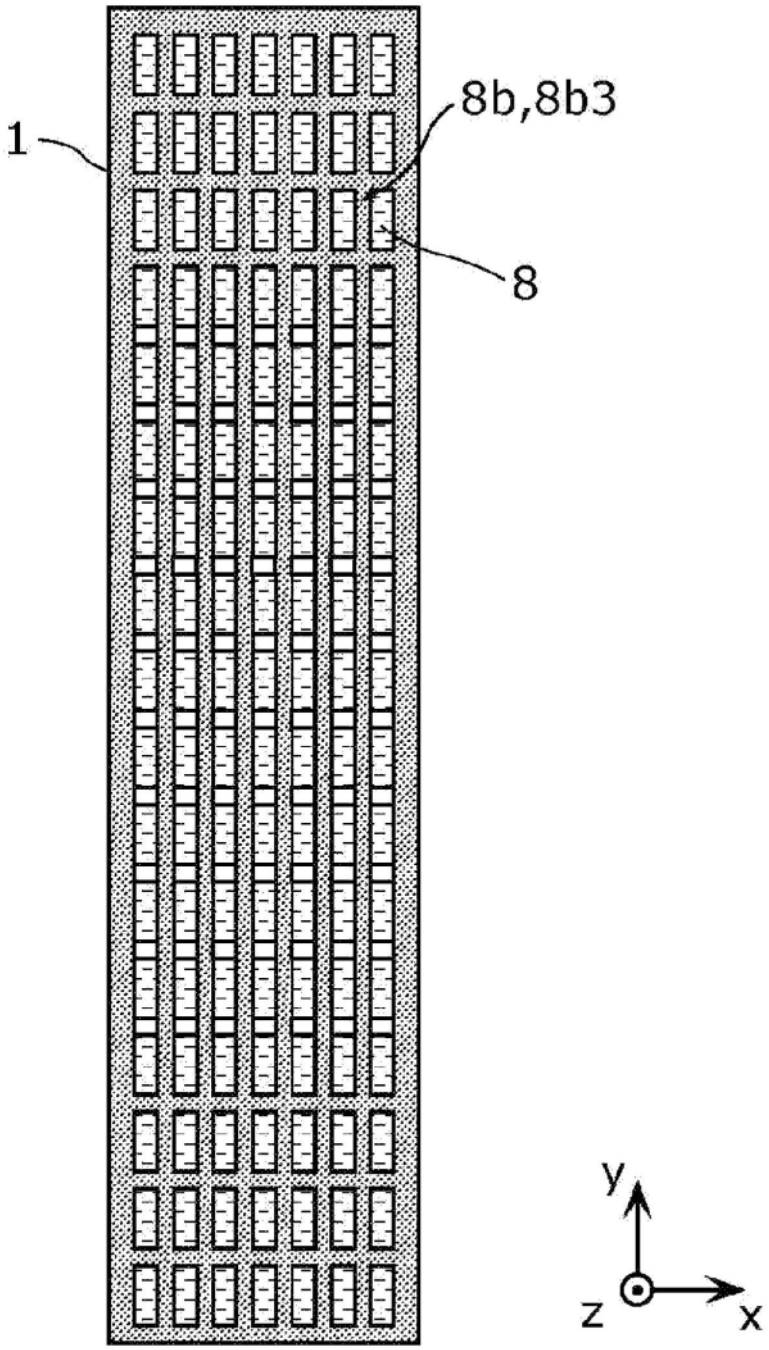


图2D

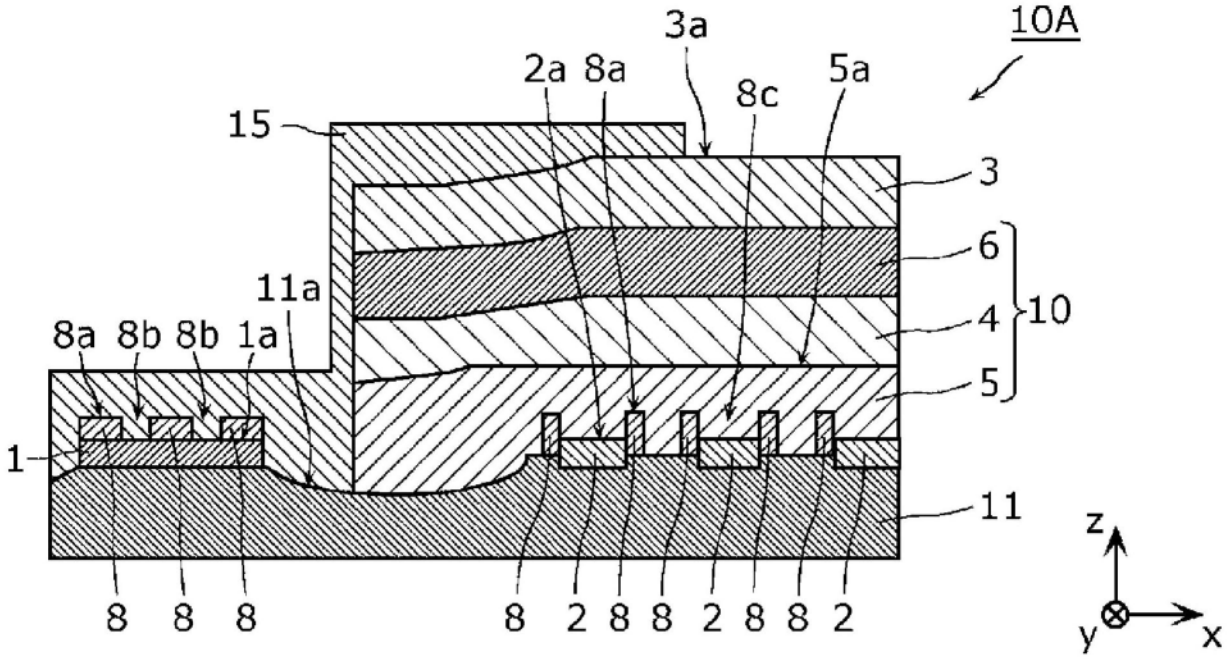

10A
3a
2a 8a
8c
5a
15
3
6
11a
10
8a 8b 8b 1a
4
5
1
11
8 8 8 8 2 8 8 2 8 2
z
y
x

图3A

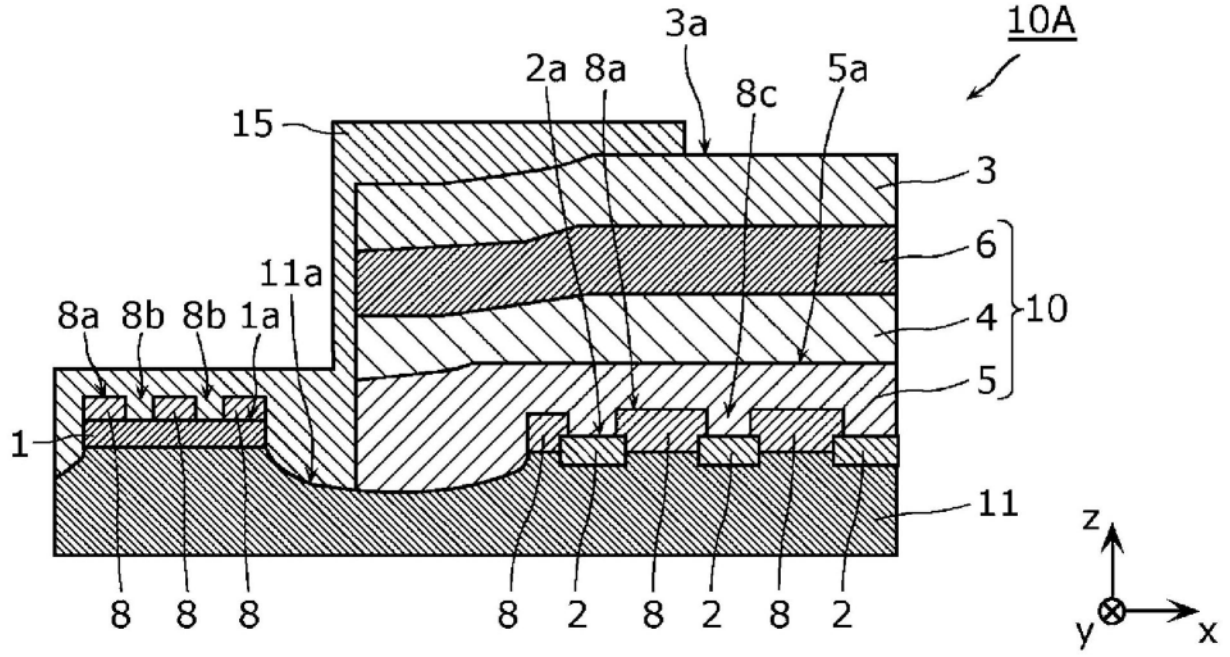

10A
3a
2a 8a
8c
5a
15
3
6
11a
10
8a 8b 8b 1a
4
5
1
11
8 8 8 8 2 8 2 8 2
z
y
x

图3B

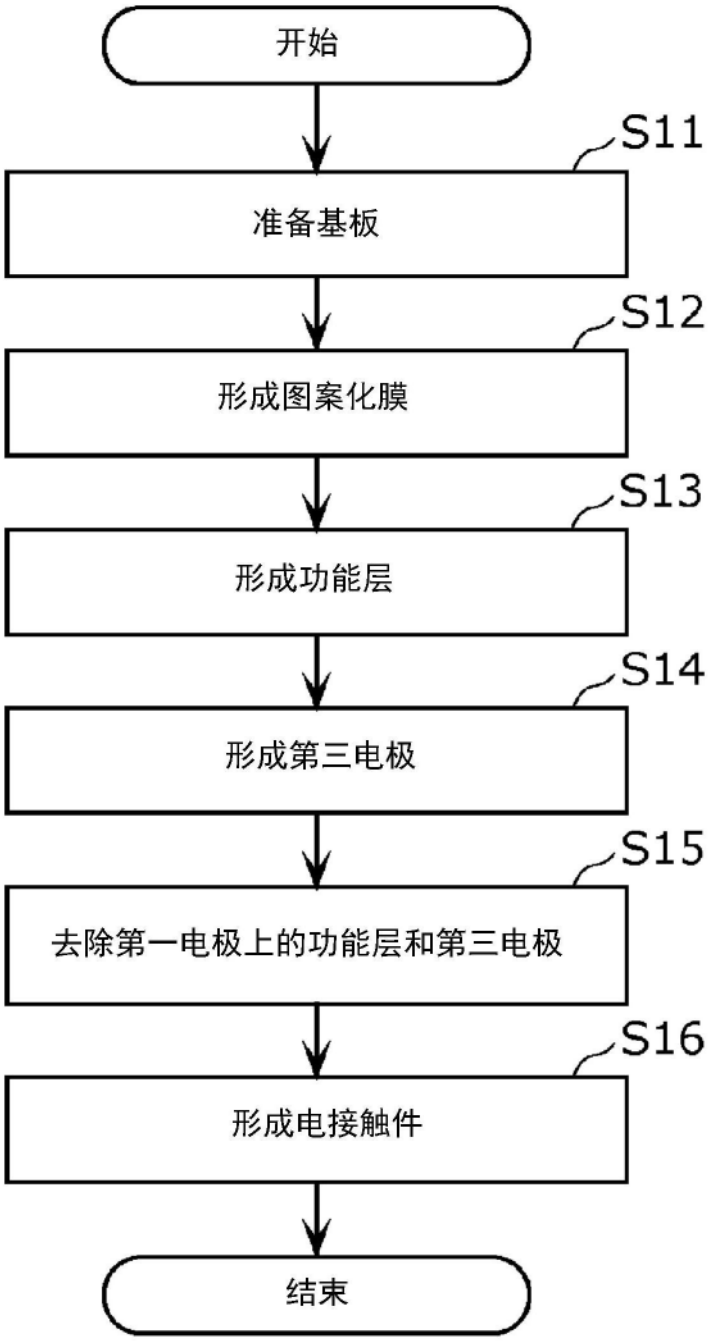

开始
S11
准备基板
S12
形成图案化膜
S13
形成功能层
S14
形成第三电极
S15
去除第一电极上的功能层和第三电极
S16
形成电接触件
结束

图4

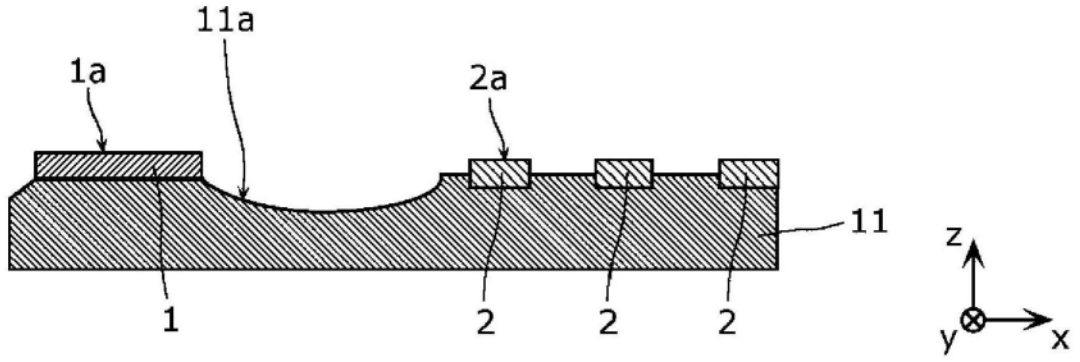

11a
1a
2a
11
1
2
2
2
z
y
x

图5

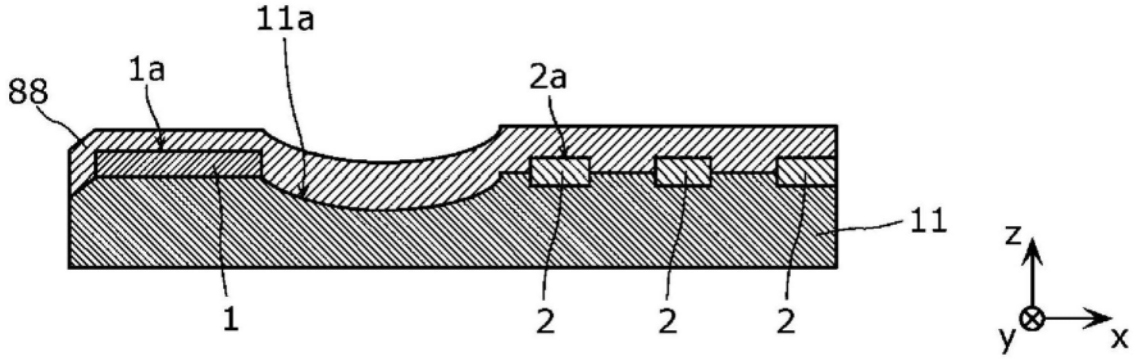

11a
88
1a
2a
11
1
2
2
2
z
y
x

图6A

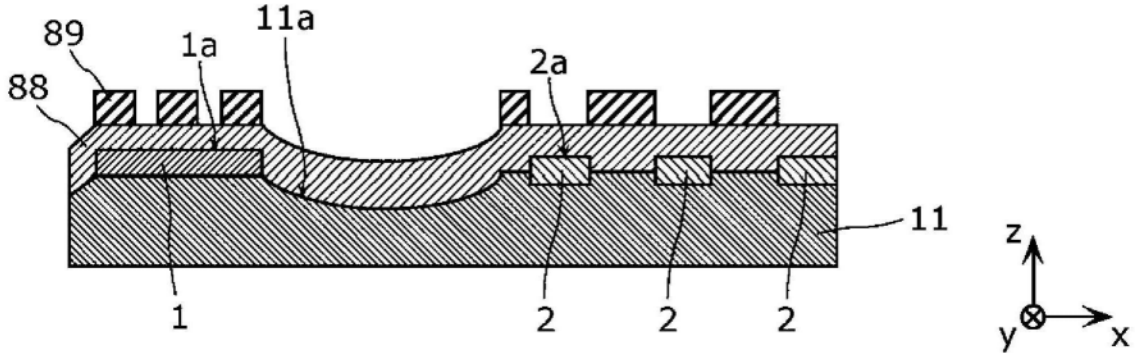

89
11a
1a
88
2a
11
1
2
2
2
z
y
x

图6B

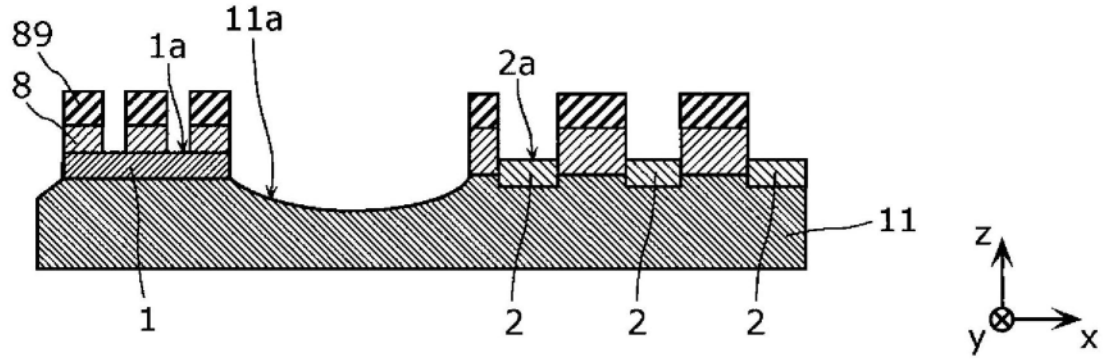

89
8
1a
11a
2a
11
1
2
2
2
z
y
x

图6C

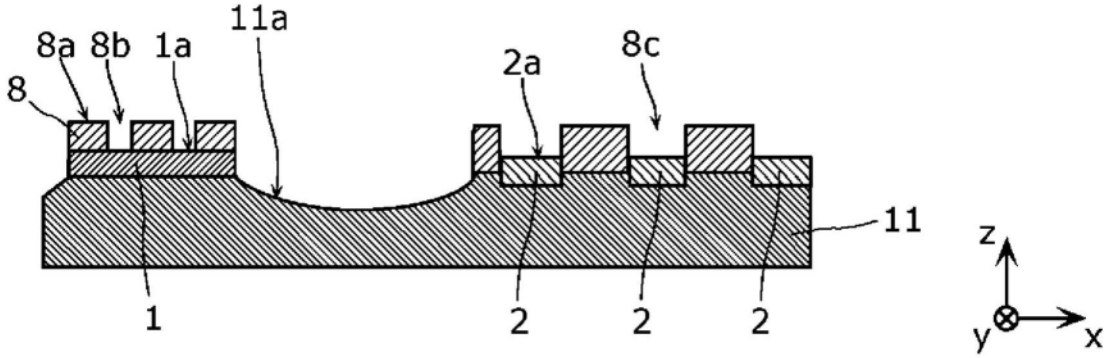

8a
8b
1a
11a
8
2a
8c
11
1
2
2
2
z
y
x

图6D

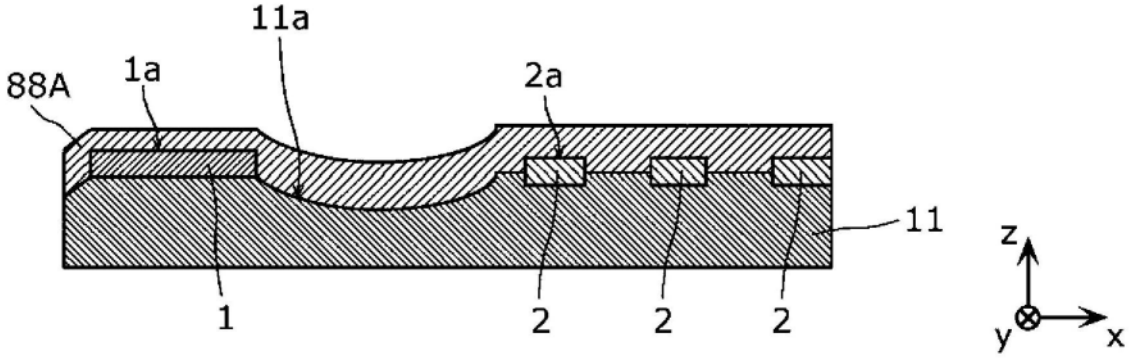

11a
88A
1a
2a
11
1
2
2
2
z
y
x

图7A

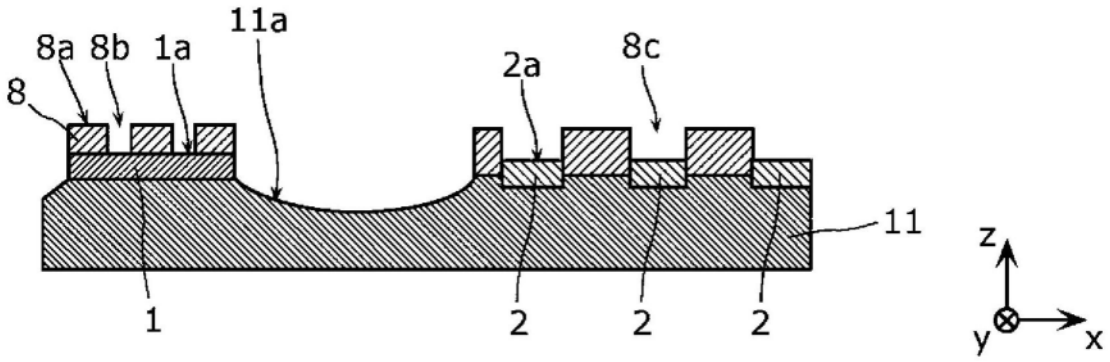

8a 8b 1a
11a
8
2a
8c
11
1
2
2
2
z
y
x

图7B

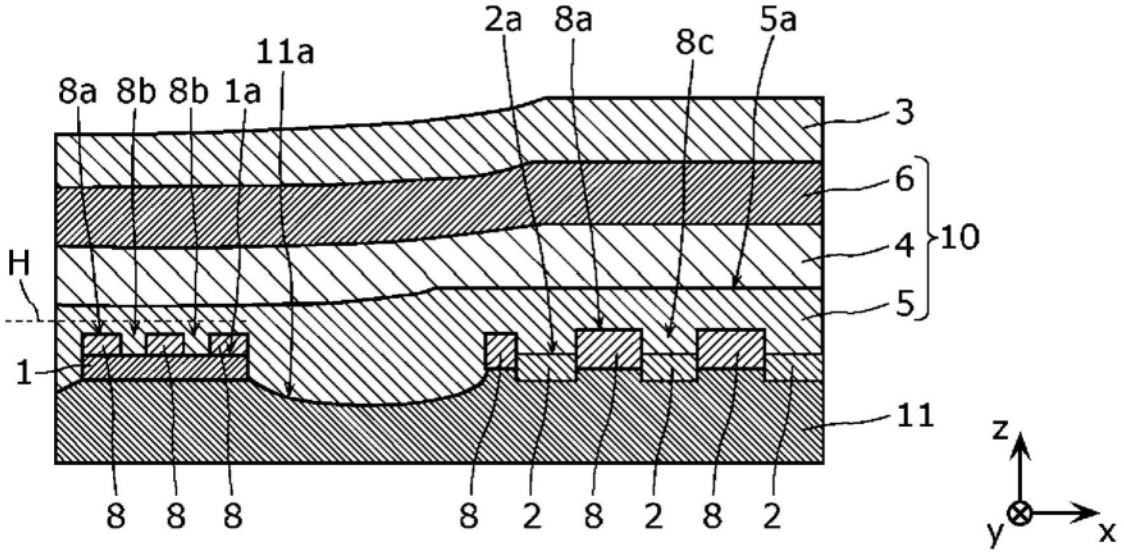

2a 8a
8c
5a
11a
8a 8b 8b 1a
3
6
4
10
5
H
1
11
8 8 8
8 2 8 2 8 2
z
y
x

图8

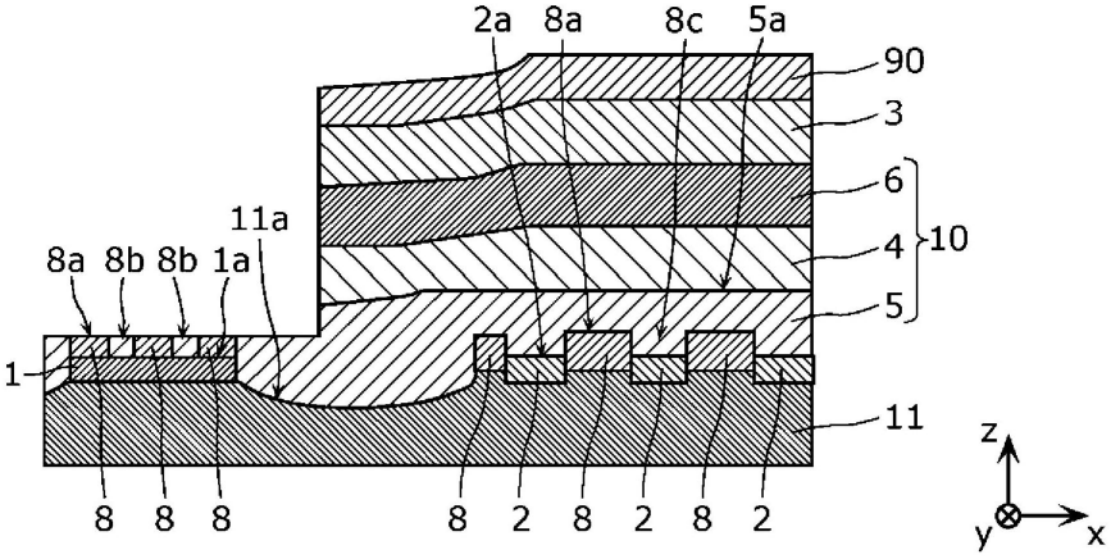

2a
8a
8c
5a
90
3
6
4
10
5
11a
8a
8b
8b
1a
1
11
8
8
8
8
2
8
2
8
2
z
y
x

图9A

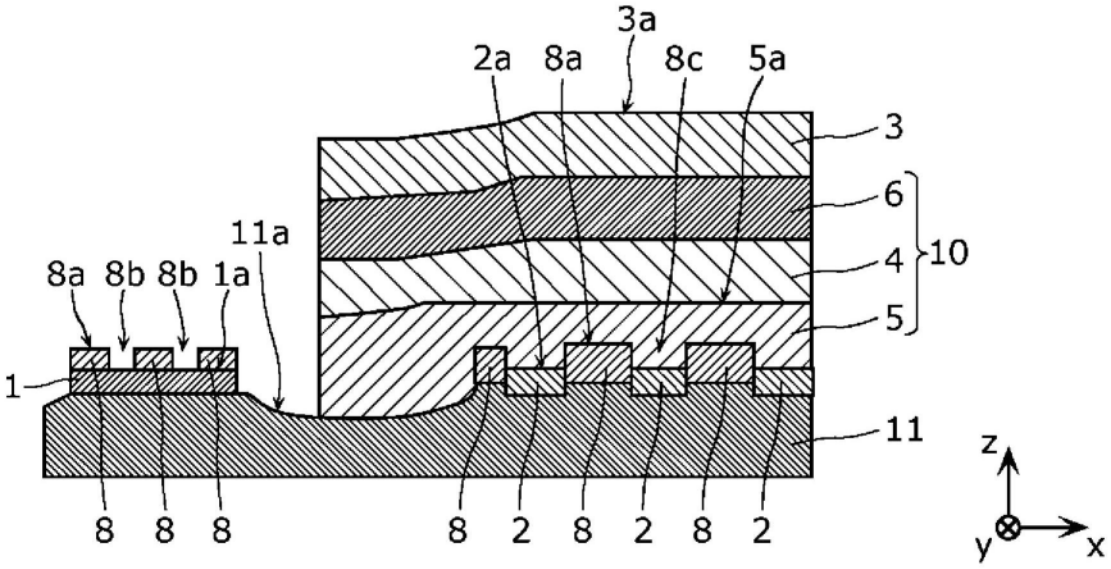

3a
2a
8a
8c
5a
3
6
4
10
5
11a
8a
8b
8b
1a
1
11
8
8
8
8
2
8
2
8
2
z
y
x

图9B

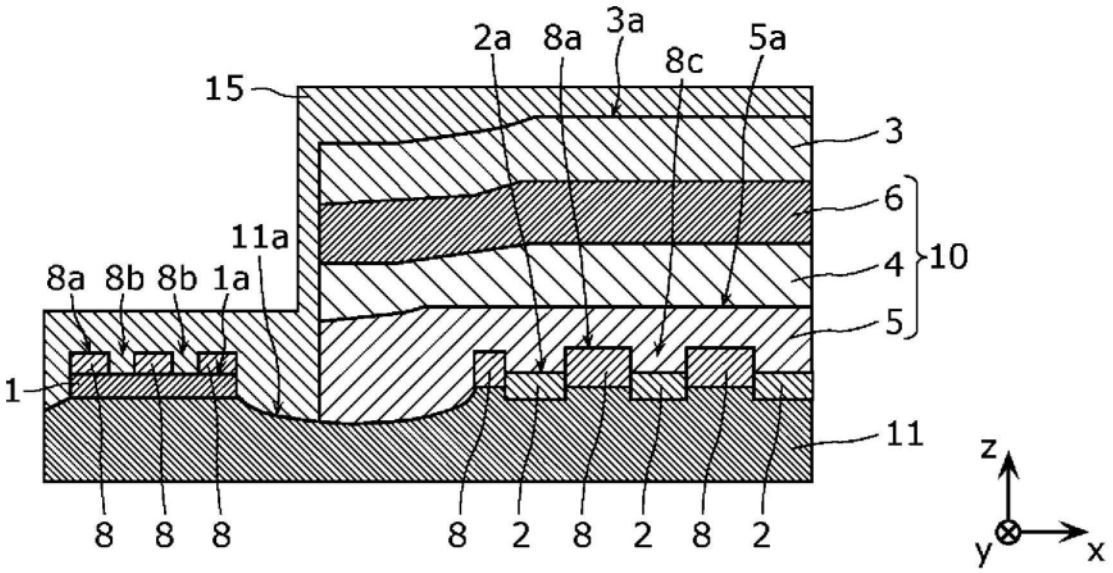

2a
8a
3a
8c
5a
15
3
6
10
11a
4
8a 8b 8b 1a
5
1
11
z
y
x
8 8 8 8 2 8 2 8 2

图10

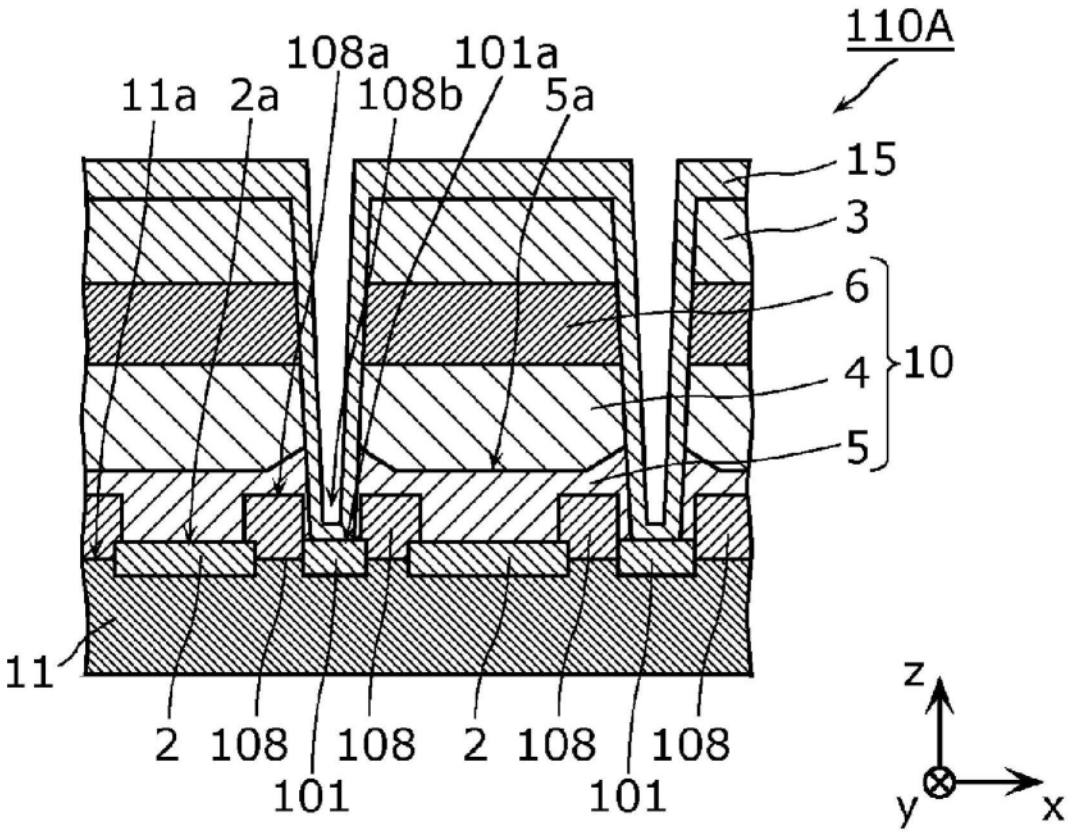

110A
108a
101a
11a 2a
108b
5a
15
3
6
10
4
5
11
z
y
x
2 108 108 2 108 108
101 101

图11

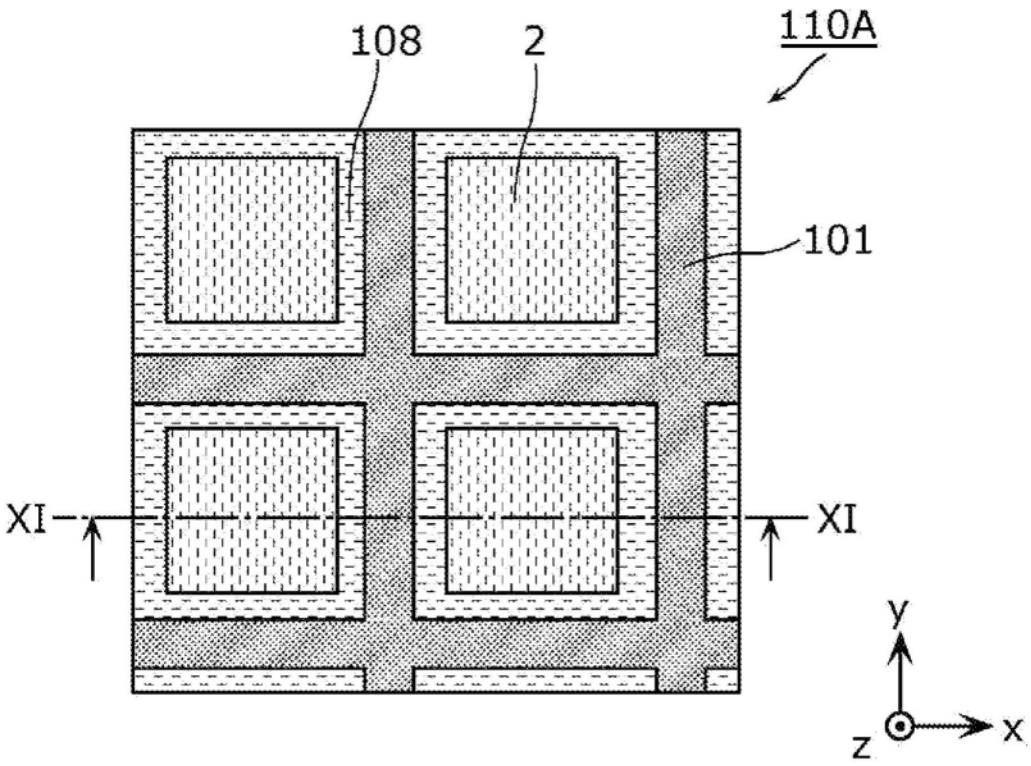


图12

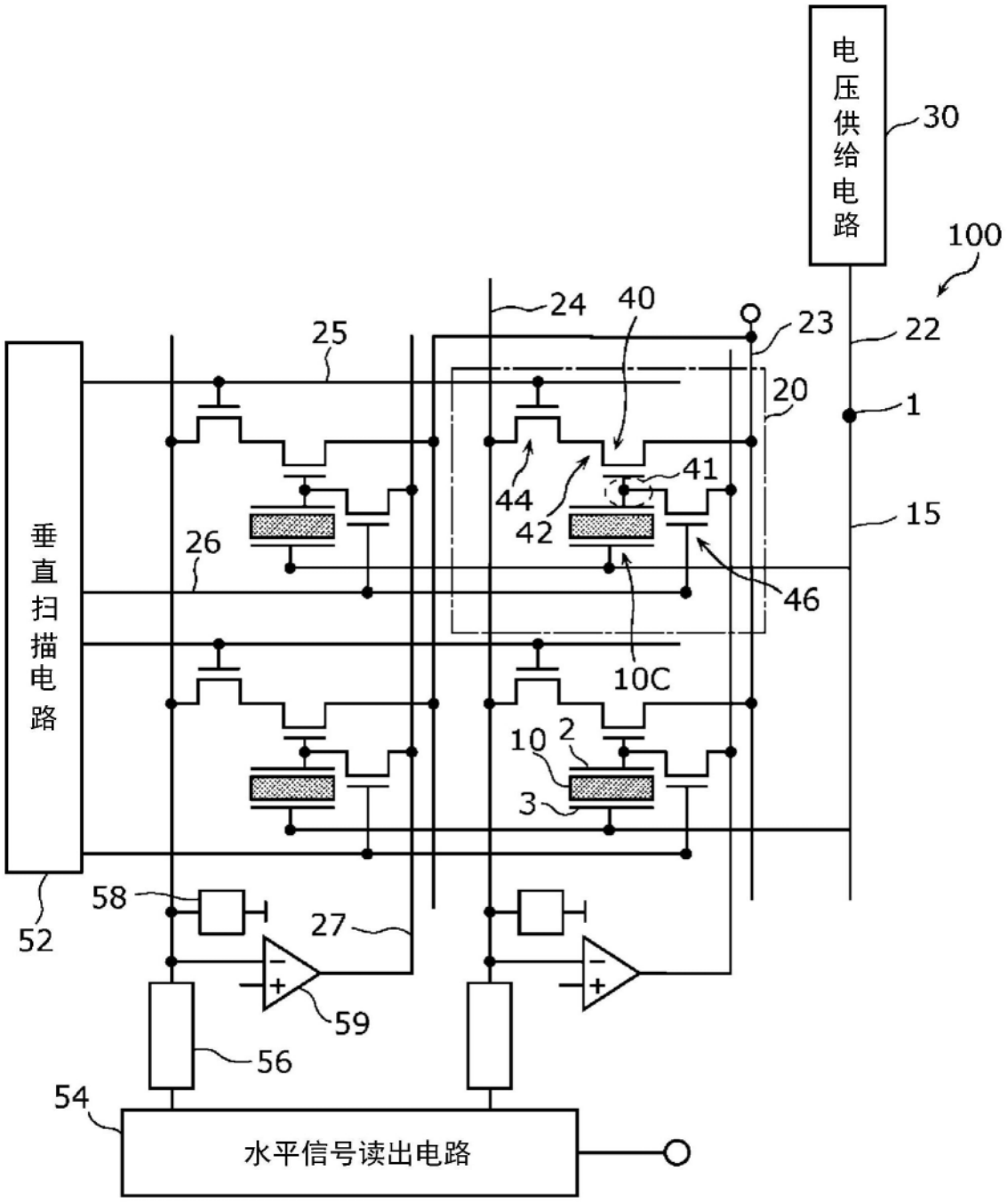

电压供给电路
30
100
24
40
23
22
25
20
1
垂直扫描电路
44
42
41
15
26
46
10C
10
2
3
58
27
52
59
56
54
水平信号读出电路

图13

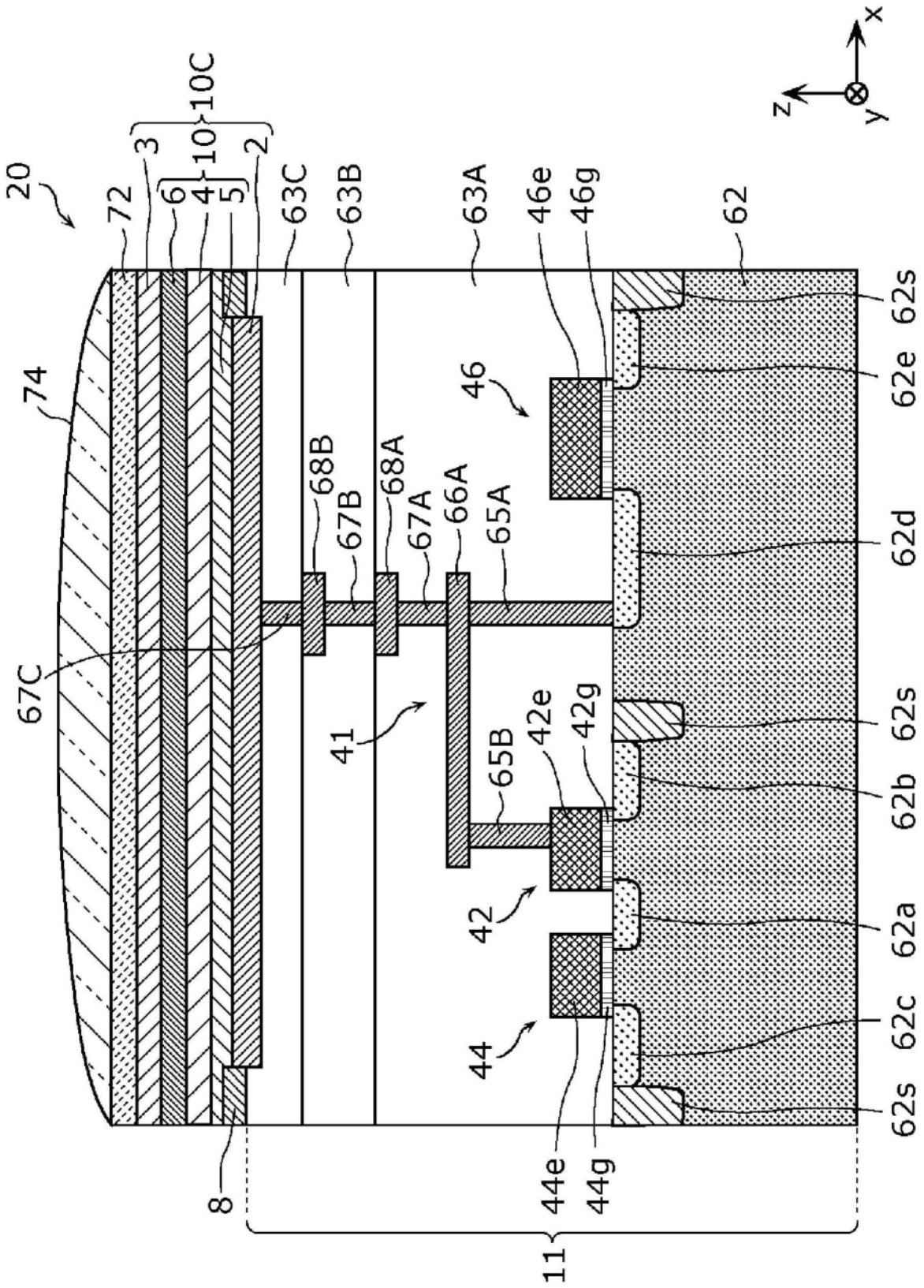

x
z
y
20
72
3
6
4
5
2
10C
10
63C
63B
63A
46e
46g
62
62s
62e
74
46
68B
68A
67B
67A
66A
65A
62d
67C
41
65B
42e
42g
62s
62b
42
62a
44
62c
62s
8
44e
44g
11

图14